



(12) 发明专利申请

(10) 申请公布号 CN 113672014 A

(43) 申请公布日 2021. 11. 19

(21) 申请号 202011048779.6

(22) 申请日 2020.09.29

(30) 优先权数据

10-2020-0057793 2020.05.14 KR

(71) 申请人 三星电机株式会社

地址 韩国京畿道水原市

(72) 发明人 全贤求

(74) 专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

代理人 沈浩 王春芝

(51) Int. Cl.

G05F 1/56 (2006.01)

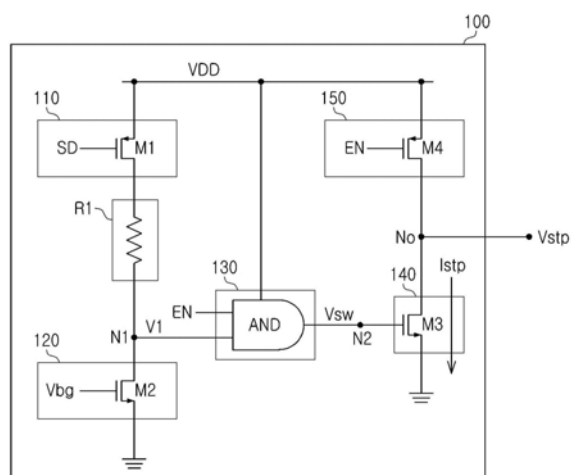
权利要求书3页 说明书8页 附图5页

(54) 发明名称

启动电路、带隙基准电路和通信终端

(57) 摘要

提供一种启动电路、带隙基准电路和通信终端。所述启动电路包括：第一开关，连接在操作电压端子和第一连接节点之间，并且被配置为基于关闭信号执行开关操作；第二开关，连接在所述第一连接节点和地之间，并且被配置为基于带隙电压执行开关操作；逻辑电路，对所述第一连接节点的第一电压和使能信号执行逻辑与运算，以生成开关电压；以及第三开关，连接在输出节点和地之间，并且被配置为基于所述开关电压执行开关操作，其中，所述输出节点输出启动电压。



1. 一种启动电路,包括:

第一开关,连接在操作电压端子和第一连接节点之间,并且被配置为基于关闭信号执行开关操作;

第二开关,连接在所述第一连接节点和地之间,并且被配置为基于带隙电压执行开关操作;

逻辑电路,被配置为对所述第一连接节点的第一电压和使能信号执行逻辑与运算,以生成开关电压;以及

第三开关,连接在输出节点和地之间,并且被配置为基于所述开关电压执行开关操作,其中,所述输出节点输出启动电压。

2. 根据权利要求1所述的启动电路,其中,所述第一开关包括场效应晶体管,所述场效应晶体管具有连接到所述操作电压端子的源极、通过第一电阻器连接到所述第一连接节点的漏极以及对所述关闭信号进行输入所通过的栅极。

3. 根据权利要求1所述的启动电路,其中,所述第二开关包括场效应晶体管,所述场效应晶体管具有连接到所述第一连接节点的漏极、连接到地的源极以及对所述带隙电压进行输入所通过的栅极。

4. 根据权利要求1所述的启动电路,其中,所述第三开关包括场效应晶体管,所述场效应晶体管具有连接到所述输出节点的漏极、连接到地的源极以及对所述开关电压进行输入所通过的栅极。

5. 根据权利要求1-4中任一项所述的启动电路,其中,所述逻辑电路包括逻辑与门,所述逻辑与门具有:

第一输入端子,连接到所述第一连接节点,并且被配置为接收所述第一电压;

第二输入端子,被配置为接收所述使能信号;以及

输出端子,被配置为输出所述开关电压,所述开关电压具有基于在所述第一电压和所述使能信号之间执行的所述逻辑与运算的结果的电压电平。

6. 根据权利要求5所述的启动电路,其中,当所述第一电压和所述使能信号两者具有高电压电平时,所述逻辑与门输出具有高电压电平的所述开关电压。

7. 根据权利要求6所述的启动电路,其中,所述开关电压的高电压电平等于操作电压的电压电平。

8. 根据权利要求1所述的启动电路,所述启动电路还包括第四开关,所述第四开关连接在所述操作电压端子和所述输出节点之间并且被配置为基于所述使能信号执行开关操作,

其中,所述第四开关包括场效应晶体管,所述场效应晶体管具有连接到所述操作电压端子的源极、连接到所述输出节点的漏极以及对所述使能信号进行输入所通过的栅极。

9. 一种带隙基准电路,包括:

启动电路,被配置为生成启动电压;以及

带隙基准核心电路,被配置为基于所述启动电压来开始操作以生成带隙电压,

其中,所述启动电路包括:

第一开关,连接在操作电压端子和第一连接节点之间,并且被配置为基于关闭信号执行开关操作;

第二开关,连接在所述第一连接节点和地之间,并且被配置为基于所述带隙电压执行

开关操作；

逻辑电路，被配置为对所述第一连接节点的第一电压和使能信号执行逻辑与运算，以生成开关电压；以及

第三开关，连接在输出节点和地之间，并且被配置为基于所述开关电压执行开关操作，其中，所述输出节点输出所述启动电压。

10. 根据权利要求9所述的带隙基准电路，其中，所述第一开关包括场效应晶体管，所述场效应晶体管具有连接到所述操作电压端子的源极、通过第一电阻器连接到所述第一连接节点的漏极以及对所述关闭信号进行输入所通过的栅极。

11. 根据权利要求9所述的带隙基准电路，其中，所述第二开关包括场效应晶体管，所述场效应晶体管具有连接到所述第一连接节点的漏极、连接到地的源极以及对所述带隙电压进行输入所通过的栅极。

12. 根据权利要求9所述的带隙基准电路，其中，所述第三开关包括场效应晶体管，所述场效应晶体管具有连接到所述输出节点的漏极、连接到地的源极以及对所述开关电压进行输入所通过的栅极。

13. 根据权利要求9-12中任一项所述的带隙基准电路，其中，所述逻辑电路包括逻辑与门，所述逻辑与门具有：

第一输入端子，连接到所述第一连接节点，并且被配置为接收所述第一电压；

第二输入端子，被配置为接收所述使能信号；以及

输出端子，被配置为输出所述开关电压，所述开关电压具有基于在所述第一电压和所述使能信号之间执行的所述逻辑与运算的结果的电压电平。

14. 根据权利要求13所述的带隙基准电路，其中，当所述第一电压和所述使能信号两者具有高电压电平时，所述逻辑与门输出具有高电压电平的所述开关电压。

15. 根据权利要求14所述的带隙基准电路，其中，所述开关电压的高电压电平等于操作电压的电压电平。

16. 根据权利要求9所述的带隙基准电路，其中，所述启动电路还包括第四开关，所述第四开关连接在所述操作电压端子和所述输出节点之间并且被配置为基于所述使能信号执行开关操作，并且

其中，所述第四开关包括场效应晶体管，所述场效应晶体管具有连接到所述操作电压端子的源极、连接到所述输出节点的漏极以及对所述使能信号进行输入所通过的栅极。

17. 一种通信终端，包括：

带隙基准电路，包括启动电路和带隙基准核心电路，

其中，所述启动电路被配置为：

基于操作电压、使能信号、关闭信号以及从所述带隙基准核心电路接收的带隙电压生成启动电压；以及

将生成的所述启动电压输出到所述带隙基准核心电路；并且

其中，所述带隙基准核心电路被配置为基于所述操作电压和所述启动电压开始操作以生成所述带隙电压。

18. 根据权利要求17所述的通信终端，其中，所述启动电路包括：

第一开关，连接在操作电压端子和第一连接节点之间，并且被配置为基于所述关闭信

号执行开关操作;

第二开关,连接在所述第一连接节点和地之间,并且被配置为基于所述带隙电压执行开关操作;

逻辑电路,被配置为对所述第一连接节点的第一电压和所述使能信号执行逻辑与运算,以生成开关电压;以及

第三开关,连接在输出节点和地之间,并且被配置为基于所述开关电压执行开关操作。

19. 根据权利要求18所述的通信终端,其中,当流过所述第三开关的启动电流的值增大时,所述启动电压的值减小。

启动电路、带隙基准电路和通信终端

[0001] 本申请要求于2020年5月14日在韩国知识产权局提交的第10-2020-0057793号韩国专利申请的优先权的权益,该韩国专利申请的全部公开内容出于所有目的通过引用被包含于此。

技术领域

[0002] 以下描述涉及一种启动电路和带隙基准电路。

背景技术

[0003] 通常,无线通信终端可包括低噪声放大器(LNA)和功率放大器(PA)以放大输入信号。

[0004] LNA可利用基准电压来生成偏置电压以放大输入信号,并且基准电压可由基准电路提供。

[0005] 通常,基准电路可包括带隙基准(BGR)电路和稳压器(例如,低压差线性(LDO)稳压器)。

[0006] 具体地,在应用于时分双工(TDD)型无线通信终端的LNA和PA通过基准电路接收基准电压并执行正常操作的示例中,LNA和PA中的每个的导通时间可能受到基准电路的导通时间的影响。

[0007] 因此,可能期望基准电路的快速导通以用于快速驱动LNA和PA中的每个,并且可能期望启动电路用于快速驱动基准电路。

[0008] 例如,典型的启动电路可包括多个晶体管和电阻器。这种包括晶体管和电阻器的典型的启动电路可能由于其元件特征而不可避免地导致响应延迟,并且因此可能在快速提供基准电压方面存在限制。

发明内容

[0009] 提供本发明内容以简化的形式介绍所选择的构思,并在以下具体实施方式中进一步描述这些构思。本发明内容既不意在明确所要求保护的主题的关键特征或必要特征,也不意在用于帮助确定所要求保护的主题的范围。

[0010] 在一个总体方面,一种启动电路包括:第一开关,连接在操作电压端子和第一连接节点之间,并且被配置为基于关闭信号执行开关操作;第二开关,连接在所述第一连接节点和地之间,并且被配置为基于带隙电压执行开关操作;逻辑电路,被配置为对所述第一连接节点的第一电压和使能信号执行逻辑与运算,以生成开关电压;以及第三开关,连接在输出节点和地之间,并且被配置为基于所述开关电压执行开关操作,其中,所述输出节点输出启动电压。

[0011] 所述第一开关可包括场效应晶体管(FET),所述场效应晶体管具有连接到所述操作电压端子的源极、通过第一电阻器连接到所述第一连接节点的漏极以及对所述关闭信号进行输入所通过的栅极。

[0012] 所述第二开关可包括场效应晶体管(FET),所述场效应晶体管具有连接到所述第一连接节点的漏极、连接到地的源极以及对所述带隙电压进行输入所通过的栅极。

[0013] 所述第三开关可包括场效应晶体管(FET),所述场效应晶体管具有连接到所述输出节点的漏极、连接到地的源极以及对所述开关电压进行输入所通过的栅极。

[0014] 所述逻辑电路可包括逻辑与门,所述逻辑与门具有:第一输入端子,连接到所述第一连接节点,并且被配置为接收所述第一电压;第二输入端子,被配置为接收所述使能信号;以及输出端子,被配置为输出所述开关电压,所述开关电压具有基于在所述第一电压和所述使能信号之间执行的所述逻辑与运算的结果的电压电平。

[0015] 当所述第一电压和所述使能信号两者具有高电压电平时,所述逻辑与门可输出具有高电压电平的所述开关电压。

[0016] 所述开关电压的高电压电平可等于操作电压的电压电平。

[0017] 所述启动电路还可包括第四开关,所述第四开关连接在所述操作电压端子和所述输出节点之间,并且被配置为基于所述使能信号执行开关操作,其中,所述第四开关包括场效应晶体管(FET),所述场效应晶体管具有连接到所述操作电压端子的源极、连接到所述输出节点的漏极以及对所述使能信号进行输入所通过的栅极。

[0018] 在一个总体方面,一种带隙基准电路包括:启动电路,被配置为生成启动电压;以及带隙基准核心电路,被配置为基于所述启动电压来开始操作以生成带隙电压,其中,所述启动电路包括:第一开关,连接在操作电压端子和第一连接节点之间,并且被配置为基于关闭信号执行开关操作;第二开关,连接在所述第一连接节点和地之间,并且被配置为基于所述带隙电压执行开关操作;逻辑电路,被配置为对所述第一连接节点的第一电压和使能信号执行逻辑与运算,以生成开关电压;以及第三开关,连接在输出节点和地之间,并且被配置为基于所述开关电压执行开关操作,其中,所述输出节点输出所述启动电压。

[0019] 所述第一开关可包括场效应晶体管(FET),所述场效应晶体管具有连接到所述操作电压端子的源极、通过第一电阻器连接到所述第一连接节点的漏极以及对所述关闭信号进行输入所通过的栅极。

[0020] 所述第二开关可包括场效应晶体管(FET),所述场效应晶体管具有连接到所述第一连接节点的漏极、连接到地的源极以及对所述带隙电压进行输入所通过的栅极。

[0021] 所述第三开关可包括场效应晶体管(FET),所述场效应晶体管具有连接到所述输出节点的漏极、连接到地的源极以及对所述开关电压进行输入所通过的栅极。

[0022] 所述逻辑电路可包括逻辑与门,所述逻辑与门具有:第一输入端子,连接到所述第一连接节点,并且被配置为接收所述第一电压;第二输入端子,被配置为接收所述使能信号;以及输出端子,被配置为输出所述开关电压,所述开关电压具有基于在所述第一电压和所述使能信号之间执行的所述逻辑与运算的结果的电压电平。

[0023] 当所述第一电压和所述使能信号两者具有高电压电平时,所述逻辑与门可输出具有高电压电平的所述开关电压。

[0024] 所述开关电压的高电压电平可等于操作电压的电压电平。

[0025] 所述启动电路还可包括第四开关,所述第四开关连接在所述操作电压端子和所述输出节点之间并且被配置为基于所述使能信号执行开关操作,其中,所述第四开关包括场效应晶体管(FET),所述场效应晶体管具有连接到所述操作电压端子的源极、连接到所述输

出节点的漏极以及对所述使能信号进行输入所通过的栅极。

[0026] 在一个总体方面,一种通信终端包括:带隙基准电路,包括启动电路和带隙基准核心电路,其中,所述启动电路被配置为:基于操作电压、使能信号、关闭信号以及从所述带隙基准核心电路接收的带隙电压生成启动电压;以及将生成的所述启动电压输出到所述带隙基准核心电路;并且其中,所述带隙基准核心电路被配置为基于所述操作电压和所述启动电压开始操作以生成所述带隙电压。

[0027] 所述启动电路可包括:第一开关,连接在操作电压端子和第一连接节点之间,并且被配置为基于所述关闭信号执行开关操作;第二开关,连接在所述第一连接节点和地之间,并且被配置为基于所述带隙电压执行开关操作;逻辑电路,被配置为对所述第一连接节点的第一电压和所述使能信号执行逻辑与运算,以生成开关电压;以及第三开关,连接在输出节点和地之间,并且被配置为基于所述开关电压执行开关操作。

[0028] 当流过所述第三开关的启动电流的值增大时,所述启动电压的值可减小。

[0029] 通过以下具体实施方式、附图以及权利要求,其他特征和方面将是显而易见的。

附图说明

[0030] 图1示出了根据一个或多个实施例的示例带隙基准电路;

[0031] 图2示出了根据一个或多个实施例的示例启动电路;

[0032] 图3示出了根据一个或多个实施例的示例启动电路;

[0033] 图4示出了根据一个或多个实施例的主信号和电压的波形图和时序图;

[0034] 图5示出了根据一个或多个实施例的示例带隙基准电路;

[0035] 图6示出了根据一个或多个实施例的示例带隙基准电路;以及

[0036] 图7示出了图5中的低噪声放大器(LNA)的导通点的示例图。

[0037] 在所有的附图和具体实施方式中,除非另外描述或提供,否则相同的附图标记将被理解为指示相同的元件、特征和结构。附图可不按照比例绘制,并且为了清楚、说明和便利起见,可夸大附图中的元件的相对尺寸、比例和描绘。

具体实施方式

[0038] 提供以下具体实施方式以帮助读者获得对在此描述的方法、设备和/或系统的全面理解。然而,在理解本申请的公开内容之后,在此所描述的方法、设备和/或系统的各种改变、修改及等同物将是显而易见的。例如,在此描述的操作的顺序仅仅是示例,并且不限于在此阐述的顺序,而是除了必须按照特定顺序发生的操作之外,可做出在理解本申请的公开内容之后将是显而易见的改变。此外,为了提高清楚性和简洁性,可省略本领域中已知的特征的描述。

[0039] 在此使用的术语仅用于描述各种示例,并且将不用于限制本公开。除非上下文另外清楚指出,否则单数形式也意图包括复数形式。术语“包含”、“包括”和“具有”列举存在所陈述的特征、数量、操作、构件、元件和/或它们的组合,但不排除存在或添加一个或多个其他特征、数量、操作、构件、元件和/或它们的组合。

[0040] 在整个说明书中,当诸如层、区域或基板的元件被描述为“在”另一元件“上”、“连接到”另一元件或“结合到”另一元件时,该元件可直接“在”另一元件“上”、直接“连接到”另

一元件或直接“结合到”另一元件,或者可存在介于它们之间的一个或更多个其他元件。相比之下,当元件被描述为“直接在”另一元件“上”、“直接连接到”另一元件或“直接结合到”另一元件时,可不存在介于它们之间的其他元件。

[0041] 如在此使用的,术语“和/或”包括相关所列项中的任意一项和任意两项或更多项的任意组合。

[0042] 尽管在此可使用诸如“第一”、“第二”和“第三”的术语来描述各种构件、组件、区域、层或部分,但是这些构件、组件、区域、层或部分将不受这些术语限制。更确切地说,这些术语仅用来将一个构件、组件、区域、层或部分与另一构件、组件、区域、层或部分区分开。因此,在不脱离示例的教导的情况下,在此描述的示例中所称的第一构件、第一组件、第一区域、第一层或第一部分也可被称为第二构件、第二组件、第二区域、第二层或第二部分。

[0043] 除非另外定义,否则在此使用的所有术语(包括技术术语和科学术语)具有与本公开所属领域的普通技术人员在理解本申请的公开内容之后通常理解的含义相同的含义。除非在此明确地如此定义,否则术语(诸如在通用词典中定义的术语)将被解释为具有与它们在相关领域和本申请的公开内容的上下文中的含义一致的含义,并且不被解释为理想化的或过度正式的意义。

[0044] 图1示出了根据一个或更多个实施例的示例带隙基准电路。

[0045] 参照图1,根据一个或更多个实施例的带隙基准电路10可包括启动电路100和带隙基准核心电路200。

[0046] 启动电路100可接收操作电压VDD。启动电路100还可基于接收到的使能信号EN、关闭信号SD和带隙电压V_{bg}生成启动电压V_{stp},并将生成的V_{stp}输出至带隙基准核心电路200。在此,注意的是,针对示例或实施例使用术语“可”(例如,关于示例或实施例可包含或实现什么)意味着存在包括或实现这种特征的至少一个示例或实施例,而所有示例和实施例不限于此。

[0047] 带隙基准核心电路200可基于接收到的操作电压VDD和从启动电路100接收的接收到的启动电压V_{stp}来生成带隙电压V_{bg}。带隙基准核心电路200可基于接收到的操作电压VDD和接收到的启动电压V_{stp}而开始操作。

[0048] 图2示出了根据一个或更多个实施例的示例启动电路。

[0049] 参照图2,启动电路100可包括:第一开关110、第二开关120、逻辑电路130和第三开关140。

[0050] 在各个附图中,将省略对于由相同附图标记表示并且具有相同功能的组件的不必要的重复描述,并且将描述各个附图中彼此不同的内容。

[0051] 图3示出了根据一个或更多个实施例的示例启动电路。

[0052] 参照图3,启动电路100可包括第一开关110、第二开关120、逻辑电路130、第三开关140和第四开关150。

[0053] 参照图2和图3,在示例中,第一开关110可连接在操作电压VDD端子和第一连接节点N1之间,以基于关闭信号SD执行开关操作。

[0054] 第二开关120可连接在第一连接节点N1和地之间,以基于带隙电压V_{bg}执行开关操作。

[0055] 逻辑电路130可对第一连接节点N1的第一电压V1与使能信号EN执行逻辑与运算,

以生成开关电压 V_{sw} 。

[0056] 第三开关140可连接在输出启动电压 V_{stp} 的输出节点 No 和地之间,以基于开关电压 V_{sw} 执行开关操作。

[0057] 参照图3,第四开关150可连接在操作电压 VDD 端子和输出节点 No 之间,以基于使能信号 EN 执行开关操作。

[0058] 另外,参照图2和图3,在示例中,第一开关110可包括P沟道场效应晶体管(FET) $M1$ 。

[0059] P沟道场效应晶体管(FET) $M1$ 可具有连接到操作电压 VDD 端子的源极、通过第一电阻器 $R1$ 连接到第一连接节点 $N1$ 的漏极和对关闭信号 SD 进行输入所通过的栅极。

[0060] 在示例中,当关闭信号 SD 具有高电压电平时,P沟道FET $M1$ 可截止。当使能信号 EN 具有高电压电平并且关闭信号 SD 具有低电压电平时,P沟道FET $M1$ 可导通,并且启动电路100可因此开始操作。

[0061] 在示例中,第二开关120可包括N沟道场效应晶体管(FET) $M2$ 。

[0062] N沟道场效应晶体管(FET) $M2$ 可具有连接到第一连接节点 $N1$ 的漏极、连接到地的源极和对带隙电压 V_{bg} 进行输入所通过的栅极。

[0063] 在示例中,在没有启动电路100的输出电压并且因此带隙电压 V_{bg} 具有低电压电平的情况下,N沟道FET $M2$ 可截止,并且在带隙电压 V_{bg} 基于启动电路100的操作而具有高电压电平的情况下,N沟道FET $M2$ 可导通。

[0064] 在示例中,第三开关140可包括N沟道场效应晶体管(FET) $M3$ 。

[0065] N沟道场效应晶体管(FET) $M3$ 可具有连接到输出节点 No 的漏极、连接到地的源极和对开关电压 V_{sw} 进行输入所通过的栅极。

[0066] 例如,在从逻辑电路130输出的开关电压 V_{sw} 具有高电压电平的情况下,N沟道FET $M3$ 可导通,从而允许启动电流 I_{stp} 从输出节点 No 快速流到地,以快速地降低启动电压 V_{stp} 。然后,当使能信号 EN 具有低电压电平时,开关电压 V_{sw} 具有低电压电平,N沟道FET $M3$ 可截止。

[0067] 逻辑电路130可包括例如逻辑与门AND(逻辑元件)。

[0068] 逻辑与门AND可具有第一输入端子、第二输入端子和输出端子,第一输入端子连接到第一连接节点 $N1$ 并且被配置为接收第一电压 $V1$,第二输入端子被配置为接收使能信号 EN ,输出端子被配置为输出开关电压 V_{sw} ,开关电压 V_{sw} 具有反映在第一电压 $V1$ 和使能信号 EN 之间执行的逻辑与运算的结果的电压电平。

[0069] 在示例中,在第一电压 $V1$ 和使能信号 EN 两者具有高电压电平的情况下,逻辑与门AND可输出具有高电压电平的开关电压 V_{sw} 。

[0070] 可选地,在第一电压 $V1$ 或使能信号 EN 具有低电压电平的情况下,逻辑与门AND可输出具有低电压电平的开关电压 V_{sw} 。

[0071] 在示例中,开关电压 V_{sw} 的高电压电平可与操作电压 VDD 的电压电平相同。在操作电压 VDD 为3.5V的示例中,开关电压 V_{sw} 也可具有3.5V的高电压电平。

[0072] 在示例中,在使能信号 EN 具有高电压电平并且同时启动电路100尚未执行正常操作的时间期间,在第一电压 $V1$ 和使能信号 EN 两者都具有高电压电平的情况下,逻辑与门AND可输出具有高电压电平的开关电压 V_{sw} 。

[0073] 然后,在启动电路100执行正常操作的情况下,逻辑与门AND可输出具有低电压电

平的开关电压 V_{sw} ,并且N沟道FET M2因此导通,从而允许第一电压 V_1 具有低电压电平。

[0074] 例如,第四开关150可包括P沟道场效应晶体管(FET)M4。

[0075] P沟道场效应晶体管(FET)M4可具有连接到操作电压VDD端子的源极、连接到输出节点No的漏极和对使能信号EN进行输入所通过的栅极。

[0076] 在示例中,P沟道FET M4可在使能信号EN具有低电压电平的情况下导通,并且可将操作电压VDD供应到输出节点No。在本示例中,启动电压 V_{stp} 可变为操作电压VDD,然后带隙基准核心电路200可不执行其操作。

[0077] 然后,在使能信号EN具有高电压电平的情况下,P沟道FET M4可截止,并且启动电路100可因此开始操作。

[0078] 仍然参照图3,启动电压 V_{stp} 可随着流过第三开关140的N沟道FET M3的启动电流 I_{stp} 的量的增大而快速减小。即,启动电流 I_{stp} 的量可随着第三开关140的N沟道FET M3的栅极-源极电压的增大而增大。

[0079] 如果图3的电路是没有逻辑电路130的电路(即,典型电路),则第三开关140的N沟道FET M3可具有低于操作电压VDD的栅极电压。然而,在非限制性示例中,在第三开关140的N沟道FET M3执行其操作的情况下,N沟道FET M3的栅极-源极电压 V_{gs} 可变为操作电压VDD。因此,N沟道FET M3的栅极-源极电压 V_{gs} 可变为比典型电路的栅极电压高的电压,从而更快速地降低启动电压 V_{stp} 。

[0080] 在不包括逻辑电路130的典型电路中,当启动电压 V_{stp} 减小到低于预定电压并且带隙基准核心电路200因此开始其操作时,从带隙基准核心电路200输出的带隙电压 V_{bg} 可增大,从而产生第二开关120的N沟道FET M2的导通电阻。在这种情况下,由于第二开关120的N沟道FET M2的导通电阻,第一连接节点N1的第一电压 V_1 可随着带隙电压 V_{bg} 的增大而减小。

[0081] 因此,第三开关140的N沟道FET M3的启动电流 I_{stp} 也可逐渐减小。结果,基于下式1所示的N沟道FET M3的导通电阻 R_{on} ,带隙基准电路10执行正常操作所需的时间可能变长。

[0082] 式1:

$$[0083] \quad R_{on} = L / \{k_n (V_{gs} - V_{th})\}$$

[0084] 在上式1中, V_{gs} 可表示N沟道FET M3的栅极-源极电压, V_{th} 可表示N沟道FET M3的阈值电压, k_n 可表示常数,并且 L 可表示N沟道FET M3的栅极长度。

[0085] 然而,在包括逻辑电路130的启动电路100中,第三开关140的N沟道FET M3的栅极电压可与逻辑电路130的输出电压相同。因此,尽管带隙电压 V_{bg} 增大,也可保持操作电压VDD并且预定量的启动电流 I_{stp} 可流过第三开关140的N沟道FET M3,直到带隙基准电路10执行正常操作。

[0086] 另外,参照图3,第一开关110的P沟道FET M1可接收关闭信号SD,启动电路100和带隙基准核心电路200可随后执行它们的正常操作,从而允许带隙基准核心电路200输出正常的带隙电压 V_{bg} 。

[0087] 然后,随着带隙电压 V_{bg} 增大,如果第二开关120的N沟道FET M2导通,则第一连接节点N1的第一电压 V_1 可具有低电压电平,逻辑电路130可随后将具有低电压电平的开关电压 V_{sw} 输出到第二连接节点N2,第三开关140的N沟道FET M3可基于具有低电压电平的开关电压 V_{sw} 而相应地截止,并且启动电压 V_{stp} 可因此具有高电压电平。

[0088] 首先,在带隙基准电路10不被驱动(即,EN具有低电压电平并且SD具有高电压电平)的情况下,第一开关110的P沟道FET M1和逻辑电路130两者可截止,从而不消耗电流。

[0089] 接下来,在带隙基准电路10从关闭被驱动为启动(即,EN具有高电压电平并且SD具有低电压电平)的情况下,虽然带隙基准电路10启动,但是带隙电压V_{bg}最初可具有0V的电压电平。因此,第二开关120的N沟道FETM2仍然可截止,并且因此第一连接节点N1的第一电压V1几乎可以是操作电压VDD。

[0090] 因此,在第一连接节点N1的第一电压V1变为操作电压VDD的情况下,第二连接节点N2(逻辑电路130的输出节点)的开关电压V_{sw}可改变为操作电压VDD,从而使第三开关140的N沟道FET M3导通以降低启动电压V_{stp}(带隙基准核心电路200的偏置电压)。

[0091] 在启动电压V_{stp}减小的情况下,带隙基准核心电路200可执行正常操作,从而增大带隙电压V_{bg},并且在带隙电压V_{bg}变得比第二开关120的N沟道FET M2的阈值电压V_{th}更高的情况下,第二开关120的N沟道FET M2可导通。在示例中,第一连接节点N1的第一电压V1可减小,并且可具有低电压电平,并且从逻辑电路130的逻辑与门AND输出的开关电压V_{sw}因此可改变为具有0V的电压电平。

[0092] 如上所述,在开关电压V_{sw}具有0V的电压电平的情况下,基于具有低电压电平的开关电压V_{sw},第三开关140的N沟道FET M3可截止,从而停止启动电路100的操作并且不再消耗电流。

[0093] 图4示出了根据一个或更多个实施例的主信号和电压的波形图和时序图的示例。

[0094] 参照图4,EN可指使能信号,使能信号与应用于时分双工(TDD)型无线通信终端的低噪声放大器(LNA)的接收开启相对应,或者使能信号与应用于时分双工(TDD)型无线通信终端的功率放大器(PA)的发送开启相对应。

[0095] I_{stp}可指从启动电路100的输出端子流到地的启动电流。

[0096] V_{stp}可指通过启动电路100的输出端子输出的电压,并且可指输入到带隙基准核心电路200的启动电压。

[0097] 当与没有逻辑电路的现有电路相比时,由于示例的启动电流I_{stp}从启动电路100的输出端子快速地流到地,因此与现有电路相比,启动电压V_{stp}可快速地减小以具有低电压电平。

[0098] 因此,从带隙基准核心电路200输出的带隙电压V_{bg}可基于启动电压V_{stp}快速增大到正常电压(例如,1.1V或更大)。当与典型电路相比时,示例的驱动时间点T1也可比典型电路的驱动时间点T2快预定时间($T1-T2 = \Delta T = 55\text{ns}$)。

[0099] 图5示出了根据一个或更多个实施例的示例带隙基准电路。

[0100] 参照图5,带隙基准电路10可将带隙电压V_{bg}供应到低噪声放大器(LNA) 20。

[0101] 图6示出了根据一个或更多个实施例的示例带隙基准电路。

[0102] 参照图6,带隙基准电路10可将带隙电压V_{bg}供应到功率放大器(PA) 30。

[0103] 图7示出了图5的低噪声放大器(LNA)的示例导通点。

[0104] 参照图5和图7,应用了示例的带隙基准电路10的低噪声放大器(LNA) 20可从带隙基准电路10接收带隙电压V_{bg},并且可比现有技术的低噪声放大器的输出信号输出时的时间点更早地输出输出信号S_{out}。

[0105] 如上所述,根据每个示例,启动电路和带隙基准电路可通过使用逻辑元件而具有

提高的响应速度,从而缩短包括在前端模块(FEM)中的低噪声放大器(LNA)和功率放大器(PA)的每次导通时间。

[0106] 虽然本公开包括具体示例,但是在理解本申请的公开内容之后将显而易见的是,在不脱离权利要求及其等同物的精神和范围的情况下,可在形式和细节上对这些示例做出各种改变。在此描述的示例将仅被认为是描述性含义,而非出于限制的目的。在每个示例中的特征或方面的描述将被认为可适用于其他示例中的类似特征或方面。如果按照不同的顺序执行描述的技术,和/或如果按照不同的方式组合所描述的系统、架构、装置或电路中的组件,和/或由其他组件或其等同物来替换或者添加所描述的系统、架构、装置或电路中的组件,则可获得合适的结果。因此,本公开的范围不由具体实施方式限定,而是由权利要求及其等同物限定,并且在权利要求及其等同物的范围内的全部变型将被解释为被包含在本公开中。

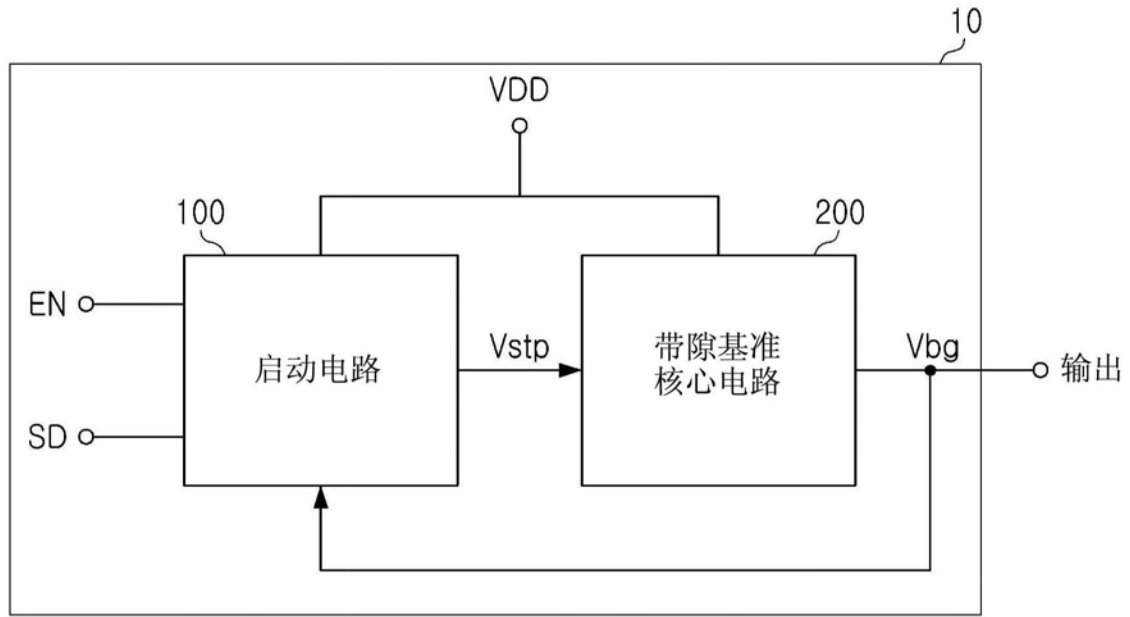


图1

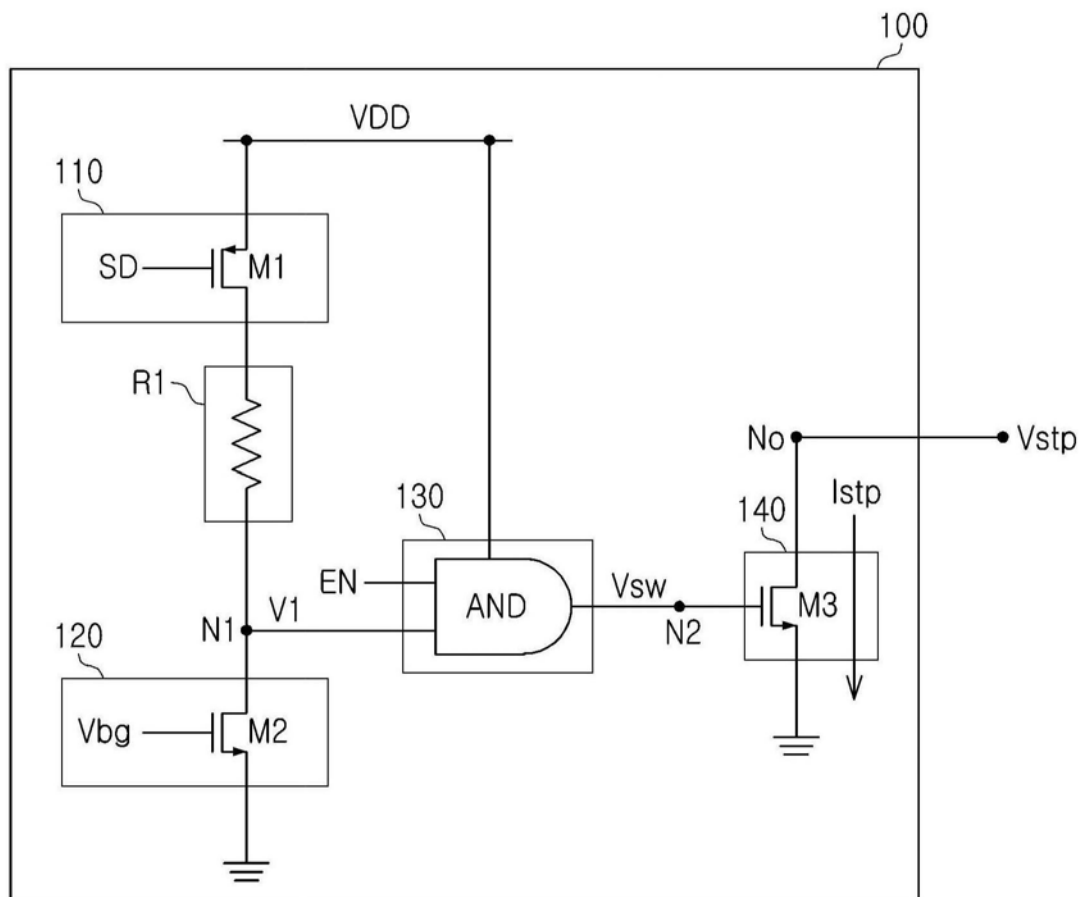


图2

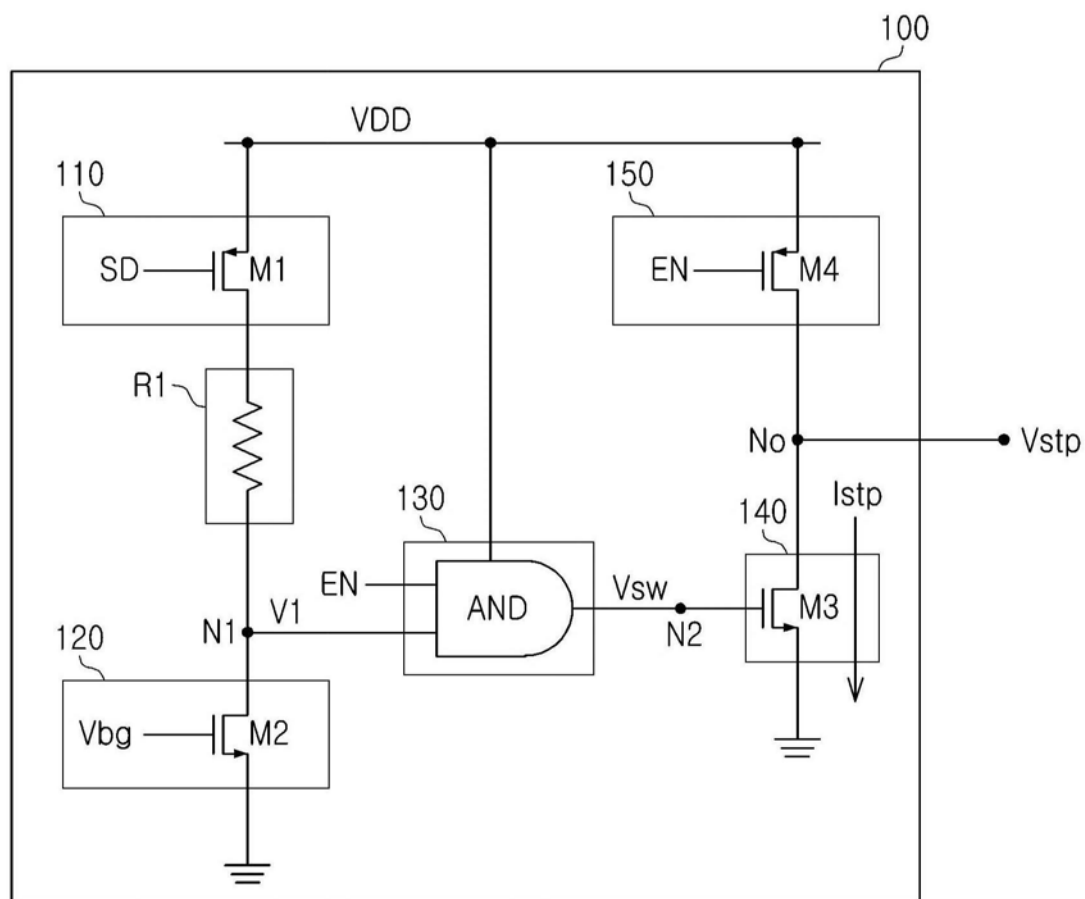


图3

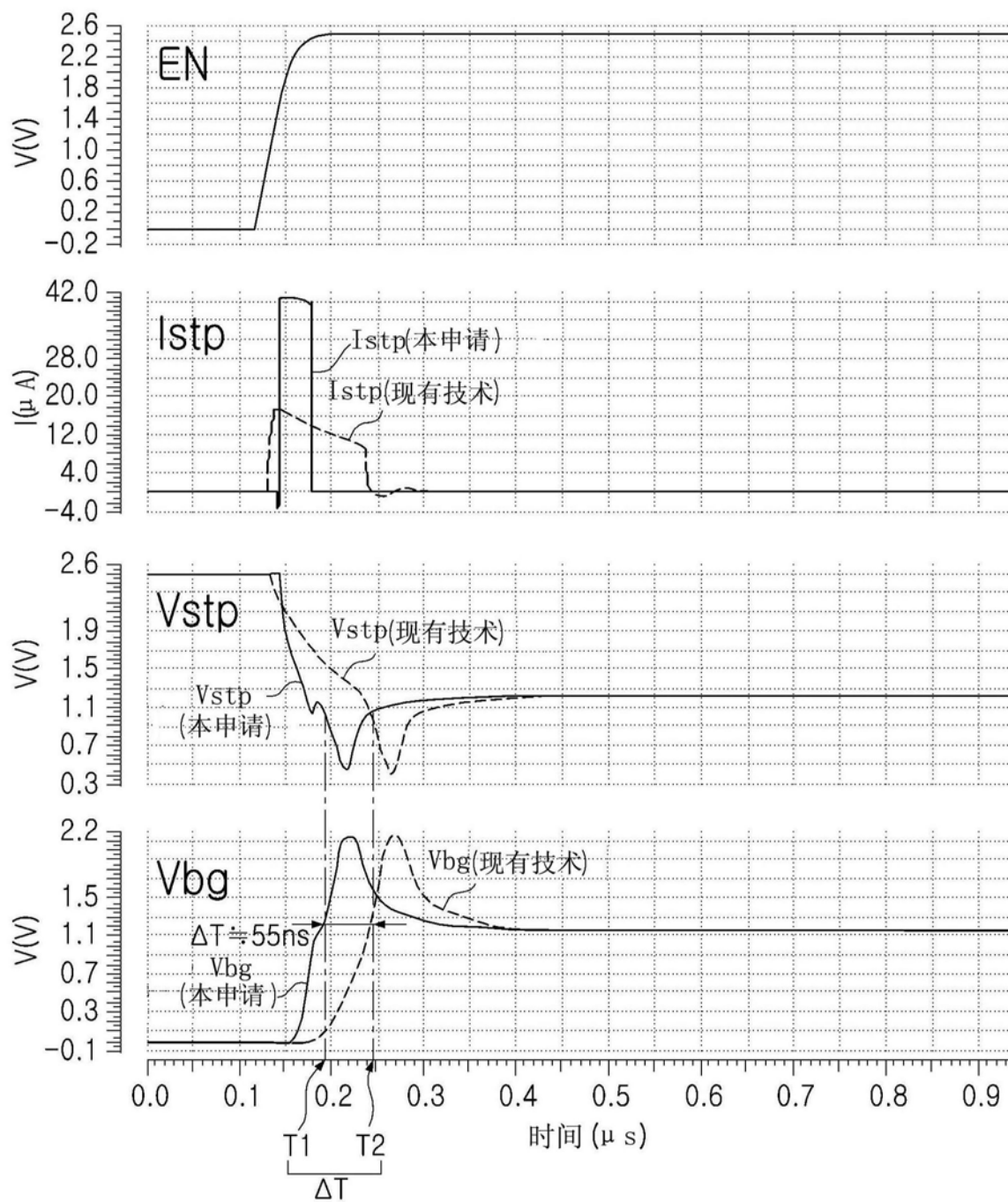


图4

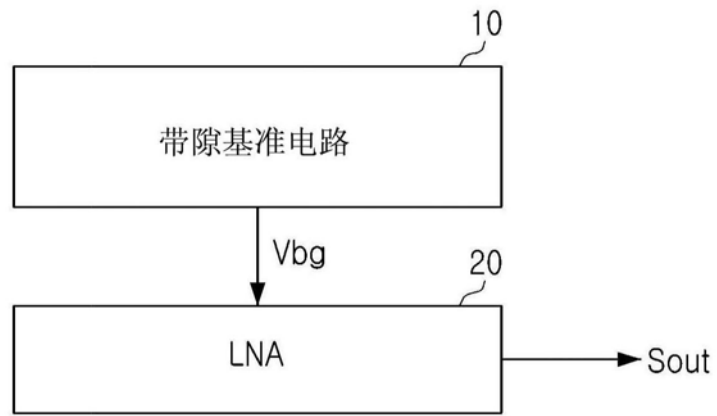


图5

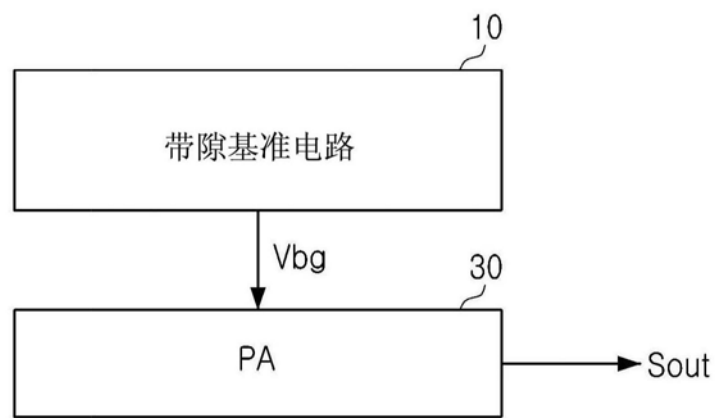


图6

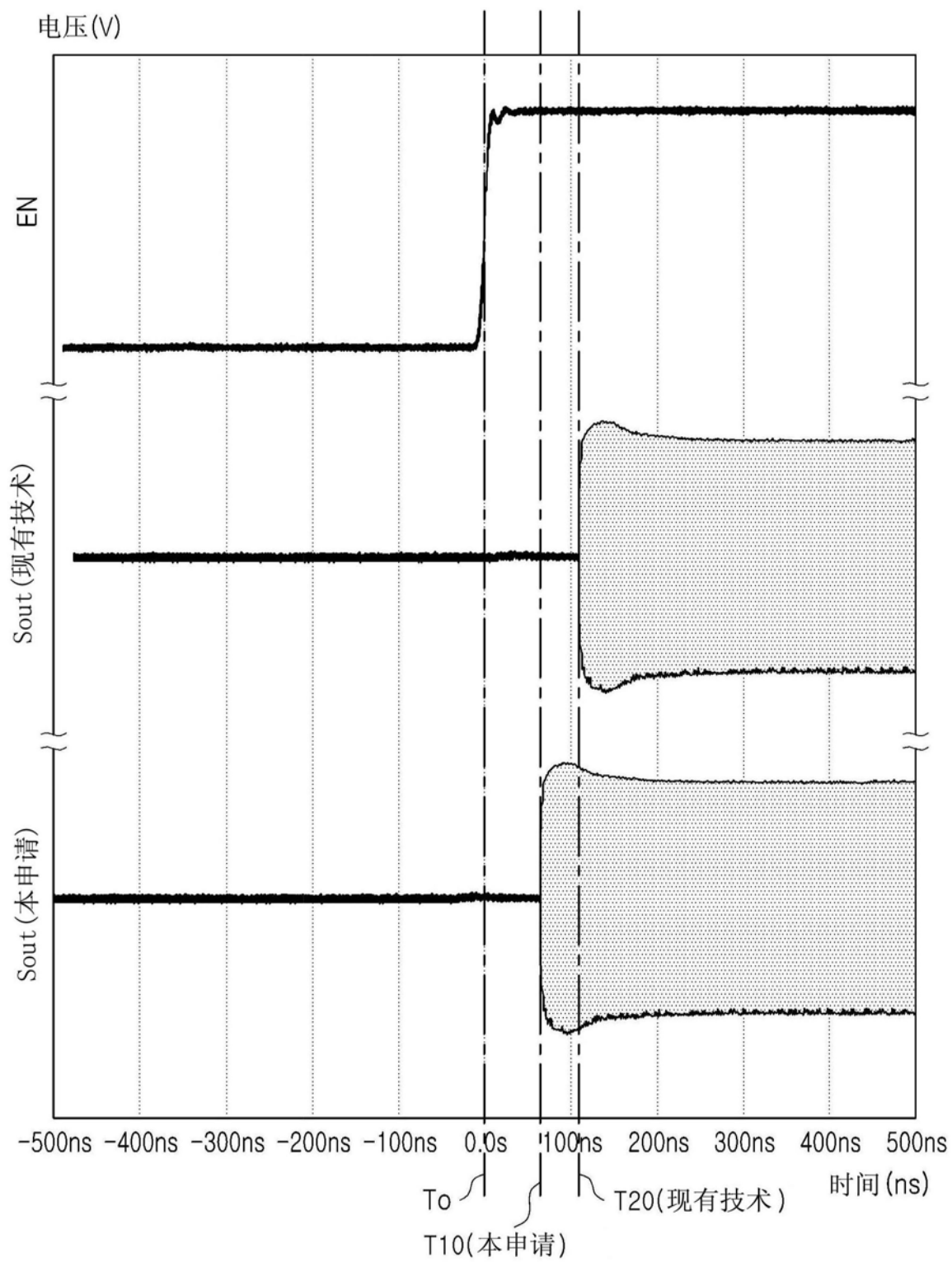


图7