



(12) 发明专利申请

(10) 申请公布号 CN 103107802 A

(43) 申请公布日 2013. 05. 15

(21) 申请号 201210146727. 1

(22) 申请日 2012. 05. 11

(30) 优先权数据

13/293, 853 2011. 11. 10 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 钟道文 陈建宏 黄明杰 林志昌

隋彧文

(74) 专利代理机构 北京德恒律师事务所 11306

代理人 陆鑫 房岭梅

(51) Int. Cl.

H03K 19/0175(2006. 01)

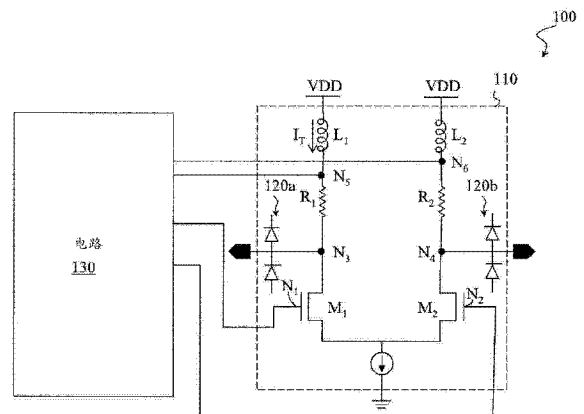
权利要求书2页 说明书6页 附图3页

(54) 发明名称

具有电感器的输入 / 输出电路

(57) 摘要

本发明涉及具有电感器的输入 / 输出 (I/O) 电路包括与 I/O 电路的输出节点电连接的静电放电 (ESD) 保护电路。至少一个电感器和至少一个负载以串联方式且在 I/O 电路的输出节点和电源线之间进行电连接。电路与至少一个电感器和至少一个负载之间的节点电连接。电路用于增加信号变换期间流过至少一个电感器的电流。



1. 一种输入 / 输出 (I/O) 电路, 包括:
 - 静电放电 (ESD) 保护电路, 与所述 I/O 电路的输出节点电连接;
 - 至少一个电感器和至少一个负载, 以串联方式电连接在所述 I/O 电路的所述输出节点和电源线之间; 以及
 - 子电路, 与所述至少一个电感器和所述至少一个负载之间的节点电连接, 其中, 该子电路用于增加信号变换期间流过所述至少一个电感器的电流。
2. 根据权利要求 1 所述的 I/O 电路, 其中, 所述子电路包括具有至少一个输出节点的至少一个预驱动级, 并且所述至少一个预驱动级的所述至少一个输出节点与驱动级的至少一个输入节点电连接。
3. 根据权利要求 2 所述的 I/O 电路, 其中, 所述至少一个预驱动级包括:
 - 第一预驱动级, 与所述至少一个负载和所述至少一个电感器之间的节点电连接, 并与所述驱动级电连接; 以及
 - 第二预驱动级, 与所述至少一个负载和所述至少一个电感器之间的节点电连接, 并与所述第一预驱动级电连接。
4. 根据权利要求 3 所述的 I/O 电路, 其中, 在信号变换期间, 第一电流流过所述驱动级, 第二电流流过所述第一预驱动级, 第三电流流过所述第二预驱动级, 所述第一电流、所述第二电流和所述第三电流基本上彼此相等。
5. 根据权利要求 1 所述的 I/O 电路, 其中, 所述子电路包括具有至少一个输出节点的至少一个电平位移器, 所述至少一个电平位移器的所述至少一个输出节点与驱动级的至少一个输入节点电连接。
6. 根据权利要求 5 所述的 I/O 电路, 其中, 所述至少一个电平位移器包括:
 - 第一电平位移器, 与所述至少一个电感器和所述至少一个负载之间的节点电连接, 并且与所述驱动级电连接; 以及
 - 第二电平位移器, 与所述至少一个电感器和所述至少一个负载之间的节点电连接, 并且与所述第一电平位移器电连接。
7. 根据权利要求 6 所述的 I/O 电路, 其中, 在信号变换期间, 第一电流流过所述驱动级, 第二电流流过所述第一电平位移器, 第三电流流过所述第二电平位移器, 所述第一电流、所述第二电流和所述第三电流基本上彼此相等。
8. 根据权利要求 6 所述的 I/O 电路, 其中, 在稳态期间, 流过所述第一电平位移器和所述第二电平位移器的电流基本上为零。
9. 一种输入 / 输出 (I/O) 电路, 包括:
 - 驱动级, 包括:
 - 第一静电放电 (ESD) 保护电路, 与所述驱动级的第一输出节点电连接;
 - 第二 ESD 保护电路, 与所述驱动级的第二输出节点电连接;
 - 第一电感器和第一电阻器, 以串联方式电连接在所述驱动级的所述第一输出节点与电源线之间; 以及
 - 第二电感器和第一电阻器, 以串联方式电连接在所述驱动级的所述第二输出节点与所述电源线之间; 以及
 - 第一电路, 与所述第一电感器和所述第一电阻器之间的第一节点以及所述第二电感器

和所述第二电阻器之间的第二节点电连接,所述第一电路的第一输出节点和所述第一电路的第二输出节点分别与所述驱动级的第一输入节点和第二输入节点电连接;以及

第二电路,与所述第一电感器和所述第一电阻器之间的第一节点以及所述第二电感器和所述第二电阻器之间的第二节点电连接,所述第二电路的第一输出节点和所述第二电路的第二输出节点分别与所述第一电路的第一输入节点和所述第一电路的第二输入节点电连接。

10. 一种输入/输出(I/O)电路,包括:

驱动级,包括:

第一静电放电(ESD)保护电路,与所述驱动级的第一输出节点电连接;

第二ESD保护电路,与所述驱动级的第二输出节点电连接;

第一电感器和第一电阻器,以串联方式电连接在所述驱动级的所述第一输出节点与电源线之间;以及

第二电感器和第二电阻器,以串联方式电连接在所述驱动级的所述第二输出节点与所述电源线之间;以及

第一电平位移器,与所述第一电感器和所述第一电阻器之间的第一节点以及所述第二电感器和所述第二电阻器之间的第二节点电连接,所述第一电平位移器的第一输出节点和所述第一电平位移器的第二输出节点分别与所述驱动级的第一输入节点和第二输入节点电连接,其中,在信号变换期间,所述第一电平位移器用于增加流过所述第一电感器或所述第二电感器的电流;以及

第二电平位移器,与所述第一电感器和所述第一电阻器之间的第一节点以及所述第二电感器和所述第二电阻器之间的第二节点电连接,所述第二电平位移器的第一输出节点和所述第二电平位移器的第二输出节点分别与所述第一电平位移器的第一输入节点和所述第一电平位移器的第二输入节点电连接,其中,在信号变换期间,所述第二电平位移器用于增加流过所述第一电感器或所述第二电感器的电流。

具有电感器的输入 / 输出电路

技术领域

[0001] 本公开总体上涉及半导体器件领域,更具体地,涉及具有电感器的输入 / 输出 (I/O) 电路。

背景技术

[0002] 随着半导体技术的发展,集成电路通常包含以高电压电平操作的器件以及以低电压电平操作的其他器件。低压器件不能忍受高压信号。当以高压信号操作低压器件时,会频繁发生器件故障。为了保护低压器件免受高压信号影响,集成电路通常包括输入 / 输出 (I/O) 电路作为低压器件和高压器件之间的接口。I/O 电路允许低压器件与高压器件进行通信,同时保护低压器件免受高压信号的损伤。

发明内容

[0003] 为解决上述问题,本发明提供了一种输入 / 输出 (I/O) 电路,包括:静电放电 (ESD) 保护电路,与 I/O 电路的输出节点电连接;至少一个电感器和至少一个负载,以串联方式电连接在 I/O 电路的输出节点和电源线之间;以及子电路,与至少一个电感器和至少一个负载之间的节点电连接,其中,该子电路用于增加信号变换期间流过至少一个电感器的电流。

[0004] 其中,子电路包括具有至少一个输出节点的至少一个预驱动级,并且至少一个预驱动级的至少一个输出节点与驱动级的至少一个输入节点电连接。

[0005] 其中,至少一个预驱动级包括:第一预驱动级,与至少一个负载和至少一个电感器之间的节点电连接,并与驱动级电连接;以及第二预驱动级,与至少一个负载和至少一个电感器之间的节点电连接,并与第一预驱动级电连接。

[0006] 其中,在信号变换期间,第一电流流过驱动级,第二电流流过第一预驱动级,第三电流流过第二预驱动级,第一电流、第二电流和第三电流基本上彼此相等。

[0007] 其中,子电路包括具有至少一个输出节点的至少一个电平位移器,至少一个电平位移器的至少一个输出节点与驱动级的至少一个输入节点电连接。

[0008] 其中,至少一个电平位移器包括:第一电平位移器,与至少一个电感器和至少一个负载之间的节点电连接,并且与驱动级电连接;以及第二电平位移器,与至少一个电感器和至少一个负载之间的节点电连接,并且与第一电平位移器电连接。

[0009] 其中,在信号变换期间,第一电流流过驱动级,第二电流流过第一电平位移器,第三电流流过第二电平位移器,第一电流、第二电流和第三电流基本上彼此相等。

[0010] 其中,在稳态期间,流过第一电平位移器和第二电平位移器的电流基本上为零。

[0011] 其中,ESD 保护电路具有大约 400 毫微微法 (fF) 或更高的寄生电容,至少一个电感器具有大约 0.1 毫微亨 (nH) 或更低的电感。

[0012] 此外,还提供了一种输入 / 输出 (I/O) 电路,包括:驱动级,包括:第一静电放电 (ESD) 保护电路,与驱动级的第一输出节点电连接;第二 ESD 保护电路,与驱动级的第二输

出节点电连接；第一电感器和第一电阻器，以串联方式电连接在驱动级的第一输出节点与电源线之间；以及第二电感器和第一电阻器，以串联方式电连接在驱动级的第二输出节点与电源线之间；以及第一电路，与第一电感器和第一电阻器之间的第一节点以及第二电感器和第一电阻器之间的第二节点电连接，第一电路的第一输出节点和第一电路的第二输出节点分别与驱动级的第一输入节点和第二输入节点电连接；以及第二电路，与第一电感器和第一电阻器之间的第一节点以及第二电感器和第一电阻器之间的第二节点电连接，第二电路的第一输出节点和第二电路的第二输出节点分别与第一电路的第一输入节点和第一电路的第二输入节点电连接。

[0013] 其中，第一电路和第二电路包括预驱动级或电平位移器。

[0014] 其中，第一电路和第二电路分别用于增加信号变换期间流过第一电感器或第二电感器的电流。

[0015] 其中，在信号变换期间，第一电流流过驱动级，第二电流流过第一电路，第三电流流过第二电路，第一电流、第二电流和第三电流基本上彼此相等。

[0016] 其中，在稳态期间，流过第一电路和第二电路的电流基本上为零。

[0017] 其中，第一 ESD 保护电路和第二 ESD 保护电路分别具有大约 400 毫微微法 (fF) 或更高的寄生电容，第一电感器和第一电感器分别具有大约 0.1 毫微亨 (nH) 或更低的电感。

[0018] 此外，还提供了一种输入 / 输出 (I/O) 电路，包括：驱动级，包括：第一静电放电 (ESD) 保护电路，与驱动级的第一输出节点电连接；第二 ESD 保护电路，与驱动级的第二输出节点电连接；第一电感器和第一电阻器，以串联方式电连接在驱动级的第一输出节点与电源线之间；以及第二电感器和第一电阻器，以串联方式电连接在驱动级的第二输出节点与电源线之间；以及第一电平位移器，与第一电感器和第一电阻器之间的第一节点以及第二电感器和第一电阻器之间的第二节点电连接，第一电平位移器的第一输出节点和第一电平位移器的第二输出节点分别与驱动级的第一输入节点和第二输入节点电连接，其中，在信号变换期间，第一电平位移器用于增加流过第一电感器或第二电感器的电流；以及第二电平位移器，与第一电感器和第一电阻器之间的第一节点以及第二电感器和第一电阻器之间的第二节点电连接，第二电平位移器的第一输出节点和第一电平位移器的第二输出节点分别与第一电平位移器的第一输入节点和第一电平位移器的第二输入节点电连接，其中，在信号变换期间，第二电平位移器用于增加流过第一电感器或第二电感器的电流。

[0019] 其中，在信号变换期间，第一电流流过驱动级，第二电流流过第一电平位移器，第三电流流过第二电平位移器，第一电流、第二电流和第三电流基本上彼此相等。

[0020] 其中，第一 ESD 保护电路和第二 ESD 保护电路分别具有大约 400 毫微微法 (fF) 或更高的寄生电容，第一电感器和第一电感器分别具有大约 0.1 毫微亨 (nH) 或更低的电感。

[0021] 其中，在稳态期间，流过第一电平位移器和第二电平位移器的电流基本上为零。

附图说明

[0022] 当阅读附图时，根据以下详细描述更好地理解本公开的一个或多个方面。应该强调的是，根据工业的标准实践，各种部件没有按比例绘制。实际上，为了讨论的清楚，可以任意增加或减小各种部件的尺寸。

[0023] 图 1 是根据一些实施例的输入 / 输出 (I/O) 电路的示意图。

[0024] 图 2 是示出根据一些实施例的包括至少一个预驱动级的示例性 I/O 电路的示意图。

[0025] 图 3 是示出根据一些实施例的包括至少一个电平位移器的示例性 I/O 电路的示意图。

具体实施方式

[0026] 输入 / 输出 (I/O) 设计具有大约 8 千兆赫 (GHz) 或更少的带宽。该 I/O 设计的带宽被添加至 I/O 的输出节点的静电放电 (ESD) 保护电路的寄生电容所折中。在一些情况下, 可以减小 ESD 保护电路的寄生电容。然而, 在设计一些高带宽 I/O 中不能减小寄生电容。

[0027] 在设计适合大约 10GHz 或更多的带宽的 I/O 的过程中, 感应峰化技术使用一对电感器, 每一对都电连接在负载电阻器和电源电压 VDD 之间。在一些情况下, 对于 40nm 技术节点或更好的设计, 电感器的电感可以在 0.3 毫微亨 (nH) 左右。

[0028] 随着集成电路的技术节点的缩小, 可用于 I/O 设计的面积变得更小。在一些实施例中, 用于感应峰化的 0.3nH 电感器的设计会太大而不能适应于单个 I/O 间距。大电感器和小 I/O 间距使得对小技术节点产生 I/O 设计的挑战。

[0029] 应该理解, 以下公开提供了用于实施各种实施例的不同特征的许多不同的实施例或实例。以下描述部件和配置的具体实例以简化本公开。当然, 这些仅仅是实例而并不用于限制。例如, 以下第一部件形成在第二部件上方的描述可以包括第一和第二部件被形成直接接触的实施例, 并且还可以包括可以形成附加部件夹置在第一和第二部件之间使得第一和第二部件没有直接接触的实施例。此外, 本公开可以在各个实例中重复参考标号和 / 或字母。这种重复是为了简化和清楚的目的, 它们本身并不用于表示所讨论的各个实施例和 / 或结构之间的关系。

[0030] 图 1 是输入 / 输出 (I/O) 电路的示意图。在图 1 中, I/O 电路 100 包括与电路 130 电连接的驱动级 110。驱动级 110 包括至少一个输入节点 (例如, 输入节点 N_1 和 N_2) 以及至少一个输出节点 (例如, 输出节点 N_3 和 N_4)。输入节点 N_1 和 N_2 分别与驱动级 110 的晶体管 M_1 和 M_2 的栅极电连接。晶体管 M_1 和 M_2 的漏极分别与对应的输出节点 N_3 和 N_4 电连接。在图 1 中, 驱动级 110 的输出节点 N_3 和 N_4 为 I/O 电路 100 的输出节点。

[0031] 在一些实施例中, 驱动级 110 包括至少一个静电放电 (ESD) 保护电路, 例如 ESD 保护电路 120a 和 120b, 它们与 I/O 电路 100 的对应输出节点 N_3 和 N_4 电连接。ESD 保护电路 120a 和 120b 被配置为保护 I/O 电路 100 免受对输出节点 N_3 和 N_4 发生的瞬间静电放电事件的损害。在一些实施例中, ESD 保护电路 120a 和 120b 都具有大约 400 毫微微法 (fF, femtofarads) 或更多的寄生电容。

[0032] 参照图 1, I/O 电路 100 包括至少一个电感器, 例如电感器 L_1 和 L_2 , 它们以串联方式与对应的负载 (例如, 电阻器 R_1 和 R_2) 电连接。电感器 L_1 和电阻器 R_1 电连接在输出节点 N_3 和被配置为提供电源电压 VDD 的电源线之间。电感器 L_2 和电阻器 R_2 电连接在输出节点 N_4 和被配置为提供电源电压 VDD 的电源线之间。在一些实施例中, 电源电压 VDD 大约为 1.8V, 每个电感器的电感大约为 0.1 毫微亨 (nH) 或更少, 并且每个电阻器的电阻大约为 50 欧姆 (Ω)。由于每个电感器的电感较低, 所以电感器设计使用的面积较小, 使得可以以单个 I/O 间距设计电感器 120a 和 120b。在一些实施例中, I/O 间距大约为 30 μm 或更少。

[0033] 注意,上面参照图 1 描述的电感、寄生电容、电源电压和 / 或电阻仅仅是示例性的。本申请的范围不限于此。在一些实施例中,可以响应于技术节点、I/O 电路的带宽设计的变化和 / 或其他设计变化修改电感、寄生电容、电源电压和 / 或电阻。

[0034] 再次参照图 1,电路 130 用于增加信号变换期间流过电感器 L_1 或 L_2 的电流 I_T 。例如,具有相对电压状态的一对信号被应用于输入节点 N_1 和 N_2 。信号导通和截止对应的晶体管 M_1 和 M_2 ,使得电流流过电感器 L_2 。

[0035] 在信号变换期间,应用于输入节点 N_1 的信号导通晶体管 M_1 ,并且应用于输入节点 N_2 的另一信号截止晶体管 M_2 。随着流过电感器 L_1 的电流 I_T 增加和 / 或被电路 130 感应,电流 I_T 的一部分流过电阻器 R_1 ,电流 I_T 的剩余部分流过电路 130。即使电感器 L_1 的电感较小(例如,大约 0.1nH 以下),电感器 L_1 两端的压差也由于电流 I_T 的增加而增加。节点 N_3 上电压电平的上拉变快。通过增加电流 I_T ,不仅可以增加 I/O 电路 100 的带宽,而且可以在单个 I/O 间距中设计小电感器 L_1 。

[0036] 图 2 是示出包括至少一个预驱动级的示例性 I/O 电路的示意图。至少一个预驱动级用于生成应用于驱动级 110 的输入节点 N_1 和 N_2 的预驱动信号。至少一个预驱动级还用于增加和 / 或感应流过电感器 L_1 和 L_2 的电流 I_T 。

[0037] 在一些实施例中,电路 130 包括至少一个预驱动级,例如,预驱动级 230a 和 230b。预驱动级 230a 和 230b 分别包括对应的输入节点 N_7 - N_8 和 N_{13} - N_{14} 以及对应的输出节点 N_9 - N_{10} 和 N_{15} - N_{16} 。预驱动级 230a 和 230b 分别还包括对应的晶体管对 M_3 - M_4 和 M_5 - M_6 。晶体管 M_3 - M_6 的栅极分别与对应的输入节点 N_7 、 N_8 、 N_{13} 和 N_{14} 电连接。输出节点 N_9 、 N_{10} 、 N_{15} 和 N_{16} 与对应的输入节点 N_2 、 N_1 、 N_8 和 N_7 电连接。

[0038] 再次参照图 2,预驱动级 230a 和 230b 包括对应的电阻器对 R_3 - R_4 和 R_5 - R_6 。在一些实施例中,预驱动级 230a 和 230b 与电感器 L_1 和电阻器 R_1 之间的节点 N_5 和电感器 L_2 和电阻器 R_2 之间的节点 N_6 电连接。例如,预驱动级 230a 和 230b 的节点 N_{11} 和 N_{17} 分别与节点 N_5 电连接。预驱动级 230a 和 230b 的节点 N_{12} 和 N_{18} 分别与节点 N_6 电连接。

[0039] 注意,在信号变换期间,流过驱动级 110 的电感器 L_1 的电流 I_T 增加。如果节点 N_{11} 和 N_{17} 以及 N_{12} 和 N_{18} 没有与对应的节点 N_5 和 N_6 电连接,则电流 I_T 将基本上等于流过电阻器 R_1 的电流 I_1 。在图 2 中,由于节点 N_{11} 和 N_{17} 以及 N_{12} 和 N_{18} 与对应的节点 N_5 和 N_6 电连接,所以电流 I_T 基本上等于分别流过驱动级 110 以及预驱动级 230a 和 230b 的电阻器 R_1 、 R_3 和 R_5 的电流 I_1 、 I_2 和 I_3 的总和。在一些实施例中,电流 I_1 、 I_2 和 I_3 基本上彼此相等。在一些实施例中,这里的术语“相等”是指电流 I_1 、 I_2 和 I_3 具有相同频率、相位和 / 或幅度。

[0040] 注意,上面参照图 2 描述的预驱动级 230a 和 230b 的数量仅仅是示例性的。本申请的范围不限于此。在一些实施例中,应用单个预驱动级或者多于两个的预驱动级以增加和 / 或感应电流 I_T 。可以响应于电感器的设计、流过对应驱动级的电流的相位和 / 或电流的频率的差和 / 或 I/O 电路的其他设计来改变预驱动级的数量。

[0041] 图 3 是示出包括至少一个电平位移器的示例性 I/O 电路的示意图。至少一个电平位移器用于移动应用于驱动级 110 的输入节点 N_1 和 N_2 的信号的电压级。至少一个电平位移器还用于增加和 / 或感应流过电感器 L_1 和 L_2 的电流 I_T 。

[0042] 在一些实施例中,电路 130 包括至少一个电平位移器,例如电平位移器 330a 和 330b。电平位移器 330a 和 330b 分别包括对应的输入节点 N_{19} - N_{20} 和 N_{25} - N_{26} 以及对应的输出

节点 N_{21} - N_{22} 和 N_{27} - N_{28} 。电平位移器 330a 和 330b 分别还包括对应的晶体管 M_7 - M_{10} 和 M_{11} - M_{14} 。在一些实施例中,晶体管 M_7 - M_8 和 M_{11} - M_{12} 为 N 型晶体管,以及晶体管 M_9 - M_{10} 和 M_{13} - M_{14} 为 P 型晶体管。晶体管 M_7 - M_8 的栅极分别与对应的输入节点 N_{19} 和 N_{20} 电连接。输出节点 N_{21} - N_{22} 和 N_{27} - N_{28} 与对应的输入节点 N_2 、 N_1 、 N_{20} 和 N_{19} 电连接。

[0043] 再次参照图 3,输出节点 N_{21} 和 N_{22} 分别设置在晶体管 M_7 和 M_9 之间和晶体管 M_8 和 M_{10} 之间。输出节点 N_{27} 和 N_{28} 分别设置在晶体管 M_{11} 和 M_{13} 之间和晶体管 M_{12} 和 M_{14} 之间。在一些实施例中,电平位移器 330a 和 330b 与电感器 L_1 和电阻器 R_1 之间的节点 N_5 和电感器 L_2 和电阻器 R_2 之间的节点 N_6 电连接。例如,节点 N_{23} 和 N_{29} 与节点 N_5 电连接,并且节点 N_{24} 和 N_{30} 与节点 N_6 电连接。

[0044] 注意,在信号变换期间,流过电感器 L_1 的电流 I_T 增加。如果节点 N_{23} 和 N_{29} 以及 N_{24} 和 N_{30} 没有与对应的节点 N_5 和 N_6 电连接,则电流 I_T 将等于流过电阻器 R_1 的电流 I_1 。在图 3 中,由于节点 N_{23} 和 N_{29} 以及 N_{24} 和 N_{30} 与对应的节点 N_5 和 N_6 电连接,所以电流 I_T 基本上等于分别流过驱动级 110 以及电平位移器 330a 和 330b 的电阻器 R_1 以及晶体管 M_9 和 M_{13} 的电流 I_1 、 I_4 和 I_5 的总和。在一些实施例中,电流 I_1 、 I_4 和 I_5 基本上相互相等。在一些实施例中,这里的术语“相等”是指电流 I_1 、 I_4 和 I_5 具有相同频率、相位和 / 或幅度。

[0045] 在信号稳态期间,流过电平位移器 330a 和 330b 的电流基本上等于零。流过电感器 L_1 的电流 I_T 基本上等于流过电阻器 R_1 的电流 I_1 。由于在信号稳态期间基本没有电流流过电平位移器 330a 和 330b,所以由 I/O 电路 100 消耗的功率很小。

[0046] 注意,上面参照图 3 描述的电平位移器 330a 和 330b 的数量仅仅是示例性的。本申请的范围不限于此。在一些实施例中,应用单个电平位移器或者多于两个的电平位移器以增加和 / 或感应电流 I_T 。可以响应于电感器的设计、流过对应电平位移器的电流的相位和 / 或电流的频率的差和 / 或 I/O 电路的其他设计来改变电平位移器的数量。

[0047] 在一些实施例中,电平位移器 330a 或 330b 用预驱动级 230a 或 230b 替换。在其他实施例中,附加驱动级以并联方式与电平位移器 330a 和 330b 电连接,以增加和 / 或感应电流 I_T 。

[0048] 在本申请的示例性实施例中,输入 / 输出 (I/O) 电路包括与 I/O 电路的输出节点电连接的静电放电 (ESD) 保护电路。至少一个电感器和至少一个负载以串联方式电连接在 I/O 电路的输出节点和电源线之间。电路与至少一个电感器和至少一个负载之间的节点电连接。该电路用于增加信号变换期间流过至少一个电感器的电流。

[0049] 在本申请的另一个示例性实施例中,输入 / 输出 (I/O) 电路包括驱动级,其包括与驱动级的第一输出节点电连接的第一静电放电 (ESD) 保护电路。第二 ESD 保护电路与驱动级的第二输出节点电连接。第一电感器和第一电阻器以串联方式电连接在驱动级的第一输出节点与电源线之间。第二电感器和第二电阻器以串联方式电连接在驱动级的第二输出节点与所述电源线之间。该 I/O 电路还包括第一电路,与第一电感器和第一电阻器之间的第一节点以及第二电感器和第二电阻器之间的第二节点电连接。第一电路具有分别与驱动级的第一输入节点和第二输入节点电连接的第三输出节点和第四输出节点。第二电路与第一电感器和第一电阻器之间的第一节点以及第二电感器和第二电阻器之间的第二节点电连接。第二电路具有分别与第一电路的第三输入节点和第四输入节点电连接的第五输出节点和第六输出节点。

[0050] 前面概述了多个实施例的特征,使得本领域的技术人员可以更好地理解本公开的各个方面。本领域的技术人员应该意识到,他们可以容易地将本公开用作用于设计或修改用于执行与本文引入实施例相同的目的和 / 或实现相同优点的其他工艺和结构的基础。本领域的技术人员还应该意识到,这种等效构造不背离本公开的精神和范围,并且他们可以进行各种改变、替换和修改而不背离本公开的精神和范围。

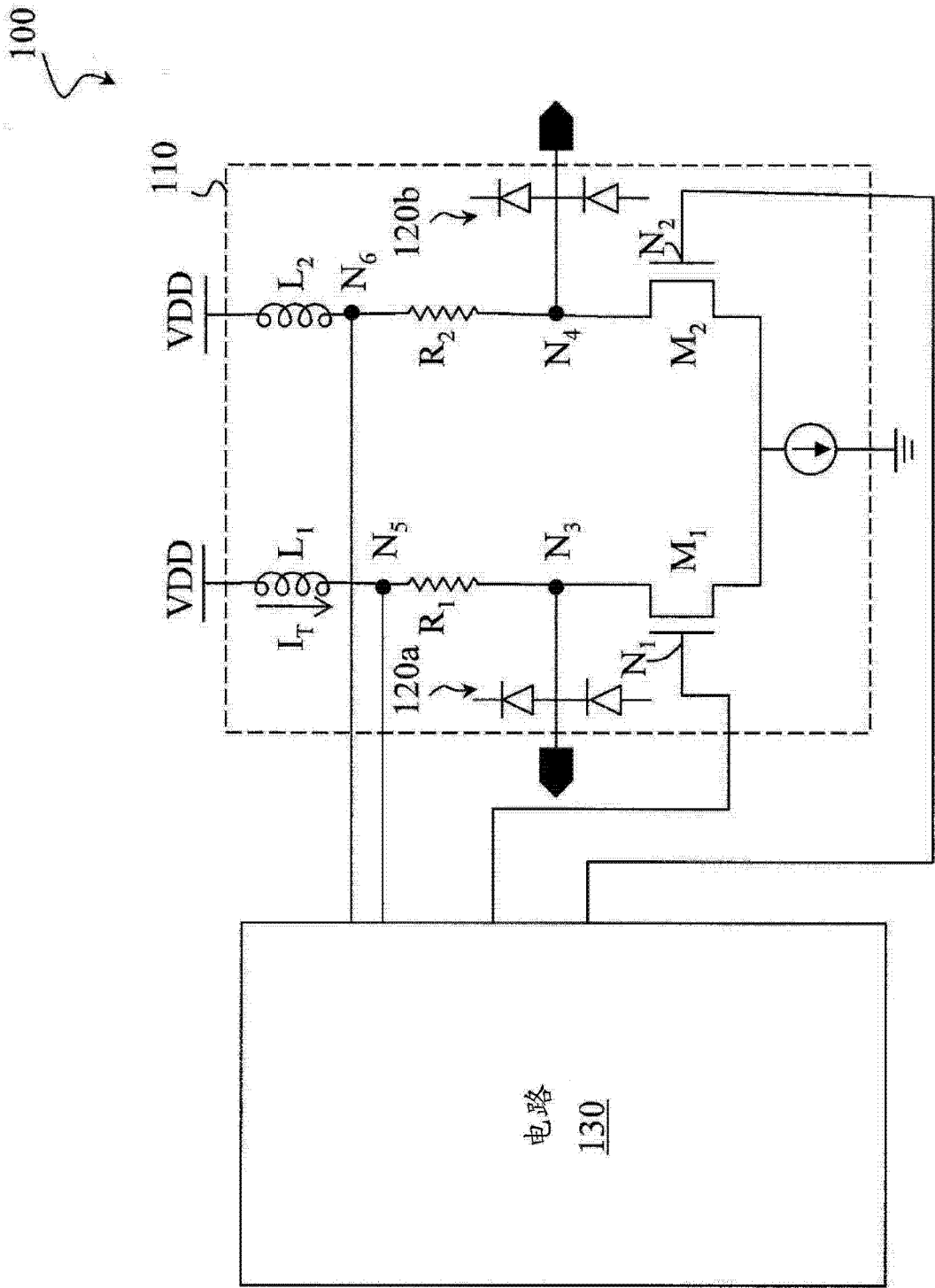


图 1

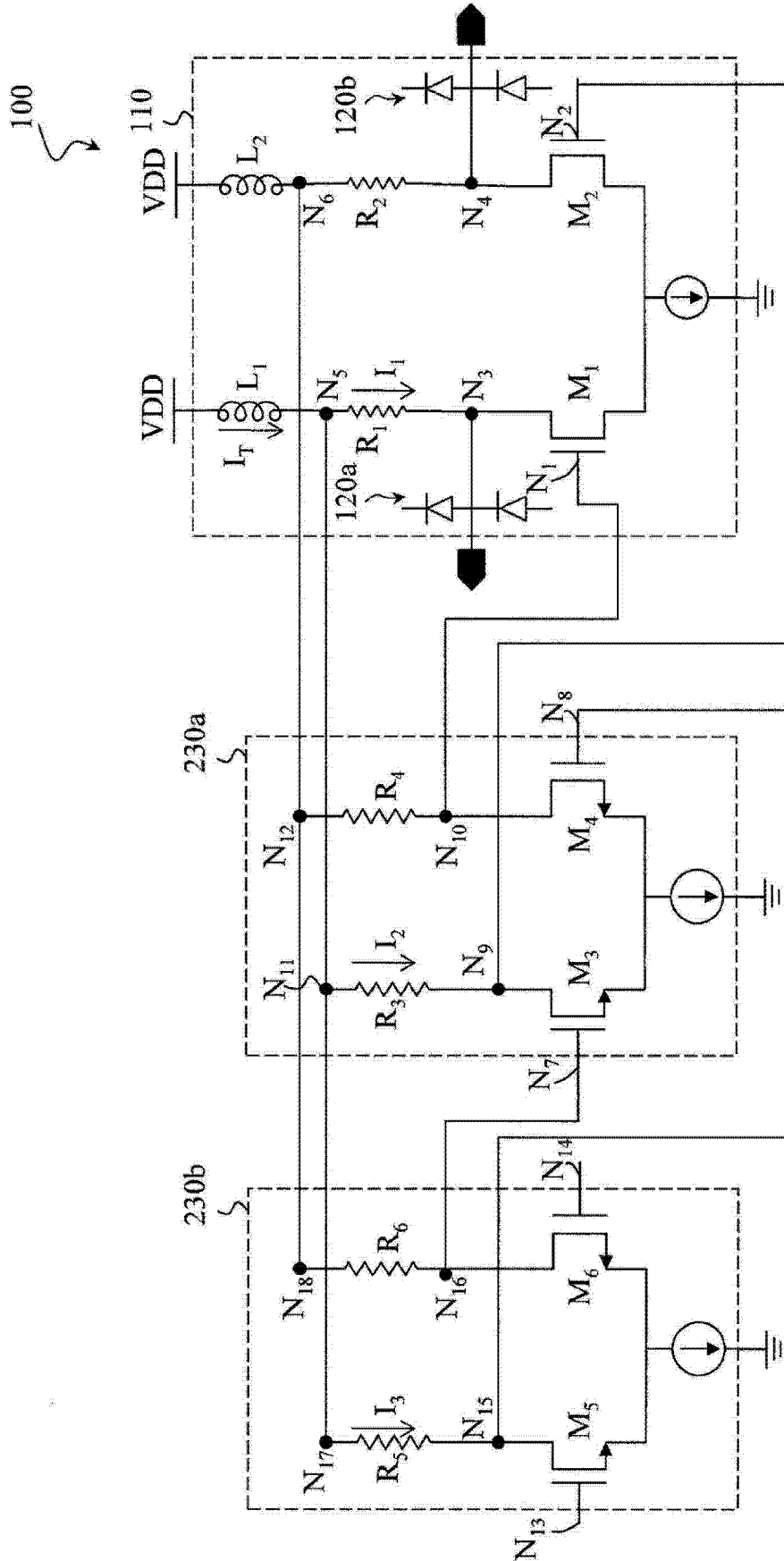


图 2

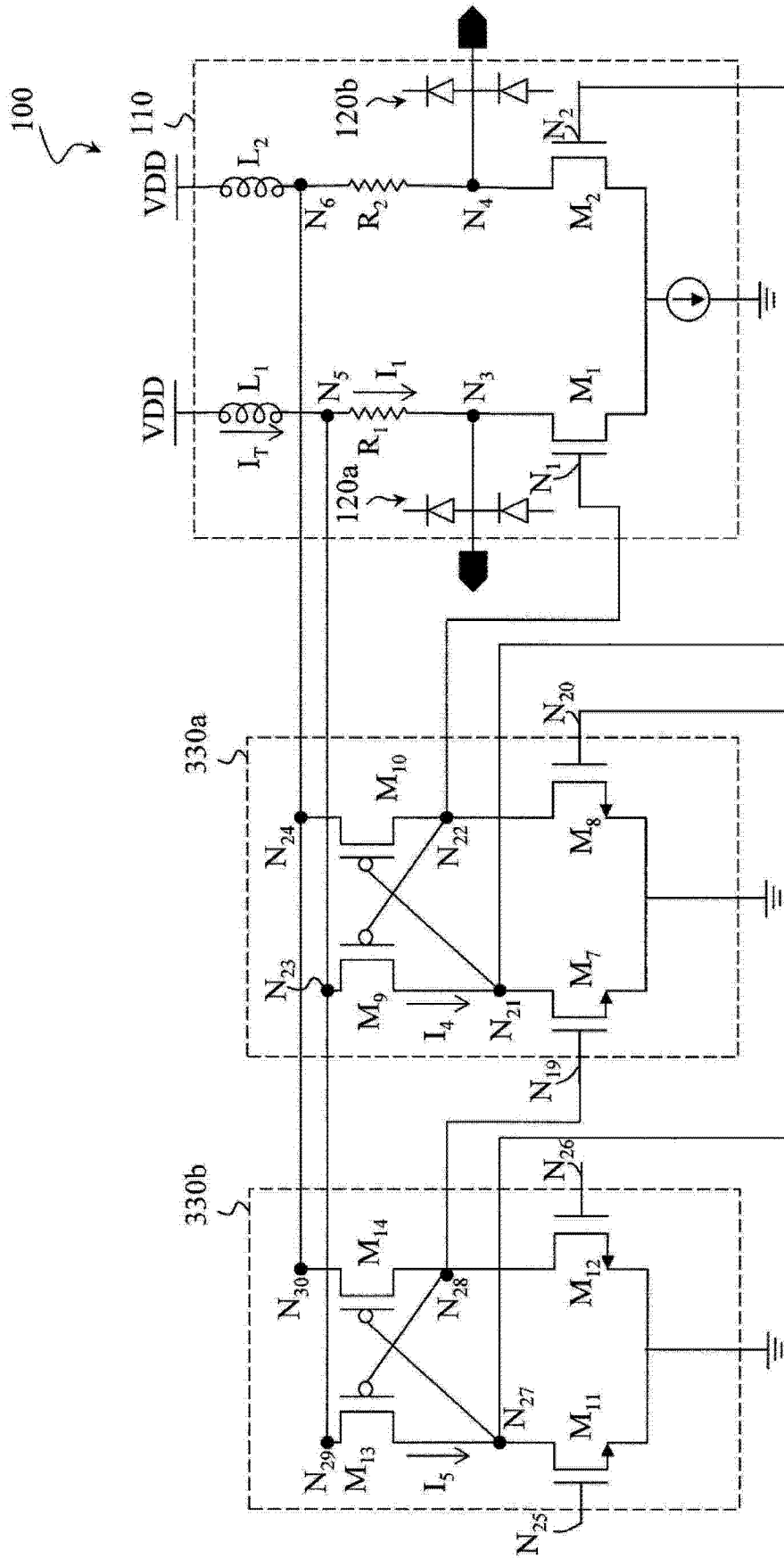


图 3