

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 3 月 17 日 (2005.3.17)

【公開番号】特開 2002-251331 (P2002-251331A)
 【公開日】平成 14 年 9 月 6 日 (2002.9.6)
 【出願番号】特願 2002-3536 (P2002-3536)
 【国際特許分類第 7 版】

G 0 6 F 12/16

【 F I 】

G 0 6 F 12/16 3 2 0 L

G 0 6 F 12/16 3 2 0 B

【手続補正書】
 【提出日】平成 16 年 4 月 13 日 (2004.4.13)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

データの記憶及び回復を行うシステムであって、
 複数のメモリユニットのそれぞれがデータ値を記憶するための複数のメモリ位置を有し、
 前記メモリユニットのうちの 1 つにおける前記メモリ位置の 1 つが、他の前記メモリユニットに記憶されたデータ値に関連するチェックサムを有するように構成された、複数のメモリユニットと、
 前記メモリユニット内のメモリ位置にアクセスするように構成された複数のメモリコントローラであって、前記メモリコントローラのうちの 1 つが、いずれの前記メモリコントローラが前記チェックサムを更新可能であることを示すインジケータを保持するように構成され、他のメモリコントローラから前記チェックサムを更新するためのチェックサム更新要求を取得し、該チェックサム更新要求に応じて前記インジケータを分析し、前記他のメモリコントローラが前記チェックサムを更新可能であることを前記インジケータが指示する場合にのみ前記チェックサム更新要求に基づいて前記チェックサムを更新するように更に構成され、前記他のメモリコントローラから前記メモリユニットに記憶された前記データ値のうちの 1 つを再構築するための再構築データ値を受信するように更に構成され、該再構築データ値に応じて前記再構築データ値を前記チェックサムと結合し、前記インジケータが前記他のメモリコントローラが前記チェックサムの更新をディセーブルされていることを示すように前記インジケータを更新するように更に構成された、複数のメモリコントローラと、
 からなるシステム。

【請求項 2】

前記インジケータがビット列を含み、前記ビット列のそれぞれのビットが前記メモリコントローラのうちのいずれか 1 つに対応し、前記インジケータは、前記ビット列中の前記他のメモリコントローラに対応するビットが特定の論理状態を示すときにのみ、前記他のメモリコントローラが前記チェックサムを更新可能であることを示す、請求項 1 のシステム。

【請求項 3】

前記 1 つのメモリ位置がメモリユニットオフセットによって識別され、前記チェックサムに関する前記データ値のそれぞれが、前記メモリユニットオフセットによって識別される

メモリ位置に記憶される、請求項1のシステム。