(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 6 月 5 日(05.06.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/084126 A1

(51) 国際特許分類:
G02F 1/1343 (2006.01) *G09F 9/00* (2006.01)
G02F 1/1368 (2006.01) *G09F 9/30* (2006.01)

(21) 国際出願番号: PCT/JP2013/081449

(22) 国際出願日: 2013 年 11 月 21 日(21.11.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-262476 2012 年 11 月 30 日(30.11.2012) JP

(71) 出願人: 株式会社ＪＶＣケンウッド(JVC KENWOOD CORPORATION) [JP/JP]; 〒2210022 神奈川県横浜市神奈川区守屋町３丁目１２番地 Kanagawa (JP).

(72) 発明者: 久我　雷二郎(KUGA, Raijirou); 〒2210022 神奈川県横浜市神奈川区守屋町３丁目１２番地 株式会社ＪＶＣケンウッド　知的財産部内 Kanagawa (JP).

(74) 代理人: 酒井　宏明(SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目２番５号　霞が関ビルディング　酒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

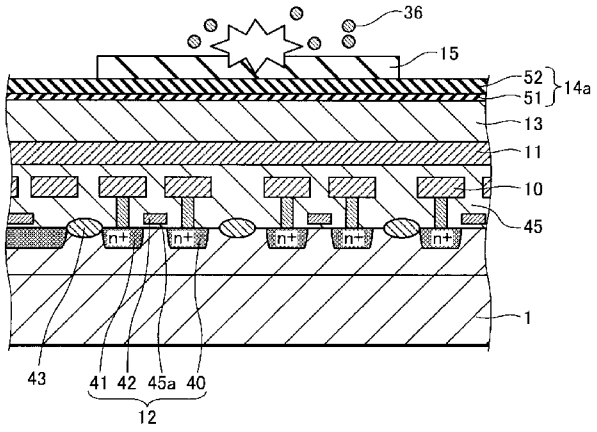
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: DISPLAY ELEMENT AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称 : 表示素子、及びその製造方法

[図24]



(57) **Abstract**: A display element having high productivity and a method for manufacturing the display element can be provided. A display element according to one embodiment of the present invention is provided with: a drive substrate (1) which comprises a transistor (12); a counter substrate (2) which is arranged so as to face the drive substrate (1); a seal material (6) which is arranged so as to surround a display region (3) and bonds the drive substrate (1) and the counter substrate (2) with each other; a protective film (15) which is formed of a material that is harder than the counter substrate (2) in a peripheral region that is right below at least one end face of the counter substrate (2) and is outside the display region (3) of the drive substrate (1); a reflective pixel electrode (14) which is arranged within the display region (3) and has a surface that serves as a light reflection surface; and a dummy pixel electrode (14a) which is arranged below the protective film (15) and is formed of the same material as the reflective pixel electrode (14).

(57) 要約:

[続葉有]

WO 2014/084126 A1

生産性の高い表示素子とその製造方法を提供することができる。本発明の一実施形態にかかる表示素子は、トランジスタ１２を有する駆動基板１と、駆動基板１と対向配置された対向基板２と、表示領域３を囲むように配置され、駆動基板１と対向基板２とを貼り合わせるシール材６と、対向基板２の少なくとも一側端面の直下に対応する、駆動基板１の表示領域３より外側の周辺領域において、対向基板２よりも硬い材料によって形成された保護膜１５と、表示領域３内に配置され、表面が光の反射面となる反射画素電極１４と、保護膜１５の下に配置され、反射画素電極１４と同じ材料で形成されたダミー画素電極１４ａと、を備えたものである。

明　細　書

発明の名称 ： 表示素子、及びその製造方法

技術分野

[0001] 本発明は、表示素子、及びその製造方法に関し、特に詳しくは、２枚の基板が貼り合わされた構造を有する表示素子、及びその製造方法に関する。

背景技術

[0002] 液晶表示素子は、第１の基板と第２の基板との間に液晶が挟持された構造を有している。第１の基板と第２の基板とはシール材によって貼り合わされる。そして、第１の基板と第２の基板とシール材とで形成された空間に液晶が封入されている。アクティブマトリクス型液晶表示素子では、第１の基板が駆動基板となり、第２の基板が対向基板となる。

[0003] 特許文献１には、非消磁領域に形成された保護層に接して、液晶層の厚みを一定に制御するスペーサを有する液晶表示装置が開示されている（段落００４０）。スペーサは、保護層の形成材料と同様の材料で形成されている。

[0004] 特許文献２には、単位セルに分断する際のスクライブ／ブレーク時の衝撃から薄膜トランジスタ、ドライバ回路部、端子部の損傷を防止するための衝撃保護パターンを備えた液晶表示装置が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２００９－２７６７４３号公報

特許文献2：特開２００１－３０５５６９号公報

発明の概要

発明が解決しようとする課題

[0006] 液晶表示素子などの表示素子では、製造工程の簡略化や歩留まりの改善などによって、さらなる生産性の向上を図ることが望まれている。

[0007] 本発明は、上記問題に鑑み、生産性の高い表示素子とその製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の一態様にかかる表示素子の製造方法は、トランジスタを有する駆動基板と、前記駆動基板と対向配置された対向基板と、表示領域を囲むように配置され、前記駆動基板と前記対向基板とを貼り合わせるシール材と、を備えた表示素子の製造方法であって、前記駆動基板の上に画素電極材料を用いて第１の膜を形成するステップと、前記第１の膜上に保護膜材料を用いて前記対向基板より硬い保護膜を形成するステップと、前記第１の膜及び前記保護膜をパターニングすることで、前記表示領域において前記トランジスタと接続される画素電極を形成し、前記表示領域の外側の周辺領域においてダミー画素電極を形成するステップと、前記周辺領域において前記ダミー画素電極の上の前記保護膜が残存するよう、前記表示領域において前記画素電極の上の前記保護膜を除去するステップと、前記駆動基板と前記対向基板との間に前記シール材を配置した状態で、前記駆動基板と前記対向基板を貼り合わせるステップと、前記保護膜が形成された領域に対応する切断線に沿って前記対向基板を切断するステップと、を有するものである。

本発明の一態様にかかる表示素子は、トランジスタを有する駆動基板と、前記駆動基板と対向配置された対向基板と、表示領域を囲むように配置され、前記駆動基板と前記対向基板とを貼り合わせるシール材と、前記対向基板の少なくとも一側端面の直下に対応する、前記駆動基板の前記表示領域より外側の周辺領域に形成された、前記対向基板よりも硬い保護膜と、前記表示領域内に形成され、前記トランジスタと接続される画素電極と、前記保護膜の下に形成され、前記画素電極と同じ材料で形成されたダミー画素電極と、を備えたものである。

発明の効果

[0009] 本発明によれば、生産性の高い表示素子とその製造方法を提供することができる。

図面の簡単な説明

[0010] [図1]本実施の形態にかかる液晶表示素子の構成を模式的に示す平面図である

。

[図2]本実施の形態にかかる液晶表示素子の構成を模式的に示す断面図である。

[図3]駆動基板の画素部分の構成を模式的に示す断面図である。

[図4]駆動基板の周辺領域の構成を模式的に示す断面図である。

[図5A]駆動基板の周辺部分を模式的に示す製造工程断面図である。

[図5B]駆動基板の画素領域の構成を模式的に示す製造工程断面図である。

[図6]駆動基板の画素領域の構成を模式的に示す製造工程断面図である。

[図7A]駆動基板の周辺部分を模式的に示す製造工程断面図である。

[図7B]駆動基板の画素領域の構成を模式的に示す製造工程断面図である。

[図8A]駆動基板の周辺部分を模式的に示す製造工程断面図である。

[図8B]駆動基板の画素領域の構成を模式的に示す製造工程断面図である。

[図9A]駆動基板の周辺部分を模式的に示す製造工程断面図である。

[図9B]駆動基板の画素領域の構成を模式的に示す製造工程断面図である。

[図10A]駆動基板の周辺部分を模式的に示す製造工程断面図である。

[図10B]駆動基板の画素領域の構成を模式的に示す製造工程断面図である。

[図11A]駆動基板の周辺部分を模式的に示す製造工程断面図である。

[図11B]駆動基板の画素領域の構成を模式的に示す製造工程断面図である。

[図12A]駆動基板の周辺部分を模式的に示す製造工程断面図である。

[図12B]駆動基板の画素領域の構成を模式的に示す製造工程断面図である。

[図13]貼り合わせ構造体の切断線を示す平面図である。

[図14]貼り合わせ構造体の構成を示すＸＺ断面図である。

[図15]貼り合わせ構造体の構成を示すＹＺ断面図である。

[図16]貼り合わせ構造体のＸ方向に沿った構成を示す工程断面図である。

[図17]貼り合わせ構造体のＹ方向の構成を示す工程断面図である。

[図18]切断時において、切断線直下の周辺回路領域において発生する問題点を示す断面図である。

[図19]切断時において、切断線直下の周辺回路領域において発生する問題点

を示す断面図である。

[図20]切断時において、切断線直下の周辺回路領域において発生する問題点を示す断面図である。

[図21]切断時において、切断線直下の周辺回路領域において発生する問題点を示す断面図である。

[図22]保護膜が形成された領域を模式的に示す平面図である。

[図23]保護膜の周辺の構成を模式的に示す側面断面図である。

[図24]保護膜が回路を保護する様子を示す側面断面図である。

[図25]切断線直下における保護膜を示す断面図である。

[図26]切断線直下における保護膜の寸法例を示す断面図である。

発明を実施するための形態

[0011] 以下、図面を参照して、本発明の実施の形態について説明する。なお、以下の説明では、本実施の形態にかかる表示素子が、反射型の液晶表示素子であるとして説明するが、特に限定されるものではない。駆動基板と対向基板とがシール材によって貼り合わされた構成を有する表示素子であればよい。

[0012] （全体構成）

まず、液晶表示素子の全体構成について、説明する。図１は、液晶表示素子の構成を示す平面図であり、図２はその断面図である。なお、図１、及び図２では、液晶表示素子の厚さ方向をＺ方向とし、矩形の液晶表示素子の端辺に沿った方向をＸ方向及びＹ方向としている。

[0013] 液晶表示素子１００は、第１の基板である駆動基板１と、第２の基板である対向基板２と、シール材６と、を備えている。対向配置された駆動基板１と対向基板２とはシール材６によって貼り合わされている。シール材６は一方の基板の他方の基板と対向する面上に矩形枠状に形成されており、その内側が表示領域３となる。表示領域３には、複数の画素３ａがアレイ状に配置されている。すなわち、画素３ａが配置された領域が表示領域３となる。それぞれの画素３ａには、後述するトランジスタが配置されている。したがって、駆動基板１は、アレイ状に配置されたトランジスタアレイ基板となる。

[0014] 矩形状の表示領域３の外側が、額縁状の周辺領域４となる。周辺領域４には、後述するようにシフトレジスタ、ビデオスイッチ等の周辺回路が形成されている。周辺領域４において、駆動基板１の一端は対向基板２からはみ出しており、そのはみ出した部分に、外部の制御回路と接続される端子４７が形成される。ここでは、複数の端子４７がＹ方向に沿って配列されている。端子４７はプリント基板やフレキシブル基板等と接続される。

[0015] 図２に示すように、駆動基板１と対向基板２とシール材６とで形成された空間には、液晶７が封入されている。駆動基板１と対向基板２には、液晶７を所定の方向に配向するための配向膜９１、９２が設けられている。配向膜９１、９２は、互いに向かうように配置されている。配向膜９１、９２は、ＳｉＯなどを斜め蒸着することによって形成することができる。また、シール材６は、シール内スペーサ８を含有している。

[0016] 駆動基板１は、シリコンウェハから切り出されたシリコン基板である。そして、それぞれの画素３ａには、スイッチング素子であるトランジスタと接続された反射画素電極（不図示）が設けられている。対向基板２は透明なマザーガラス基板から切り出されたガラス基板である。対向基板２の全面には、対向電極１０５が形成されている。対向電極１０５は、酸化インジウムスズ（以下、ＩＴＯ（Indium Tin Oxide））などの透明導電膜に形成されている。反射画素電極と対向電極１０５との間の電圧によって液晶７が駆動する。対向基板２側から光が入射すると、液晶７の状態に応じて、反射画素電極で反射される光の偏光状態が制御される。したがって、各反射画素電極に供給する表示信号を制御することで、表示領域３内に所望の画像を表示することができる。また、対向基板２の表示側の面には、必要に応じて反射防止膜等を形成してもよい。

[0017] （画素３ａの構成）

次に、画素３ａの断面構成について図３を用いて説明する。図３は、画素３ａにおける駆動基板１の構成を示す断面図である。なお、図３は、駆動基板１の完成前の構成、具体的には、反射画素電極１４を形成した後、最上層

絶縁膜の形成前の構成を示している。シリコン基板である駆動基板１は、トランジスタ１２を有している。トランジスタ１２は、ＭＯＳ(Metal Oxide Semiconductor)トランジスタであり、ソース４０、ドレイン４１、及びゲート４２を有している。ソース４０、及びドレイン４１は、例えば、不純物ドープによって形成されたＮ$^{+}$領域となっている。ゲート４２は、ソース４０とドレイン４１との間のチャネルと、ゲート絶縁膜４５ａを介して対向配置されている。隣接するトランジスタ１２の間には、素子分離領域４３が設けられている。素子分離領域４３によって、隣接するトランジスタ１２が分離される。

[0018] 駆動基板１上には、ゲート絶縁膜４５ａを含む絶縁膜４５が設けられている。さらに、トランジスタ１２の上には、第１配線層１０が設けられている。第１配線層１０の上には、第２配線層１１が設けられている。第１配線層１０と第２配線層１１の間には、絶縁膜４５が介在している。なお、第１配線層１０、及び第２配線層１１は、外部からの信号や電圧をトランジスタ１２等に供給するための配線パターンとなる。

[0019] 第２配線層１１の上には、層間絶縁膜１３が設けられている。層間絶縁膜１３の上には、反射画素電極１４が設けられている。すなわち、第２配線層１１と反射画素電極１４との間には、層間絶縁膜１３が介在している。反射画素電極１４は、バリア膜５１と反射膜５２の積層構造となっている。バリア膜５１としては、例えば、厚さ５０ｎｍのＴｉＮ（窒化チタン）膜を用いることができる。反射膜５２としては、例えば、厚さ２００ｎｍのＡｌ－Ｃｕ合金膜を用いることができる。反射画素電極１４の表面は光を反射する反射面となる。

[0020] 第１配線層１０の一部のパターン１０ａは、コンタクトホール４６を介して、第２配線層１１の一部のパターン１１ａと接続されている。第２配線層１１のパターン１１ａは、コンタクトプラグ１７ａを介して反射画素電極１４と接続されている。コンタクトプラグ１７ａは、層間絶縁膜１３に埋め込まれている。コンタクトプラグ１７ａは、タングステンなどの金属によって

形成されている。

[0021] 反射画素電極１４は、コンタクトプラグ１７ａ、第２配線層１１のパターン１１ａ、コンタクトホール４６、第１配線層１０のパターン１０ａ、コンタクトホール４６を介して、ソース４０と接続されている。さらに、駆動基板１は、各画素３ａに、反射画素電極１４の電荷を保持するための保持容量４４を有している。ソース４０は、コンタクトホール４６、第１配線層１０のパターン１０ａ、コンタクトホール４６を介して、保持容量４４の保持容量電極４４ａと接続されている。

[0022] （周辺領域４の構成）

次に、周辺領域４の構成について、図４を用いて説明する。図４は、周辺回路が設けられた周辺領域４における駆動基板１の構成を示す断面図である。なお、図４は、駆動基板１の完成前の構成、具体的には、保護膜１５の形成後、最上層絶縁膜の形成前の構成を示している。周辺領域４において、駆動基板１は、トランジスタ１２を有している。トランジスタ１２は、画素３ａにおけるトランジスタ１２と同様のＭＯＳトランジスタであり、ソース４０、ドレイン４１、及びゲート４２を有している。画素３ａと同様に、トランジスタ１２の上には、第１配線層１０、及び第２配線層１１が設けられている。第２配線層１１の上には、層間絶縁膜１３が設けられている。層間絶縁膜１３の上には、ダミー画素電極１４ａが設けられている。ダミー画素電極１４ａの上には、保護膜１５が設けられている。

[0023] ダミー画素電極１４ａは反射画素電極１４と同じ材料によって形成されている。すなわち、ダミー画素電極１４ａは、バリア膜５１と反射膜５２の積層構造を有している。なお、反射画素電極１４、及びダミー画素電極１４ａとして、厚さ５０ｎｍのＴｉＮ（窒化チタン）膜、及び厚さ２００ｎｍのＡｌ－Ｃｕ合金膜の２層構造を用いているが、特に材料は限定されるものではない。

[0024] 保護膜１５は、例えば、厚さ３００ｎｍのＴｉＮ膜によって形成されている。保護膜１５は、反射画素電極１４、及びダミー画素電極１４ａよりも厚

くなっている。なお、保護膜１５を、バリア膜５１と同じ材料で形成しているが、異なる材料で形成してもよい。例えば、保護膜１５をタングステン膜としてもよく、その他の材料を含む積層膜としてもよい。ダミー画素電極１４ａの上には、直接、保護膜１５が形成されている。ダミー画素電極１４ａは、所定の大きさになっている。そして、保護膜１５は、ダミー画素電極１４ａからはみ出さないように、ダミー画素電極１４ａ上に形成される。後述するように、保護膜１５は、対向基板２の切断線に沿って配置されている。

[0025] （製造工程）

以下、本実施の形態にかかる液晶表示素子１００の製造方法について、図５Ａ～図１２Ｂを用いて説明する。図５Ａ～図１２Ｂは、各工程における構成を示す工程断面図である。図５Ａ、図７Ａ、図８Ａ、図９Ａ、図１０Ａ、図１１Ａ、及び図１２Ａは本実施の特徴部分である周辺領域４での断面構成を示している。図５Ｂ、図６、図７Ｂ、図８Ｂ、図９Ｂ、図１０Ｂ、図１１Ｂ、及び図１２Ｂは表示領域３での断面構成を示している。

[0026] 以下の説明では、第２配線層１１を形成した後の製造工程を説明する。図５Ｂ、図６、図７Ｂ、図８Ｂ、図９Ｂ、図１０Ｂ、図１１Ｂ、及び図１２Ｂでは、第１配線層１０よりも下の構成を省略して図示している。

[0027] まず、第２配線層１１の上に、層間絶縁膜１３を形成する。例えば、第２配線層１１の上から絶縁膜をプラズマ化学蒸着法（以下、プラズマＣＶＤ法（Chemical Vapor Deposition））などの公知の成膜方法を用いて成膜する。こうすることで、図５Ａ、及び図５Ｂに示すように、第２配線層１１が層間絶縁膜１３によって覆われる。層間絶縁膜１３としては、厚さ０．８μｍのSiO_2膜を用いることができる。

[0028] 次に、図６に示すように、層間絶縁膜１３にＶｉａホール１６を形成する。例えば、フォトリソグラフィ法によって、層間絶縁膜１３の上にレジストパターン（不図示）を形成する。レジストパターンが形成された状態で層間絶縁膜１３をエッチングすることで、第２配線層１１に到達するＶｉａホール１６が形成される。例えば、CHF_3、CF_4，Ａｒなどの混合ガスを用い

た異方性ドライエッチングでＶｉａホール１６を形成することができる。なお、周辺領域４では、層間絶縁膜１３にＶｉａホール１６を形成しないため、図５Ａに示す構成のままとなっている。すなわち、周辺領域４の層間絶縁膜１３がレジストパターンによって覆われた状態で表示領域３ではエッチング工程が実行される。

[0029] 続いて、図７Ｂに示すようにＶｉａホール１６に埋め込まれるコンタクトプラグ１７ａを形成する。例えば、Ｖｉａホール１６が設けられた層間絶縁膜１３の上から、バリア膜としてＴｉＮ膜（図示省略）をスパッタ法等の公知の成膜方法を用いて非常に薄く（たとえば、５０ｎｍ程度）成膜し、次にプラズマＣＶＤ法などの公知の成膜方法を用いて、タングステン膜を成膜する。そして、層間絶縁膜１３に到達するまで化学機械研磨（以下、ＣＭＰ（Chemical Mechanical Polishing））によりタングステン膜、及びバリア膜を除去していくことで、タングステン膜、及びバリア膜がＶｉａホールを埋めてコンタクトプラグ１７ａが形成される。換言すると、Ｖｉａホール１６であった箇所はタングステン膜が最表面となり、その他は、層間絶縁膜１３が最表面となる。ＣＭＰ工程を経た層間絶縁膜１３の厚さは、例えば、約０．５μｍとなっている。

[0030] また、周辺領域４では、層間絶縁膜１３の上にバリア膜とタングステン膜１７が成膜されて、図７Ａに示す構成となる。その後、周辺領域４では、ＣＭＰによって、層間絶縁膜１３の上に形成されたバリア膜とタングステン膜１７が全て除去され、層間絶縁膜１３が露出する。したがって、ＣＭＰ工程を経た後は、図５Ａに示す構成と同じ構成になる。

[0031] 次に、図８Ａ、及び図８Ｂに示すように、コンタクトプラグ１７ａが形成された層間絶縁膜１３の上に、バリア膜５１、反射膜５２、及びＴｉＮ膜２３を形成する。すなわち、コンタクトプラグ１７ａと層間絶縁膜１３の上にバリア膜５１を直接成膜する。そして、バリア膜５１の上に反射膜５２を直接成膜する。さらに、反射膜５２の上にＴｉＮ膜２３を直接成膜する。このように第２配線層１１の上に、バリア膜５１、反射膜５２、及びＴｉＮ膜２

３の３層の導電膜が連続して成膜される。後述するように、バリア膜５１、反射膜５２がパターニングされることで、反射画素電極１４、及びダミー画素電極１４ａが形成される。また、後述するように、ＴｉＮ膜２３がパターニングされることで、保護膜１５が形成される。

[0032] 例えば、バリア膜５１、反射膜５２、及びＴｉＮ膜２３は、スパッタ装置、又は蒸着装置により成膜することができる。バリア膜５１としては、厚さ５０ｎｍのＴｉＮ膜を用いることができる。反射膜５２としては、厚さ２００ｎｍのＡｌ－Ｃｕ合金膜を用いることできる。ＴｉＮ膜２３の厚さは３００ｎｍとすることができる。

[0033] 次に、バリア膜５１、反射膜５２、及びＴｉＮ膜２３をパターニングする。そのため、ＴｉＮ膜２３の上に、レジストを塗布し、公知のフォトリソグラフィ工程を用いて、第１のレジストパターン１９を形成する。これにより、図９Ａ、及び図９Ｂに示す構成となる。ここでは、画素分離パターンと端子分離パターンを有するフォトマスクによって、レジストを露光する。図９Ｂに示すように、表示領域３では、第１のレジストパターン１９が開口部１９ｂを有している。開口部１９ｂは、コンタクトプラグ１７ａ以外の箇所、すなわち層間絶縁膜１３に対応する箇所に配置される。開口部１９ｂは、隣接する画素３ａの反射画素電極１４を分離するために設けられる。図９Ａでは、開口部１９ｂが図示されていないが、周辺領域４においても表示領域３と同様に、開口部１９ｂが、バリア膜５１、反射膜５２、及びＴｉＮ膜２３を除去する箇所に形成される。これにより、例えば、図１、２に示したように端子４７が分離される。

[0034] そして、第１のレジストパターン１９が形成された状態で、バリア膜５１、反射膜５２、及びＴｉＮ膜２３を一括してエッチングすると、図１０Ａ、及び図１０Ｂに示す構成となる。ここでは、例えば、BCl_3、Cl_2等の混合ガスを用いた反応性イオンエッチング（以下、ＲＩＥ(Reactive Ion Etching)）装置などでエッチングを行う。画素３ａでは、図１０Ｂに示すように、画素３ａ間の部分で、バリア膜５１、反射膜５２、及びＴｉＮ膜２３が除

去される。これにより、エッチングされずに残った箇所には、バリア膜５１、反射膜５２の２層構造を有する反射画素電極１４のパターンが形成される。

[0035] 周辺領域４においても、バリア膜５１、反射膜５２、及びＴｉＮ膜２３が連続してエッチングされて、所定のパターンが形成される。残存したバリア膜５１、及び反射膜５２によりダミー画素電極１４ａのパターンが形成される。なお、この段階では、ダミー画素電極１４ａ、及び反射画素電極１４の上に、ＴｉＮ膜２３、及び第１のレジストパターン１９が形成されている。このように、第１のレジストパターン１９をマスクとして用いて、バリア膜５１、反射膜５２、及びＴｉＮ膜２３をパターニングする。そして、酸素アッシング装置で、ＴｉＮ膜２３上の第１のレジストパターン１９を除去して、洗浄する。

[0036] 次に、レジストを塗布し、公知のフォトリソグラフィ工程を用いて、第２のレジストパターン５４を形成する。これにより、図１１Ａ、及び図１１Ｂに示す構成となる。周辺領域４では、図１１Ａに示すように、ＴｉＮ膜２３の上にレジストパターン５４が配置される。また、周辺領域４では、第２のレジストパターン５４は開口部５４ａを有している。例えば、開口部５４ａは、後の工程で対向基板２を切断するための表面分断溝３０に対応する位置に形成される。

[0037] 一方、図１１Ｂに示す表示領域３では、現像によりレジストが除去されて、第２のレジストパターン５４が形成されていない構成となる。すなわち、表示領域３では、第２のレジストパターン５４が、ＴｉＮ膜２３を覆っておらず、全てのＴｉＮ膜２３が露出した構成となる。換言すると、表示領域３全体が開口部５４ｂとなる。

[0038] そして、第２のレジストパターン５４をマスクとして用いて、ＴｉＮ膜２３をエッチングする。これにより、ＴｉＮ膜２３がパターニングされて、残ったＴｉＮ膜２３によって保護膜１５が形成される。そして、第２のレジストパターン５４を除去すると、図１２Ａ、及び図１２Ｂに示す構成となる。

例えば、フッ素ラジカルをエッチング種としたマイクロ波エッチング装置を用いてＴｉＮ膜２３がエッチングされる。

[0039] 表示領域３では、図１２Ｂに示すように、反射膜５２の上のＴｉＮ膜２３が完全にエッチングされる。すなわち、反射膜５２が表面に露出した構成となる。これにより、反射画素電極１４が最表面に形成される。したがって、反射画素電極１４の表面が表示するための光が反射される反射面となる。

[0040] 一方、周辺領域４では、図１２Ａに示すように、反射画素電極１４の上に保護膜１５が形成される。すなわち、開口部５４ａにおいて、ダミー画素電極１４ａ上のＴｉＮ膜２３がエッチングされることで、反射膜５２の一部が露出する。そして、レジストパターン５４で覆われていた箇所では、保護膜１５（ＴｉＮ膜２３）がエッチングされずに残存する。これにより、周辺領域４では、保護膜１５のパターンがダミー画素電極１４ａ上に形成される。

[0041] この後、反射画素電極１４、ダミー画素電極１４ａ、及び保護膜１５等の上から、最上層の絶縁膜（不図示）を形成する。最上層の絶縁膜は図１、図２に示す端子４７が露出するように形成される。これにより、駆動基板１が完成する。

[0042] そして、上記の駆動基板１に配向膜９１を形成する（図２参照）。配向膜９１は、端子４７が露出するように、少なくともシール材６直下と、表示領域３に形成される。対向基板２に、対向電極１０５及び配向膜９２を形成する。ここでは、厚さ０．０８μｍのＩＴＯ膜を対向電極１０５として用いている。ＩＴＯ膜は、スパッタリング法を用いて、形成される。配向膜９１、９２は、例えば、厚さ０．１μｍのSiO_2膜とすることができる。例えば、斜方蒸着法により、厚さ０．１μｍのSiO_2膜を形成することで、配向膜９１、９２を形成してもよい。この配向膜９１、９２によって、液晶７が所定の方向に配向する。また、対向基板２の配向膜９２が形成された面と反対側の面には、反射防止膜を形成してもよい。例えば、厚さ０．３μｍのNb_2O_2とSiO_2の積層膜を反射防止膜とすることができる。例えば、真空蒸着法を用いて、ガラス基板の他面側に積層膜を形成することで、反射防止膜を設

けることができる。

[0043] 次に、駆動基板１と対向基板２とを貼り合わせる工程について説明する。貼り合わせに関しては、駆動基板１と対向基板２を１枚ずつ貼り合わせる単個貼り合わせの場合と、ウェハ状態若しくは複数枚のセルが連なったマザー基板とそれに見合ったマザーガラス基板を貼り合わせてその後分断を行って単個のセルを形成する一括貼り合わせがある。本発明はどちらにも適用可能である。ここでは、シリコンウェハとマザーガラス基板とを貼り合わせて、貼り合わせ構造体を形成する。そして、貼り合わせ構造体を切断線に沿って切断することで、それぞれの液晶表示素子を製造する方法を用いている。

[0044] 例えば、８インチのシリコンウェハを用意して、上記の処理を行うことで、駆動基板１を複数備えるシリコンウェハが形成される。シリコンウェハと同等の大きさを有するマザーガラス基板に、対向電極１０５と配向膜９２を形成する。これにより、複数の対向基板２を有するマザーガラス基板が形成される。

[0045] 駆動基板１を複数備えたシリコンウェハと、対向基板２を複数備えたマザーガラス基板との少なくとも一方にシール材６を塗布する。ここでは、シール内スペーサ８を含有するシール材６をシリコンウェハ上に塗布する。シール材６は、各セルの表示領域３を囲むように枠状に形成される。シール材６は、保護膜１５の上に塗布されないように形成する。

[0046] シール材６としては、ＵＶ光と熱によって硬化するエポキシ樹脂系接着剤を使用することができる。シール内スペーサ８は、直径が２～３μｍのＳｉO_2からなるスペーサボールを用いることができる。また、シール内スペーサ８は接着材料となるシール材６に対する重量比で０．１％程度の割合で混入されている。例えば、貼り合わせ後、延伸したシール材６の幅（シール幅）は７００μｍ～１ｍｍとすることができる。

[0047] 次にＯＤＦ（One Drop Filling）法によって、適量の液晶材料をシリコンウェハ上に滴下する。液晶材料は、シール材６で囲まれた領域にそれぞれ滴下される。そして、駆動基板１と対向基板２とが対向するように位置合わ

せを行って、シリコンウェハとマザーガラス基板を対向配置する。

[0048] シリコンウェハとマザーガラス基板とが対向配置された状態で、シリコンウェハとマザーガラス基板とが近づくように押圧する。これにより、セルギャップがシール内スペーサ８によって規定される。そして、シリコンウェハを押圧しながら、熱又はＵＶ光、あるいはその両方を用いて、シール材６を硬化する。例えば、マザーガラス基板側から、ＵＶ光を照射して、シール材６を仮硬化する。シール材６の仮硬化後に貼り合わせ装置より、貼り合わせ構造体を取り出して、１２０℃で２時間の熱硬化を行う。これにより、シール材６が硬化して、シリコンウェハとマザーガラス基板とが貼り合わされた貼り合わせ構造体が完成する。ここでは、セルギャップを２～３μｍとするように、シリコンウェハをマザーガラス基板に押し付ける。これにより、シール材６が押し潰されて、シール内スペーサ８がシリコンウェハとマザーガラス基板に当接する。貼り合わせ構造体のシール材６の厚みは、シール内スペーサ８によって規定される。

[0049] そして、貼り合わせ構造体をＸ方向、及びＹ方向に沿って切断する。具体的には、シリコンウェハを切断した後に、マザーガラス基板を切断する。これにより、貼り合わせ構造体がセルに分離される。分離されたセルの各々が液晶表示素子１００となる。

[0050] 上記のように製造された液晶表示素子１００に対して、外部の制御装置などをワイヤボンディングや異方性導電膜などによって接続する。すなわち、端子４７に、制御装置を接続する。これにより、画素電極に供給された電圧に応じて、液晶７が駆動する。外部から対向基板２及び液晶７を通過した光は、反射画素電極１４で反射される。液晶７の状態に応じて、反射画素電極１４で反射されて外部に出射する光の光量が変化する。外部制御装置からの制御信号に応じて所望の画像を表示することができる。このような反射型の液晶表示素子は、画像を投影するプロジェクタに好適であり、さらには、自動車などの乗り物に搭載されるヘッドアップディスプレイに利用することが可能である。

[0051] （切断線Ｌ１直下での問題点）

次に、切断工程で生じる問題点について、図１３～図２１を用いて説明する。図１３は、貼り合わせ構造体における切断線を示す平面図である。図１４は、貼り合わせ構造体の構成を示すＸＺ断面図であり、図１５は、ＹＺ断面図である。図１６～図２１は、貼り合わせ構造体を切断して、各セルに分離するための工程断面図である。

[0052] 図１３～図１５に示すように、貼り合わせ構造体１０３は、シリコンウェハ１０１とマザーガラス基板１０２がシール材６によって貼り合わされた構造を有している。シリコンウェハ１０１は、矩形の駆動基板１を複数有しており、マザーガラス基板１０２は矩形の対向基板２を複数有している。シリコンウェハ１０１において、駆動基板１はアレイ状に配列されている。マザーガラス基板１０２において、対向基板２はアレイ状に配列されている。そして、駆動基板１と対向基板２とが位置合わせされた状態で、シリコンウェハ１０１とマザーガラス基板１０２とが対向配置している。図１３では、駆動基板１と対向基板２とが、６個設けられている例を示しているが、貼り合わせ構造体から切り出されるセルの数は特に限定されるものではない。

[0053] そして、貼り合わせ構造体１０３を切断線Ｌ１～Ｌ３に沿って切断することで、各セルに分離することができる。よって、複数の液晶表示素子１００を形成することができる。図１３では、Ｙ方向の切断線Ｌ１、Ｌ３と、Ｘ方向の切断線Ｌ２が設けられている。切断線Ｌ２は、シリコンウェハ１０１とマザーガラス基板１０２を切断するラインとなる。換言すると、シリコンウェハ１０１とマザーガラス基板１０２とを切断線Ｌ２に沿ってＸ方向に切断する。シリコンウェハ１０１とマザーガラス基板１０２とで、Ｘ方向の切断線Ｌ２が同じ位置となっている。

[0054] 切断線Ｌ１は、マザーガラス基板１０２を切断するラインとなる。切断線Ｌ３は、シリコンウェハ１０１を切断するラインとなる。シリコンウェハ１０１とマザーガラス基板１０２とで、Ｙ方向の切断線Ｌ１、Ｌ３が異なる位置となっている。したがって、駆動基板１の一部は、対向基板２からはみ出

した構成となる。これは、駆動基板１上に設けられた端子４７を露出するためである。すなわち、駆動基板１の対向基板２の一側端に対応し、対向基板２からはみ出した部分に、端子４７が形成されている。ここでは、複数の端子４７が駆動基板１の端辺に沿って配列されている。すなわち、複数の端子４７は、切断線Ｌ３と平行なＹ方向に沿って配列されている。貼り合わせ構造体１０３をマザーガラス基板１０２側から見た平面視において、切断線Ｌ１と切断線Ｌ３との間に、端子４７が配置されるよう、駆動基板１と対向基板２の位置合わせがなされる。

[0055] ここで、シール材６でシリコンウェハ１０１とマザーガラス基板１０２とを貼り合わせた後の、切断工程について説明する。シリコンウェハ１０１は、ダイシングブレードによって切断される。一方、マザーガラス基板１０２は、スクライブブレークによって切断される。そのため、図１６、図１７に示すように、貼り合わせ構造体１０３のマザーガラス基板１０２は、ガラス分断溝２８が形成される。なお、ガラス分断溝２８は、切断線Ｌ１と切断線Ｌ２と切断線Ｌ３に沿って形成される。また、切断線Ｌ２、Ｌ３に沿ってシリコンウェハ１０１の表面には表面分断溝３０、裏面には裏面分断溝２９が形成されている。

[0056] 表面分断溝３０は、貼り合わせ前に形成し、裏面分断溝２９は、貼り合わせ後に形成する。ダイシング装置のダイシングブレードによって、シリコンウェハ１０１をハーフカットすることで、裏面分断溝２９、及び表面分断溝３０を形成することができる。ガラス分断溝２８は、貼り合わせ後に形成する。例えば、スクライバで、マザーガラス基板１０２を罫書くことで、ガラス分断溝２８を形成する。

[0057] そして、ガラス分断溝２８、裏面分断溝２９、及び表面分断溝３０を有する貼り合わせ構造体１０３を粘着シート３２上に載置する（図１８参照）。なお、粘着シート３２は、ブレーカ装置のステージ上に設けられている。貼り合わせ構造体１０３のマザーガラス基板１０２に粘着シート３２が貼り合わされ、貼り合わせ構造体１０３が固定される。

[0058] スクライブブレークするためのブレーカスキージ３１を、切断線Ｌ１、又は切断線Ｌ３上に配置する。そして、ブレーカスキージ３１で粘着シート３２上に固定された貼り合わせ構造体１０３を上から叩く。すなわち、シリコンウェハ１０１の上からブレーカスキージ３１を押し込んでいく。こうすることで、ガラス分断溝２８に基づいてマザーガラス基板１０２が切断される。

[0059] 図１８に示すように、ブレーカスキージ３１が貼り合わせ構造体１０３に対して傾いていると、貼り合わせ構造体１０３に対して局所的な力が加わる可能性がある。あるいは、図１９に示すように、粘着シート３２と貼り合わせ構造体１０３との間に、異物６１を挟み込んだ場合、貼り合わせ構造体１０３に対して局所的なダメージが加わる可能性がある。図２０に示すように、一方の辺を分断した際に発生する基板の小さな破片３６が他方の分断線上に残存してしまうおそれがある。すると、図２１に示すように他方の辺を分断する際に破片３６が駆動回路に損傷を与え素子の動作不良につながる。

[0060] このような場合、層間絶縁膜１３が破壊され、その下層に位置する第１配線層１０、第２配線層１１の短絡や断線を引き起こしてしまい、液晶表示素子１００の動作不良につながる。したがって、歩留まりが劣化して、生産性が低下してしまう恐れがある。

[0061] （切断線直下の保護膜１５）

そこで、本実施の形態では、切断線直下に保護膜１５を設けている。切断線直下に保護膜１５を配置した構成について説明する。図２２は、保護膜１５が設けられた領域を説明するための図であり、液晶表示素子１００の平面図である。図２２に示すように、対向基板２の側端面が図１３、図１４で示した切断線Ｌ１に対応している。

[0062] 周辺領域４の一部には、シフトレジスタなどの回路が形成されている。ここで、周辺領域４において、回路が形成された領域を周辺回路領域とする。また、対向基板２の一側端面（前述した切断線Ｌ１に沿って切断された端面）の直下の領域には、周辺回路領域の回路を保護するための保護膜１５が形

成されている。すなわち、駆動基板１におけるシール材６と端子４７との間には、保護膜１５が形成されている。保護膜１５は、駆動基板１において対向基板２の一側端面に対応する位置に帯状に形成されている。保護膜１５は、Ｙ方向に沿って形成されている。保護膜１５は、反射画素電極１４、第２配線層１１、第１配線層１０よりも硬いＴｉＮを用いて形成されている。したがって、下層に設けられたトランジスタ１２を有する周辺回路領域を保護することができる。なお、保護膜１５としては、ＴｉＮ膜２３に限らず、タングステン膜やタングステン合金膜などを用いることができる。

[0063] 図２３は、保護膜１５の周辺の構成を示す側面断面図である。図２３に示すように、駆動基板１の切断線Ｌ１に沿って形成された対向基板２の一側端面に対応する領域（以下、切断線Ｌ１の直下と呼ぶこともある）には、保護膜１５が設けられている。すなわち、シール材６と端子４７の間の周辺回路領域５８が保護膜１５によって覆われている。

[0064] このように切断線Ｌ１の直下に対応する領域には、駆動基板１上に保護膜１５が設けられている。保護膜１５が形成された領域に対応する切断線Ｌ１に沿って、マザーガラス基板１０２を切断する。こうすることで、切断線Ｌ１の近傍に局所的な力やダメージが発生した場合でも、保護膜１５が周辺回路領域５８の周辺回路を保護する。すなわち、トランジスタ１２の破損、第１配線層１０、第２配線層１１の断線、短絡などを防ぐことができ、歩留まりを向上することができる。反射膜５２の成膜工程の後に保護膜材料を形成するため反射膜５２より下層に影響が及ぶのを防ぐことができる。

[0065] 図２４は、駆動基板１の保護膜１５が形成された箇所の側面断面図である。切断工程において、対向基板２が破損して、破片３６が飛散した場合でも、保護膜１５が周辺回路を保護する。この場合、保護膜１５を対向基板２よりも硬い材質とすることが好ましい。すなわち、保護膜１５は、対向基板２となるガラス材料よりも硬度の大きい材料によって形成する。切断工程において、飛散した対向基板２の破片３６よりも保護膜１５が硬いため、破片３６が保護膜１５を貫通するのをより防ぐことができる。これにより、歩留ま

りを改善することができ、生産性を向上することができる。なお、他の切断線Ｌ２、Ｌ３に対応する領域にも、保護膜１５を形成するようにしてもよい。

[0066] 次に、切断線Ｌ１直下の保護膜１５の寸法例について説明する。図２５に示すように、切断線Ｌ１の直下の領域に保護膜１５が形成されている。ここで、保護膜１５の周辺を拡大した断面図を図２６に示す。

[0067] 図２６に示すように、切断線Ｌ１よりもシール材６側の保護膜１５の幅を１００μｍとし、切断線Ｌ１よりも端子４７側の保護膜１５の幅を４００μｍとする。すなわち、保護膜１５の全体の幅を５００μｍとして、切断線Ｌ１に対して非対称に配置する。このようにすることで、切断線Ｌ１直下の回路の破損をより防ぐことができる。もちろん、回路を形成する領域の寸法や、切断工程における条件に応じて、切断線Ｌ１直下の保護膜１５の幅を変更してもよい。保護膜１５に幅を持たせることにより、分断時に通常ガラスが直撃する領域だけでなく、スクライブのときにクラックが垂直ではなく横方向にずれて直撃する場所がずれた場合でも、駆動基板１に形成されたトランジスタ１２等を保護することができる。

[0068] また、切断線Ｌ１直下の保護膜１５は、切断線Ｌ１の全体に対応するように形成されていなくてもよい。すなわち、下層にトランジスタ１２や配線などが形成されていて、保護が必要な領域のみに保護膜１５を形成するようにしてもよい。トランジスタ１２や配線が形成されていない領域では、保護膜１５を形成しなくてもよい。

[0069] なお、保護膜１５は、帯状に連続して形成されていなくてもよい。すなわち、複数の領域に分けて保護膜１５を形成してもよい。この場合、隣接する保護膜１５のパターンは、飛散する破片３６よりも十分小さくする。こうすることで、切断工程で対向基板２の破片３６が切断線Ｌ１の下層の周辺回路を破損するのを防ぐことができる。また、切断線Ｌ１直下の保護膜１５を分断することで、切断線Ｌ１直下の保護膜１５を通じた短絡を防ぐことができる。

[0070] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限られたものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

符号の説明

[0071] １　駆動基板

２　対向基板

３　表示領域

３ａ　画素

４　周辺領域

６　シール材

７　液晶

１２　トランジスタ

１３　層間絶縁膜

１４　反射画素電極

１４ａ　ダミー画素電極

１５　保護膜

４７　端子

請求の範囲

[請求項1] トランジスタを有する駆動基板と、

前記駆動基板と対向配置された対向基板と、

表示領域を囲むように配置され、前記駆動基板と前記対向基板とを貼り合わせるシール材と、を備えた表示素子の製造方法であって、

前記駆動基板の上に画素電極材料を用いて第１の膜を形成するステップと、

前記第１の膜上に保護膜材料を用いて前記対向基板より硬い保護膜を形成するステップと、

前記第１の膜及び前記保護膜をパターニングすることで、前記表示領域において前記トランジスタと接続される画素電極を形成し、前記表示領域の外側の周辺領域においてダミー画素電極を形成するステップと、

前記周辺領域において前記ダミー画素電極の上の前記保護膜が残存するよう、前記表示領域において前記画素電極の上の前記保護膜を除去するステップと、

前記駆動基板と前記対向基板との間に前記シール材を配置した状態で、前記駆動基板と前記対向基板を貼り合わせるステップと、

前記保護膜が形成された領域に対応する切断線に沿って前記対向基板を切断するステップと、を有する表示素子の製造方法。

[請求項2] トランジスタを有する駆動基板と、

前記駆動基板と対向配置された対向基板と、

表示領域を囲むように配置され、前記駆動基板と前記対向基板とを貼り合わせるシール材と、

前記対向基板の少なくとも一側端面の直下に対応する、前記駆動基板の前記表示領域より外側の周辺領域に形成された、前記対向基板よりも硬い保護膜と、

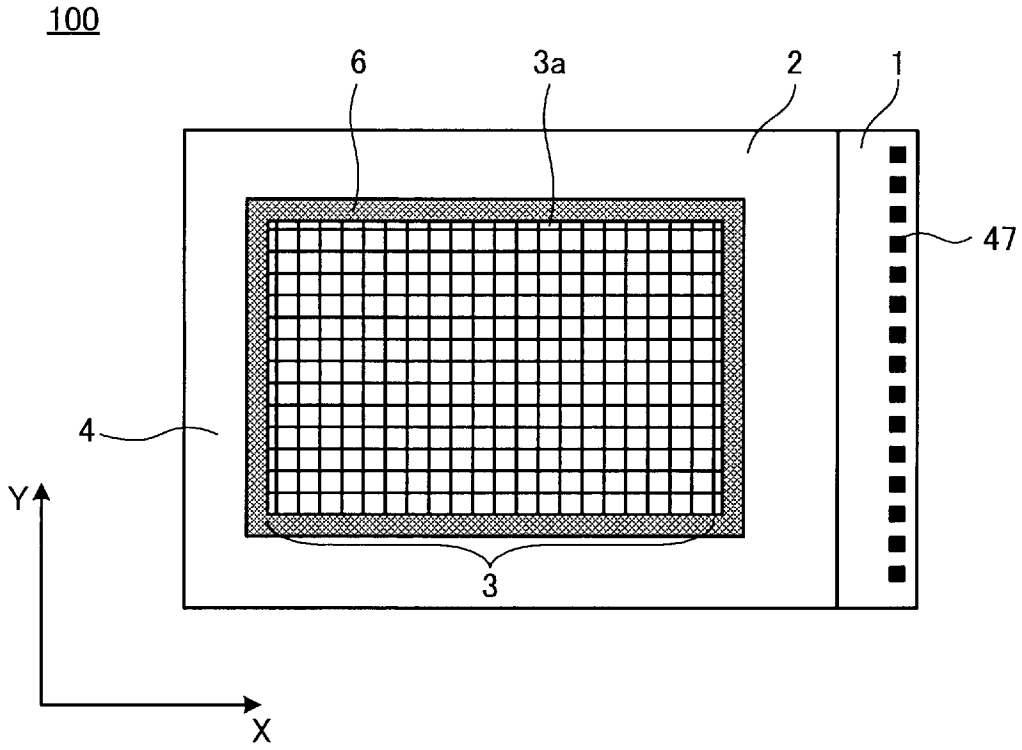
前記表示領域内に形成され、前記トランジスタと接続される画素電

極と、

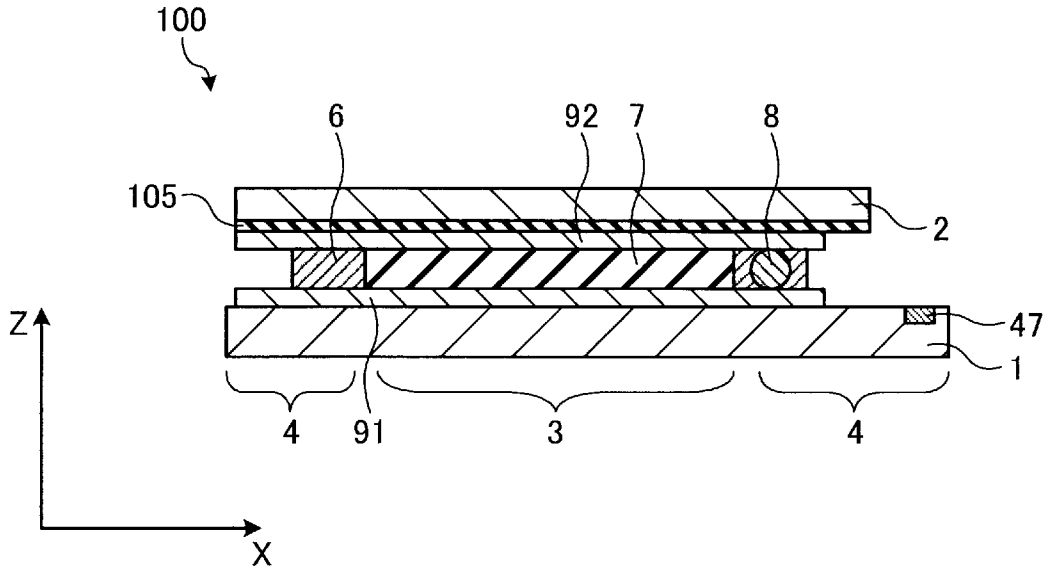
前記保護膜の下に形成され、前記画素電極と同じ材料で形成されたダミー画素電極と、

を備えた表示素子。

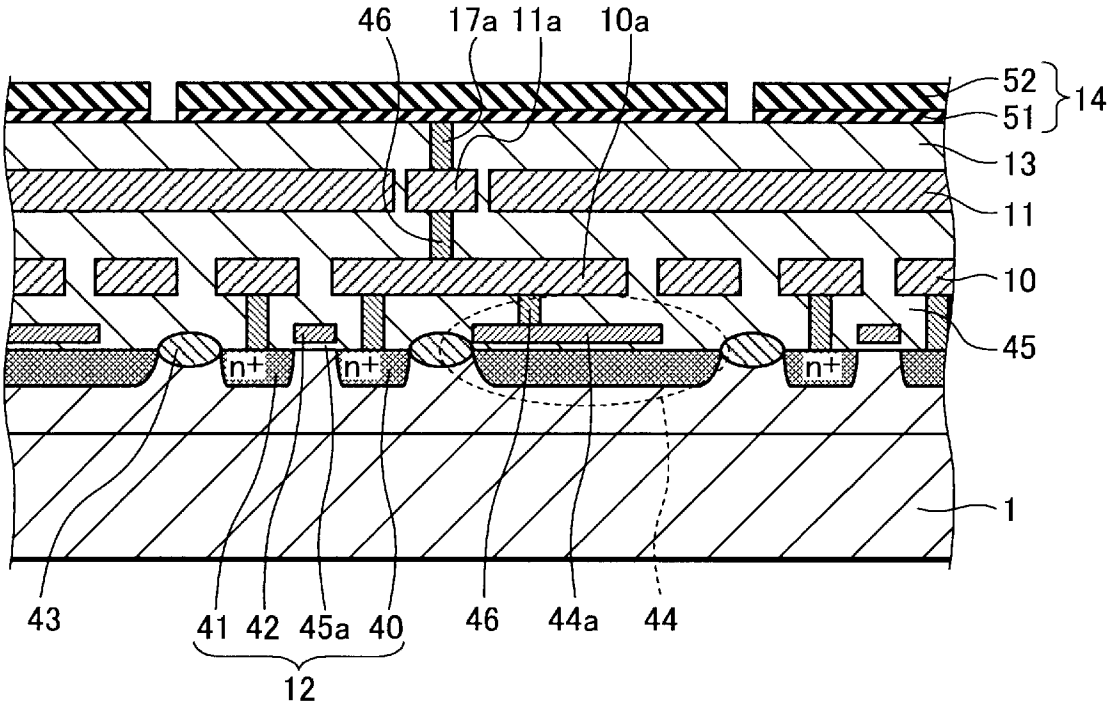
[図1]



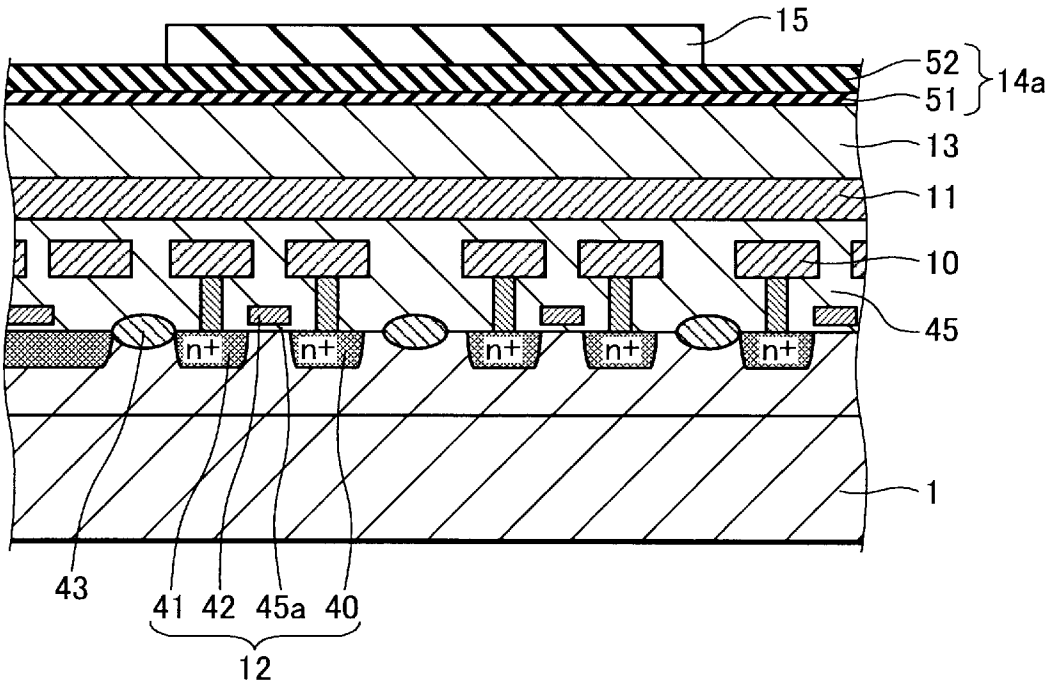
[図2]



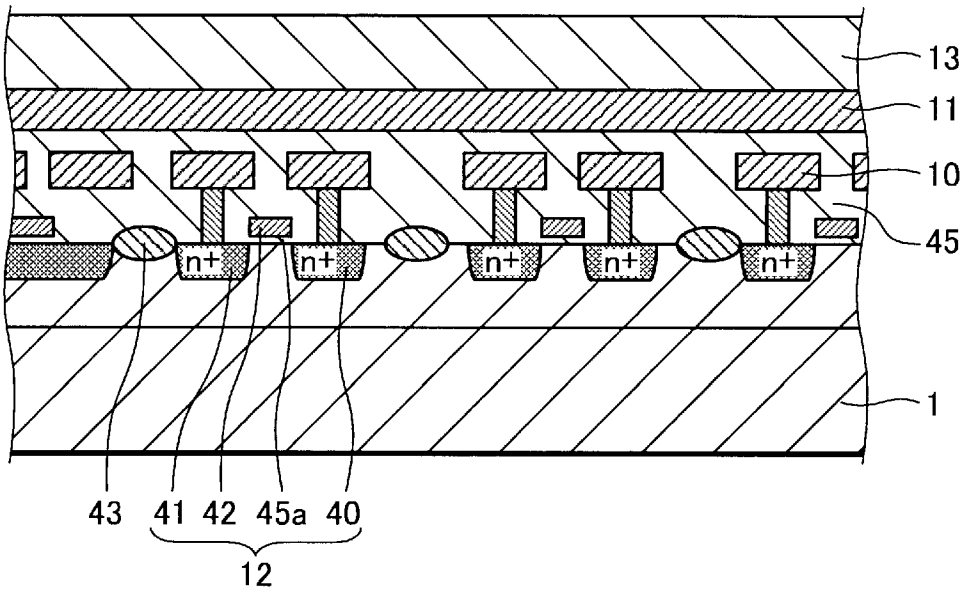
[図3]


46
17a
11a
10a
52
51
14
13
11
10
45
n+
n+
n+
1
43
41
42
45a
40
46
44a
44
12

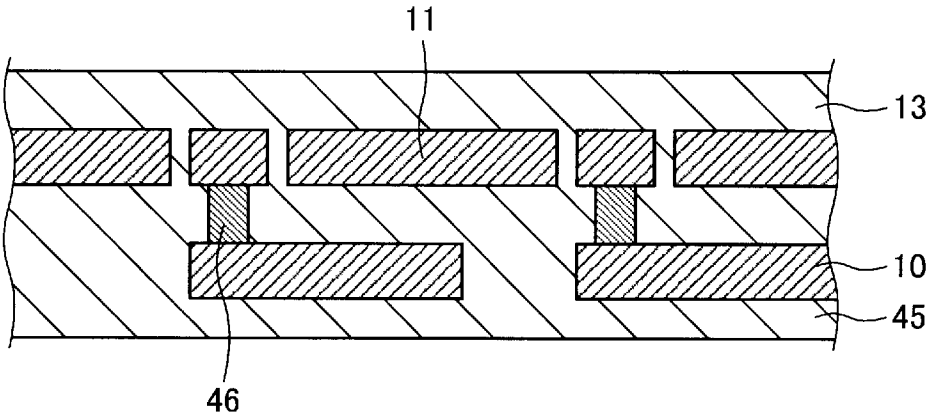
[図4]


15
52
51
14a
13
11
10
45
n+
n+
n+
n+
n+
1
43
41
42
45a
40
12

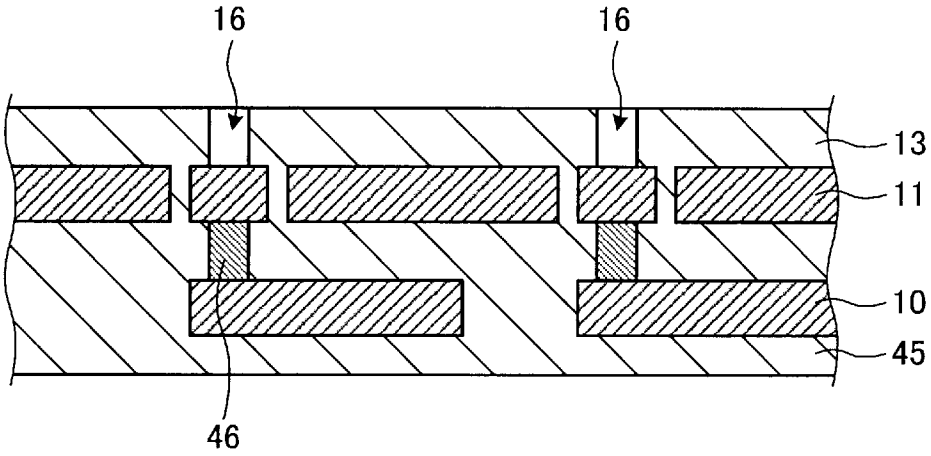
[図5A]



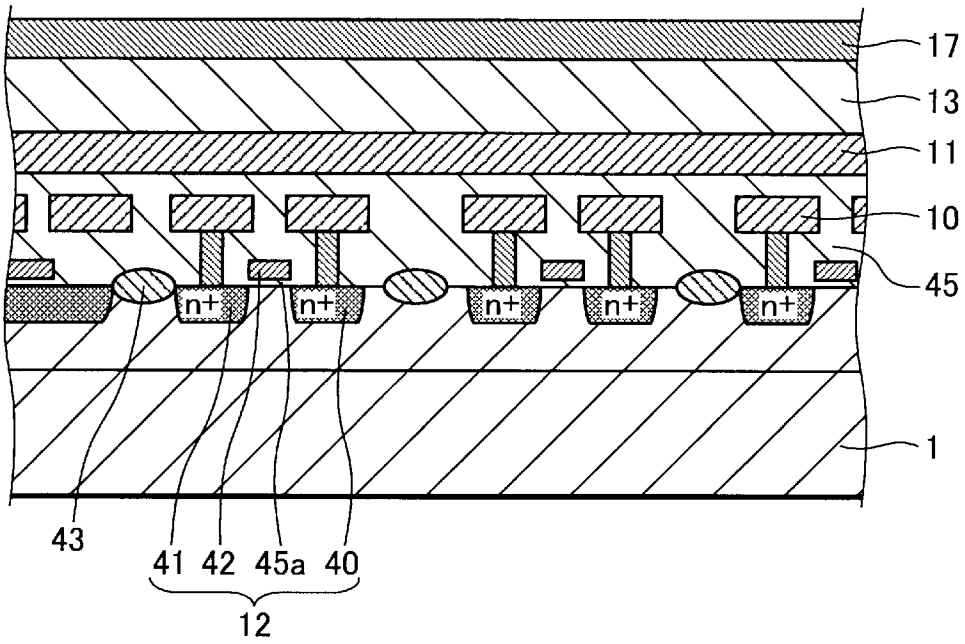
[図5B]



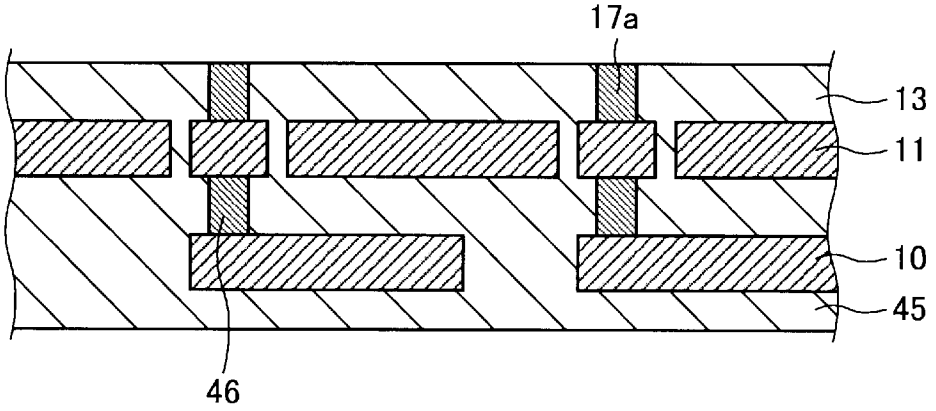
[図6]



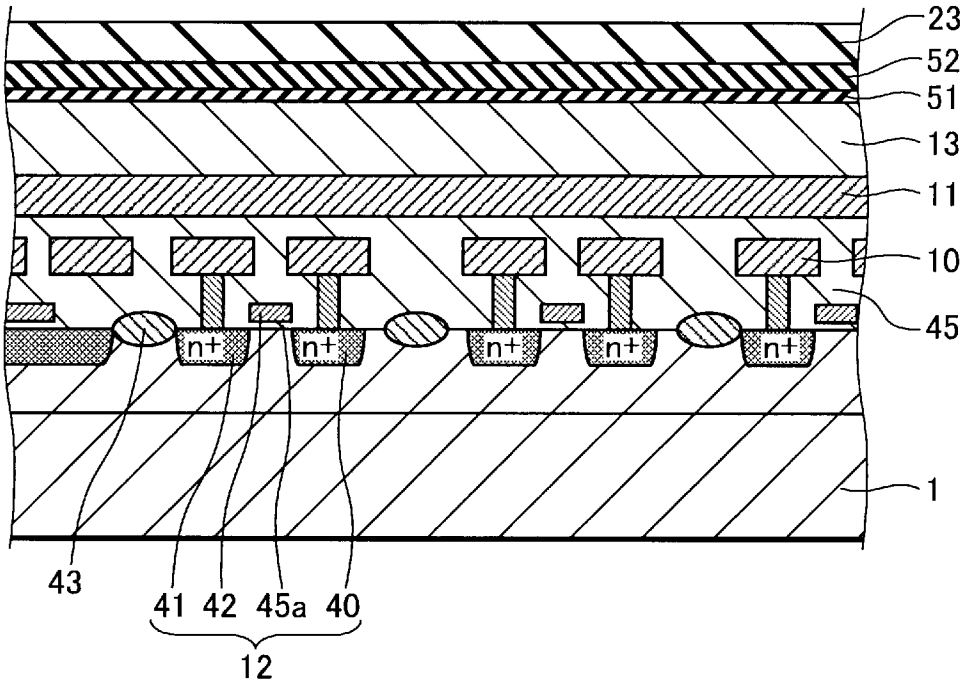
[図7A]



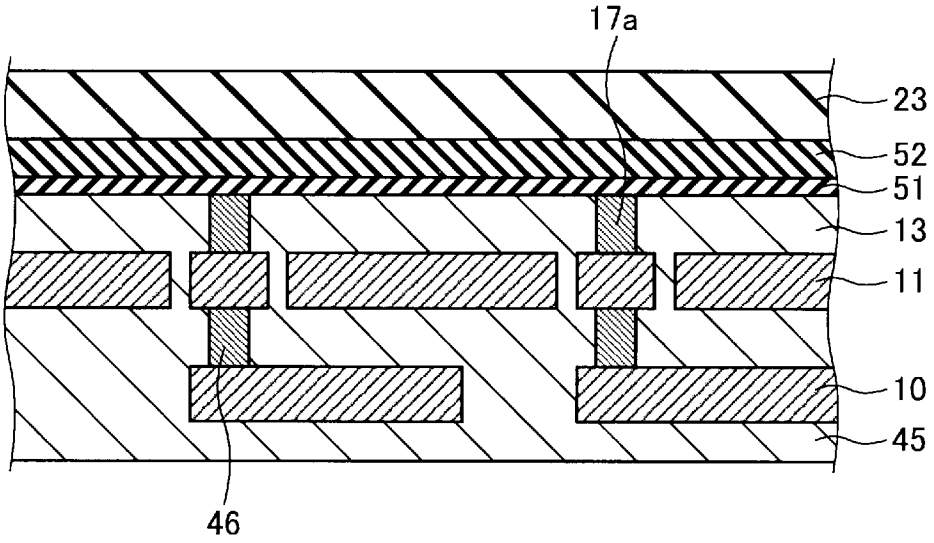
[図7B]



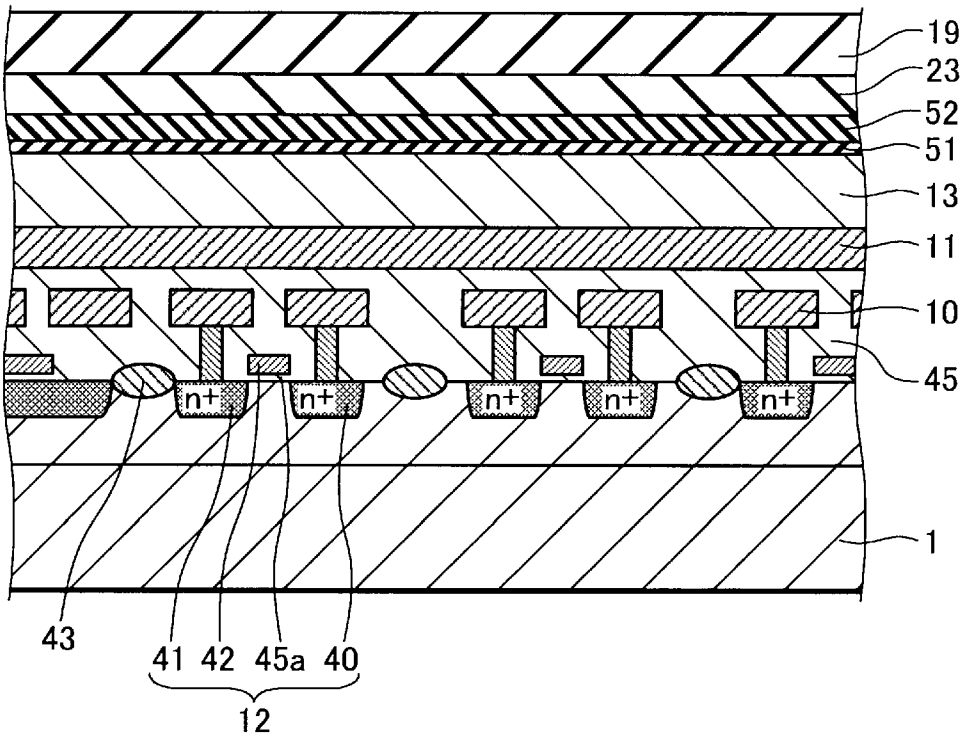
[図8A]


23
52
51
13
11
10
45
n+
n+
n+
n+
n+
1
43
41
42
45a
40
12

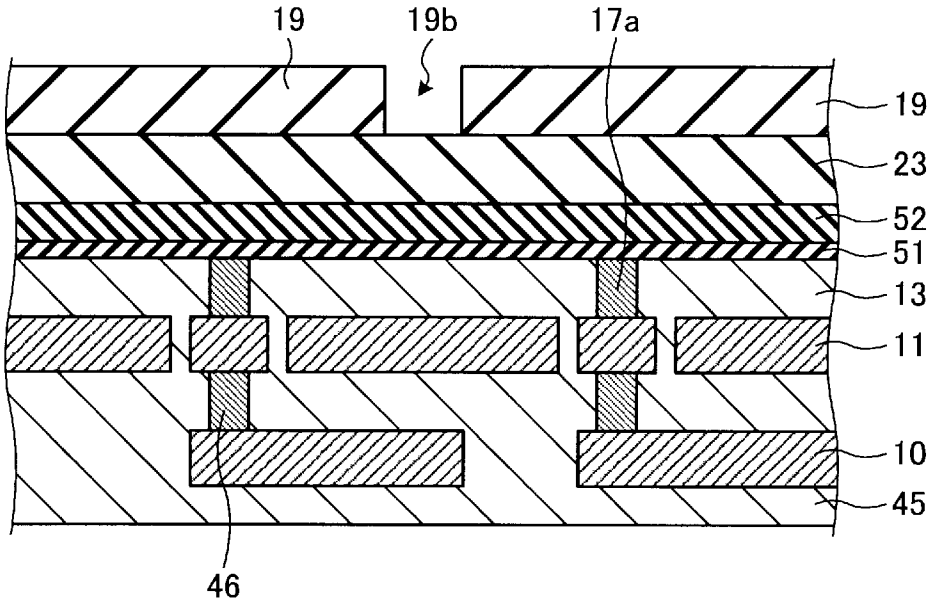
[図8B]


17a
23
52
51
13
11
10
45
46

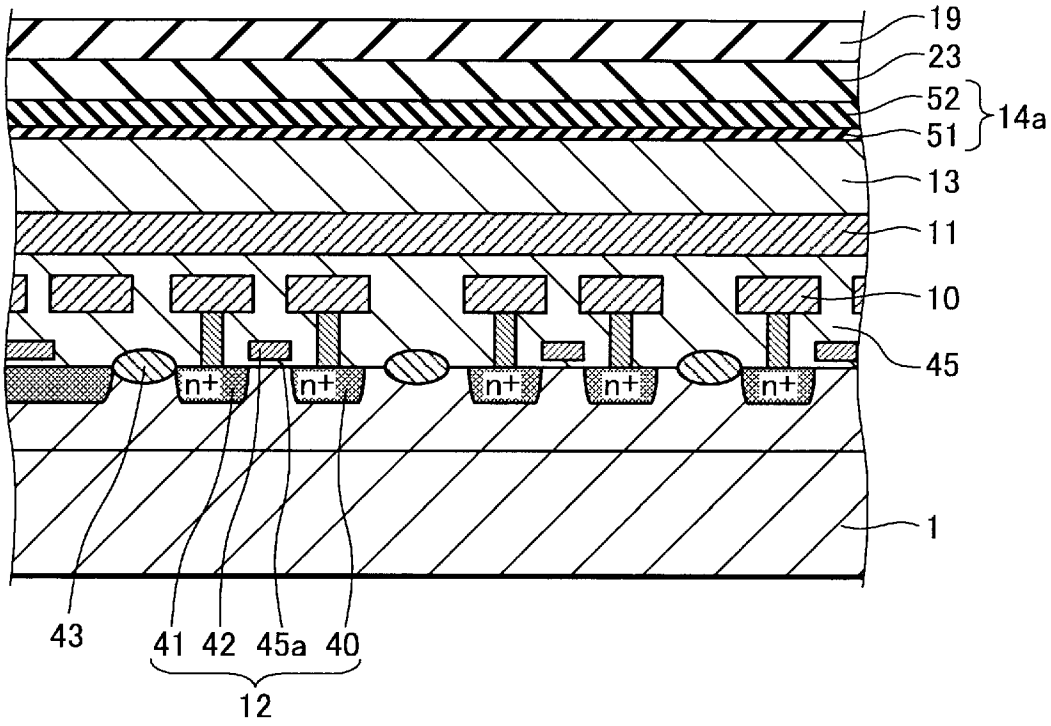
[図9A]


19
23
52
51
13
11
10
45
n+
n+
n+
n+
n+
1
43
41
42
45a
40
12

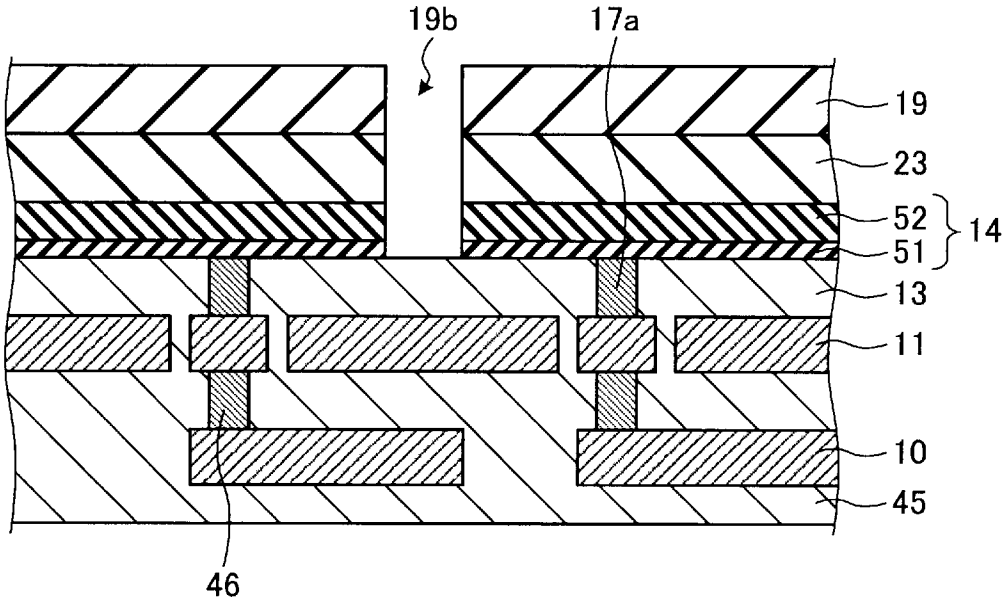
[図9B]


19
19b
17a
19
23
52
51
13
11
10
45
46

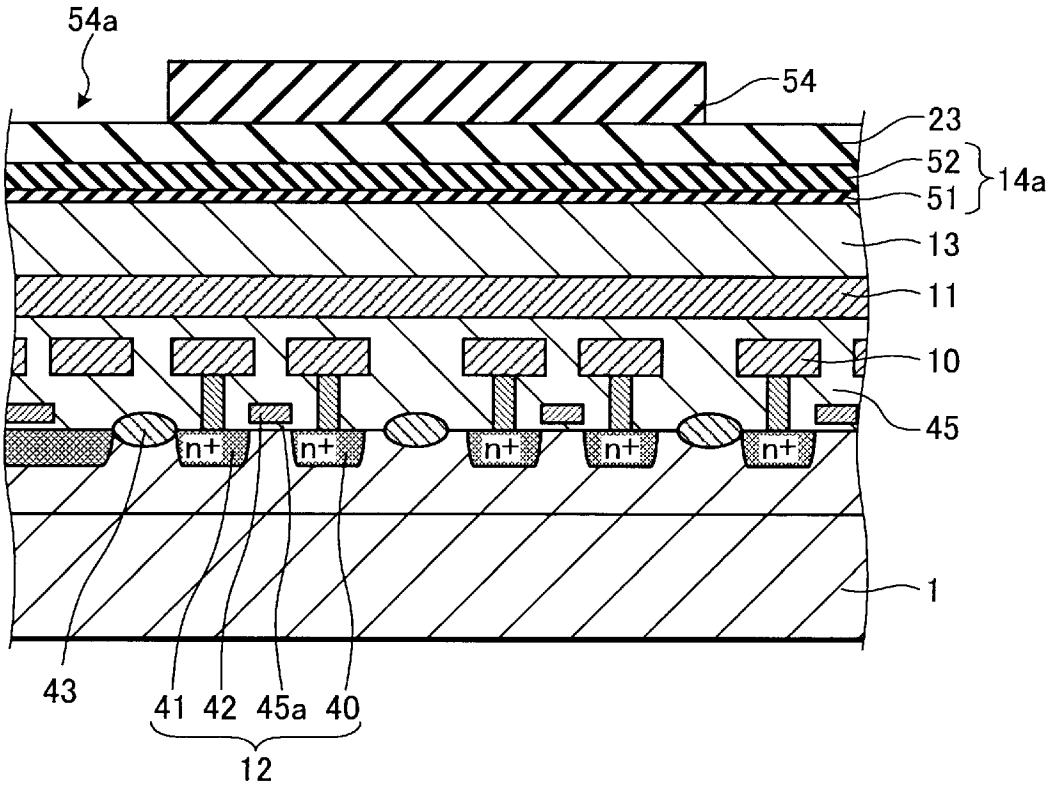
[図10A]


19
23
52
51
14a
13
11
10
45
n+
n+
n+
n+
n+
1
43
41
42
45a
40
12

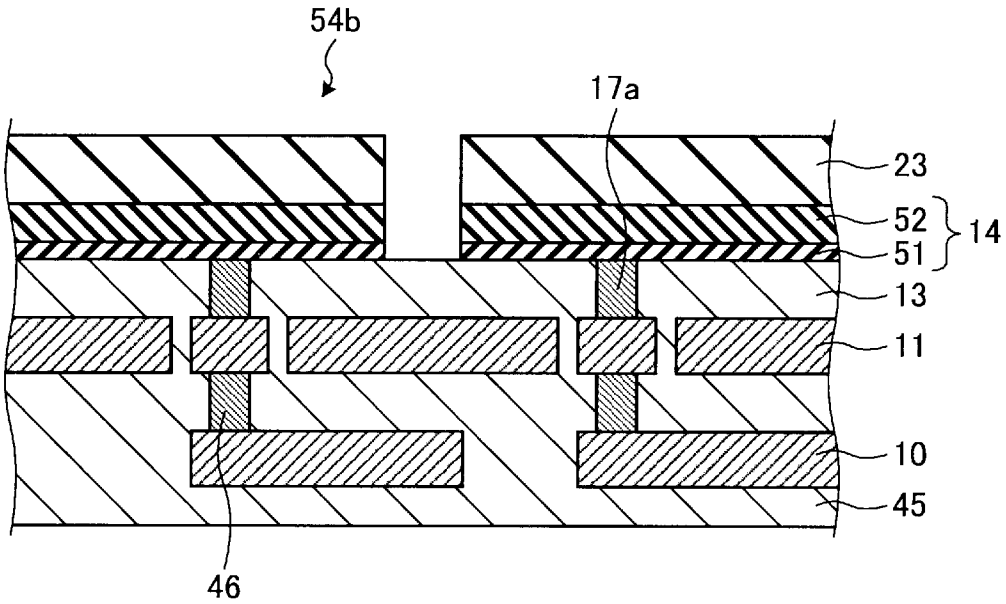
[図10B]


19b
17a
19
23
52
51
14
13
11
10
45
46

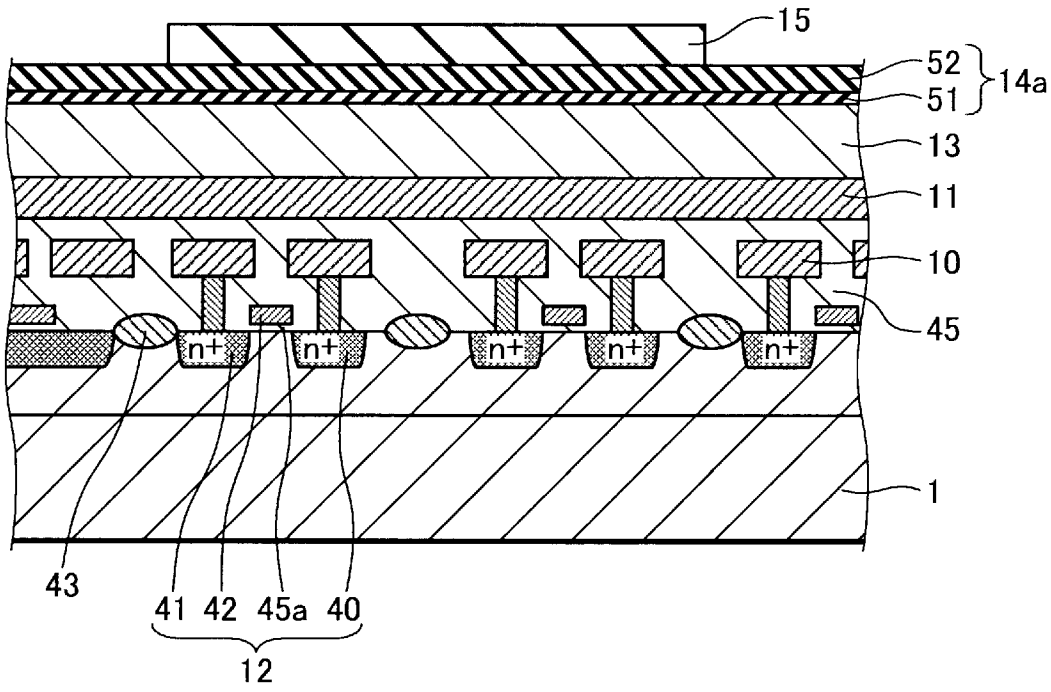
[図11A]


54a
54
23
52
51
14a
13
11
10
45
n+
n+
n+
n+
n+
1
43
41
42
45a
40
12

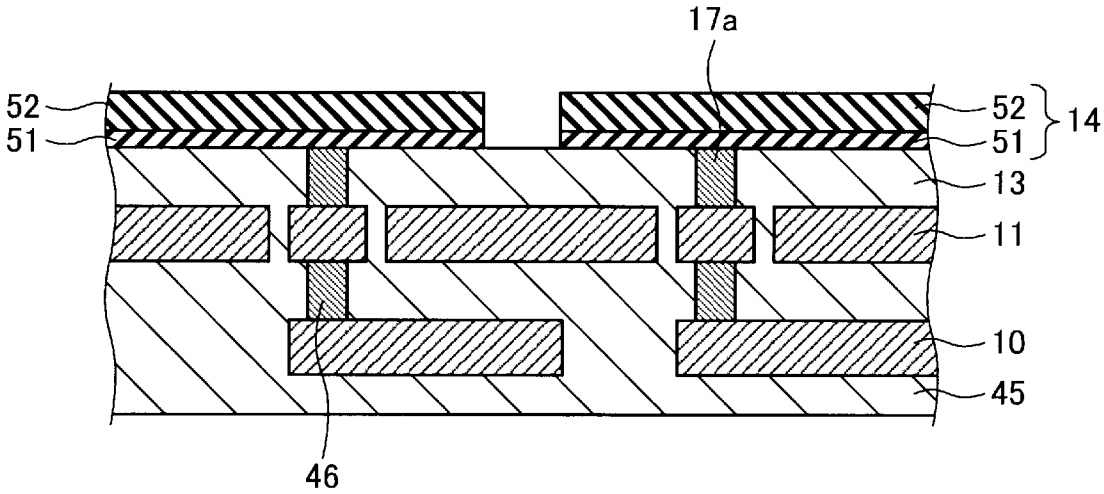
[図11B]


54b
17a
23
52
51
14
13
11
10
45
46

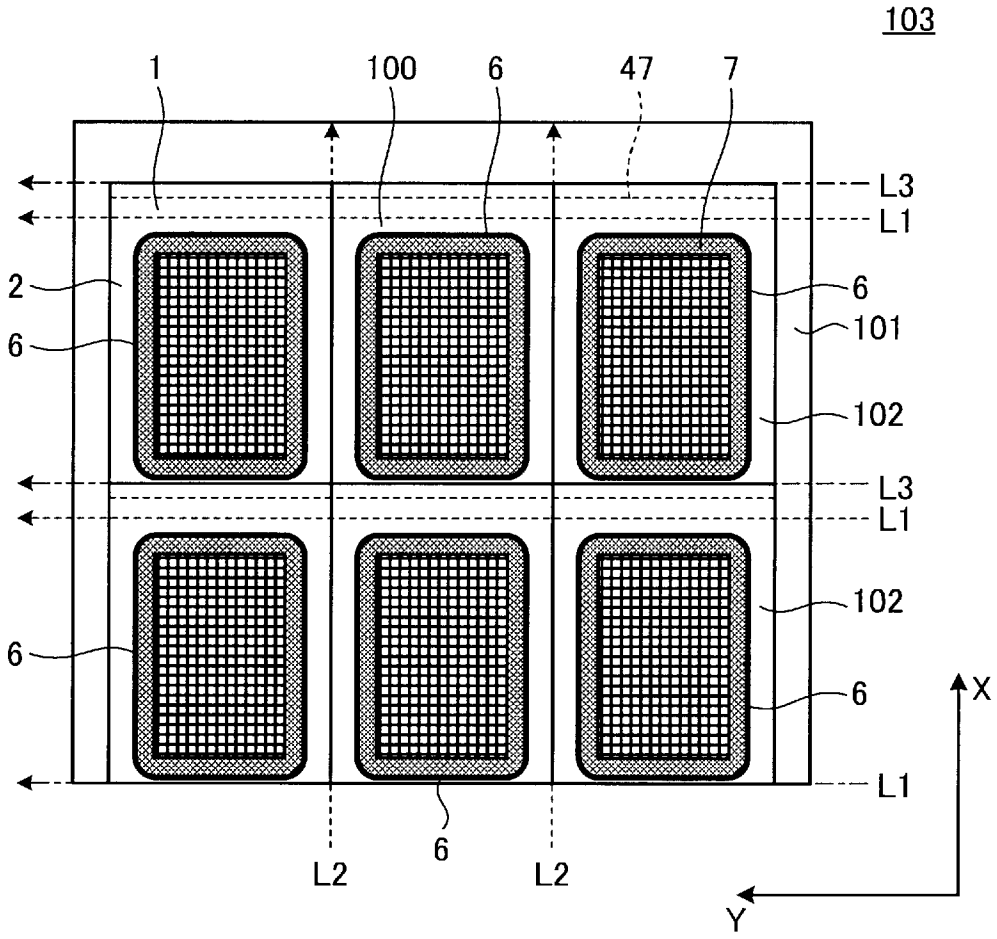
[図12A]


15
52
51
14a
13
11
10
45
n+
n+
n+
n+
n+
1
43
41
42
45a
40
12

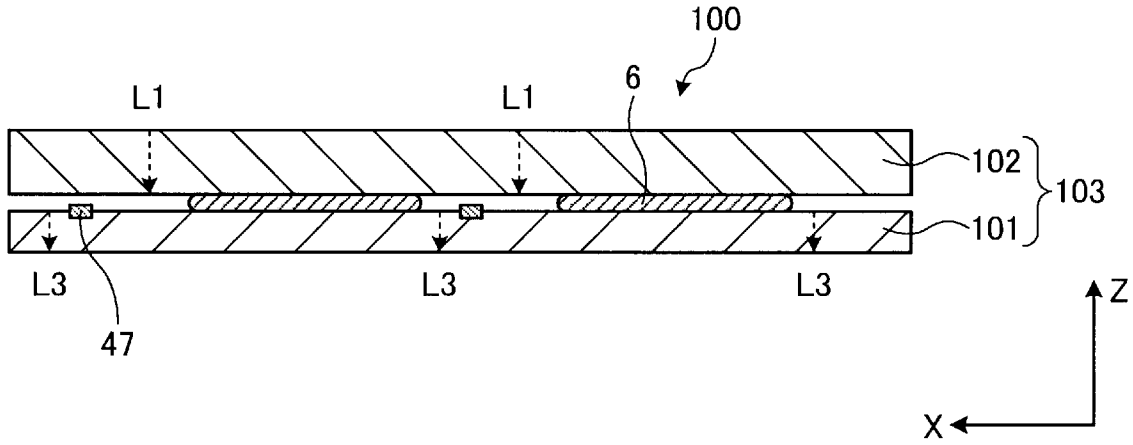
[図12B]


17a
52
51
52
51
14
13
11
10
45
46

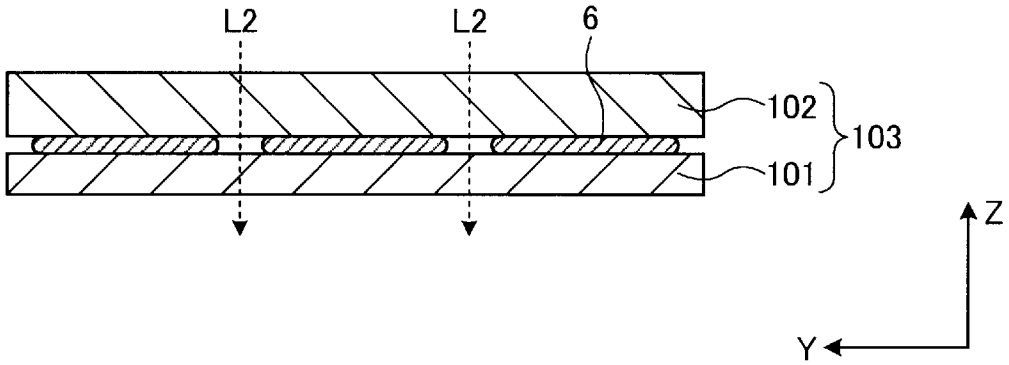
[図13]



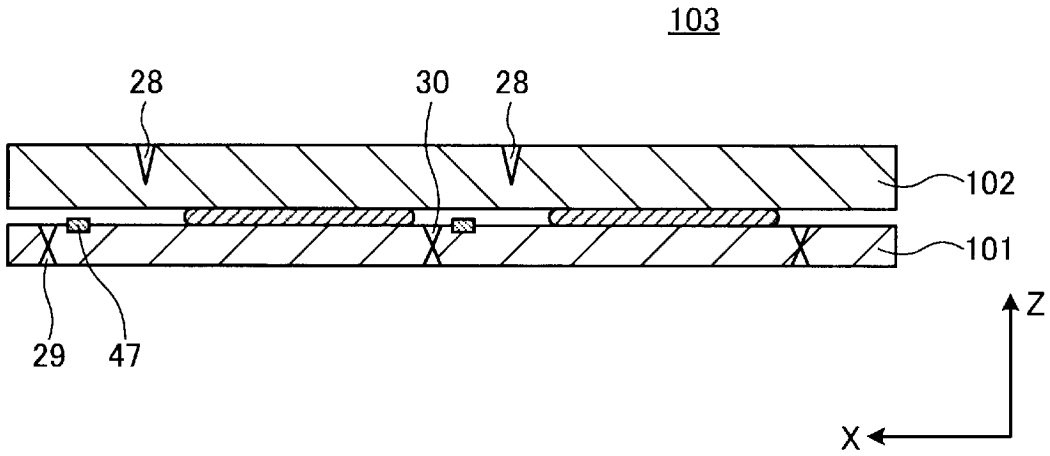
[図14]



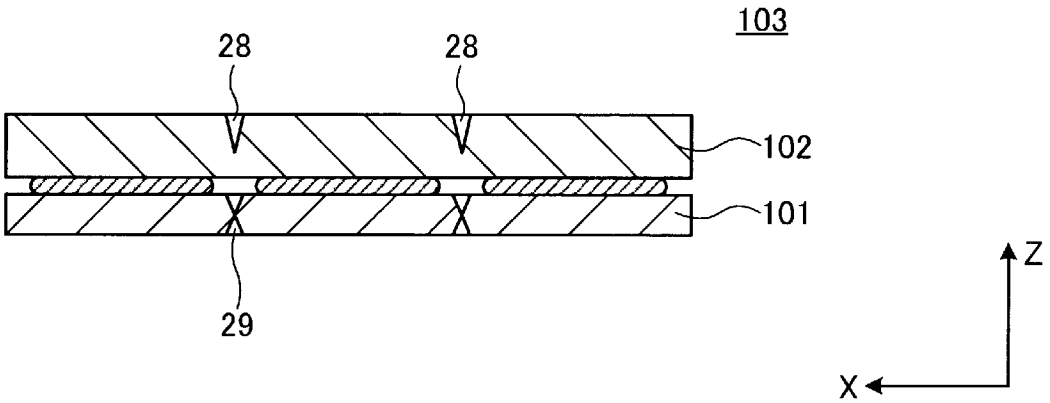
[図15]



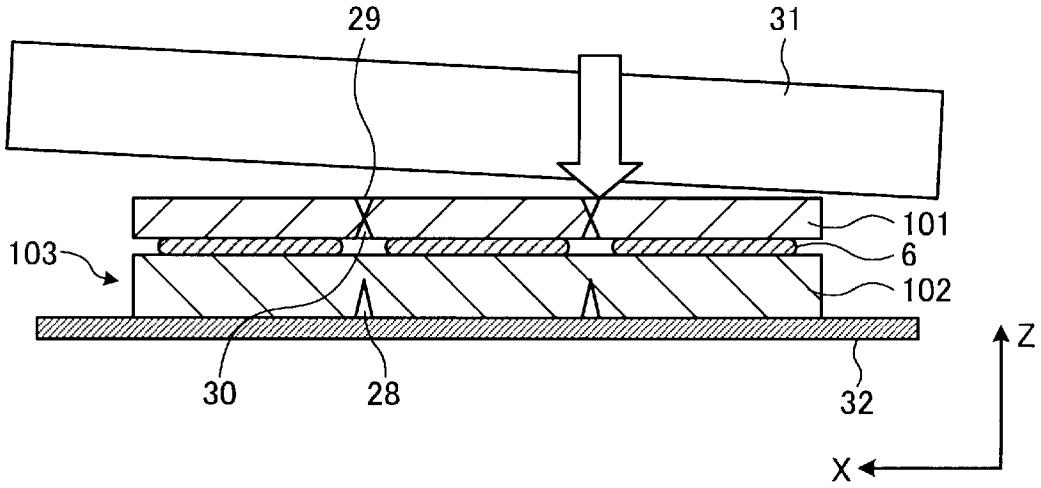
[図16]



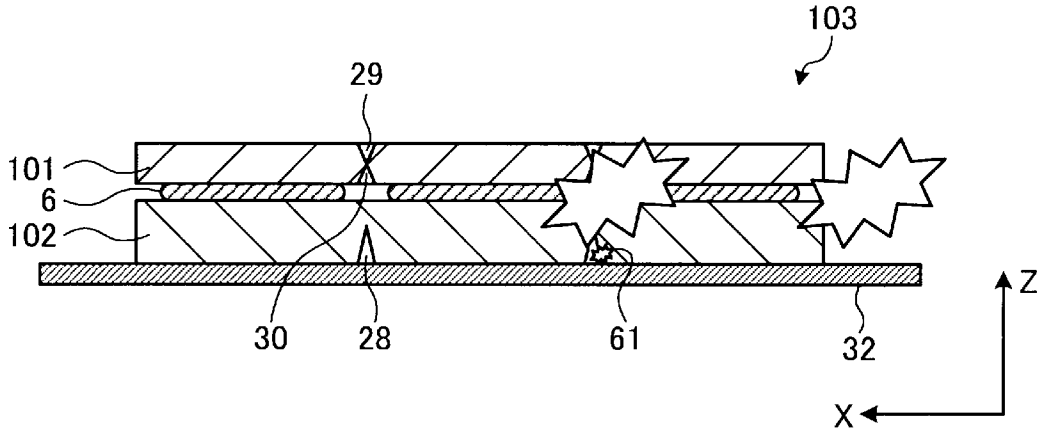
[図17]



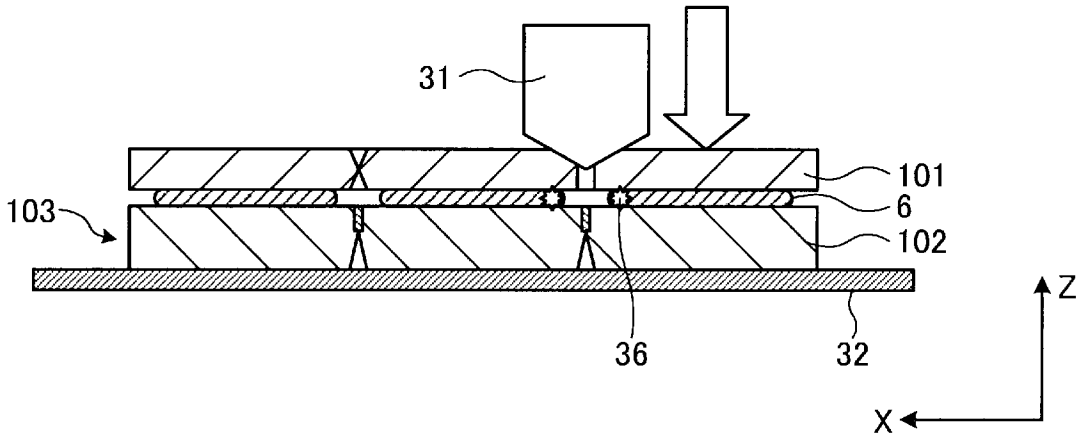
[図18]



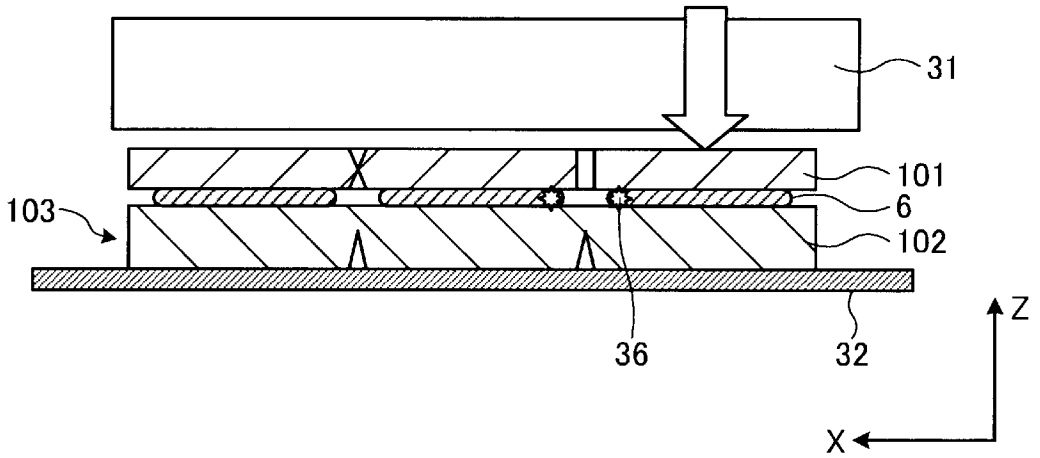
[図19]



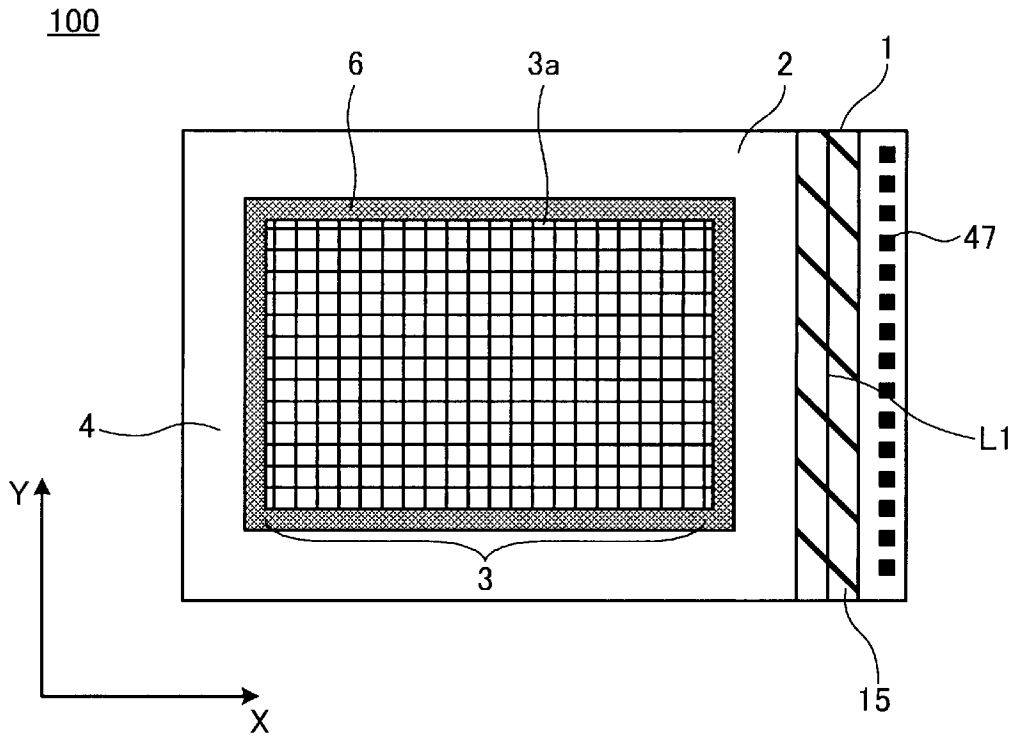
[図20]



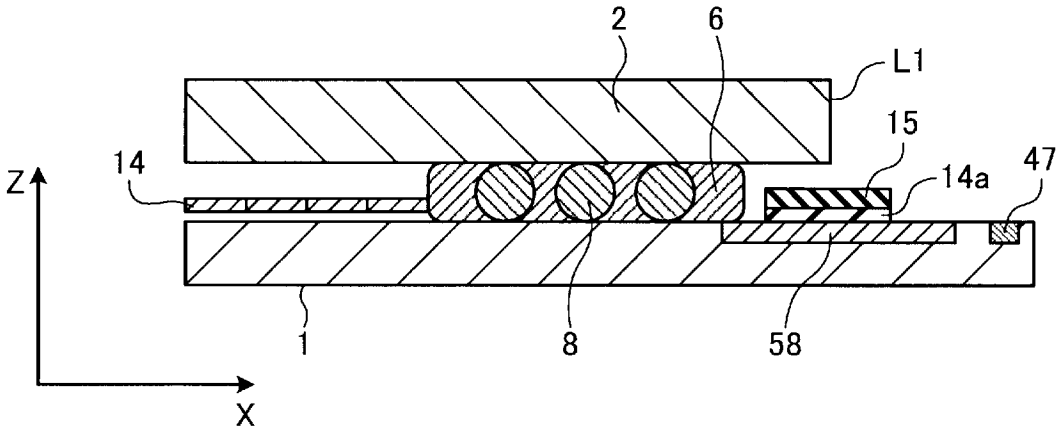
[図21]



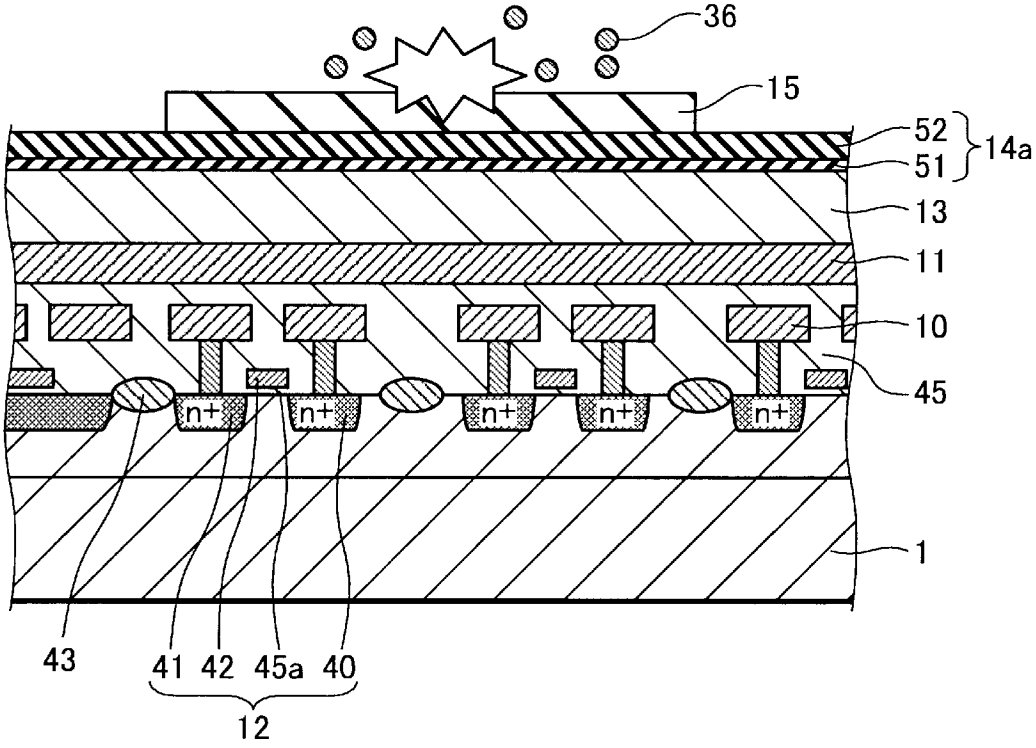
[図22]



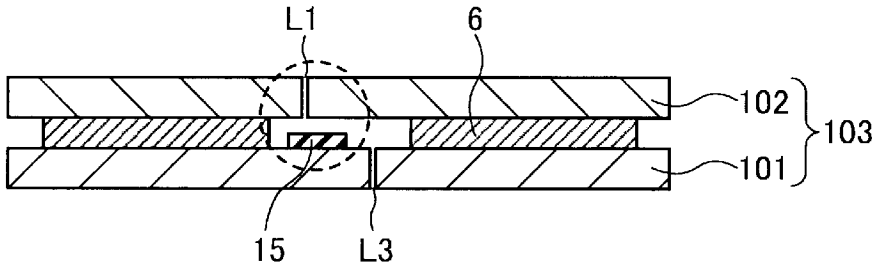
[図23]



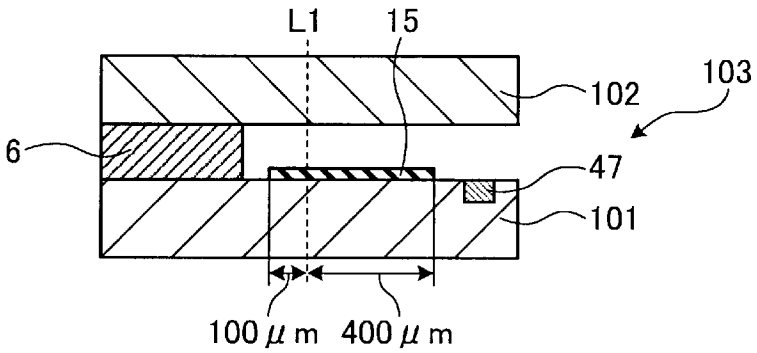
[図24]


36
15
52
51
14a
13
11
10
45
n+
n+
n+
n+
n+
1
43
41
42
45a
40
12

[図25]


L1
6
102
103
101
15
L3

[図26]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/081449

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/1343(2006.01)i, *G02F1/1368*(2006.01)i, *G09F9/00*(2006.01)i, *G09F9/30*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/1343, G02F1/1368, G09F9/00, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-194013 A (Fujitsu Ltd.), 14 July 2000 (14.07.2000), entire text; all drawings & WO 00-41033 A1 & US 2001-50747 A1	1-2
Y	JP 2010-145454 A (Seiko Epson Corp.), 01 July 2010 (01.07.2010), entire text; all drawings (Family: none)	1-2
Y	JP 8-146452 A (Sanyo Electric Co., Ltd.), 07 June 1996 (07.06.1996), entire text; all drawings (Family: none)	1-2

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09 January, 2014 (09.01.14)	10 February, 2014 (10.02.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/081449

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-2519 A (Sharp Corp.), 08 January 1990 (08.01.1990), entire text; all drawings (Family: none)	1
A	JP 2003-222904 A (Matsushita Electric Industrial Co., Ltd.), 08 August 2003 (08.08.2003), entire text; all drawings (Family: none)	1-2
A	JP 2008-123983 A (Samsung SDI Co., Ltd.), 29 May 2008 (29.05.2008), entire text; all drawings & US 2008-111492 A1 & EP 1921680 A2 & KR 10-812001 B1 & CN 101221973 A	1-2
A	JP 2009-229969 A (Epson Imaging Devices Corp.), 08 October 2009 (08.10.2009), entire text; all drawings (Family: none)	1-2
A	US 2011-31512 A1 (YI-YU KAO), 10 February 2011 (10.02.2011), entire text; all drawings & CN 101989018 A	1-2

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０８１４４９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1343, G02F1/1368, G09F9/00, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	ＪＰ　２０００－１９４０１３　Ａ（富士通株式会社） ２０００．０７．１４、全文，全図 ＆　ＷＯ　００－４１０３３　Ａ１ ＆　ＵＳ　２００１－５０７４７　Ａ１	1-2
Ｙ	ＪＰ　２０１０－１４５４５４　Ａ（セイコーエプソン株式会社） ２０１０．０７．０１、全文，全図（ファミリーなし）	1-2

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０９．０１．２０１４	１０．０２．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｌ　２９１３
山口　裕之
電話番号　０３－３５８１－１１０１　内線　３２９３

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	ＪＰ　８－１４６４５２　Ａ（三洋電機株式会社） １９９６．０６．０７、全文，全図（ファミリーなし）	1-2
Ｙ	ＪＰ　２－２５１９　Ａ（シャープ株式会社） １９９０．０１．０８、全文，全図（ファミリーなし）	1
Ａ	ＪＰ　２００３－２２２９０４　Ａ（松下電器産業株式会社） ２００３．０８．０８、全文，全図（ファミリーなし）	1-2
Ａ	ＪＰ　２００８－１２３９８３　Ａ（三星エスディアイ株式会社） ２００８．０５．２９、全文，全図 ＆　ＵＳ　２００８－１１１４９２　Ａ１ ＆　ＥＰ　１９２１６８０　Ａ２ ＆　ＫＲ　１０－８１２００１　Ｂ１ ＆　ＣＮ　１０１２２１９７３　Ａ	1-2
Ａ	ＪＰ　２００９－２２９９６９　Ａ （エプソンイメージングデバイス株式会社） ２００９．１０．０８、全文，全図（ファミリーなし）	1-2
Ａ	ＵＳ　２０１１－３１５１２　Ａ１（YI-YU KAO） ２０１１．０２．１０、全文，全図 ＆　ＣＮ　１０１９８９０１８　Ａ	1-2