

(21)申請案號：102139570

(22)申請日：中華民國 102 (2013) 年 10 月 31 日

(51)Int. Cl. : *H01L21/311 (2006.01)*

(30)優先權：2012/11/01 美國 61/721,414

2013/10/22 美國 14/059,996

(71)申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：奈馬尼史林尼法斯 D NEMANI, SRINIVAS D. (US)；潘德瑞米亞 T PENDER, JEREMIAH T. (US)；周青駿 ZHOU, QINGJUN (CN)；路布米斯基德米崔 LUBOMIRSKY, DMITRY (US)；貝羅斯特凱索爵 G BELOSTOTSKIY, SERGEY G. (RU)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：20 項 圖式數：6 共 44 頁

(54)名稱

圖案化低介電常數介電膜之方法

METHOD OF PATTERNING A LOW-K DIELECTRIC FILM

(57)摘要

本發明關於一種圖案化低介電常數介電膜的方法。在一範例中，圖案化低介電常數介電膜的方法包含：在低介電常數介電層上，形成與圖案化遮罩層，此低介電常數介電層被配置在基板上。此方法也包含：以無氮電漿處理改質低介電常數介電層之暴露部分。此方法亦包含：以遠端電漿處理移除低介電常數介電層之改質部分，低介電常數介電層之改質部分是由遮罩層與低介電常數介電層之未改質部分所選出的。

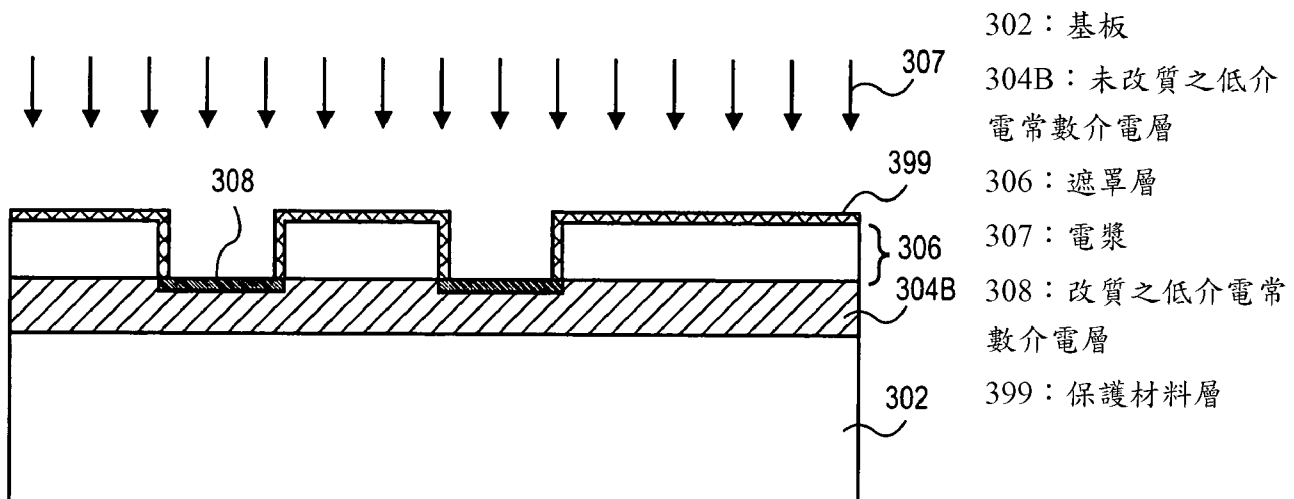


圖3C

(21)申請案號：102139570

(22)申請日：中華民國 102 (2013) 年 10 月 31 日

(51)Int. Cl. : *H01L21/311 (2006.01)*

(30)優先權：2012/11/01 美國 61/721,414

2013/10/22 美國 14/059,996

(71)申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：奈馬尼史林尼法斯 D NEMANI, SRINIVAS D. (US)；潘德瑞米亞 T PENDER, JEREMIAH T. (US)；周青駿 ZHOU, QINGJUN (CN)；路布米斯基德米崔 LUBOMIRSKY, DMITRY (US)；貝羅斯特凱索爵 G BELOSTOTSKIY, SERGEY G. (RU)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：20 項 圖式數：6 共 44 頁

(54)名稱

圖案化低介電常數介電膜之方法

METHOD OF PATTERNING A LOW-K DIELECTRIC FILM

(57)摘要

本發明關於一種圖案化低介電常數介電膜的方法。在一範例中，圖案化低介電常數介電膜的方法包含：在低介電常數介電層上，形成與圖案化遮罩層，此低介電常數介電層被配置在基板上。此方法也包含：以無氮電漿處理改質低介電常數介電層之暴露部分。此方法亦包含：以遠端電漿處理移除低介電常數介電層之改質部分，低介電常數介電層之改質部分是由遮罩層與低介電常數介電層之未改質部分所選出的。

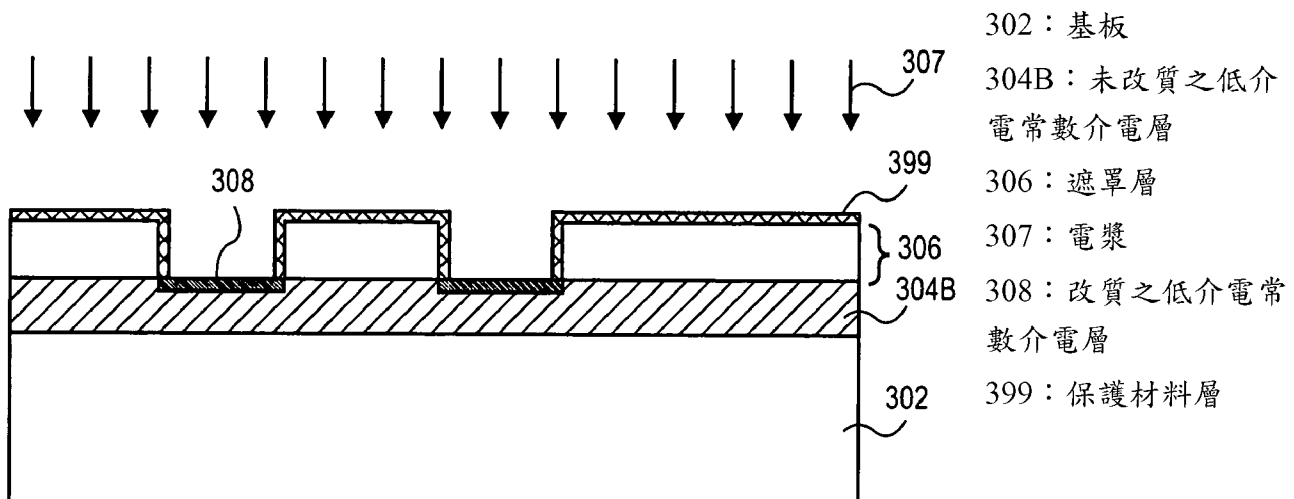


圖3C

發明摘要

※ 申請案號：102139570

※ 申請日：102 年 10 月 31 日

※IPC 分類：

H01L 21/311 2006.01

【發明名稱】（中文/英文）

圖案化低介電常數介電膜之方法

METHOD OF PATTERNING A LOW-K DIELECTRIC FILM

【中文】

本發明關於一種圖案化低介電常數介電膜的方法。在一範例中，圖案化低介電常數介電膜的方法包含：在低介電常數介電層上，形成與圖案化遮罩層，此低介電常數介電層被配置在基板上。此方法也包含：以無氮電漿處理改質低介電常數介電層之暴露部分。此方法亦包含：以遠端電漿處理移除低介電常數介電層之改質部分，低介電常數介電層之改質部分是由遮罩層與低介電常數介電層之未改質部分所選出的。

【英文】

Methods of patterning low-k dielectric films are described. In an example, a method of patterning a low-k dielectric film involves forming and patterning a mask layer above a low-k dielectric layer, the low-k dielectric layer disposed above a substrate. The method also involves modifying exposed portions of the low-k dielectric layer with a nitrogen-free plasma process. The method also involves removing, with

a remote plasma process, the modified portions of the low-k dielectric layer selective to the mask layer and unmodified portions of the low-k dielectric layer.

【代表圖】

【本案指定代表圖】：第（ 3C ）圖。

【本代表圖之符號簡單說明】：

302 基板

304B 未改質之低介電常數介電層

306 遮罩層

307 電漿

308 改質之低介電常數介電層

399 保護材料層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

a remote plasma process, the modified portions of the low-k dielectric layer selective to the mask layer and unmodified portions of the low-k dielectric layer.

【代表圖】

【本案指定代表圖】：第（ 3C ）圖。

【本代表圖之符號簡單說明】：

302 基板

304B 未改質之低介電常數介電層

306 遮罩層

307 電漿

308 改質之低介電常數介電層

399 保護材料層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

圖案化低介電常數介電膜之方法

METHOD OF PATTERNING A LOW-K DIELECTRIC
FILM

【相關申請案之交互參照】

【0001】 本申請案主張 2012 年 11 月 1 日申請之美國臨時專利申請案第 61/721,414 號之優先權權益，其全部內容在此藉由參照而併入。

【技術領域】

【0002】 本發明的具體例是關於半導體製程的領域，且特別是關於圖案化低介電常數介電膜之方法。

【先前技術】

【0003】 在半導體製造中，低介電常數介電質是具有比二氧化矽小的介電常數之材料。低介電常數介電材料的製作是用於允許持續縮小微機電裝置尺寸的數種策略之一。在數位電路中，絕緣性介電質將導電部件(如，導線與電晶體)彼此分隔。當元件已經縮小且電晶體彼此更加靠近，絕緣性介電質已經被薄化至電荷積聚與串擾會不利影響裝置性能的程度。以相同厚度之低介電常數介電質取代二氧化矽會減少寄生電容，使得開關速度更快且降低熱散逸。

【0004】 然而，在低介電常數介電質製程技術的演進中需要

顯著的改良。

【發明內容】

【0005】 本發明的具體例包括圖案化低介電常數介電膜之方法。

【0006】 在一具體例中，圖案化低介電常數介電膜的方法包含：在低介電常數介電層上形成與圖案化遮罩層，低介電常數介電層被配置在基板上。此方法也包含：以無氮電漿處理改質低介電常數介電層之暴露部分。此方法亦包含：以遠端電漿處理移除低介電常數介電層之改質部分，低介電常數介電層之改質部分是由遮罩層與低介電常數介電層之未改質部分所選出的。

【0007】 在另一具體例中，圖案化低介電常數介電膜的方法包含：在低介電常數介電層上形成與圖案化遮罩層，低介電常數介電層被配置在基板上。此方法也包含：以電漿處理改質低介電常數介電層之暴露部分，藉由使用第一保護層沉積處理和後續之第二低介電常數改質電漿處理進行改質。此方法亦包含：以遠端電漿處理移除低介電常數介電層之改質部分，低介電常數介電層之改質部分是由遮罩層與低介電常數介電層之未改質部分所選出的。

【0008】 在另一具體例中，蝕刻腔室包括：用於將樣品暴露至無氮電漿處理之第一處理階段。不同的第二處理階段包括：用於將樣品暴露至基於選自由 $\text{NF}_3/\text{O}_2/\text{N}_2$ 、 $\text{CF}_4/\text{O}_2/\text{N}_2$ 與 NF_3/NH_3 所構成之群組的氣體組合之遠端電漿處理。

【圖式簡單說明】

【0009】 圖 1 顯示在用於移除在習用基於氟碳化物蝕刻處理中形成的聚合物之習用氧化電漿情況下，低介電常數介電層可能被損害或影響的機制。

【0010】 圖 2 是根據本發明的一具體例，圖案化低介電常數介電膜的方法之操作的流程圖。

【0011】 圖 3A-3F 顯示根據本發明的一具體例，圖案化低介電常數介電膜的方法之各種操作的截面圖，其對應至圖 2 之流程圖。

【0012】 圖 3C1 與 3C2 顯示根據本發明的一具體例，在兩種操作下進行之低介電常數改質的截面圖。

【0013】 圖 4A 與 4B 顯示根據本發明的一具體例，圖案化低介電常數介電膜的方法之各種操作的截面圖，與其相對應之腔室組態。

【0014】 圖 5A 顯示根據本發明的一具體例，進行圖案化低介電常數介電膜的方法之系統。

【0015】 圖 5B 顯示根據本發明的一具體例，圖 5A 之腔室 502 的可能配置之示意圖。

【0016】 圖 6 顯示根據本發明的一具體例，示範電腦系統的方塊圖。

【實施方式】

【0017】 圖案化低介電常數介電膜的方法被描述。在以下的說明中，許多具體細節被闡述，如具體的電漿處理與低介電常數介電膜之改質部分的作用，以提供完整瞭解本發明之具體例。明顯地，對於在此領域之習知技藝者而言，不需要這

些具體細節而可實施本發明的具體例。在其他例子中，廣為人知的態樣，如用於遮罩形成之微影圖案化與顯影技術不會被詳述，以避免不必要地混淆本發明之具體例。再者，應理解的是顯示在圖式中之各種具體例是示意代表圖，而不必然依尺寸比例繪製。

【0018】 對於低介電常數無損害之用於蝕刻低介電常數膜之新方法與處理序列被描述。傳統介電質蝕刻在蝕刻後聚合物殘留物移除期間會導致由於電漿處理而造成側壁損害。相較之下，本文所述之一或多個具體例不使用傳統的 C_xF_y 氣體化學。再者，蝕刻後殘留物可被原位(in-situ)移除，因而消除任何蝕刻後清洗的需求。此種二操作處理可被實行在 2-階段之電漿反應器(或替換地，也可在兩獨立腔室中進行)。在一示範具體例中，第一階段電漿是基於 SiF_4 (或 $SiCl_4$ 、 SiH_4 、TMS、或其他氨基或氟基矽烷前驅物)、氬(或 He、Xe、Ne 惰性氣體)、與氮(或替換的，氧)之乾蝕刻電漿。第一階段是用於蝕刻低介電常數膜，帶有被觀察到在側壁上之成長(據信是 SiN 或 $SiNOCH$ 類膜)。在蝕刻期間成長在側壁上之膜被用於保護低介電常數膜免於更進一步損害。第二階段電漿被用於當成以選擇性地從側壁移除蝕刻殘留物之遠端電漿。一個方法是使用 NF_3/NH_3 以形成 NH_4F ， NH_4F 會與殘留物反應以形成在 $>100^\circ C$ 昇華之鹽類。另一個方法是使用 $O_2/N_2/NF_3$ 或 $O_2/N_2/CF_4$ 化學，以移除對於氧化物與低介電常數有高度選擇性之層。此蝕刻處理的兩階段可被重覆數次以改善輪廓控制。

【0019】 多孔低介電常數介電材料，如多孔 $SiCOH$ ，通常對

電漿蝕刻敏感。問題通常出現在蝕刻處理期間，由 SiCH_3 網絡在極低介電常數(ULK)膜所造成之周圍損害。此種損害會影響 ULK 膜之機械整體性。再者，會有形成在基於氟碳化物(基於 C_xF_y)蝕刻處理期間之聚合物所導致之「F 記憶效應(F memory effect)」。此敏感性也會由於允許蝕刻化學深度擴散至低介電常數介電膜中之高孔洞性而出現。

【0020】 圖案化低介電常數介電膜之關鍵課題之一是在蝕刻處理期間損害程度之控制。使用之化學與電漿參數通常改質低介電常數膜之碳含量，而造成電性狀態(k 值與漏電)改變。對於碳之損害的根本原因之一是在剝除 C_xF_y 聚合物期間， C_xF_y 聚合物在蝕刻處理期間沉積在低介電常數表面上。然而，通常之介電質蝕刻處理從基於 C_xF_y 化學得到益處，因為其在電漿蝕刻期間提供側壁保護且增加非等向性蝕刻能力。

【0021】 根據本文所述之一或多個具體例，蝕刻的基本態樣藉由使用用於蝕刻之可選擇氣體被闡述。例如，在一具體例中，矽基前驅物(如， SiF_4 、 SiCl_4 、其他的氟基矽烷、氯基矽烷、碘基矽烷)、氮化氣體(如， N_2 、 NH_3 等)與/或惰性稀釋氣體(如， Ar 、 He 、 Xe 、 Ne)之組合被使用。藉由被蝕刻之溝槽的側壁上之矽基(富含 N)沉積的形成，使得非等向性蝕刻有可能。此沉積也保護低介電常數膜免於電漿侵蝕。

【0022】 在其他具體例中，氧與 N_2 一起被使用或是取代 N_2 ，以在側壁形成基於 Si-O 之沉積。在蝕刻序列中之接下來的階段或操作包含使用遠端電漿或低能量電漿，以產生會從低介電常數選擇性移除此類之膜的物種。一個例子是基於 NF_3/NH_3

之遠端電漿的使用，以形成與側壁之沉積反應而形成矽酸鹽物種的 NH_4F 。矽酸鹽物種在高溫下昇華。在一此類具體例中，上述處理對於低介電常數材料有高度選擇性，使低介電常數材料在處理中不會被蝕刻。在另一具體例中，基於 $\text{O}_2/\text{N}_2/\text{NF}_3$ 或 NO/NF_3 之遠端電漿處理的使用是用來蝕刻 Si-N 類之側壁沉積。此處理被調整為對於低介電常數膜有高度選擇性。此蝕刻處理的兩種樣態可被重覆數次以控制輪廓。

【0023】 本發明之一或多個具體例是以低介電常數介電膜(如 ULK 膜)之無氟碳蝕刻為標的。在一具體例中，本文之一或多個方法是用於提供具有對於低介電常數介電膜減少損害或不利影響之圖案化方法，例如，蝕刻圖案化處理。在一此類具體例中，本文所述之方法對於 C-摻雜氧化膜可能特別有效。習用之基於氟碳化物化學之 ULK 蝕刻處理不可避免地沉積 CF 聚合物於 ULK 表面上。聚合物隨後以氧化性蝕刻後處理(PET)電漿被移除。然而，PET 電漿可氧化含碳之 ULK 介電質。氧化之含碳 ULK 介電質可能易於不欲之吸溼，使得 ULK 介電質之介電常數(k 值)提高。根據本發明的具體例，極低介電常數介電質之無氟碳蝕刻被敘述在後。

【0024】 圖 1 顯示在用於移除在習用基於氟碳化物蝕刻處理中形成的聚合物之習用氧化性電漿情況下，低介電常數介電層可能被損害或影響的機制。參照圖 1 之機制(a)，當遭受到氧化灰化時，具有介電常數約為 2.5 之 SiCOH 低介電常數膜之約 40%組成的甲基- SiO_3 片段會由於氫氧根基團而不期望地失去其甲基。參照圖 1 之機制(b)，當遭受到氧化灰化時，具

有介電常數約為 2.5 之 SiCOH 低介電常數膜之約 10%組成的 $\text{SiO}_2\text{-(CH}_2\text{)}_2$ 片段會不期望地轉換為 $\text{SiO}_2\text{-(COH)}_2$ 片段。參照圖 1 之機制(c)，當遭受到還原灰化時，具有介電常數約為 2.5 之 SiCOH 低介電常數膜之約 40%組成的甲基-SiO₃片段會由於氫化物配位基(H)而不期望地失去其甲基。

【0025】 在一具體例中，無氟碳化合物蝕刻被用於圖案化低介電常數介電膜。因此不形成 CF 聚合物，其需要藉由灰化處理而移除。在一具體例中，本文所述之蝕刻處理包括在同一操作中進行之兩種基本運作：(1)以第一電漿蝕刻處理改質低介電常數膜之暴露部分，將此膜之一部分轉變為氧化矽(或低碳含量氧化物)，及(2)以遠端第二電漿蝕刻移除已處理層。因此，在一具體例中，ULK 膜不會被暴露至可能對於 Si-CH₃ 網絡造成損害之任何鹵素自由基或 O 自由基。

【0026】 在本發明的一態樣中，藉由低介電常數介電膜之一部分的改質，圖案化低介電常數介電膜，且隨後移除自此膜之未改質部分選出的改質部分。譬如，圖 2 是根據本發明的一具體例，圖案化低介電常數介電膜的方法之操作的流程圖 200。圖 3A-3F 顯示根據本發明的一具體例，圖案化低介電常數介電膜的方法之操作的截面圖。

【0027】 參照流程圖 200 之操作 202 與對應之圖 3A 與 3B，圖案化低介電常數介電膜的方法包括形成(圖 3A)與圖案化(圖 3B)在低介電常數介電層 304 上之遮罩層 306，低介電常數介電層 304 配置在基板 302 上。在一具體例中，遮罩層 306 是直接形成在低介電常數介電層 304 上之光阻層。在另一具

體例中，光阻層首先形成在配置在低介電常數介電層 304 上之硬遮罩層(在此具體例之 306)之上。

【0028】 在一具體例中，例如，在遮罩層 306 是被圖案化之硬遮罩層的情況下，形成與圖案化低介電常數介電層 304 上之遮罩層 306 包括形成與圖案化非氧化物遮罩層。如詳述於後之細節，非氧化物遮罩層可提供對於氧化蝕刻之選擇性。在一明確的此類具體例中，遮罩層 306 是含金屬層，如(但不限於)氮化鈦層或氮化鋁層。在另一明確的此類具體例中，遮罩層 306 是非氧化物介電材料層，如(但不限於)氮化矽層。

【0029】 在另一具體例中，例如，在遮罩層 306 是被圖案化之光阻層的情況下，形成與圖案化在低介電常數介電層 304 上之遮罩層 306 包括形成與圖案化光阻層。光阻層可由適用於微影製程之材料所構成。即在一具體例中，光阻層被暴露至光源且隨後被顯影。在一具體例中，被暴露至光源之光阻層部分將藉由顯影光阻層而被移除，例如由正光阻材料所構成之光阻層。在一明確具體例中，光阻層是由正光阻材料所構成，例如(但不限於)248 奈米節點光阻、193 奈米節點光阻、157 奈米節點光阻、極紫外光(EUV)光阻、或具有重氮萘醌(diazonaphthoquinone)敏化劑之酚樹脂基質。在另一具體例中，被暴露至光源之光阻層部分將會在顯影光阻層後被保留，例如光阻層是由負光阻材料所構成。在一明確具體例中，光阻層是由負光阻材料所構成，例如(但不限於)聚順異戊二烯(poly-cis-isoprene)與聚桂皮酸乙烯酯(poly-vinyl-cinnamate)。

【0030】 在一具體例中，低介電常數介電層 304 具有小於二

氧化矽之電容率，例如約小於 3.9。在一具體例中，低介電常數介電層 304 是如(但不限於)摻雜氟之二氧化矽、摻雜碳之二氧化矽、多孔二氧化矽、多孔摻雜碳之二氧化矽、多孔 SiLK、基於旋塗矽氧樹脂之聚合介電質、或旋塗之有機聚合介電質的材料。根據本發明的一具體例，低介電常數介電層 304 是具有小於 2.7 之介電常數的多孔 SiCOH 層。

【0031】 基板 302 可由適於抵擋製造處理之材料所構成且其上可適於半導體製程層存在。根據本發明的一具體例，基板 302 是由基於 IV 族材料所構成，如(但不限於)結晶矽、鍺或矽/鍺。在一明確具體例中，提供基板 302 包括提供單晶矽基板。在一特定具體例中，單晶矽基板被摻雜雜質原子。在另一具體例中，基板 302 是由 III-V 族材料所構成。在一具體例中，複數個半導體裝置存在於基板 302 之上、低介電常數介電層 304 之下。

【0032】 參照流程圖 200 之操作 204 與對應之圖 3C，圖案化低介電常數介電膜也包括以電漿處理 307 改質低介電常數介電層 304 之暴露部分。低介電常數介電層 304 之暴露部分是藉由圖案化之遮罩 306 而暴露之部分。電漿 307 是用於改質暴露部分以提供低介電常數介電層 304 之改質部分 308 與未改質部分 304B。除了改質低介電常數材料，保護材料層 399 在相同的處理中也可被沉積，如圖 3C 所示。此保護材料層 399 將結合圖 4A 與 4B 在之後詳述。因此，在一具體例中，保護層之沉積和低介電常數膜之改質在相同處理下進行，或至少實質上在相同的時間。

【0033】 在一具體例中，第一電漿處理包含基於 $\text{SiF}_4/\text{N}_2/\text{Ar}$ 之電漿。在一此類具體例中，低介電常數側壁被 SiON 或 SiONH 層保護，在此氧被有意地驅除或導入。在一明確具體例中，電漿中之 Ar 被用於只轟擊溝槽之底部，選擇地且非等向地改質低介電常數材料(如更清楚地顯示於圖 4A 與 4B)。在一具體例中，代替或除了 SiF_4 物種如(但不限於) SiCl_4 、 $\text{Si}(\text{CH}_3)_3\text{H}$ 、 SiH_4 、 Cl_2SiH_2 、 Si_2Cl_6 、 Si_2F_6 (例如，本質上包括 Si-Cl 鍵或 Si-F 鍵之物種)可被使用。在一明確具體例中， Ar 具有約在 5-50 毫托範圍之壓力。在一具體例中， N_2 以約在 10-1000 瓦範圍之功率被使用。在一具體例中，約在 2MHz-60MHz 範圍之偏壓 RF 頻率被使用。在一具體例中，兩種或更多種頻率之組合被用於施加偏壓，例如，2MHz/60MHz、13MHz/60MHz 或 27MHz/60MHz 組合。在一具體例中，靜電夾盤(ESC)溫度是約 10°C ，但可被提升至約 110°C 。在一具體例中，上述之狀況全部結合在一起使用。

【0034】 在另一具體例中，第一電漿處理或第一階段處理，在無氮環境下進行。譬如，在一具體例中，在低介電常數膜之蝕刻或進一步蝕刻期間，氧(O_2)被用於提供保護給形成中或已形成之低介電常數溝槽側壁。氧可被以相對小量導入，如小於約 10 sccm。譬如，在一明確具體例中，第一階段處理是單一操作處理(如圖 3C 所示)，包含基於總流量之組成爲約 1200 sccm 氬(Ar)、約 200 sccm SiF_4 與約 5 sccm 之氧的電漿之使用。在一特定的此類具體例中，單一處理在溫度約在 10 - 100°C 範圍進行。在另一特定具體例中，電漿之壓力是約在

10-70 毫托範圍中，與較佳地，約在 40 毫托。在另一特定具體例中，單一操作、第一階段電漿以約 300 瓦之約 13MHz 的底部功率偏壓與約 150 瓦之約 60MHz 的同步噴頭偏壓被施加偏壓。應理解的是在兩階段腔室中，噴頭在兩個階段之間。在一非常明確具體例中，第一階段處理是單一處理(如圖 3C 所示)，包含基於總流量之組成爲約 1200 sccm 氬(Ar)、約 200 sccm SiF₄ 與約 5 sccm 之氧的電漿之使用，溫度約在 10-110 °C 範圍，壓力約在 10-70 毫托範圍，較佳地，約在 40 毫托，與包括約 300 瓦之約 13MHz 的底部功率偏壓與約 150 瓦之約 60MHz 的同步噴頭偏壓之偏壓。

【0035】 在更另一具體例中，第一電漿處理，或第一階段處理，以兩操作處理進行。譬如，第一階段電漿處理包括提供保護性沉積之第一操作。在一此類具體例中，保護層藉由流動三甲基矽烷(Si(CH₃)₃H)與氧(O₂)以形成保護層而形成。在一明確的此類具體例中，(Si(CH₃)₃H)以小於約 20 sccm 被流動，而氧以約 10-50 sccm 被流動。在一特定的此類具體例中，保護層被形成在壓力約在 5-20 毫托之範圍，與較佳地，在約 10 毫托。在一明確具體例中，用於保護層之沉積時間具有約 5 秒之持續時間，但也可約 40 秒。第一階段電漿處理接著包括用於低介電常數材料之處理或改質之第二操作。譬如，在一具體例中，使用氬(Ar)、氮(N₂)或兩者以進行第二操作，用於改質低介電常數膜，持續時間約在 5 秒-4 分鐘之範圍。兩操作之第一階段電漿處理可被用於取代取決於所欲輪廓之上述單一操作之第一階段處理，即此兩種方法間之選擇提供最

終形成在低介電常數膜圖案化之期間的整體蝕刻輪廓之可調性程度。在單一操作方法中，保護層沉積與低介電常數膜處理在相同時間進行(如圖 3C 所示)，而在兩操作方法中，保護層沉積與低介電常數膜處理在兩種不同操作下進行，如之後結合圖 3C1 與 3C2 所述。

【0036】 圖 3C1 與 3C2 顯示根據本發明的一具體例，在兩種操作下進行之低介電常數改質的截面圖，如方才上述之兩操作第一階段電漿具體例。參照圖 3C1，材料堆疊 350 包括基板 352、低介電常數材料 354 與遮罩堆疊 356，具有襯墊層 358 沉積於其上，如藉由 SiF_4/O_2 沉積。接著參照圖 3C2，極低介電常數處理被用於改質(形成區域 360)，例如使用 He、 N_2 或 Ar 離子通過低介電常數材料 354 之襯墊 358 部分。

【0037】 參照流程圖 200 之操作 206 且目前對應之圖 3D，圖案化低介電常數介電膜也包括移除低介電常數介電層 304B 之改質部分 308。在一具體例中，移除是由遮罩層 306 與低介電常數介電層 304 之未改質部分 304B 所選擇。由於碳在低介電常數介電層 304 之改質期間可被移除，改質部分 308 在本質上可以是更接近氧化物。因此，在一具體例中，氧化物移除處理可用於移除改質部分 308，其範例被提供於後。

【0038】 在一具體例中，遠端第二電漿被用於藉由移除改質之低介電常數材料與保護層 399 以本質上清洗表面。在一此類具體例中， $\text{NF}_3/\text{O}_2/\text{N}_2$ 或 $\text{CF}_4/\text{O}_2/\text{N}_2$ 或 NF_3/NH_3 電漿當成第二電漿被遠端使用。因此，在一具體例中，第一電漿(非遠端電漿)被用於同時形成保護層與改質低介電常數膜。接著，第

二電漿(遠端電漿)被用於移除保護層與改質之低介電常數材料層。用於此種處理之範例腔室依圖 5B 被敘述在後。

【0039】 在一具體例中，第二階段至少包含藉由蝕刻與昇華之組合的移除。在一此類具體例中，昇華在大於約 100℃ 之溫度進行。在一具體例中，單操作方法被用於第二階段：在一例子中，基於 NF_3/NH_3 之結合的電漿，在約 70℃ 之溫度與約在 1-10 托範圍之壓力，被用於一起進行蝕刻與昇華。在另一具體例中，兩操作方法是用於第二階段：在一例子中，基於 NF_3/NH_3 之結合的電漿，在約 10-50℃ 之溫度與約在 500 毫托-3 托範圍之壓力，首先被用於蝕刻。隨後，電漿接著在約 110℃ 之溫度與約在 500 毫托-3 托範圍之壓力，被用於昇華。

【0040】 因此，根據本發明的一具體例，低介電常數介電膜之蝕刻藉由低介電常數介電層之部分膜轉換而達成。在一具體例中，由於只有低介電常數介電膜的暴露部分的一或數層在每一處理循環被轉換且隨後被移除，蝕刻可以是原子層蝕刻或分子等級蝕刻(MLE)。如上述所舉例的，在一具體例中，蝕刻處理包括首先以第一電漿選擇性地改質水平 ULK 表面之組成，且接著以遠端第二電漿移除改質部分。在一具體例中，本文所述方法藉由從低介電常數介電膜去除甲基表示確實之膜轉換。

【0041】 相較之下，習用化學蝕刻通常包含在 ULK 表面上之聚合物沉積，其藉由氧化性 PET 操作被移除。基於水溶液之清洗被用於移除損害之 ULK，其可能在 ULK 內造成線彎曲與吸濕。然而，在本文的一具體例中，藉由完全避免 CF 蝕刻化

學達成本質上 ULK 材料之無蝕刻損害。使用惰性電漿以從 ULK 表面移除碳。隨後使用下游電漿以移除 ULK 之改質部分。由於下游電漿之純化學蝕刻本質，其對於 ULK 可以是有極高的選擇性。

【0042】 由於需要達到低介電常數介電層 304 之圖案化的合適程度，結合流程圖 200 之操作 204 之上述方法可被重覆。譬如，再次參照圖 3D，溝槽 310 形成在低介電常數介電層 304 中，留下部分圖案化與未改質之低介電常數介電層 304B。溝槽 310 之深度可能不足以深到以用於低介電常數介電層 304 之適合圖案化，尤其是上述之改質和移除處理可能一次只移除一或幾個分子層。

【0043】 因此，在一具體例中，低介電常數介電層 304 受到複數次其之暴露部分之改質與移除處理，直到溝槽 310 之深度達到適於後續處理之要求。在一此類具體例中，重覆改質與移除直到部分溝槽形成在低介電常數介電層 304 中，但沒有完全穿透低介電常數介電層 304。在另一此類具體例中，重覆改質與移除直到完整溝槽形成完全穿透低介電常數介電層 304。

【0044】 如循環處理的例子，圖 3E 與 3F 連同圖 3A-3D 顯示進行總共兩個循環以圖案化低介電常數介電層之一具體例。應理解的是可能需要進行遠大於兩次改質與移除循環以適合地圖案化低介電常數介電膜。

【0045】 參照圖 3E，低介電常數介電層 304B 之暴露部分，如溝槽 310 之暴露表面，被第二改質電漿處理改質與蝕刻，

第二改質電漿處理包含在同一操作之第一與第二遠端電漿處理。低介電常數介電層 304B 之暴露部分是藉由圖案化遮罩 306 而暴露之部分，如同低介電常數介電層 304B 之暴露側壁。圖 3E 之改質與蝕刻循環的第二次反覆形成更深之溝槽 310' 與因此形成之圖案化之低介電常數膜 304C。

【0046】 參照圖 3F，一旦達到溝槽 310' 之所欲深度，其可能包含許多個上述之改質與移除處理之循環，遮罩 306 可被移除。然而，在一具體例中，必須注意遮罩 306 之移除，使移除對於圖案化之低介電常數介電層 304C 有選擇性，且對於圖案化之低介電常數介電層 304C 不造成不良影響(如，提高介電常數)。

【0047】 在一具體例中，遮罩層 306 由光阻材料所構成且在灰化處理中被移除。然而，在一具體例中，灰化電漿以限制對於圖案化之低介電常數介電層 304C 之灰化損害的方式被應用。在一明確的此類具體例中，雖然基於光阻之遮罩層 306 與圖案化之低介電常數介電層 304C 可以有類似之組成分，其不同之處被利用於遮罩層 306 之選擇性移除。譬如，有機遮罩可包括碳氫聚合物(包括 C、H、O 元素)，其之蝕刻可較依賴於中性物種而非離子。同時，圖案化之低介電常數介電層 304C 可包括帶有 Si-CH₃ 基團之 O-Si-O 網絡，其之蝕刻可能需要一些離子能量與中性粒子以引起損害。在一具體例中，遮罩層 306 之選擇性移除的方法可以包括：藉由可移除水平表面之遮罩層而保留垂直表面之圖案化低介電常數介電層 304C 之高離子/中性粒子比，以增加對於圖案化低介電常數介

電層 304C 之灰化選擇性。

【0048】 根據本發明的另一具體例，循環的鈍化與灰化方法被用於降低通常伴隨著暴露或部分暴露之低介電常數介電層的光阻層移除之灰化損害。在一此類具體例中，處理方案包括鈍化與灰化之交替操作。在每一個鈍化操作期間，含矽鈍化劑被用於選擇性地與極低介電常數(ULK)材料反應，以在 ULK 材料之暴露部分上形成含矽膜之薄層。在每一個灰化操作期間，含矽膜之薄層有對抗灰化電漿(如，可用於蝕刻光阻層)之保護作用。此保護作用降低灰化電漿對於 ULK 材料之損害。鈍化層之保護作用的本質可被視為原位，在此意義上，當暴露於灰化電漿時，此膜可形成 Si-O 交連。Si-O 交連可提供對於灰化電漿之選擇性。

【0049】 在灰化期間藉由化學反應或物理濺鍍，鈍化層可被移除或至少稍微折衷地被移除。因此，在一具體例中，循環鈍化/灰化操作被使用。此種循環鈍化/灰化操作可被重覆直到所有有機遮罩材料(如，覆蓋之光阻層)被移除。鈍化層之任何殘留部分可被移除，例如在一具體例中，藉由稀釋氫氟酸(HF)清洗。

【0050】 在一明確具體例中，在遮罩層 306 之移除期間，為了形成用於保護圖案化之低介電常數介電層 304C 之鈍化層，矽源層首先被形成於圖案化之低介電常數介電層 304C 之溝槽 310' 的表面上。在一具體例中，矽源層是由與圖案化之低介電常數介電層 304C 的水解部分反應之分子物種所形成。在一具體例中，矽源層在矽源層與圖案化之低介電常數

介電層 304C 之間形成共價鍵。在一具體例中，矽源層是由下列物種之一所形成，如(但不限於)四氯化矽(SiCl_4)、二甲基矽烷($(\text{CH}_3)_2\text{SiH}_2$)、三甲基矽烷($(\text{CH}_3)_3\text{SiH}$)、N-(三甲基矽烷基)二甲胺($(\text{CH}_3)_3\text{SiN}(\text{CH}_2)_2$)或 1,1,1,3,3,3-六甲基二矽烷(HMDS)。在一具體例中，在形成矽源層期間，基板 302 座落於熱板上。

【0051】 接下來，矽源層被暴露於氧源，以在圖案化之低介電常數介電層 304C 之溝槽 310' 的表面上形成含 Si-O 層及移除至少部分之基於光阻的遮罩層 306。在一具體例中，在移除部分或全部之遮罩層 306 的期間，含 Si-O 層保護圖案化之低介電常數介電層 304C。應理解的是，在缺少含 Si-O 層的情況下，由於用於移除遮罩層 306 部分之處理，圖案化之低介電常數介電層 304C 可能被損害。在一具體例中，將矽源層暴露於氧源包括電漿處理。在一具體例中，電漿是基於氧自由基源。氧自由基源是帶有由氧自由基所組成之解離產物的分子。在一明確此類具體例中，氧自由基源是如(但不限於)氧(O_2)、臭氧(O_3)、二氧化碳(CO_2)或水(H_2O)之來源。在一具體例中，在遮罩層 306 之移除後，含 Si-O 層被移除。在一此類具體例中，含 Si-O 層藉由乾蝕刻處理被移除。在另一具體例中，包括氫氟酸(HF)之濕蝕刻溶液被用於移除含 Si-O 層。然而應理解的是，可以不需要此種額外處理。譬如，在一具體例中，在灰化期間含 Si-O 層藉由化學反應或物理濺鍍被移除。

【0052】 如上所述，在低介電常數改質處理期間可形成保護層。例如，圖 4A 與 4B 顯示根據本發明的一具體例，圖案化

低介電常數介電膜的方法之各種操作的截面圖，與其相對應之腔室組態。

【0053】 參照圖 4A，如同圖 3C 中之堆疊的材料堆疊 402A 包括形成(或將形成)在低介電常數介電層中之溝槽。保護層 499 在第一電漿處理中形成，同時在相同電漿處理中，低介電常數介電層之暴露部分被改質。在一具體例中，當堆疊 402A 被定位於第一電漿階段位置 404A 時進行第一電漿處理，如同結合圖 5B 所詳細描述的。因此，在一具體例中，用於帶有非等向性膜改質之側壁保護的電漿沉積在相同處理中進行。

【0054】 參照圖 4B，如同圖 3D 中之堆疊的材料堆疊 402B 包括在低介電常數介電層中之乾淨溝槽。圖 4A 中之保護層 499 與改質之低介電常數材料在第二電漿處理中被移除。在一具體例中，第二電漿處理是遠端電漿處理。在一此類具體例中，當堆疊 402B 被定位於第二電漿階段位置 404B 時進行第二電漿處理，如同結合圖 5B 所詳細描述的。在一明確具體例中，Siconi 電漿處理被用於移除沉積與改質層。

【0055】 整體上，在一具體例中，基於非碳之方法被用於選擇地移除低介電常數膜之部分而不造成 k 值變動。在一具體例中，一連串處理被用於，第一，帶有側壁保護之矽基前驅物被用於蝕刻，第二，使用基於高選擇性自由基之移除。優點可包括(但不限於)無碳處理之使用(不一定需要灰化或蝕刻後處理)、可能不需要濕式清洗、低離子能量之使用使得金屬硬遮罩腐蝕最小化、及自限處理與移除操作造成良好的深度和均勻控制。

【0056】 在一具體例中，一或多個上述之處理在電漿蝕刻腔室中進行。譬如，在一具體例中，一或多個上述之處理在 Applied Centura® Enabler 介電蝕刻系統(可由 Applied Materials of Sunnyvale, 加州, 美國取得)中進行。在另一具體例中，一或多個上述之處理在 Applied Materials™ AdvantEdge G3 蝕刻器(也可由 Applied Materials of Sunnyvale, 加州, 美國取得)中進行。

【0057】 低介電常數介電層之圖案化可在適於提供在樣品附近之蝕刻電漿以用於蝕刻之處理設備中實施。譬如，圖 5A 顯示根據本發明的一具體例，進行圖案化低介電常數介電膜的方法之系統。

【0058】 參照圖 5A，用於實施電漿蝕刻處理之系統 500 包括裝備著樣品架 504 之腔室 502。腔室 502 和抽真空裝置 506、氣體輸入裝置 508 與電漿點燃裝置 510 相耦接。運算裝置 512 與電漿點燃裝置 510 相耦接。系統 500 可額外包括與樣品架 504 耦接之電壓源 514 及與腔室 502 耦接之偵測器 516。運算裝置 512 也可耦接於抽真空裝置 506、氣體輸入裝置 508、電壓源 514 與偵測器 516，如圖 5A 所描繪。

【0059】 腔室 502 與樣品架 504 可包括反應腔室與樣品定位裝置，其適於容納電離氣體，如電漿，及使樣品接近由其放出之電離氣體與帶電物種。抽真空裝置 506 可以是適於抽空與升壓腔室 502 之裝置。氣體輸入裝置 508 可以是適於將反應氣體注入腔室 502 之裝置。電漿點燃裝置 510 可以是適用於從藉由氣體輸入裝置 508 注入腔室 502 的反應氣體點燃電

漿。偵側裝置 516 可以是適於偵側處理操作之終點的裝置。在一具體例中，系統 500 包括：腔室 502、樣品架 504、抽真空裝置 506、氣體輸入裝置 508、電漿點燃裝置 510 與偵側器 516，上述之裝置類似於或相同於包括在 Applied Centura® Enabler 介電蝕刻系統或 Applied Materials™ AdvantEdge G3 系統中之裝置。

【0060】 圖 5B 顯示根據本發明的一具體例，圖 5A 之腔室 502 的可能配置之示意圖。參照圖 5B 及結合圖 3C 與 3D 之敘述，腔室 502 具有用於進行非遠端第一電漿處理之第一階段(電漿階段 1，其可包括帶有偏壓之原位源)。譬如，可以在階段 1 進行包含保護層之形成與低介電常數膜之改質的電漿處理。腔室 502 也具有用於進行遠端電漿處理之第二階段(電漿階段 2)。譬如，可以在階段 2 進行包含沉積之保護層與改質之低介電常數材料之清洗的電漿處理。用於腔室 502 之如此配置能夠有良好調整之自由基/離子比。此種可調整源之效益可包括蝕刻非等向性無聚合物處理之控制。也可進行由改質層之深度所限定之逐層移除。此外，也可達成基於介穩物種(如 NH、F、O、H、Cl 等)之良好控制的可調整選擇性。

【0061】 本發明的具體例可以電腦程式產品或軟體被提供，其可包括機器可讀媒體及儲存於機器可讀媒體中之指令，指令可用於使電腦系統(或其他電子裝置)進行根據本發明之處理。機器可讀媒體包括以可被機器(如電腦)讀取之形式儲存或傳遞資訊的任何機制。譬如，機器可讀(如電腦可讀)媒體包括機器(如電腦)可讀儲存媒體(如唯讀記憶體(ROM)、隨機存取

記憶體(RAM)、磁碟儲存媒體、光學儲存媒體、快閃記憶體裝置等)、機器(如電腦)可讀傳遞媒體(電學、光學、聲學或其他形式之傳播訊號(如，紅外線訊號、數位訊號等))等。

【0062】 圖 6 顯示電腦系統 600 之示範形式的機器之圖示，在電腦系統 600 中，使機器進行任一或更多本文所述之方法的指令集可被執行。在替代具體例中，機器可被連接(如，網絡)至在區域網路(LAN)、內部網路、外部網路或網際網路中之其他機器。機器可操作為在主從式網路環境中之伺服器或客戶端機器，或在點對點(或分散式)網路環境中之對等機器。機器可以是個人電腦(PC)、平板個人電腦、機上盒(STB)、個人數位助理(PDA)、行動電話、網路電器、伺服器、網路路由器、交換器或橋接器、或能執行被機器所採取之具體行動之指令集(循序或其他方式)的任何機器。另外，雖然只有單一機器被顯示，但用語「機器」應該也被當成包括單獨或共同地執行一套(或好幾套)指示集，以進行本文所述之方法的任一或多者之機器(如，電腦)的任何集合。

【0063】 示範電腦系統 600 包括處理器 602、主記憶體 604(如唯讀記憶體(ROM)、快閃記憶體、動態隨機存取記憶體(DRAM)，如同步動態隨機存取記憶體(SDRAM)或 Rambus 動態隨機存取記憶體(RDRAM)等)、靜態記憶體 606(如，快閃記憶體、靜態隨機存取記憶體(SRAM)等)、和次要記憶體 618(如資料儲存裝置)，彼此間藉由匯流排 630 互相通訊。

【0064】 處理器 602 代表一或多個通用處理裝置，如微處理器、中央處理單元、或類似之物。更特定地，處理器 602 可

以是複雜指令集計算(CISC)微處理器、精簡指令集計算(RISC)微處理器、極長指令(VLIW)微處理器、實施其他指令集之處理器、或實施指令集之組合的處理器。處理器 602 也可以是一或多個特用處理裝置，如特定應用積體電路(ASIC)、場式可程式閘陣列(FPGA)、數位訊號處理器(DSP)、網路處理器、或類似之物。處理器 602 被設置以執行用來進行本文所述操作之處理邏輯 626。

【0065】 電腦系統 600 可進一步包括網路介面裝置 608。電腦系統 600 也可包括視頻顯示單元 610(如，液晶顯示器(LCD)、發光二極體顯示器(LED)、陰極射線管(CRT))、文數輸入裝置 612(如，鍵盤)、游標控制裝置 614(如，滑鼠)、和訊號產生裝置 616(如，喇叭)。

【0066】 次要記憶體 618 可包括機器可存取儲存媒體(或更明確地，電腦可讀儲存媒體)631，在其中儲存收錄本文所述的方法或功能之任一或多者的一或更多套指令集(如，軟體 622)。在電腦系統 600 執行軟體 622 期間，軟體 622 也可完全或至少部分地駐留在主記憶體 604 及/或處理器 602，主記憶體 604 和處理器 602 也構成機器可讀儲存媒體。軟體 622 可進一步經由網路介面裝置 608 在網路 620 上被傳遞或接收。

【0067】 雖然機器可存取儲存媒體 631 在一示範具體例中是被顯示為單一媒體，但用語「機器可讀儲存媒體」應被當成包括儲存一或更多套指令集之單一媒體或複數媒體(如集中式或分散式資料庫、及/或結合快取與伺服器)。用語「機器可讀儲存媒體」也應被當成包括能儲存或編碼用於被機器執行的

指令集與使機器進行本發明的方法之任一或多者的任何媒體。用語「機器可讀儲存媒體」因此應被當成包括(但不僅限於)固態記憶體、及光學與磁學媒體。

【0068】 根據本發明的一具體例，機器可存取儲存媒體具有儲存在其之使資料處理系統進行圖案化低介電常數介電層的方法之指令。方法包括形成與圖案化在配置於基板上之低介電常數介電層之上的遮罩層。低介電常數介電層之暴露部分以電漿處理改質。在相同操作中，以遠端電漿處理將低介電常數介電層之改質部分移除，低介電常數介電層之改質部分是由遮罩層與低介電常數介電層之未改質部分所選出的。

【0069】 因此，圖案化低介電常數介電膜之方法已經被揭露。

【符號說明】

【0070】

102 氧化灰化

104 還原灰化

200 流程圖

202 操作

204 操作

206 操作

302 基板

304 低介電常數介電層

304B 未改質之低介電常數介電層

304C 圖案化之低介電常數介電層

306 遮罩層

- 307 電漿
- 308 改質之低介電常數介電層
- 310 溝槽
- 310' 溝槽
- 350 材料堆疊
- 352 基板
- 354 低介電常數材料
- 356 遮罩堆疊
- 358 襯墊層
- 360 區域
- 399 保護材料層
- 402A 材料堆疊
- 402B 材料堆疊
- 404A 第一電漿階段位置
- 404B 第二電漿階段位置
- 499 保護層
- 500 系統
- 502 腔室
- 504 樣品架
- 506 抽真空裝置
- 508 氣體輸入裝置
- 510 電漿點燃裝置
- 512 運算裝置
- 514 電壓源

- 516 偵測器
- 600 電腦系統
- 602 處理器
- 604 主記憶體
- 606 靜態記憶體
- 608 網路介面裝置
- 610 視頻顯示單元
- 612 文數輸入裝置
- 614 游標控制裝置
- 616 訊號產生裝置
- 618 次要記憶體
- 620 網路
- 622 軟體
- 626 處理邏輯
- 630 匯流排
- 631 機器可存取儲存媒體

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

申請專利範圍

1. 一種圖案化一低介電常數介電膜之方法，該方法包括：

在一低介電常數介電層上，形成與圖案化一遮罩層，該低介電常數介電層被配置在一基板上；

以一無氮電漿處理改質該低介電常數介電層之暴露部分；以及

以一遠端電漿處理移除該低介電常數介電層之改質部分，該低介電常數介電層之改質部分是由該遮罩層與該低介電常數介電層之未改質部分所選出的。

2. 如請求項 1 所述之方法，其中以該無氮電漿處理改質該低介電常數介電層之暴露部分包含：使用基於 Ar、SiF₄ 與 O₂ 之一組合之一電漿。

3. 如請求項 1 所述之方法，其中以該遠端電漿處理移除該低介電常數介電層之改質部分包含：使用基於選自由 NF₃/O₂/N₂、CF₄/O₂/N₂ 與 NF₃/NH₃ 所構成之群組之一氣體組合之一電漿。

4. 如請求項 1 所述之方法，其中以該無氮電漿處理改質該低介電常數介電層之暴露部分更包含：在同一操作下，沉積一保護層與改質該低介電常數層。

5. 如請求項 4 所述之方法，其中以該無氮電漿處理改質該低

介電常數介電層之暴露部分與沉積該保護層包含：使用基於 Ar、SiF₄ 與 O₂ 之一組合之一電漿。

6. 如請求項 4 所述之方法，其中以該遠端電漿處理移除該低介電常數介電層之改質部分更包含：以該遠端電漿處理移除該保護層。

7. 如請求項 6 所述之方法，其中以該遠端電漿處理移除該低介電常數介電層之改質部分與該保護層包含：使用基於選自由 NF₃/O₂/N₂、CF₄/O₂/N₂ 與 NF₃/NH₃ 所構成之群組之一氣體組合之一電漿。

8. 如請求項 1 所述之方法，其中以該無氮電漿處理改質該低介電常數介電層之暴露部分包含：在一電漿蝕刻腔室之一第一階段進行改質，且其中以該遠端電漿處理移除該低介電常數介電層之改質部分包含：在該電漿蝕刻腔室之一不同的第二階段進行移除。

9. 如請求項 8 所述之方法，其中該蝕刻腔室之一噴頭被定位於該第一階段和該第二階段之間，該第二階段在該噴頭上方。

10. 一種圖案化一低介電常數介電膜之方法，該方法包括：

在一低介電常數介電層上，形成與圖案化一遮罩層，該低介電常數介電層被配置在一基板上；

以一電漿處理改質該低介電常數介電層之暴露部分，藉由使用一第一保護層沉積處理與後續之第二低介電常數改質電漿處理進行改質；以及

以一遠端電漿處理移除該低介電常數介電層之改質部分，該低介電常數介電層之改質部分是由該遮罩層與該低介電常數介電層之未改質部分所選出的。

11. 如請求項 10 所述之方法，其中使用該第一保護層沉積處理包含：流動三甲基矽烷與 O_2 之一組合。

12. 如請求項 10 所述之方法，其中使用該低介電常數改質電漿處理包含：使用 Ar、 N_2 、或 Ar 與 N_2 兩者。

13. 如請求項 10 所述之方法，其中以該遠端電漿處理移除該低介電常數介電層之改質部分包含：使用基於選自由 $NF_3/O_2/N_2$ 、 $CF_4/O_2/N_2$ 與 NF_3/NH_3 所構成之群組之一氣體組合之一電漿。

14. 如請求項 10 所述之方法，其中使用該第一保護層沉積處理包含：形成一保護層，且其中以該遠端電漿處理移除該低介電常數介電層之改質部分更包含：以該遠端電漿處理移除該保護層。

15. 如請求項 14 所述之方法，其中以該遠端電漿處理移除該

低介電常數介電層之改質部分與該保護層包含：使用基於選自由 $\text{NF}_3/\text{O}_2/\text{N}_2$ 、 $\text{CF}_4/\text{O}_2/\text{N}_2$ 與 NF_3/NH_3 所構成之群組之一氣體組合之一電漿。

16. 如請求項 10 所述之方法，其中改質該低介電常數介電層之暴露部分包含：在一電漿蝕刻腔室之一第一階段進行改質，且其中以該遠端電漿處理移除該低介電常數介電層之改質部分包含：在該電漿蝕刻腔室之一不同的第二階段進行移除。

17. 如請求項 16 所述之方法，其中該蝕刻腔室之一噴頭被定位於該第一階段和該第二階段之間，該第二階段在該噴頭上方。

18. 一種蝕刻腔室，該蝕刻腔室包括：

一第一處理階段，該第一處理階段用於將一樣品暴露至一無氮電漿處理；以及

一不同的第二處理階段，該第二處理階段用於將該樣品暴露至一遠端電漿處理，該遠端電漿處理是基於選用由 $\text{NF}_3/\text{O}_2/\text{N}_2$ 、 $\text{CF}_4/\text{O}_2/\text{N}_2$ 與 NF_3/NH_3 所構成之群組之一氣體組合。

19. 如請求項 18 所述之蝕刻腔室，更包括：

一噴頭，該噴頭被定位於該第一階段和該第二階段之

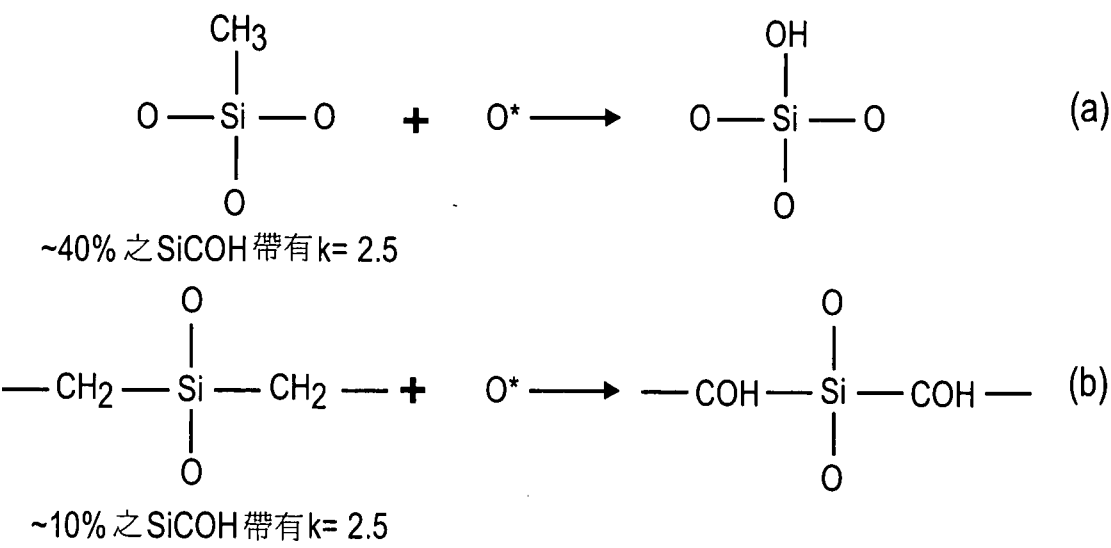
間。

20. 如請求項 19 所述之蝕刻腔室，其中該第二階段在該噴頭上方，以及該噴頭在該第一階段上方。

圖式

氧化灰化

102



還原灰化

104

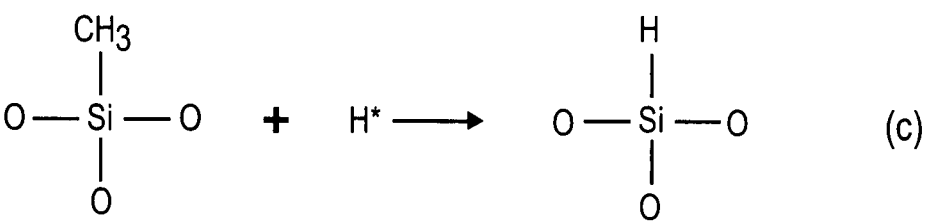


圖1

流程圖200

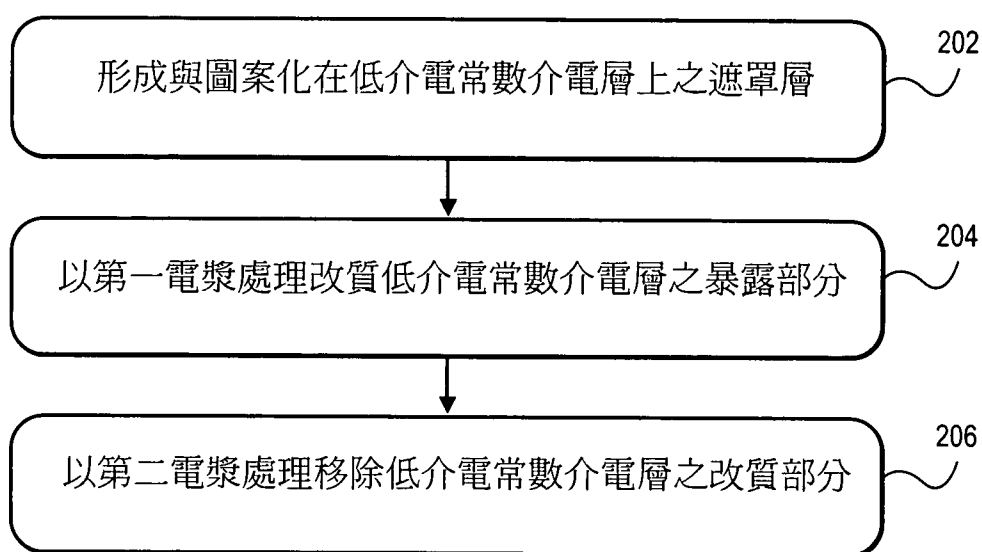


圖2

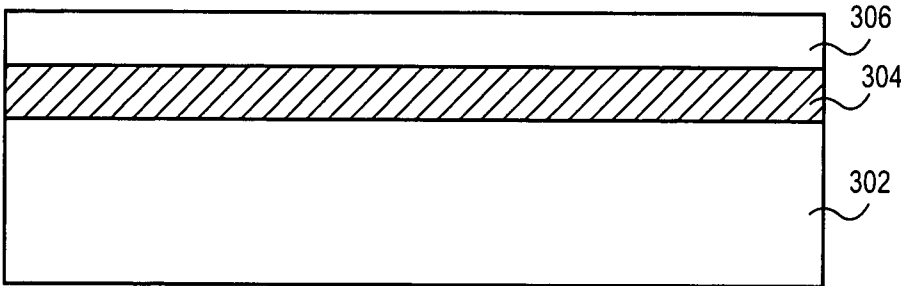


圖3A

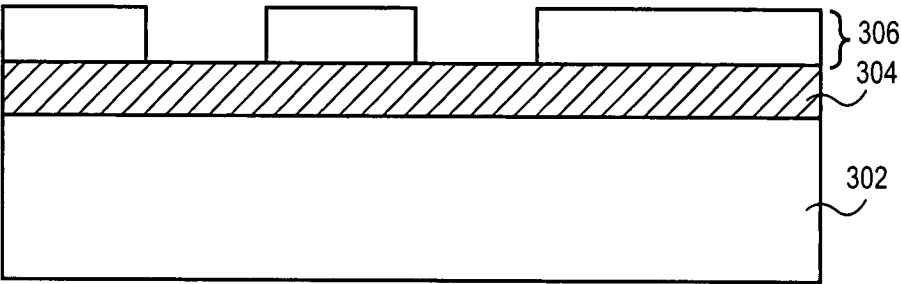


圖3B

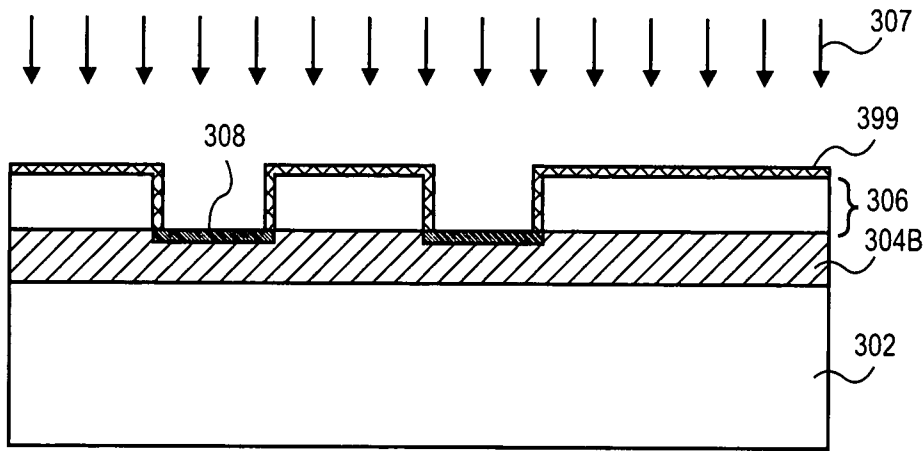


圖3C

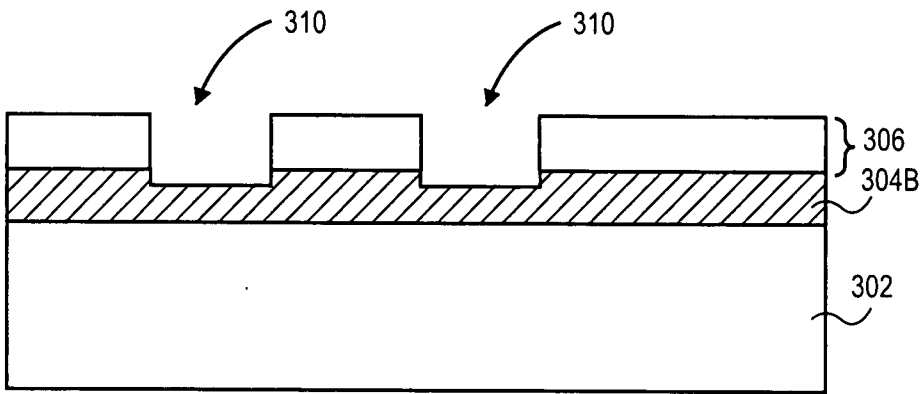


圖3D

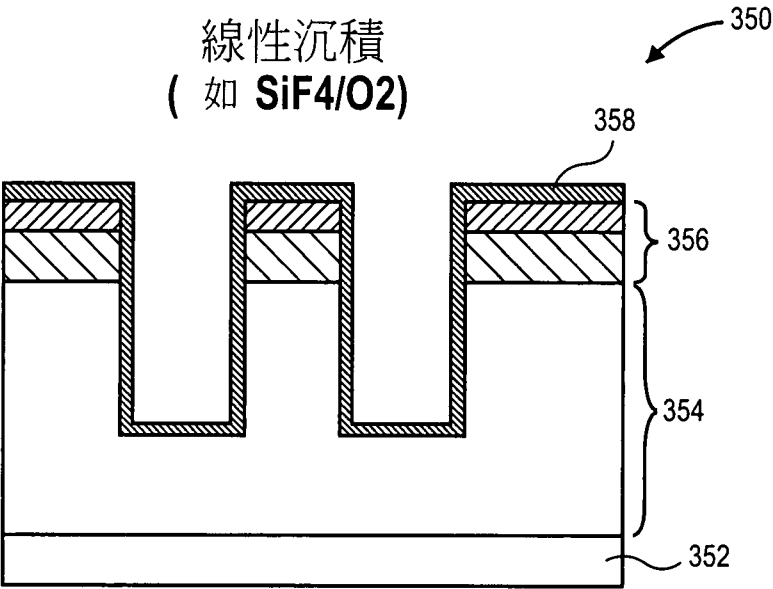


圖3C1

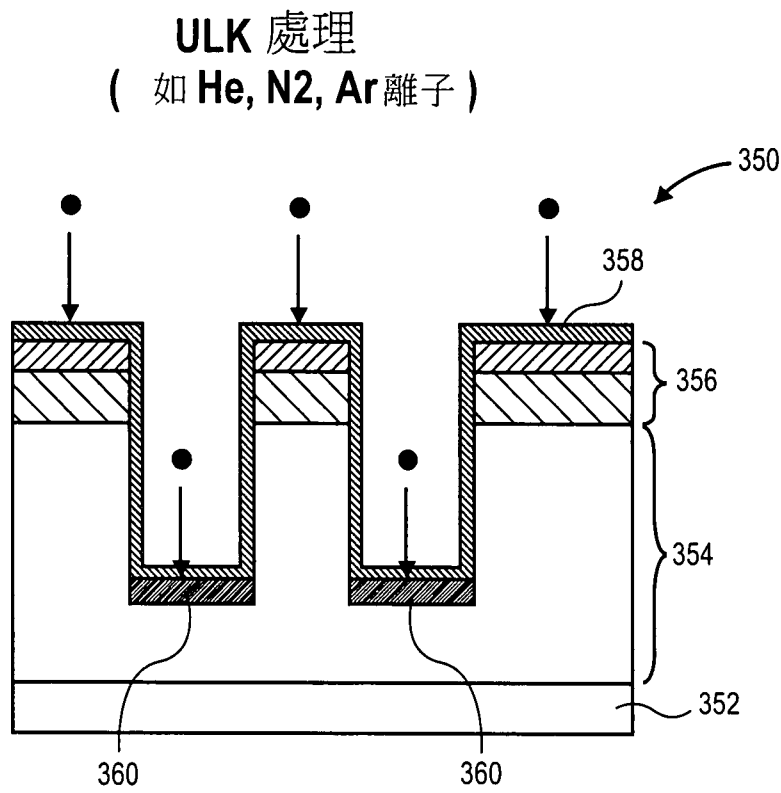


圖3C2

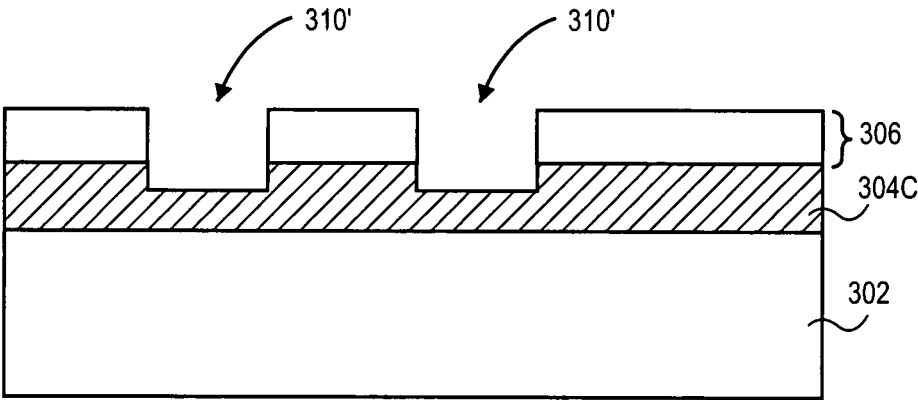


圖3E

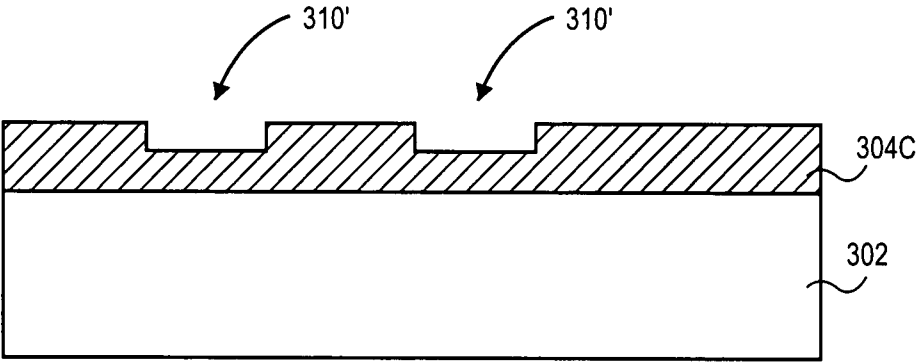


圖3F

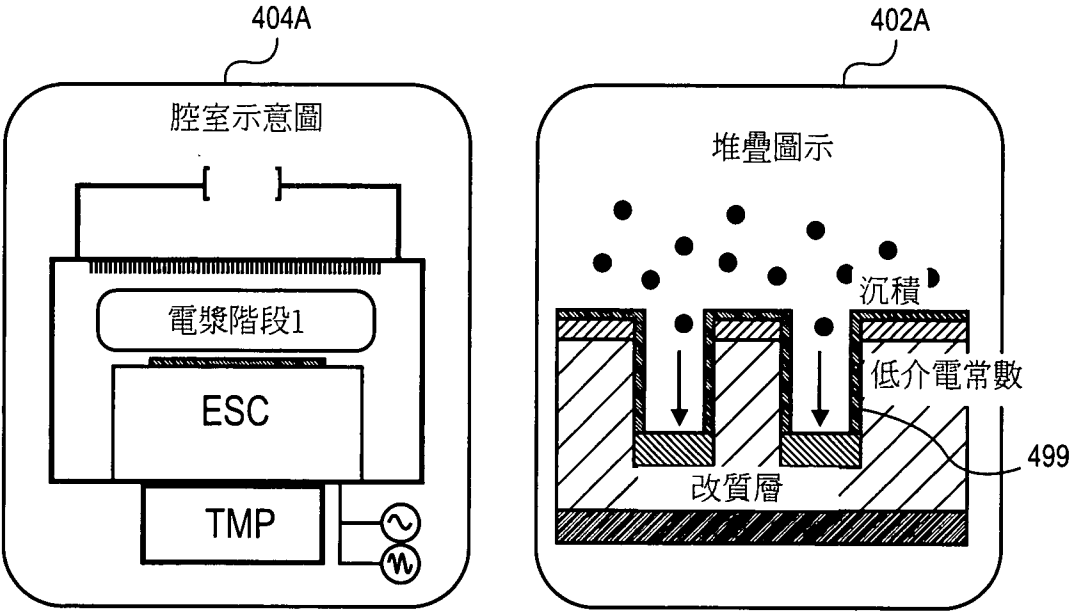


圖4A

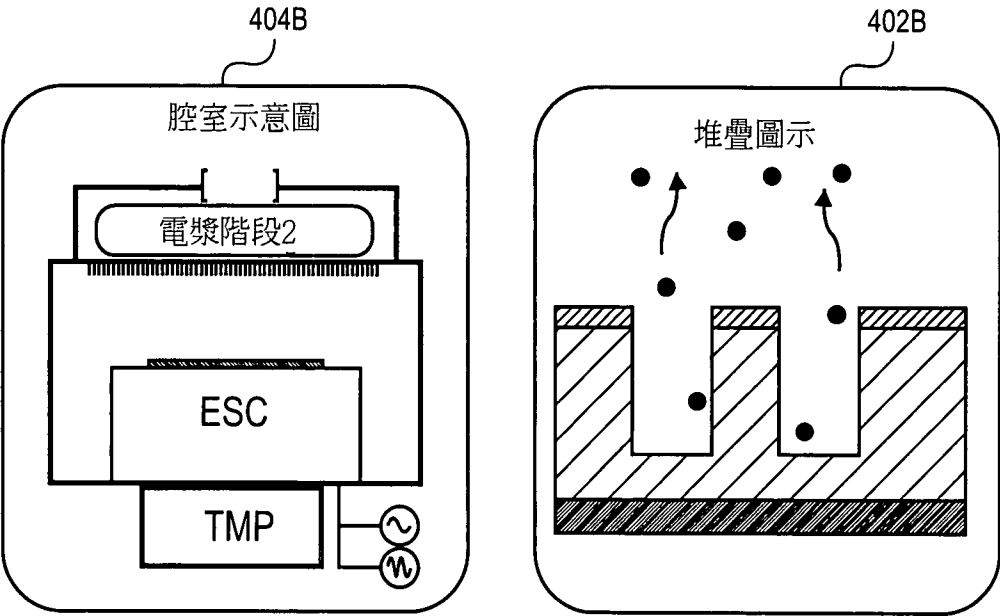


圖4B

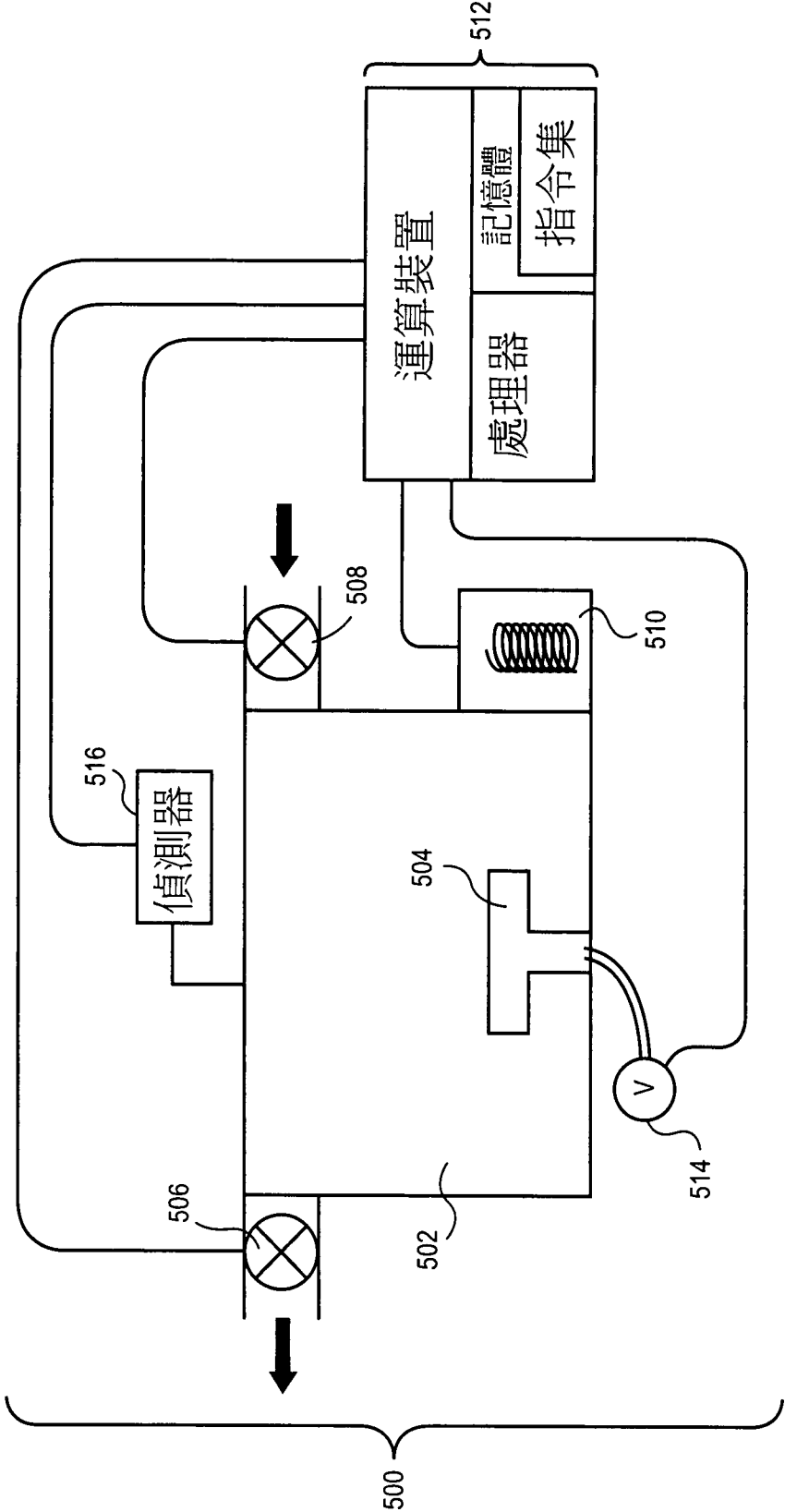


圖 5A

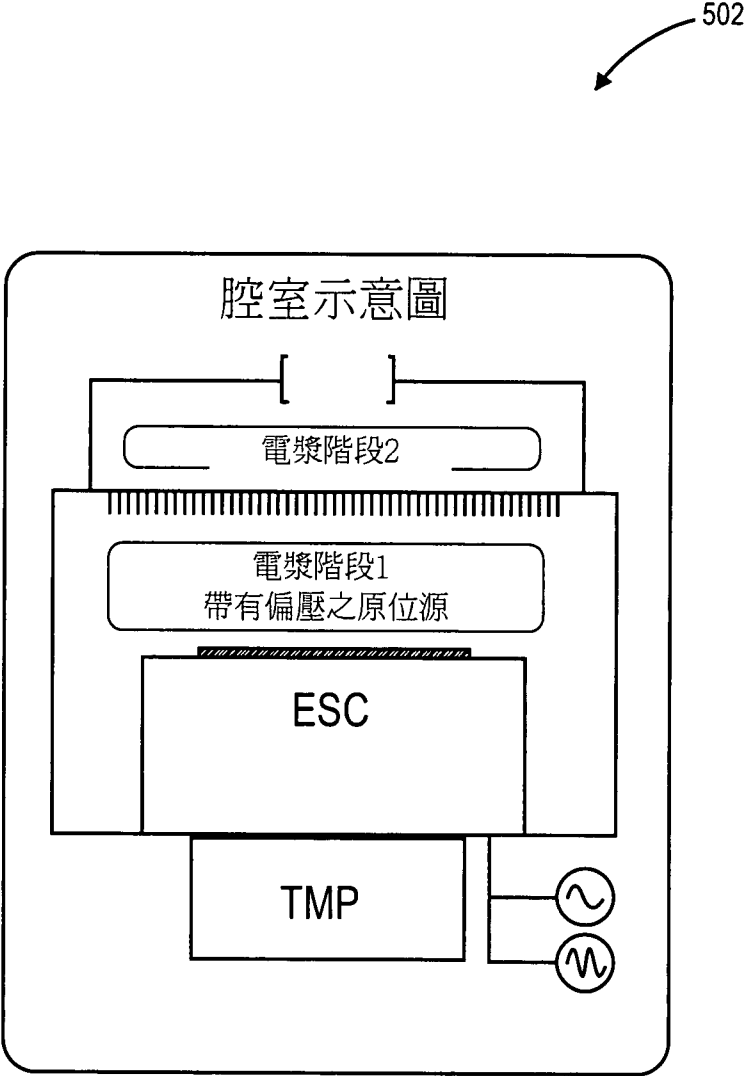


圖5B

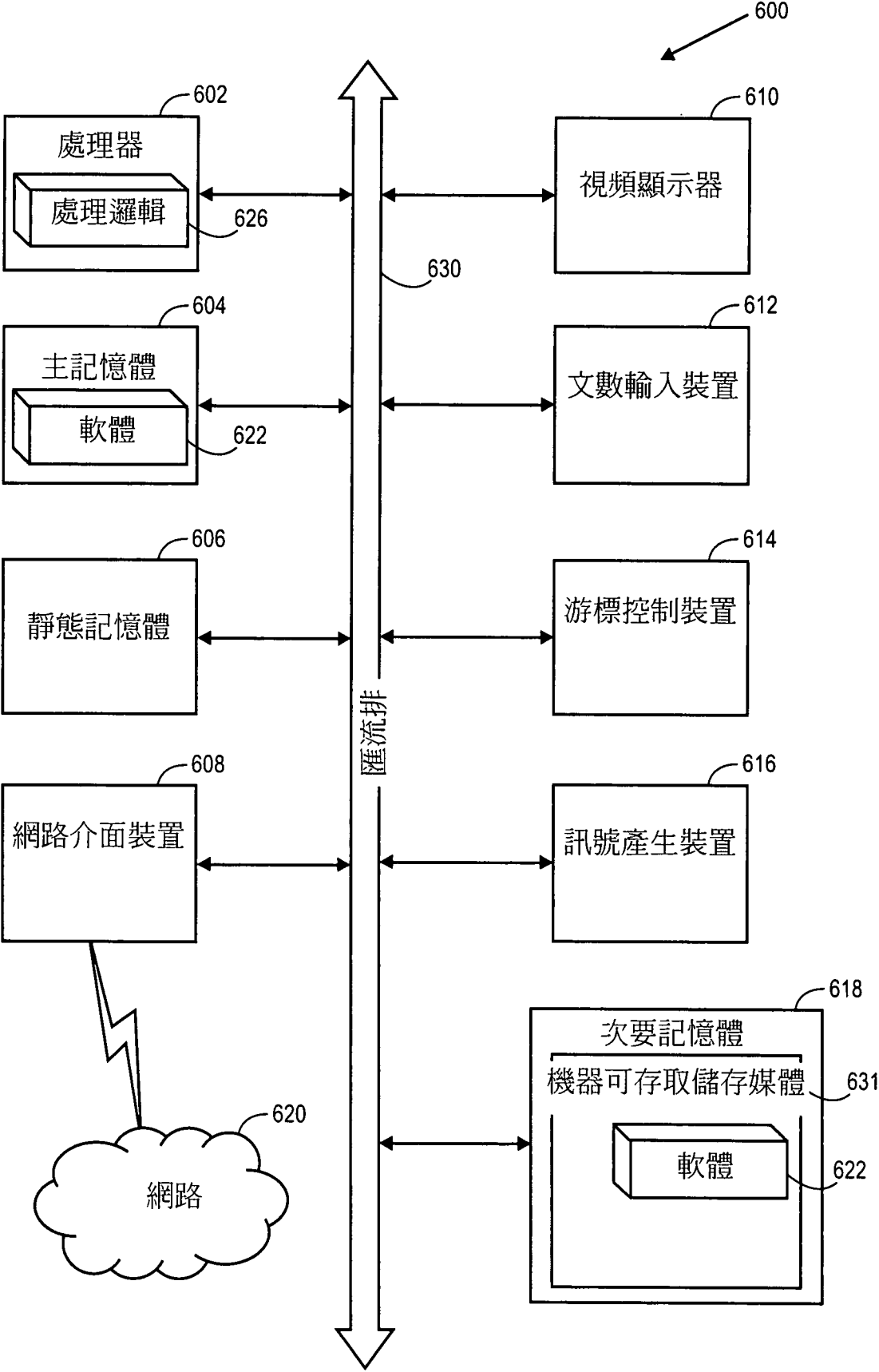


圖6