

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4579232号
(P4579232)

(45) 発行日 平成22年11月10日 (2010.11.10)

(24) 登録日 平成22年9月3日 (2010.9.3)

(51) Int.Cl.	F I
GO 1 N 21/17 (2006.01)	GO 1 N 21/17 6 2 O
GO 1 J 1/44 (2006.01)	GO 1 J 1/44 F
GO 1 J 9/00 (2006.01)	GO 1 J 9/00
GO 1 J 11/00 (2006.01)	GO 1 J 11/00
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 E

請求項の数 13 (全 13 頁)

(21) 出願番号	特願2006-504150 (P2006-504150)	(73) 特許権者	502366228
(86) (22) 出願日	平成16年3月3日 (2004.3.3)		セーエスウーエム、サントル、スイス、デ
(65) 公表番号	特表2006-524800 (P2006-524800A)		レクトロニック、エ、ド、マイクロテクニッ
(43) 公表日	平成18年11月2日 (2006.11.2)		ク、ソシエテ、アノニム
(86) 国際出願番号	PCT/CH2004/000122		CSEM CENTRE SUISSE
(87) 国際公開番号	W02004/082131		D' ELECTRONIQUE ET D
(87) 国際公開日	平成16年9月23日 (2004.9.23)		E MICROTECHNIQUE SA
審査請求日	平成18年11月14日 (2006.11.14)		スイス国ヌーシャテル、リュ、ジャケード
(31) 優先権主張番号	03405164.9		ロ、1
(32) 優先日	平成15年3月10日 (2003.3.10)	(74) 代理人	100075812
(33) 優先権主張国	欧州特許庁 (EP)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橋谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和

最終頁に続く

(54) 【発明の名称】 強度変調信号の復調のための電気回路、装置および方法

(57) 【特許請求の範囲】

【請求項 1】

変調周波数により変調された信号（I）であって、変調周期は前記変調周波数の逆数として定義されている信号を、検出するための電気回路（1）であって、

前記変調された信号（I）を電気信号に変換するための変換手段（T）と、

前記電気信号を、前記変調周波数の4倍またはその倍数に等しいサンプリング周波数でサンプリングするためのサンプリング手段（S）と、

前記変調周期の半分だけ離れた2つの第1サンプルの間の第1差異を評価するための第1の減算手段（SUB1）と、

前記変調周期の半分だけ離れた2つの第2サンプルの間の第2差異を評価するための第2の減算手段であって、前記第2サンプルは、前記第1サンプルに対して、4分の1である前記変調周期の所定の割合で、時間シフトされる、第2の減算手段（SUB2）と、

を備えるとともに、

前記第1の減算手段（SUB1）により評価された複数の後続の第1差異の第1合計を評価するための第1合計手段（SUM1）と、

前記第2の減算手段（SUB2）により評価された複数の後続の第2差異の第2合計を評価するための第2合計手段（SUM2）と、

を備えることを特徴とする電気回路。

【請求項 2】

前記変換手段（T）は、フォトダイオード（PD）と、前記フォトダイオードの電気出

力信号を増幅させるためのソースフォロワ（MP 2、MP 3）とを備える、ことを特徴とする請求項 1 に記載の電気回路（1）。

【請求項 3】

蓄積ノード（SN）が、前記フォトダイオード（PD）と前記ソースフォロワ（MP 2、MP 3）の間に配置されている、ことを特徴とする請求項 2 に記載の電気回路（1）。

【請求項 4】

光生成された DC 電流に等しい電流を、前記フォトダイオード（PD）を介して取り込むための電流ソース（MP 5）が、前記フォトダイオード（PD）に直列に接続されている、ことを特徴とする請求項 2 または 3 に記載の電気回路（1）。

【請求項 5】

前記サンプリング手段（S）は、少なくとも 2 つのスイッチおよび／または蓄積ノードを備えることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の電気回路（1）。

【請求項 6】

前記変換手段（T）と前記サンプリング手段（S）とが、ドリフト場（drift field）復調ピクセルまたはロックイン（lock-in）原理を用いたピクセルの 1 つの要素に組み合わされている、ことを特徴とする請求項 1 に記載の電気回路（1）。

【請求項 7】

前記第 1 および第 2 合計手段（SUM 1、SUM 2）によりそれぞれ評価された前記第 1 および第 2 合計を前処理する前処理手段であって、前記第 1 および第 2 合計の平方の合計を計算する、または、前記第 1 および第 2 合計の比率を計算するための前処理手段（PP）をさらに備える、ことを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の電気回路（1）。

【請求項 8】

前記電気回路の出力信号を読み出すための読み取り手段（RO）をさらに備えることを特徴とする請求項 1 乃至請求項 7 のいずれかに記載の電気回路（1）。

【請求項 9】

複数のピクセル（1. 1 1～1. nm）を備える 1 次元または 2 次元アレイセンサであって、

前記ピクセル（1. 1 1～1. nm）の少なくとも 1 つ、および、それぞれが、請求項 1 乃至請求項 8 のいずれかに記載の電気回路を備える、ことを特徴とする 1 次元または 2 次元アレイセンサ。

【請求項 10】

変調された信号（I）を復調するための装置（10）であって、

前記変調された信号（I）を検出するための検出手段と、

エンベロープ振幅および／または時間的位相を、前記検出手段の出力から評価するための評価手段（EV）と、を備え、

前記検出手段は、請求項 1 乃至請求項 8 のいずれかに記載の電気回路（1. 1 1～1. nm）を備える、ことを特徴とする装置。

【請求項 11】

前記検出手段は、並列出力を有する複数のピクセル（1. 1 1～1. nm）を備え、

前記ピクセル（1. 1 1～1. nm）の少なくとも 1 つ、および、それぞれが、請求項 1 乃至請求項 8 のいずれかに記載の電気回路を備え、

前記装置（10）は、各電気回路を個別に読み出すための少なくとも 1 つのオンチップアドレスデコーダ（CAD、RAD）をさらに備える、ことを特徴とする請求項 10 に記載の装置（10）。

【請求項 12】

変調周波数により変調された信号（I）であって、変調周期は前記変調周波数の逆数として定義されている信号を検出するための方法であって、

前記変調された信号（I）を電気信号に変換するステップと、

前記電気信号を、前記変調周波数の 4 倍またはその倍数に等しいサンプリング周波数で

10

20

30

40

50

サンプリングするステップと、

前記変調周期の半分だけ離れた2つの第1サンプルの間の第1差異を評価するステップと、

前記変調周期の半分だけ離れた2つの第2サンプルの間の第2差異を評価するステップであって、前記第2サンプルは、前記第1サンプルに対して、4分の1である前記変調周期の所定の割合で、時間シフトされる、ステップと、

を備えるとともに、

複数の後続の第1差異の第1合計が、評価され、

複数の後続の第2差異の第2合計が、評価される、

ことを特徴とする方法。

10

【請求項13】

前記第1および第2合計は、前記変調された信号(I)のエンベロープ振幅および／または時間的位相の評価に使用される前に前処理され、前記第1および第2合計の平方の合計、または、前記第1および第2合計の比率が計算される、ことを特徴とする請求項12に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、振幅および位相の局部変動を時間の関数として測定する必要がある時間的に変調された信号、好ましくは光放射場、を基とする、すべての検知および測定技術に関する。特に、本発明は、このような振幅および位相を検知する復調ピクセルの、高密度の1または2次元アレイを必要とする、すべての検知および測定技術に関する。これらの技術は、光コヒーレンス断層撮影法(OCT: optical coherence tomography)、飛行時間(TOF: time-of-flight)範囲撮影および多重波インターフェロメトリーを含む。

20

【背景技術】

【0002】

局部振幅および位相が時間の関数として変化する時間的に変調された光放射場に基づく、多くの光検知および測定技術が、知られている。これらの技術は、振幅および位相の、空間的かつ時間的に分解された測定、いわゆる変調された放射場の復調、を必要とする。この単一の測定点での復調機能を提供することができる、いくつかの電子回路およびデジタル信号処理アルゴリズムが、存在するが、これらの解決法のいずれも、復調光センサを、高密度かつ大規模並列の確実に動作するアレイに集積化することは、可能ではない。

30

【0003】

標準的なAM復調は、入力信号の帯域通過フィルタリング、整流、および低域通過フィルタリングにより構成される。この技術は、AM無線レーザ向けに広く知られている。その不利な点は、10kHz未満の周波数に対し、大きなRC定数を必要とすることであり、これは、小さなピクセルサイズおよび新たなCMOSプロセスに適合しない。

【0004】

入力信号を、1つの経路において、搬送波周波数に一致するオシレータ信号によって乗算し、2つ目の経路において、オシレータの90度シフトされた信号によって乗算することによる直接検出は、振幅および位相の検出を可能にする。しかし、信号の乗算は、複雑であり、かつ、各ピクセルにて使用できる電力に比べて消費電力が高く(典型的には数μW)、したがって、ピクセルフィールドにおける大規模の並列集積化には適していない。

40

【0005】

入力信号のオーバーサンプリングに基づくいくつかのデジタル復調技術が、知られている。ナイキストサンプリング定理(Nyquist Sampling theorem)によると、サンプリング速度は、入力信号バンド幅の2倍より上でなくてはならない。デジタル信号復調アルゴリズムは、通常、1ピクセル(50トランジスタより多い)で実施するには複雑すぎる。以下の概略的なリストは、デジタル復調技術の概要を提供する。

50

【0006】

●広く使用されている方法は、離散フーリエ変換を適用して、逆変換の前に、マイナスおよびゼロ周波数成分を除去し、スペクトルを再集中させる。この方法は、S. S. C. チム (Chim) および G. S. キノ (Kino) らの“相関マイクロスコプ (Correlation microscope) ”、1990年、Opt. Lett. 15、579～581頁に述べられている。

【0007】

●入力信号が、入力信号の変調周波数の4倍の周波数でサンプリングされた場合、局部エンベロープを検出するための種々のアルゴリズムが知られている。1つの評価を、K. G. ラーキン (Larkin) の“白光インターフェロメトリーにおけるエンベロープ検出のための効率的な非線形アルゴリズム (Efficient nonlinear algorithm for envelope detection in white light interferometry) ”、1996年、J. Opt. Soc. Am. 13、832～843頁に、見ることができる。しかし、これらの全ては、乗算を含んでおり、したがって、電力効率の高いピクセル構造には適用できない。

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、時間的に変調された信号の空間的かつ時間的に分解された振幅および位相を、復調を目的として検出することができ、しかし、先行技術の不利な点は持たない電気回路を提供することである。この回路は、そのコンパクトなサイズ、低い電力消費、駆動の簡潔さ、独立した信号の前処理能力、および半導体プロセスの製造許容度に関する動作の頑強性などにより、高密度の1または2次元アレイに集積化可能となるであろう。本発明のさらなる目的は、変調された信号の空間的かつ時間的に分解された復調のための、1または2次元アレイセンサおよび装置を提供することである。本発明のさらに他の目的は、変調された信号を検出するための方法を提供することである。これらおよび他の目的は、独立請求項にて定義された電気回路、アレイセンサ、装置および方法によって達成され、有利な実施形態は、従属請求項にて定義される。

【課題を解決するための手段】

【0009】

本発明は、エンベロープ検出を、2つの異なるタスクに分ける。それは、
(i) ピクセル内に集積化するための低電力データ圧縮部、および
(ii) 乗算を必要とし、制約が許せばピクセル内で、あるいは必要条件によってはピクセル外またはチップ外でさえ行うことができる、最終的な振幅および位相の再構築、である。

【0010】

本発明に係る電気回路は、上に特定された2つのタスクのうちの1つ目(i)を行う。入力信号は、局部検知され、信号の変調周波数の4倍の周波数でサンプリングされる。減算／合計ステージが、いくつかの平均周期の間に、変調周期ごとに、この変調周期の半分だけ離れた2つのサンプル間の差異を累算する。2つのステージは、好ましくは4分の1周期である、変調周期の所定のまたは予め定められた割合で、互いに対して時間シフトされる。結果として生じる2つの出力信号が、第2タスク(ii)において、局部エンベロープ振幅および時間的位相の決定に用いられ、平均周期にわたる平均値を表す。これらの電気回路は、非常に少ない電力を消費し、かつ小さな面積を必要とする回路により実現することができ、線形または2次元アレイセンサにおける多数のピクセルの実現を可能にする。

【0011】

したがって、変調周波数によって変調され、変調周期は変調周波数の逆数として定義されている信号を検出するための発明的な電気回路は、変調された信号を電気信号に変換するための変換手段と、前記電気信号を、変調周波数の4倍またはその倍数に等しいサンプリング周波数でサンプリングするためのサンプリング手段と、変調周期の半分だけ離れた2つの第1サンプルの間の第1差異を評価するための第1の減算手段と、変調周期の半分

だけ離れた2つの第2サンプルの間の第2差異を評価するための第2の減算手段であって、前記第2サンプルは、前記第1サンプルに対して、好ましくは4分の1周期である、変調周期の所定のまたは予め定められた割合で、時間シフトされる、第2の減算手段と、を備える。電気回路は、前記第1の減算手段により評価された複数の後続の第1差異の第1合計を評価するための第1合計手段と、前記第2の減算手段により評価された複数の後続の第2差異の第2合計を評価するための第2合計手段と、をさらに備える。

【0012】

本発明に係る1次元または2次元アレイセンサは、複数のピクセルを備え、ピクセルの少なくとも1つ、および好ましくはそれぞれが、本発明に係る電気回路を備える。

【0013】

変調された信号を復調するための発明的な装置は、変調された信号を検出するための検出手段と、エンベロープ振幅および／または時間的位相を、前記検出手段の出力から評価するための評価手段と、を備える。前記検出手段は、本発明に係る電気回路を備える。

【0014】

変調周波数により変調された信号であって、変調周期は変調周波数の逆数として定義されている信号を検出するための方法は、変調された信号を電気信号に変換するステップと、前記電気信号を、変調周波数の4倍またはその倍数に等しいサンプリング周波数でサンプリングするステップと、変調周期の半分だけ離れた2つの第1サンプルの間の第1差異を評価するステップと、変調周期の半分だけ離れた2つの第2サンプルの間の第2差異を評価するステップであって、前記第2サンプルは、前記第1サンプルに対して、好ましくは4分の1周期である、変調周期の所定のまたは予め定められた割合で、時間シフトされる、ステップと、を備える。複数の後続の第1差異の第1合計が、評価され、複数の後続の第2差異の第2合計が、評価される。

【0015】

サンプリングされた信号の間の位相シフトは、正確に変調周期の4分の1である必要はない。非均一なサンプリンググリッドを処理し、変調の振幅および位相のために数学的に正しい値を抽出する数値的な方法が、知られている(A. B. ケイン(Cain)、およびJ. H. ファーツィガー(Ferziger)およびW. C. レイノルズ(Reynolds)ら、“高速フーリエ変換を用いた非均一グリッドの離散直交関数の拡張(Discrete orthogonal function expansion for non-uniform grids using the fast Fourier transform) ”、1984年、J. computational physics 56、272～286頁を参照されたい)。

【0016】

本発明に係る電気回路は、電磁気、超音波または化学信号などの任意の入力信号に使用することができる。しかしながら、以下において、本発明は光信号を例として説明される。

【発明を実施するための最良の形態】

【0017】

図1は、電気回路1のブロック図を示しており、すなわち、本発明に係る復調ピクセルを示している。電気回路1は、変換ステージTと、サンプリングすなわちサンプルおよびホールドステージSと、2つの減算ステージSUB1およびSUB2と、2つの合計ステージSUM1およびSUM2と、1つの前処理ステージPPと、読み出しステージROと、を備える。サンプリングステージSの後で、信号経路は、2つのチャンネル21、22に分割される。第1チャンネル21は、第1の減算ステージSUB1と、その後の第1の合計ステージSUM1とを含み、第2チャンネル22は、第2の減算ステージSUB2と、その後の第2の合計ステージSUM2とを含む。

【0018】

好ましくは光放射場である入力信号Iは、変換ステージTにおいて検知され、任意の種類の電気信号(例えば、S. ブルカン(Bourquin)およびP. サイツ(Seitz)らの米国特許第6,469,489号に記載されているような、電荷、電圧または電流)に変換される。変換ステージTは、近似するまたは正確なオフセット補正、非線形の信号圧縮また

10

20

30

40

50

はこれらの両方を有してもよい。オフセット補正および信号圧縮は、検出システムのダイナミックレンジを増大させる。その理由は、入力信号が、復調プロセスに対して有用な情報を持たない大きなDCオフセットを持つかもしれないためである。

【0019】

サンプリングステージSは、電気信号Sを、変調周波数fの4倍の周波数でサンプリングする。

【数1】

$$S_i = S(t_i)$$

10

ここで、

【数2】

$$t_i = \frac{i}{4f}$$

【0020】

これは、スイッチまたは類似のデバイスにより行うことができる。最も単純なケースでは、スイッチは、電圧または電流信号向けの1つの電界効果トランジスタ（FET：field-effect transistor）あるいは荷電信号向けの電荷結合素子（CCD：charge-coupled-device）ゲートである。ドリフト場（drift field）復調ピクセル（特許出願第GB-0214257、8号を参照されたい）またはロックイン（lock-in）の原理（国際特許出願第96/15626を参照されたい）を用いたピクセルは、変換ステージTとサンプリングステージSの代わりとなることができる。

20

【0021】

減算ステージSUB1、SUB2は、変調周期の半分だけ離れた2つのサンプル間の差異を決定する。2つの減算ステージSUB1、SUB2は、4分の1周期で互いに対して時間シフトされている。

【数3】

30

これらの信号、 d_k^I および d_k^{II} は、

SUB1に対して、 $d_k^I = S_{4k+2} - S_{4k}$ 、そして

SUB2に対して、 $d_k^{II} = S_{4k+3} - S_{4k+1}$

により定められる。

【0022】

各減算ステージSUB1およびSUB2には、それぞれ、その対応する合計ステージSUM1およびSUM2が続く。合計ステージSUM1、SUM2は、特定の数Nの差異の合計を生成する。

40

【数4】

$$a^j = \sum_{k=0}^N d_k^j$$

【0023】

ここで、SUM1およびSUM2に対し、それぞれ、 $j = I, II$ である。合計ステージSUM1、SUM2は、検出システムのダイナミックを増加させるために、非線形の信

50

号圧縮を有してもよい。

【0024】

前処理ステージPPは、2つの合計信号の比率の計算またはそれらの平方の合計などの、特定の追加機能の集積化を可能にする。必要に応じて、第2のサンプルおよびホールドステージを含んでもよい。前処理ステージPPは、また、パススルー (pass-through) であってもよい。

【0025】

読み出しステージROは、前処理ステージPPから信号を読み出す機能を果たす。読み出しステージROは、並列または連続データ送信をサポートしてもよい。第3のサンプルおよびホールドステージを含ませて、読み出しタイミングを、減算および合計ステージSUB, SUMの同期機能から独立させることもできる。読み出しステージは、好ましくは、ランダムアドレス指定用に設計される。

10

【0026】

すべてのステージは、変調周波数fあるいはその倍数またはその何分の1かに同期される。

【0027】

以下、ピクセルステージT, S, SUB, SUM, PP, ROの回路の好適な実施形態を述べる。

【0028】

図2は、変換ステージTの実施形態を示しており、これは、光Iを対応する電圧に変換する。回路には、グランド電圧VSSおよび供給電圧VDDAが供給される。フォトダイオードPDは、光検知素子であり、内部キャパシタンスCpdを有する。吸収された光は、プラスにプリチャージされたキャパシタンスにおいて、マイナスの電子電荷を生成し、電圧降下を生じさせる。結果として生じる電圧は、2つのpチャンネルMOSトランジスタMP2およびMP3によって形成されMP3を電流ソースとするソースフォロワ (source follower) によって増幅される (単位利得、高い入力インピーダンス、低い出力インピーダンス)。MP3のゲートのバイアス電圧vbiasは、ソースフォロワにより使用される電流を定める。変換ステージTの出力ラインは、T_outで示されている。フォトダイオードPDは、一定時間の後に、nチャンネルMOSトランジスタMN1によって固定電圧vresetにリセットされ、DCオフセットが減じられる。フォトダイオードリセット信号rsdpdは、トランジスタMN1を制御する。

20

30

【0029】

変換ステージTは、蓄積ノードSNにより拡張することができ、蓄積ノードSNは、ソースフォロワおよびそれ以降の回路のバンド幅を減少させ、これにより、システム内のノイズを減少させる。この変換ステージTの変形の実施形態が、図3に示されている。nチャンネルMOSトランジスタMstoreおよびMrsstoreは、それぞれ、それらのゲート電圧storeおよびrsstoreにより制御されるスイッチとして機能する。フォトダイオードPDをリセットする前に、スイッチMstoreが閉じられ、そして再び開かれ、フォトダイオードPDにおける電圧を、キャパシタCstoreにサンプリングする。Cstoreに蓄積された電圧は、ソースフォロワMP2, MP3により増幅される。次いで、スイッチMrsstoreが、閉じて、再び開き、これによりCstoreにおける電圧を、電圧vresetにリセットする。

40

【0030】

変換ステージTのさらなる変形が、オフセット補正を改善する。フォトダイオードPDを介して光生成された (photogenerated) DC電流に等しい電流を取り込む、電流ソースMP5が、フォトダイオードPDに直列に接続される。図4は、可能な実施例を示している。2つの動作モードが可能である。

【0031】

●調整された電流補正：トランジスタMP4が、スイッチとして使用される。電流ソースMP5は、スイッチMP4が閉じている場合に、順方向バイアスされたダイオードのよ

50

うに動作し、補正電流は、光生成された電流に正確に一致する。スイッチMP 4が再び開くと、MP 5を介した電流が、光電流の変化から独立する。

【0032】

●低域通過フィルタされた電流補正：トランジスタMP 4が、抵抗として使用され、トランジスタMP 5のゲートキャパシタンスにより低域通過フィルタを形成する。追加のキャパシタが、このフィルタのカットオフ周波数を適合させるために必要となることもある。電流ソースMP 5は、補正電流を生成し、これは、フィルタのカットオフ周波数よりも高い周波数の光電流の変化から独立している。

【0033】

モードは、MP 4の正しいゲート電圧 r_{soc} を選ぶことにより、選択される。

10

【0034】

トランジスタMP 6は、追加のスイッチであり、この改善されたオフセット補正をスイッチオフすることを可能にする。電圧 $ocswi$ は、スイッチMP 6を制御する。

【0035】

サンプリングステージSは、例えばNMOSスイッチまたはトランスマッションゲートなどの単純なスイッチで、図5(a)、図5(b)および図5(c)に示されるように構成することができ、あるいは、蓄積ノードを含むことができる。追加の蓄積ノードは、サンプルおよびホールド動作を可能にする。

【0036】

変換ステージTならびにサンプルおよびホールドステージSは、例えば図6に示されるドリフト場変調ピクセル、または図7に示されるロックイン(lock-in)ピクセルなどの、1つのデバイスに組み合わせてもよい。これらの種類のピクセルは、特許出願第GB-0214257、8号および国際特許出願第96/15626号に記載されており、これらは参考のためにここに組み込まれる。

20

【0037】

図8は、減算ステージSUB 1またはSUB 2のうちの1つの実施例およびそれぞれに割り当てられた合計ステージSUM 1またはSUM 2を示している。phase 1およびphase 2は、重ならない反対の位相クロックである。phase 1の間、サンプルされた信号の最初のサンプルと基準電圧 v_{ref} の間の電圧差に比例する電荷が、キャパシタ C_{sub} に蓄積される。phase 2の間、サンプルされた信号の次のサンプルと演算トランスコンダクタンス増幅器(OTA: operational transconductance amplifier)の間のマイナス入力における電圧の間の電圧差に比例する電荷が、蓄積され、これは、 v_{ref} に近い。キャパシタ C_{sub} におけるphase 1とphase 2の間の電荷の差が、キャパシタ C_{int} における電荷に加えられる。このプロセスが、特定の回数、繰り返される。このステージの出力信号は、したがって、電圧差の合計に比例する。

30

【0038】

前処理ステージPPの例として、合計ステージ信号の平方の合計

【数5】

$$e = (a^I)^2 + (a^N)^2$$

40

を計算する1つの平方ステージ、または、これらの比率

【数6】

$$q = a^I / a^N$$

を計算するステージがある。このような回路自体は、半導体回路に関する標準的な教本により知られている。

【0039】

50

図9は、蓄積ノードを有する、1つの信号RO_inの読み出しステージROの実施形態を示している。信号RO_inは、スイッチMstoreを介して、読み出し蓄積ノードRSNにサンプリングされる。読み出し記憶ノードRSNのキャパシタンスは、モスキップ(moscap)MCにより増加され、ノイズを減少させる。読み出しスイッチMrdが閉じられている場合、信号は、MOSトランジスタMfollowおよびMcsによって構成されたソースフォロワによって、ピクセル外で駆動される。

【0040】

図1に示されるような複数の電気回路1.11, 1.12..., 1.1m; ..., 1.nmを、図10に示すように、1または2次元アレイに積み重ねることができる。回路1.11~1.nmのそれぞれは、フォトダイオードと、図1を参照して説明されたステージS、SUB、SUM、PPおよびROを備える電子回路Cと、により構成される。これにより、回路1.11~1.nmは、アレイセンサのピクセルを形成し、アレイセンサのピクセルは、それ自体、本発明に係る変調信号を復調するための装置10の一部である。装置10は、列アドレスデコーダCADと、行アドレスデコーダRADとを備え、対応する列アドレスCAおよび行アドレスRAを指定することにより、1つの回路を順々に選択する。アドレスデコーダCAD, RADを用いて、各回路1.11~1.nmの出力が直列に読み出される。これらの電氣的な概要は、既知の技術であり、よってここでは説明されない。

【0041】

列アドレスデコーダCADの後に、エンベロープ振幅および/または電気回路の出力からの時間的位相をオンチップで評価するための評価手段EVを置くことができる。このような評価手段EVは、良く知られている。評価手段EVは、エンベロープ振幅および時間的位相の評価が、チップ外で行われる場合は、省略することができる。最後に、出力増幅器OAが、出力ラインOLにおいて、装置出力信号を生成する。

【0042】

なお、本発明に係る2次元センサにおいては、回路1.11~1.nmは、図10に示される行および列とは異なるやり方で配置してもよいことに留意されたい。どのような種類の配置も、本発明の範囲に含まれる。

【0043】

本発明は、上述の好適な実施形態に限定されず、本特許の保護の範囲から逸脱することなく、変形および改善を行うことができる。

【図面の簡単な説明】

【0044】

本発明の実施形態は、添付の模式的な図面に関連して、以下に、より詳細に説明される。

【図1】図1は、本発明に係る復調ピクセルのブロック図を示している。

【図2】図2は、本発明に係る復調ピクセルにおける、光を対応する電圧に変換する変換ステージの回路図を示している。

【図3】図3は、蓄積ノードが加えられた、図2に示される変換ステージの変形を示している。

【図4】図4は、本発明に係る復調ピクセルにおける、改善されたオフセット補正を有する変換ステージの回路図を示している。

【図5】図5(a)~図5(c)は、本発明に係る復調ピクセルにおける、(a)スイッチ、(b)NMOSスイッチ、(c)トランSMISSIONゲートの3種類のサンプリングステージを示している。

【図6】図6は、本発明に係るドリフト場変調ピクセルの断面を示している。

【図7】図7は、本発明に係るロックインピクセルの断面を示している。

【図8】図8は、減算ステージと合計ステージとを含む回路の回路図を示している。

【図9】図9は、本発明に係る復調ピクセルにおける読み出しステージの回路図を示している。

10

20

30

40

50

【図 10】図 10 は、本発明に係る 2 次元アレイセンサを模式的に示している。

【符号の説明】

【0045】

1 電気回路

10 装置

21 第 1 のチャンネル

22 第 2 のチャンネル

CA 列アドレス

CAD 列アドレスデコーダ

EV 評価手段

10

I 入力信号

OA 出力増幅器

OL 出力ライン

OTA 演算トランスコンダクタンス増幅器

PD フォトダイオード

PP 前処理ステージ

RA 行アドレス

RAD 行アドレスデコーダ

RO 読み出しステージ

RSN 読み出し蓄積ノード

20

S サンプリングステージ

SN 蓄積ノード

SUB1, SUB2 減算ステージ

SUM1, SUM2 合計ステージ

T 変換ステージ

VDDA 供給電圧

VSS グランド電圧

【図 5 (c)】

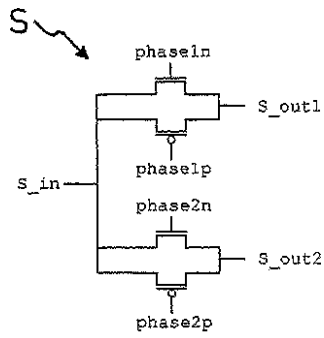
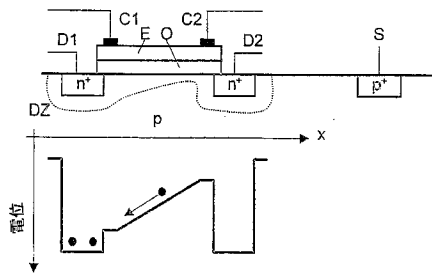
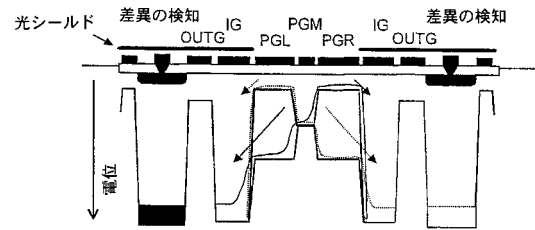


Fig. 5(c)

【図 6】



【図 7】



【图 8】

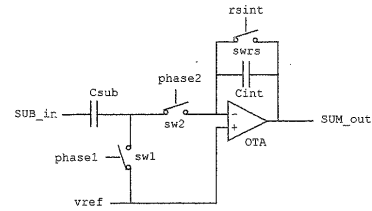
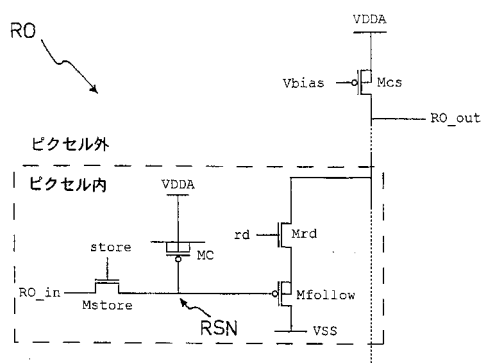


Fig. 8

【图 9】



【図 10】

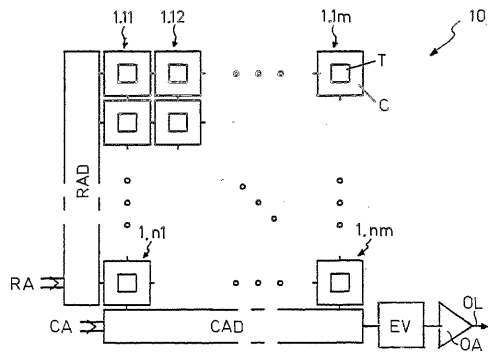


Fig. 10

フロントページの続き

- (74)代理人 100096921
弁理士 吉元 弘
- (74)代理人 100103263
弁理士 川崎 康
- (74)代理人 100107582
弁理士 関根 毅
- (72)発明者 ステファン、ベア
スイス国チューリッヒ、ヘギバツハシュトラーセ、36
- (72)発明者 ペーター、ザイツ
スイス国ウルドルフ、ベルクシュトラーセ、35

審査官 豊田 直樹

- (56)参考文献 国際公開第2004/001354 (WO, A1)
特開平11-037851 (JP, A)
特開昭63-275921 (JP, A)
特開昭64-018255 (JP, A)
特表2000-517427 (JP, A)
特開2004-045304 (JP, A)
特開2004-032682 (JP, A)
特表平10-508736 (JP, A)
R. Schwarte, et al., "New optical four-quadrant phase-detector integrated into a photogate array for small and precise 3, Proceedings of SPIE, 1997年 2月11日, Vol. 3023, p.119-128

- (58)調査した分野(Int.Cl., DB名)
G01N 21/00 - 21/61
G01J 1/00 - 1/60
G01J 9/00
G01J 11/00