

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 1 部門第 2 区分
【発行日】令和 6 年 5 月 21 日(2024.5.21)

【公開番号】特開 2023-183906(P2023-183906A)
【公開日】令和 5 年 12 月 28 日(2023.12.28)
【年通号数】公開公報(特許)2023-245
【出願番号】特願 2022-97710(P2022-97710)
【国際特許分類】
A 6 3 F 5/04(2006.01)
【F I】
A 6 3 F 5/04 6 0 1 B

10

【手続補正書】
【提出日】令和 6 年 5 月 13 日(2024.5.13)
【手続補正 1】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

20

遊技の進行を制御する主制御部と、遊技価値の管理に関する制御を行う遊技価値制御部と、
が搭載された主制御基板を備える遊技機であって、

前記主制御基板には、前記主制御基板の表面側でその端子が半田付けされる複数の表面
実装部品と、前記主制御基板を貫通するスルーホールに前記主制御基板の表面側からその
端子を挿通させ、前記主制御基板の裏面側でその端子が半田付けされる複数のディップ実
装部品と、が実装され、

前記複数の表面実装部品は、前記主制御部のマイクロプロセッサに接続された第 1 の集積
回路と、前記遊技価値制御部のマイクロプロセッサに接続された第 2 の集積回路と、を少
なくとも含み、

30

前記第 1 の集積回路及び前記第 2 の集積回路はそれぞれ複数の端子を有しており、前記第
1 の集積回路の複数の端子と前記第 2 の集積回路の複数の端子との間がそれぞれ配線で接
続され、

前記第 1 の集積回路の複数の端子と前記第 2 の集積回路の複数の端子との間を接続する配
線のそれぞれに対してテストポイントが設けられており、

前記複数の表面実装部品は、前記主制御基板の表面側に実装され、前記主制御基板の裏面
側には実装されないものであり、

前記主制御基板の表面側は、前記主制御基板が遊技機の内部に取り付けられた状態で当該
遊技機の扉部を開放したときに外部から視認容易となる面であり、

40

前記テストポイントは、前記主制御基板の表面側に設けられ、前記主制御基板の裏面側
には設けられないものであり、

前記主制御基板には、少なくとも遊技に関する所定の割合情報を表示可能な表示装置が搭
載され、前記表示装置は、前記遊技価値制御部に接続される、遊技機。

【手続補正 2】
【補正対象書類名】明細書
【補正対象項目名】0 0 0 8
【補正方法】変更
【補正の内容】
【0 0 0 8】

50

(1) 本発明の遊技機は、

遊技の進行を制御する主制御部（例えば、主制御部 4 1 1 a ）と、遊技価値の管理に関する制御を行う遊技価値制御部（例えば、メダル数制御部 4 1 1 b ）と、が搭載された主制御基板（例えば、主制御基板 4 1 1 ）を備える遊技機であって、

前記主制御基板には、前記主制御基板の表面側でその端子が半田付けされる複数の表面実装部品と、前記主制御基板を貫通するスルーホールに前記主制御基板の表面側からその端子を挿通させ、前記主制御基板の裏面側でその端子が半田付けされる複数のディップ実装部品と、が実装され、

前記複数の表面実装部品は、前記主制御部のマイクロプロセッサに接続された第 1 の集積回路（例えば、I C 3 ）と、前記遊技価値制御部のマイクロプロセッサに接続された第 2 の集積回路（例えば、I C 5 ）と、を少なくとも含み、

10

前記第 1 の集積回路及び前記第 2 の集積回路はそれぞれ複数の端子を有しており、前記第 1 の集積回路の複数の端子と前記第 2 の集積回路の複数の端子との間がそれぞれ配線で接続され、

前記第 1 の集積回路の複数の端子と前記第 2 の集積回路の複数の端子との間を接続する配線のそれぞれに対してテストポイントが設けられており、

前記複数の表面実装部品は、前記主制御基板の表面側に実装され、前記主制御基板の裏面側には実装されないものであり、

前記主制御基板の表面側は、前記主制御基板が遊技機の内部に取り付けられた状態で当該遊技機の扉部を開放したときに外部から視認容易となる面であり、

20

前記テストポイントは、前記主制御基板の表面側に設けられ、前記主制御基板の裏面側には設けられないものであり、

前記主制御基板には、少なくとも遊技に関する所定の割合情報を表示可能な表示装置が搭載され、前記表示装置は、前記遊技価値制御部に接続される。

30

40

50