

申請日期	84. 11. 01.
案 號	84111505
類 別	H03K 1/01

(85年12月修正本)

311302



(以上各欄由本局填註)

85. 12. 16 修正補充 發明專利說明書

一、發明 名稱	中 文	合併之可程式邏輯陣列及陣列邏輯
	英 文	"COMBINED PROGRAMMABLE LOGIC ARRAY AND ARRAY LOGIC"
二、發明 創作人	姓 名	羅那德·李·克林
	國 籍	美國
	住、居所	美國新墨西哥州亞伯昆庫市東北鷹脊路1503號
三、申請人	姓 名 (名稱)	荷蘭商飛利浦電子股份有限公司
	國 籍	荷蘭
	住、居所 (事務所)	荷蘭恩特荷芬市格諾內梧茲路1號
	代 表 人 姓 名	傑·伊·姆·葛拉瑪

經濟部中央標準局員工消費合作社印製

裝 訂 線

311302

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 美 1994.9.26 08/311,793

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明領域

本發明係關於包括可程式邏輯裝置(PLD)的電子電路。PLD有輸入線路，第一可程式"與"陣列具有第一輸入可選擇地連接於輸入線路，和具有第一輸出，和第二可程式"或"陣列具有第二輸入可選擇地連接於第一輸出，和具有第二輸出。

背景技術

可程式邏輯裝置(PLD)為已知和廣泛用於半導體數位積體電路之領域。其原因為PLD容許一般積體電路裁製之彈性以低成本適合特別的應用。PLD一般分類為現場可程式的(使用者可程式的)和單面可程式的(由製造廠家在製造程序上可程式的)。

PLD邏輯運用之實施以具有在選擇點可程式元件之基本邏輯閘之陣列。PLD通常包括可程式矩陣或陣列，功能上作成"與"閘之第一陣列其輸出連接於"或"閘之第二陣列。許多輸入線提供輸入信號至"與"陣列，和許多輸出線載運"或"閘之輸出信號。已知二種普通的商用實施體為可程式陣列邏輯(PAL)和可程式邏輯陣列(PLA)。此種裝置之詳細說明可查美國專利案號USP 4,124,899在說明PLD之PAL形式，和USP 4,422,072和4,703,206在詳細說明PLD之PAL形式。因為在此等專利中之說明相當詳盡和完整，在此不需重述，和在此編入該三專利之全部內容以供參考。為本發明之目的，僅簡要指出PLD之PAL形式其特徵為可程式"與"陣列和可程式"或"陣列和PAL之特徵為可程式"

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

與"陣列和固定級或非可程式"或"陣列。即為，在PAL形式中，輸入線可選擇地連接於"與"陣列之閘閘和"與"陣列之輸出可選擇地連接於"或"陣列閘閘之輸入。在PAL形式中，在另一方面，輸入線可選擇地連接於"與"陣列之閘閘但是"與"陣列之輸出固定連接於"或"陣列之閘閘。

本發明之目的

結果PLA結構當用作執行某種邏輯電路時有某種優點和缺點，和PAL結構當用作執行另外某種邏輯電時有某種優點和缺點。參考下列圖式和上述專利對其有關結構之問題和解決辦法作更進一步的說明。

本發明之一目的在提供一PLD其裝置架構使此PLD比單一PAL或單一PLA裝置能普遍的應用。

發明概述

按照本發明提供和前文所列之電路，和其特徵為PLD更包括具有第三輸入可選擇地連接於輸入線和具有第三輸出之第三可程式"與"陣列，和具有第四輸入固定連接於二者第二"或"陣列之第二輸出和第三與陣列之第三輸出和具有第四輸出之第四固定"或"陣列。

本發明PLD結構結合PLA和PAL結構形式之最佳特性於一單一裝置上。此種配置在克服某些二者傳統PAL和PLA結構之缺點，而能保留其等之大部分強度。

在更一進實施體中，第三可程式"與"陣列有許多P組每一組具有許多Q邏輯閘，其中個別P組之每一Q邏輯閘有一輸出連接至第四陣列之個別"或"閘。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

圖式簡述

為更瞭解本發明，其工作優點和列舉目的經由使用獲得者，應參考隨伴圖式和敘述資料其中顯示和敘述本發明較佳之實施體。同樣參考數字或其文字於各圖式中代表同樣或相同組件。在圖式中：

圖1係根據本發明PLD電路之一種形式之簡圖；

圖2係根據本發明PLD電路之另一種形式之簡圖。

較佳實施體之詳述

如習知PLD包括一陣列之邏輯"與"和"或"閘其可以程式用於特定功能。每一輸出函數係選擇的乘積(邏輯"與")之總和(邏輯"或")，其每一乘積是選擇的輸入極性之乘積。PLD可給與程式以致任何輸入線可連接於任何輸入閘和乘積之任何個可由"或"閘之任何個予以總和。程式典型地完成由燒斷或不燒斷連接二陣列導體之可熔鏈環。給與足夠之乘積為方便計常稱之謂p-項，乘積之和可表示所有布爾轉移函數。當此等已知原理已經以"與"和"或"閘陣列各詞解釋之同時，如技術界習知的，邏輯的"與非"和"或非"閘可用以分別連接或作代替"與"和"或"閘。

以已往技術PLD之主要問題如下。僅以PLA作成之結構，當處理只有單獨一個輸出之p-項時，僅有PLA結構之速度慢和陣列不足，便需要太多閘門才能實現所要的邏輯電路。另一方面，當輸出間有共同p-項存在時，僅有PAL結構便陣列不足，且比現有需要以為特別輸出有較多p-項時，於是僅有PAL結構在執行上便慢。本發明之PLD展示

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

此等以前已知結構形式每一個之最佳性能。而且達到陣列之最佳利用和性能。

圖1表示本發明PLD結構形式之一種電路圖。它包括由許多(M)"與"閘11組成的可程式第一"與"陣列10，每一"與"閘有許多輸入由單線輸入12代表。許多(N)PLD輸入20備作連接至二反相器21，22，其分別之輸出23，24提供與輸入20信號極性相反的(高或低；"1"或"0")信號。如所見的，每一雙輸入線23，24連接至每一閘11之輸入12。此項可連接性由每一線交叉點之圓圈代表。因此，如說，有高或低極性輸出之四輸入線連接至閘11之單一輸入線12，在事實上意謂四個分開的輸入存在於一閘，和按照通常真值表，閘輸出由至該閘之分別低和高輸入決定。此種相同符號用於至其他所示之"與"和"或"閘之輸入。

閘11提供第一組輸出14可選擇地連接第二組輸入32至包括(O)"或"閘31之可程式第二"或"陣列30，該"或"閘31激勵第二組輸出線34。電路更包括含有許多(Q)"與"閘51，52之許多(P)組之可程式第三"與"陣列50，其中"與"閘51，52具有分別輸入53，54之第三組其為可選擇地連接至輸入線20之第一組，和具有個別輸出56，57之第三組其為固定連接(非可程式)作為分別輸入72，73之第四組至固定的第四"或"陣列70，該陣列70包括許多(R)"或"閘71其提供第四輸出組74。連接每一輸出74為可控制緩衝級80，即為三狀態緩衝級，其控制輸入可經

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

另一PLD輸入81得到。因此PLD在端點90之輸出可選擇地經由輸入81控制。

自第二"或"陣列30之第二輸出組34也連接於固定(非可程式)情況作為第四"或"陣列70之輸入。而且，每一組51，52之每一"與"閘有分別的輸出72，73可連接於第四"或"陣列之相同閘71。為簡化計，另加的輸入皆由"或"閘符號前之曲線指示。

因上述為技術上之通用者，交叉點之小圓圈代表可熔鏈環可以燒斷或保留以提供所要組之連接以實現特別的邏輯電路。因而將明瞭第一10和第三50陣列由"與"閘作成為可程式的，和第三30陣列由"或"閘作成也是可程式的，但是第四70"或"閘之陣列為固定的或非可程式的。

典型地以圖1所示之PLD為例，備有包括M=8-64"與"閘11的第一陣列10有N輸入=8-48，包括O=8-32"或"閘31之第二陣列30，包括P=8-32組各有Q=4-16"與"閘51，52之第三陣列，和R=8-32"或"閘71之第四陣列70送出R輸出90。本發明不限於這些典型組件數和其他組件數不出本發明之範疇皆予以考慮。本發明PLD之製作程式和技術並不重要和任可標準二極，NMOS或CMOS程序都可用。而且自前述陣列元件之數目可知，即為，陣列大小，任何四陣列可以變化不離在此所述之原理。也可以明白到此所述之"保險絲"系統可以任何其他已知技術實施包括電級可塗去浮置閘記憶元件。

也很清楚的是，宏觀單元(macro cell)如在參考專利案所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (日)

述，包括EX-ORs和其他習知之宏單元零件如雙穩態多諧振盪器也可加上而不會離開本發明之範圍。圖2所示類似圖1電路其中雙穩態多諧振盪器為宏單元增加於本發明之PLD，以另加之控制線96用作推動雙穩態多諧振盪器如參考專利所述。

本發明之主要優點為它能比僅有PLA措施更快和更有效處理使用唯一輸出之p-項陣列邏輯功能，因第二陣列可有效地旁路於信號路徑。

而且，當共同p-項在輸出間存在時，因為僅需要一p-項而需要再以更多陣列之有效方式處理，其乃可在全部相關之輸出間分享。因為以前(僅有PAL)多數p-項措施所需之功率消耗重分配於剩餘減少數目的p-項之間所以性能得以增進。

而且，當需要比現有為多的p-項用於特別輸出時，因為不需要加多輸出以協助形成所需的部份乘積，如僅有PAL措施所需要的，性能將會更快。

當本發明連同較佳之實施體已經說明之同時，將瞭解對於技術上熟練人士在列出的原則內對其作修正是明顯的和因此本發明將不限於較佳之實施體而意圖包含此種修正。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

四、中文發明摘要(發明之名稱： 合併之可程式邏輯陣列及陣列邏輯)

PLD(Programmable Logic Device可程式邏輯裝置)包括可程式第一"與"陣列其輸入可選擇性地連接至輸入線和其輸出可選擇地連接至可程式第二"或"陣列。PLD更包括可程式第三"與"陣列其輸入可選擇地連接至輸入線，和其輸出固定連接至固定的第四"或"陣列之輸入。來自第二"或"陣列之輸出也以固定情況連接至第四"或"陣列。此種配置克服二者傳統PAL(Programmable Array Logic可程式陣列邏輯)和PLA(Programmable Logic Array可程式邏輯陣列)在結構上的某些缺點，而能保留其等之大部分強度。

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要(發明之名稱： "COMBINED PROGRAMMABLE LOGIC ARRAY AND ARRAY LOGIC")

A PLD comprises a programmable first AND array whose inputs are selectively connectable to input lines and whose outputs are selectively connectable to a programmable second OR array. The PLD further comprises a programmable third AND array whose inputs are selectively connectable to the input lines, and whose outputs are fixedly connected to inputs of a fixed fourth OR array. The outputs from the second OR array are also connected in a fixed manner to the fourth OR array. This arrangement overcomes some of the weaknesses in both the conventional PAL and PLA architectures while retaining most of their strengths.

六、申請專利範圍

1. 一種電子電路包括可程式邏輯裝置(PLD)，具有：
 - 輸入線(23, 24)；
 - 第一可程式"與"陣列(10)具有第一輸入(12)可選擇地連接於輸入線，和具有第一輸出(14)；
 - 第二可程式"或"陣列(30)具有第二輸入(32)可選擇地連接於第一輸出，和具有第二輸出(34)；形成於PLD之特徵更包括：
 - 第三可程式"與"陣列(50)具有第三輸入(53, 54)可選擇地連接於輸入線，和具有第三輸出(56, 57)；
 - 第四可程式"或"陣列(70)具有第四輸入(72, 73)固定連接於二者第二和第三輸出，和具有第四輸出(74)。
2. 如申請專利範圍第1項之電路，更包括可控制緩衝級連接於第四輸出。
3. 如申請專利範圍第1項之電路，更包括宏單元連接於第四輸出。
4. 如申請專利範圍第1項之電路，其中：
 - 第三可程式"與"陣列有許多Q邏輯閘(51, 52)之許多P組；
 - 各個別P組之一之每一Q邏輯閘有一輸出連接於第四陣列之各個"或"閘。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

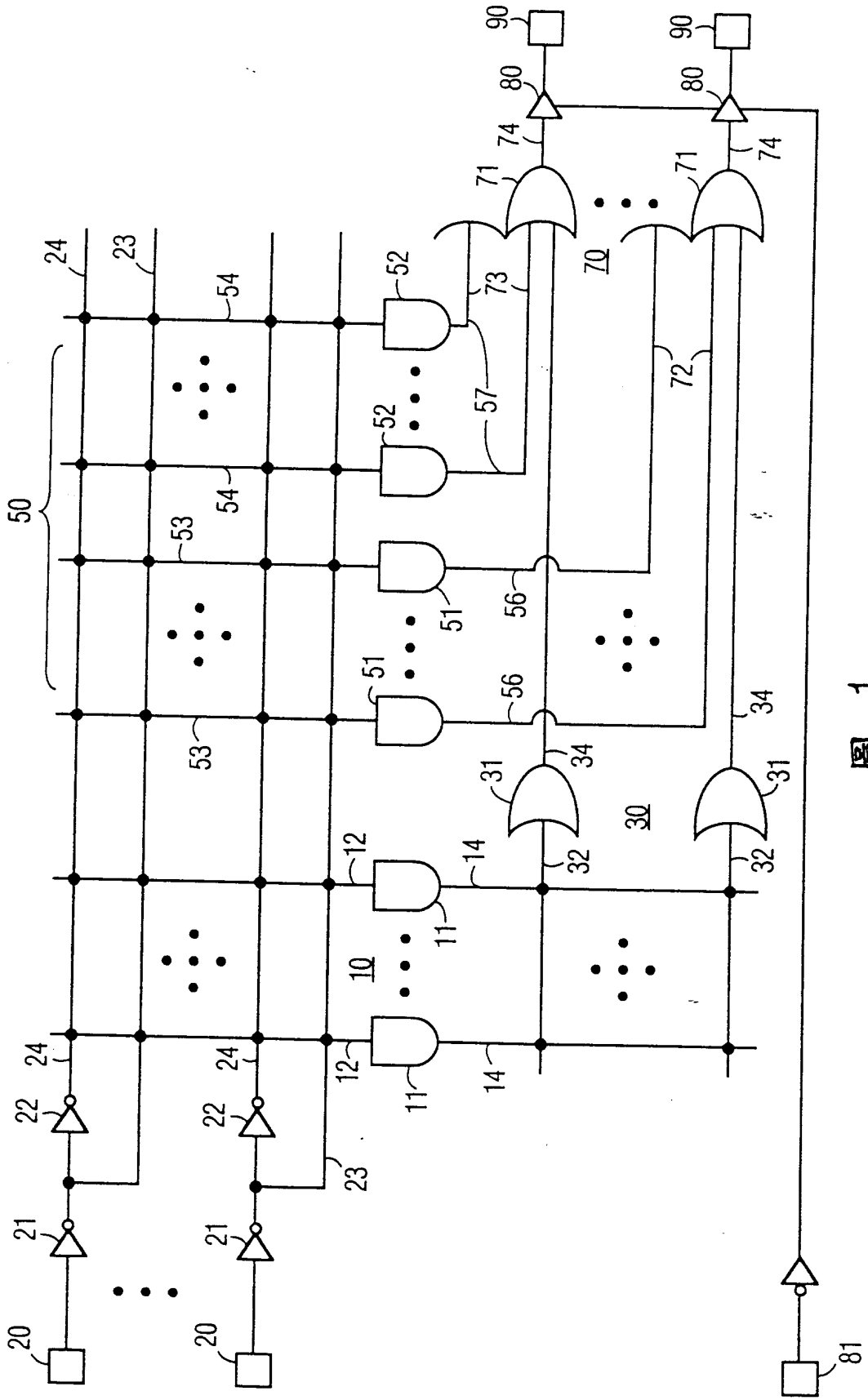


圖 1

