(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月6日(06.01.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/004269 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H01L 23/532* (2006.01)
H01L 21/3205 (2006.01) *H04N 5/369* (2011.01)
H01L 21/768 (2006.01) *H04N 5/374* (2011.01)
H01L 23/522 (2006.01)

(21) 国際出願番号： PCT/JP2021/021277

(22) 国際出願日： 2021年6月3日(03.06.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

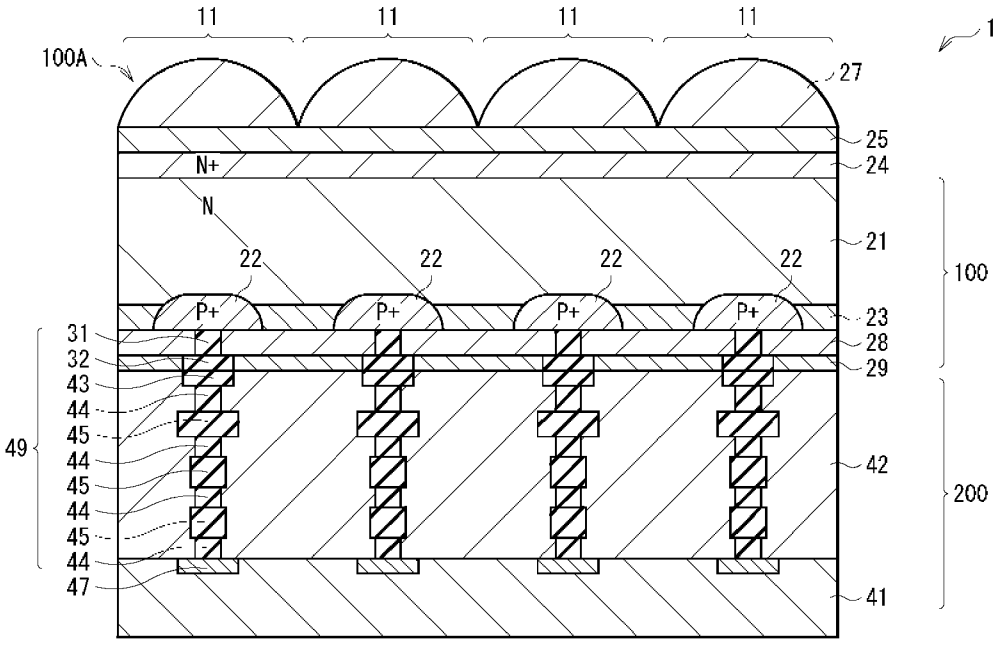
(30) 優先権データ：
特願 2020-111983 2020年6月29日(29.06.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 栃木 靖久 (**TOCHIGI, Yasuhisa**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 渡部 泰一郎 (**WATANABE, Taiichiro**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 古閑 史彦 (**KOGA, Fumihiko**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) **Title:** PHOTODETECTOR AND ELECTRONIC DEVICE

(54) 発明の名称： 光検出装置、及び電子機器



(57) **Abstract:** A photodetector comprising: a photoelectric conversion layer provided on a first substrate; a diffusion region that is provided on a second substrate bonded to the first substrate and accumulates charge photoelectrically converted by the photoelectric conversion layer; and a connection portion that is provided from the first substrate to the second substrate as a multilayer structure including vias and wiring layers and electrically connects the photoelectric conversion layer and the diffusion region, wherein the connection portion is provided so that a plane region of each layer is included in

WO 2022/004269 A1

[続葉有]

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿１丁目１５番９号さわだビル３階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

the plane region of the layer having the largest plane region in a plan view from the normal direction of the main surfaces of the first substrate and the second substrate.

(57) 要約：第１基板に設けられた光電変換層と、前記第１基板と貼り合わせられた第２基板に設けられ、前記光電変換層にて光電変換された電荷を蓄積する拡散領域と、ビア及び配線層を含む多層構造にて前記第１基板から前記第２基板に亘って設けられ、前記光電変換層と、前記拡散領域とを電気的に接続する接続部と、を備え、前記接続部は、前記第１基板及び前記第２基板の主面の法線方向から平面視した際に、平面領域が最も大きい層の前記平面領域に各層の前記平面領域が包含されるように設けられる、光検出装置。

明　細　書

発明の名称 ： 光検出装置、及び電子機器

技術分野

[0001]　本開示は、光検出装置、及び電子機器に関する。

背景技術

[0002]　近年、複数の基板を貼り合わせた積層型の光検出装置が提案されている（例えば、特許文献１）。このような積層型の光検出装置では、第１の基板に設けられた光電変換層で光電変換された電荷を第２の基板に伝送し、第２の基板に設けられた読み出し回路で該電荷を検出信号に変換することが行われる。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第２０１７／１５０１６７号

発明の概要

[0004]　このような光検出装置では、読み出し回路までの電荷の伝送経路が長くなりやすい。そのため、光検出装置では、電荷の伝送に係る配線が有する配線容量を低減することで、検出信号のノイズを低減することが望まれる。

[0005]　よって、検出信号のノイズがより低減された光検出装置、及び電子機器を提供することが望ましい。

[0006]　本開示の一実施形態に係る光検出装置は、第１基板に設けられた光電変換層と、前記第１基板と貼り合わせられた第２基板に設けられ、前記光電変換層にて光電変換された電荷を蓄積する拡散領域と、ビア及び配線層を含む多層構造にて前記第１基板から前記第２基板に亘って設けられ、前記光電変換層と、前記拡散領域とを電気的に接続する接続部と、を備え、前記接続部は、前記第１基板及び前記第２基板の主面の法線方向から平面視した際に、平面領域が最も大きい層の前記平面領域に各層の前記平面領域が包含されるように設けられる。

[0007] 本開示の一実施形態に係る電子機器は、第１基板に設けられた光電変換層と、前記第１基板と貼り合わせられた第２基板に設けられ、前記光電変換層にて光電変換された電荷を蓄積する拡散領域と、ビア及び配線層を含む多層構造にて前記第１基板から前記第２基板に亘って設けられ、前記光電変換層と、前記拡散領域とを電気的に接続する接続部と、を備え、前記接続部は、前記第１基板及び前記第２基板の主面の法線方向から平面視した際に、平面領域が最も大きい層の前記平面領域に各層の前記平面領域が包含されるように設けられる。

[0008] 本開示の一実施形態に係る光検出装置、及び電子機器では、第１基板に設けられた光電変換層と、第１基板と貼り合わせられた第２基板に設けられた拡散領域とは、第１基板及び第２基板の主面の法線方向から平面視した際に、平面領域が最も大きい層の平面領域に各層の平面領域が包含されるように設けられた接続部にて電気的に接続される。これにより、例えば、光電変換層から拡散領域まで電荷を伝送する接続部に生じる配線容量がより低減される。

図面の簡単な説明

[0009] [図1]本開示の一実施形態に係る光検出装置の全体構成を説明する模式的な平面図である。

[図2]センサ画素の等価回路の構成を示す回路図である。

[図3]光検出装置の断面構成を示す縦断面図である。

[図4A]接続部の一例の断面構成を示す縦断面図である。

[図4B]接続部の一例の平面構成を示す平面図である。

[図5A]接続部の他の例の断面構成を示す縦断面図である。

[図5B]接続部の他の例の平面構成を示す平面図である。

[図6A]第２基板に設けられた配線層の各々の平面形状を示す模式的な平面図である。

[図6B]第２基板に設けられた配線層の各々の平面形状を示す模式的な平面図である。

[図6C]第２基板に設けられた配線層の各々の平面形状を示す模式的な平面図である。

[図6D]第２基板に設けられた配線層の各々の平面形状を示す模式的な平面図である。

[図7]第１の変形例に係る接続部の構成を示す模式的な縦断面図である。

[図8]第２の変形例に係る接続部の構成を示す模式的な縦断面図である。

[図9]第３の変形例に係るセンサ画素の等価回路の構成例を示す回路図である。

[図10]第３の変形例に係るセンサ画素の等価回路の構成例を示す回路図である。

[図11]第３の変形例に係るセンサ画素の等価回路の構成例を示す回路図である。

[図12]第３の変形例に係るセンサ画素の等価回路の構成例を示す回路図である。

[図13]本開示の一実施形態に係る光検出装置を備える撮像装置の概略構成の一例を示すブロック図である。

[図14]撮像装置における撮像動作の一例を示すフローチャート図である。

発明を実施するための形態

[0010] 以下、本開示における実施形態について、図面を参照して詳細に説明する。以下で説明する実施形態は本開示の一具体例であって、本開示にかかる技術が以下の態様に限定されるわけではない。また、本開示の各構成要素の配置、寸法、及び寸法比等についても、各図に示す様態に限定されるわけではない。

[0011] なお、説明は以下の順序で行う。

１．全体構成

２．センサ画素の構成

２．１．回路構成

２．２．断面構成

２．３．接続部の構成

３．変形例

４．適用例

[0012] ＜１．全体構成＞

まず、図１を参照して、本開示の一実施形態に係る光検出装置の全体構成について説明する。図１は、本実施形態に係る光検出装置１の全体構成を説明する模式的な平面図である。

[0013] 図１に示すように、光検出装置１は、画素アレイ部１０に行列状（すなわち、マトリクス状）に二次元配置された複数のセンサ画素１１によって入射光を検出する光検出装置である。光検出装置１は、例えば、波長８００ｎｍ以上の赤外線を検出可能することができる。

[0014] センサ画素１１は、波長８００ｎｍ以上の赤外線に対して感度を有する光電変換層を含む。このような赤外線（例えば、波長９００ｎｍ～１７００ｎｍの赤外線）を光電変換することが可能な光電変換層としては、ＩｎＧａＰ、ＩｎＡｌＰ、ＩｎＧａＡｓ、又はＩｎＡｌＡｓなどのＩＩＩ－Ｖ族化合物半導体などを含む光電変換層を例示することができる。

[0015] センサ画素１１は、画素アレイ部１０の周囲に設けられた垂直駆動回路２０、水平駆動回路３０、水平選択回路４０、システム制御回路５０、電圧制御部６０、及び電圧生成回路７０によって各々駆動される。これらの周辺回路による制御によって、センサ画素１１の各々は、受光量に応じた検出信号を出力することができる。

[0016] システム制御回路５０は、マスタークロックに基づいて、垂直駆動回路２０、水平駆動回路３０、水平選択回路４０、及び電圧制御部６０などの動作の基準となるクロック信号及び制御信号などを生成する。システム制御回路５０は、生成したクロック信号及び制御信号を垂直駆動回路２０、水平選択回路４０、及び電圧制御部６０などに供給する。

[0017] 電圧制御部６０は、センサ画素１１から得られる検出信号に基づいて、センサ画素１１の光電変換層に印加される電圧を制御する。これによれば、電

圧制御部６０は、フィードバック制御によって、センサ画素１１の光電変換層に印加される電圧を制御することができるため、センサ画素１１から得られる検出信号の強度及び精度を向上させることができる。具体的には、電圧制御部６０は、光電変換層に印加される電圧を制御する制御信号を電圧生成回路７０に出力する。電圧生成回路７０は、入力された制御信号に基づいて、光電変換層の両極に印加されるアナログ電圧を生成する。生成されたアナログ電圧は、電源線を介してセンサ画素１１の各々の光電変換層の両極に印加される。

[0018] 垂直駆動回路２０は、例えば、シフトレジスタなどによって構成され、複数の画素駆動線１２を介して、複数のセンサ画素１１の駆動を行ごとに制御する。

[0019] 水平選択回路４０は、例えば、画素アレイ部１０の画素列（又は垂直信号線１３）ごとに設けられたＡＤＣ４０ａ及びスイッチ素子４０ｂを含む。ＡＤＣ４０ａは、センサ画素１１の各々から出力された検出信号をＡＤ（Ａｎａｌｏｇ－ｔｏ－Ｄｉｇｉｔａｌ）変換するアナログ－デジタルコンバータである。ＡＤＣ４０ａの入力端には、垂直信号線１３が接続され、ＡＤＣ４０ａの出力端には、スイッチ素子４０ｂが接続される。なお、ＡＤＣ４０ａは、アナログレンジを可変可能に設けられ、外部から入力されたレンジ設定値に基づいてアナログレンジを設定する。

[0020] 水平駆動回路３０は、例えば、シフトレジスタなどによって構成され、水平選択回路４０のスイッチ素子４０ｂの各々を順番に駆動させる。水平駆動回路３０は、スイッチ素子４０ｂの各々を順番に駆動させることにより、垂直信号線１３の各々を介して伝送される検出信号（デジタル値）の各々を順番に水平信号線４０ｃに出力することができる。なお、水平信号線４０ｃに出力された検出信号は、例えば、図示しないＤＳＰ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）回路などに出力される。

[0021] ＜２．センサ画素の構成＞

（２．１．回路構成）

続いて、図２を参照して、センサ画素１１の回路構成について説明する。図２は、センサ画素１１の等価回路の構成を示す回路図である。

[0022] 図２に示すように、センサ画素１１は、入射光を電荷に変換する光電変換層ＰＣＬと、光電変換された電荷を蓄積する拡散領域ＳＮと、光電変換された電荷に基づいて検出信号を出力する読み出し回路１５とを含む。

[0023] 光電変換層ＰＣＬは、所定の波長の光（例えば、波長９００ｎｍ～１７００ｎｍの赤外線）を吸収して電荷を発生させる。光電変換層ＰＣＬの一方の極（例えば、カソード）は、拡散領域ＳＮに電気的に接続され、光電変換層ＰＣＬの他方の極（例えば、アノード）は、電源線ＶＴＯＰに接続される。

[0024] 光電変換層ＰＣＬは、ＩＩＩ－Ｖ族化合物半導体を含んで構成されてもよい。例えば、光電変換層ＰＣＬは、ＩｎＧａＰ、ＩｎＡＩＰ、ＩｎＧａＡｓ、又はＩｎＡＩＡｓ等のＩＩＩ－Ｖ族化合物半導体を含んで構成されてもよい。なお、光電変換層ＰＣＬは、上記のＩＩＩ－Ｖ族化合物半導体に替えて、カルコパイライト構造の化合物半導体、アモルファスシリコン（ａ－Ｓｉ）、ゲルマニウム（Ｇｅ）、量子ドット、又は有機光電変換物質などを含んで構成されてもよい。

[0025] 拡散領域ＳＮは、半導体基板などに導電型不純物を導入することで構成された領域であり、光電変換層ＰＣＬにて光電変換された電荷を蓄積する。拡散領域ＳＮには、転送トランジスタＴＲＧのソースが電気的に接続されると共に、排出トランジスタＯＦＧのソースが電気的に接続される。

[0026] 拡散領域ＳＮに蓄積された電荷は、転送トランジスタＴＲＧを介してフローティングディフュージョンＦＤに転送される。本実施形態に係る光検出装置１では、拡散領域ＳＮからフローティングディフュージョンＦＤへの電荷の転送をすべてのセンサ画素１１で同時に行うことで、全画素同時露光であるグローバルシャッタ方式の露光を実現することができる。

[0027] 読み出し回路１５は、例えば、排出トランジスタＯＦＧと、転送トランジスタＴＲＧと、フローティングディフュージョンＦＤと、リセットトランジスタＲＳＴと、選択トランジスタＳＥＬと、増幅トランジスタＡＭＰとを含

む。

[0028] フローティングディフュージョンＦＤは、半導体基板などに導電型不純物を導入することで構成された領域である。排出トランジスタＯＦＧ、転送トランジスタＴＲＧ、リセットトランジスタＲＳＴ、選択トランジスタＳＥＬ、及び増幅トランジスタＡＭＰは、例えば、ＭＯＳ（Ｍｅｔａｌ－Ｏｘｉｄｅ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）トランジスタである。

[0029] 排出トランジスタＯＦＧは、ゲート電極に印加される制御信号に基づいて、拡散領域ＳＮに蓄積された電荷を排出し、拡散領域ＳＮの状態を初期化（リセット）する。排出トランジスタＯＦＧのソースは、拡散領域ＳＮに電気的に接続され、排出トランジスタＯＦＧのドレインは、電源線ＶＤＲに電気的に接続される。

[0030] 転送トランジスタＴＲＧは、拡散領域ＳＮと、フローティングディフュージョンＦＤとの間に設けられ、ゲート電極に印加される制御信号に基づいて、拡散領域ＳＮに蓄積された電荷をフローティングディフュージョンＦＤに転送する。転送トランジスタＴＲＧのゲート電極は、画素駆動線１２に電気的に接続され、転送トランジスタＴＲＧのソースは、拡散領域ＳＮに電気的に接続され、転送トランジスタＴＲＧのドレインは、フローティングディフュージョンＦＤに電気的に接続される。

[0031] フローティングディフュージョンＦＤは、転送トランジスタＴＲＧを介して拡散領域ＳＮから転送された電荷を一時的に保持する浮遊拡散領域である。フローティングディフュージョンＦＤには、例えば、増幅トランジスタＡＭＰ及び選択トランジスタＳＥＬを介して垂直信号線１３が電気的に接続される。

[0032] リセットトランジスタＲＳＴは、フローティングディフュージョンＦＤの電位を所定の電位に初期化（リセット）する。リセットトランジスタＲＳＴのゲート電極は、画素駆動線１２に電気的に接続され、リセットトランジスタＲＳＴのソースは、フローティングディフュージョンＦＤに電気的に接続され、リセットトランジスタＲＳＴのドレインは、電源線ＶＤＤに電気的に

接続される。リセットトランジスタＲＳＴは、オン状態となることで、フローティングディフュージョンＦＤの電位を電源線ＶＤＤの電位に初期化する。なお、電源線ＶＤＤの電位は、電源線ＶＤＲの電位と同じであってもよく、異なっていてもよい。

[0033] 増幅トランジスタＡＭＰは、フローティングディフュージョンＦＤに保持された電荷のレベルに応じた電圧の検出信号を生成する。具体的には、増幅トランジスタＡＭＰは、例えば、ソースフォロワ型のアンプを構成しており、光電変換層ＰＣＬで発生した電荷のレベルに応じた電圧の検出信号を出力する。これにより、増幅トランジスタＡＭＰは、検出信号として、センサ画素１１の受光量の応じた電圧の信号を生成することができる。

[0034] 増幅トランジスタＡＭＰのゲート電極は、フローティングディフュージョンＦＤに電気的に接続され、増幅トランジスタＡＭＰのソースは、選択トランジスタＳＥＬのドレインに電気的に接続され、増幅トランジスタＡＭＰのソースは、電源線ＶＤＤに電気的に接続される。増幅トランジスタＡＭＰは、選択トランジスタＳＥＬがオン状態となることで、フローティングディフュージョンＦＤの電位を増幅し、フローティングディフュージョンＦＤの電位に応じた電圧を垂直信号線（ＶＳＬ）１３に出力する。

[0035] 選択トランジスタＳＥＬは、読み出し回路１５からの検出信号の出力タイミングを制御する。選択トランジスタＳＥＬのゲートは、画素駆動線１２に電気的に接続される。選択トランジスタＳＥＬのソースは、垂直信号線１３に電気的に接続され、選択トランジスタＳＥＬのドレインは、増幅トランジスタＡＭＰのソースに電気的に接続される。

[0036] なお、選択トランジスタＳＥＬは、電源線ＶＤＤと、増幅トランジスタＡＭＰとの間に設けられてもよい。このような場合、選択トランジスタＳＥＬのゲート電極は、画素駆動線１２に電気的に接続され、選択トランジスタＳＥＬのドレインは、電源線ＶＤＤに電気的に接続され、選択トランジスタＳＥＬのソースは、増幅トランジスタＡＭＰのドレインに電気的に接続される。一方、増幅トランジスタＡＭＰのソースは、垂直信号線１３に電気的に接

続され、増幅トランジスタＡＭＰのソースからフローティングディフュージョンＦＤの電位に応じた電圧が垂直信号線（ＶＳＬ）１３に出力される。

[0037] （２．２．断面構成）

次に、図３を参照して、センサ画素１１の断面構成について説明する。図３は、光検出装置１の断面構成を示す縦断面図である。

[0038] 図３に示すように、第１基板１００は、ｐ型の化合物半導体で構成された光電変換層２１を含む。具体的には、光電変換層２１は、ｎ型ＩｎＧａＡｓにて画素アレイ部１０の全体に広がって設けられる。なお、光電変換層２１は、ｎ型ＩｎＧａＡｓに替えて、ゲルマニウム（Ｇｅ）、又は有機光電変換物質などを含んで構成されてもよい。

[0039] 第１基板１００は、ｐ型の化合物半導体で構成され、光電変換層２１の第２基板２００側の面に設けられたコンタクト層２２をさらに含む。具体的には、コンタクト層２２は、高濃度のｐ型ＩｎＧａＡｓにてセンサ画素１１ごとに設けられる。コンタクト層２２は、光電変換層２１に電圧を印加する一方の電極として機能する。これにより、コンタクト層２２は、光電変換層２１で生成された電荷を取り出すことができる。

[0040] 第１基板１００は、ｎ型の化合物半導体で構成され、コンタクト層２２を互いに分離する分離層２３をさらに含む。具体的には、分離層２３は、ｎ型ＩｎＰにてコンタクト層２２と同一の層内に設けられる。例えば、分離層２３は、センサ画素１１ごとに島状に設けられたコンタクト層２２の周囲を囲むように設けられてもよい。

[0041] 第１基板１００は、ｎ型の化合物半導体で構成され、光電変換層２１の受光面１００Ａ側の面に設けられたバリア層２４をさらに含む。具体的には、バリア層２４は、光電変換層２１よりも高濃度のｎ型化合物半導体にて光電変換層２１の全面に広がって設けられる。例えば、バリア層２４は、光電変換層２１よりも高濃度のｎ型ＩｎＧａＡｓ、ｎ型ＩｎＰ、又はｎ型ＩｎＡＩＡｓにて設けられてもよい。これによれば、バリア層２４は、光電変換層２１で生成された電荷の逆流を抑制することができる。

[0042] また、バリア層２４は、光電変換層２１に電圧を印加する他方の電極としても機能する。すなわち、光電変換層２１には、光電変換層２１を上下に挟み込むコンタクト層２２及びバリア層２４から電圧が印加される。

[0043] バリア層２４の受光面１００Ａ側の面には、さらに反射防止膜２５が設けられる。反射防止膜２５は、例えば、窒化シリコン（ＳｉＮ）、酸化ハフニウム（HfO_2）、酸化アルミニウム（Al_2O_3）、酸化ジルコニウム（ZrO_2）、酸化タンタル（Ta_2O_5）、又は酸化チタン（TiO_2）などにて構成される。反射防止膜２５は、バリア層２４との屈折率差によって入射光の反射を防止することができる。

[0044] 反射防止膜２５の受光面１００Ａ側の面には、さらにオンチップレンズ２７が設けられる。オンチップレンズ２７は、センサ画素１１ごとに１つずつ設けられ、入射光をセンサ画素１１の中央に集光することができる。

[0045] 第１基板１００は、コンタクト層２２及び分離層２３の第２基板２００側に設けられたパッシベーション層２８及び絶縁層２９をさらに含む。パッシベーション層２８及び絶縁層２９は、例えば、酸化シリコン（SiO_x）、窒化シリコン（ＳｉＮ）、又は酸窒化シリコン（ＳｉＯＮ）などで構成される。

[0046] また、パッシベーション層２８には、パッシベーション層２８を貫通してコンタクト層２２と電気的に接続する接続電極３１が設けられる。絶縁層２９には、絶縁層２９を貫通して接続電極３１と電気的に接続する金属接合層３２が設けられる。接続電極３１及び金属接合層３２は、パラジウム（Ｐｄ）、チタン（Ｔｉ）、窒化チタン（ＴｉＮ）、タングステン（W）、ニッケル（Ｎｉ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、白金（Ｐｔ）、銀（Ａｇ）、又は金（Ａｕ）などの導電性材料にて構成され、センサ画素１１ごとに１つずつ設けられる。

[0047] 第２基板２００は、半導体基板４１と、層間絶縁層４２とを含む。半導体基板４１は、例えば、シリコン（Ｓｉ）基板である。層間絶縁層４２は、酸化シリコン（SiO_x）、窒化シリコン（ＳｉＮ）、又は酸窒化シリコン（S

ｉＯＮ）などの絶縁性材料で構成され、半導体基板４１に積層されて設けられる。第２基板２００は、層間絶縁層４２が第１基板１００の絶縁層２９と対向するように第１基板１００と貼り合わせられて設けられる。

[0048] 半導体基板４１には、導電型不純物が導入された拡散領域４７が設けられ、層間絶縁層４２には、第１基板１００側から金属接合層４３、複数の配線層４５、及び複数のビア４４が互いに電気的に接続されて設けられる。コンタクト層２２、接続電極３１、金属接合層３２、金属接合層４３、複数の配線層４５、及び複数のビア４４（これらをまとめて接続部４９とも称する）は、第１基板１００に設けられた光電変換層２１と、半導体基板４１に設けられた拡散領域４７とを電気的に接続することができる。

[0049] 金属接合層４３は、第１基板１００の金属接合層３２と接合されることで、金属接合層３２と電気的に接続される。具体的には、絶縁層２９の金属接合層３２と、第２基板２００の金属接合層４３とは、第１基板１００と第２基板２００とを貼り合わせる際に互いに接触するように、互いに表面に露出するように設けられる。これにより、金属接合層３２と、金属接合層４３とは、熱処理によって金属同士を接合させることで、電気的に接続することができる。このような場合、金属接合層３２と、金属接合層４３とは、それぞれ銅（Ｃｕ）で設けられ、Ｃｕ－Ｃｕ直接接合構造を形成していることが望ましい。なお、金属接合層４３は、Ｃｕ－Ｃｕ直接接合構造に替えて、バンプ構造によって第１基板１００の金属接合層３２と電気的に接続されてもよい。

[0050] 複数の配線層４５、及び複数のビア４４は、パラジウム（Ｐｄ）、チタン（Ｔｉ）、窒化チタン（ＴｉＮ）、タングステン（Ｗ）、ニッケル（Ｎｉ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、白金（Ｐｔ）、銀（Ａｇ）、又は金（Ａｕ）などの導電性材料にて構成される。

[0051] 光電変換層２１にて生成された電荷は、接続部４９を介して拡散領域４７に伝送され、拡散領域４７にて蓄積される。拡散領域４７に蓄積された電荷は、図示しない転送トランジスタＴＲＧによって後段の読み出し回路１５に

転送される。光検出装置１は、光電変換層２１にて生成された電荷をセンサ画素１１ごとに分離された拡散領域４７にて蓄積するため、隣接するセンサ画素１１の間でのクロストークを抑制することができる。

[0052] （２．３．接続部の構成）

ここで、図４Ａ～図６Ｄを参照して、本実施形態に係る光検出装置１が備える接続部４９の構成についてより具体的に説明する。

[0053] 本実施形態に係る光検出装置１では、第１基板１００の光電変換層２１と、第２基板２００の拡散領域４７とを電気的に接続する接続部４９は、第１基板１００及び第２基板２００の主面の法線方向から平面視した際に、平面領域が最も大きな層の平面領域に各層の平面領域が包含されるように設けられる。具体的には、光電変換層２１と、拡散領域４７とを電気的に接続するコンタクト層２２、接続電極３１、金属接合層３２、金属接合層４３、複数の配線層４５、及び複数のビア４４は、これらのうちで最も平面領域が大きな層の平面領域内に包含されて設けられる。

[0054] まず、図４Ａ及び図４Ｂを参照して、接続部４９の構成の一例について説明する。図４Ａは、接続部４９の一例の断面構成を示す縦断面図である。図４Ｂは、接続部４９の一例の平面構成を示す平面図である。図４Ａで示す断面は、図４ＢのＡ－ＡＡ切断線の断面に対応する。

[0055] 図４Ａに示すように、光電変換層２１は、接続部４９を介して拡散領域４７と電気的に接続される。接続部４９は、例えば、光電変換層２１側から、接続電極３１、金属接合層３２、金属接合層４３、ビア４４Ａ、配線層４５Ａ、ビア４４Ｂ、配線層４５Ｂ、及びビア４４Ｃを第１基板１００及び第２基板２００の厚み方向に略直列に積層することで設けられる。

[0056] このとき、図４Ｂに示すように、接続電極３１、金属接合層３２、金属接合層４３、ビア４４Ａ、配線層４５Ａ、ビア４４Ｂ、配線層４５Ｂ、及びビア４４Ｃは、それぞれ中心が同一の略矩形の平面形状にて設けられてもよい。

[0057] 図４Ｂに示す一例では、接続部４９の各層のうち、金属接合層３２、４３

が最も大きな平面領域を有しており、接続電極３１、ビア４４Ａ、配線層４５Ａ、ビア４４Ｂ、配線層４５Ｂ、及びビア４４Ｃは、金属接合層３２、４３の平面領域の内部に包含されるように設けられる。これによれば、光検出装置１は、光電変換層２１から拡散領域４７までをより短い伝送経路にて電気的に接続することができるため、光電変換層２１から拡散領域４７までの接続部４９に生じる配線容量の大きさを低減することができる。したがって、本実施形態に係る光検出装置１は、接続部４９の配線容量に起因するノイズをより低減することができる。

[0058] 次に、図５Ａ及び図５Ｂを参照して、接続部４９の構成の他の例について説明する。図５Ａは、接続部４９の他の例の断面構成を示す縦断面図である。図５Ｂは、接続部４９の他の例の平面構成を示す平面図である。図５Ａで示す断面は、図５ＢのＢ－ＢＢ切断線の断面に対応する。

[0059] 図５Ａに示すように、光電変換層２１は、接続部４９を介して拡散領域４７と電気的に接続される。接続部４９は、光電変換層２１側から、接続電極３１、金属接合層３２、金属接合層４３、複数のビア４４Ａ、配線層４５Ａ、ビア４４Ｂ、配線層４５Ｂ、及びビア４４Ｃを第１基板１００及び第２基板２００の厚み方向に略直列に積層することで設けられる。

[0060] このとき、図５Ｂに示すように、金属接合層３２、金属接合層４３、配線層４５Ａ、配線層４５Ｂ、及びビア４４Ｃは、それぞれ中心が同一の略矩形の平面形状にて設けられてもよい。また、金属接合層４３と、配線層４５Ａとは、矩形形状の４つの角部に対応して設けられた４つのビア４４Ａにて電気的に接続されてもよい。

[0061] 図５Ｂに示す一例では、接続部４９の各層のうち、金属接合層３２、４３が最も大きな平面領域を有しており、接続電極３１、複数のビア４４Ａ、配線層４５Ａ、ビア４４Ｂ、配線層４５Ｂ、及びビア４４Ｃは、金属接合層３２、４３の平面領域の内部に包含されるように設けられる。

[0062] すなわち、接続部４９の各層は、複数のビア４４Ａにて電気的に接続されてもよい。また、接続部４９の各層は、互いに離隔された複数の配線にて構

成されてもよい。これらの場合であっても、接続部４９の各層は、平面領域が最も大きな層の平面領域の内部に包含されるように設けられる。このような場合でも、光検出装置１は、光電変換層２１から拡散領域４７までをより短い伝送経路にて電気的に接続することができるため、光電変換層２１から拡散領域４７までの接続部４９に生じる配線容量の大きさを低減することができる。したがって、光検出装置１は、接続部４９の配線容量に起因するノイズをより低減することができる。

[0063] さらに、図６Ａ～図６Ｄを参照して、接続部４９の各層のより具体的な平面形状について説明する。図６Ａ～図６Ｄは、第２基板２００に設けられた配線層の各々の平面形状を示す模式的な平面図である。

[0064] 図６Ａ～図６Ｄでは、層間絶縁層４２に設けられた配線層４５を半導体基板４１側から第１配線層Ｍ１、第２配線層Ｍ２、第３配線層Ｍ３、及び第４配線層Ｍ４とする。また、層間絶縁層４２に設けられたビア４４を半導体基板４１側から第１ビアｖｉａ１、第２ビアｖｉａ２、及び第３ビアｖｉａ３とする。

[0065] 図６Ａに示すように、センサ画素１１ごとに矩形形状の金属接合層３２、４３が設けられる。金属接合層３２、４３が設けられた矩形形状の平面領域の内部に矩形形状の第４配線層Ｍ４が設けられる。第４配線層Ｍ４は、図示しないビア等によって金属接合層３２、４３と電気的に接続される。

[0066] また、図６Ｂに示すように、第４配線層Ｍ４が設けられた矩形形状の平面領域の内部に矩形形状の第３配線層Ｍ３が設けられる。第３配線層Ｍ３は、２つ設けられた第３ビアｖｉａ３を介して第４配線層Ｍ４と電気的に接続される。

[0067] また、図６Ｃに示すように、第３配線層Ｍ３が設けられた矩形形状を横断するように長手形状の第２配線層Ｍ２が設けられる。第２配線層Ｍ２は、２つ設けられた第２ビアｖｉａ２を介して第３配線層Ｍ３と電気的に接続される。

[0068] また、図６Ｄに示すように、第２配線層Ｍ２が設けられた平面領域と重な

る平面領域に第１配線層Ｍ１が設けられる。第１配線層Ｍ１は、２つ設けられた第１ビアｖｉａ１を介して第２配線層Ｍ２と電気的に接続される。

[0069] すなわち、図６Ａ～図６Ｄに示すように、第１配線層Ｍ１、第２配線層Ｍ２、第３配線層Ｍ３、及び第４配線層Ｍ４は、すべて金属接合層３２、４３が設けられた平面領域の内部に設けられる。これによれば、光電変換層２１と、拡散領域４７とは、第１基板１００及び第２基板２００の厚み方向に略直線状に設けられた伝送経路にて電気的に接続されるため、伝送経路に生じる配線容量を低減することができる。

[0070] なお、上記では、接続部４９のうち金属接合層３２、４３が最も大きい平面領域を有する例を示したが、本実施形態に係る技術は上記例示に限定されない。接続部４９のうち最も大きい平面領域を有する層は、配線層４５のいずれかであってもよい。

[0071] ＜３．変形例＞

（第１の変形例）

続いて、図７を参照して、第１の変形例に係る接続部４９Ａについて説明する。図７は、第１の変形例に係る接続部４９Ａの構成を示す模式的な縦断面図である。

[0072] 図７に示すように、接続部４９Ａでは、図４Ａに示す接続部４９に対して、パッシベーション層２８、絶縁層２９、及び接続電極３１に替えて絶縁層３３、電極３７、及びコンタクト電極３８が設けられる点が異なる。

[0073] 絶縁層３３は、光電変換層２１の一面を覆うように設けられ、コンタクト層２２の各々に対応する箇所に開口を有する。絶縁層３３は、例えば、酸化シリコン（SiO_x）、窒化シリコン（ＳｉＮ）、又は酸化アルミニウム（Al_2O_3）等の絶縁性材料で構成されてもよい。

[0074] 電極３７は、絶縁層３３の開口の各々を埋め込み、対応するコンタクト層２２と電気的に接続するように設けられる。電極３７は、パラジウム（Ｐｄ）、チタン（Ｔｉ）、窒化チタン（ＴｉＮ）、タングステン（Ｗ）、ニッケル（Ｎｉ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、白金（Ｐｔ）、銀（Ａｇ

）、又は金（Ａｕ）などの導電性材料にて構成されてもよい。

[0075] コンタクト電極３８は、電極３７の各々に対応して設けられ、電極３７と、金属接合層３２とを電気的に接続する。コンタクト電極３８は、パラジウム（Ｐｄ）、チタン（Ｔｉ）、窒化チタン（ＴｉＮ）、タングステン（Ｗ）、ニッケル（Ｎｉ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、白金（Ｐｔ）、銀（Ａｇ）、又は金（Ａｕ）などの導電性材料にて構成されてもよい。

[0076] ここで、接続部４９Ａは、光電変換層２１側から、電極３７、コンタクト電極３８、金属接合層３２、金属接合層４３、ビア４４Ａ、配線層４５Ａ、ビア４４Ｂ、及び配線層４５Ｂ、ビア４４Ｃを第１基板１００及び第２基板２００の厚み方向に略直列に積層することで設けられる。

[0077] また、接続部４９Ａは、接続部４９Ａの各層のうち、金属接合層３２、４３が最も平面領域が大きくなるように設けられてもよい。金属接合層３２、４３は、例えば、画素駆動線１２又は垂直信号線１３を覆うように設けられることで、画素駆動線１２又は垂直信号線１３と、隣接するセンサ画素１１の光電変換層２１との間を電気的にシールドすることができる。これによれば、金属接合層３２、４３は、隣接するセンサ画素１１の光電変換層２１の電位が画素駆動線１２又は垂直信号線１３を流れるパルス電流によって変動することを抑制することができるため、隣接するセンサ画素１１の感度低下又は暗電流増加を抑制することができる。

[0078] （第２の変形例）

次に、図８を参照して、第２の変形例に係る接続部４９Ｂについて説明する。図８は、第２の変形例に係る接続部４９Ｂの構成を示す模式的な縦断面図である。

[0079] 図８に示すように、接続部４９Ｂでは、図７に示す接続部４９Ａに対して、接続部４９Ｂの各層のうち、金属接合層３２、４３及び配線層４５Ａが最も平面領域が大きくなるように設けられる点が異なる。

[0080] 図８に示すように、接続部４９Ｂは、光電変換層２１側から、電極３７、コンタクト電極３８、金属接合層３２、金属接合層４３、ビア４４Ａ、配線

層４５Ａ、ビア４４Ｂ、及び配線層４５Ｂ、ビア４４Ｃを第１基板１００及び第２基板２００の厚み方向に略直列に積層することで設けられる。

[0081] また、接続部４９Ｂは、接続部４９Ｂの各層のうち、金属接合層３２、４３、及び金属接合層３２、４３の直下の配線層４５Ａが同面積で最も平面領域が大きくなるように設けられてもよい。このような場合、金属接合層３２、４３、及び配線層４５Ａは、より半導体基板４１側に設けられた配線層４５Ｂからのパルス電流等が隣接するセンサ画素１１の光電変換層２１に影響を及ぼすことをより確実に抑制することができる。したがって、接続部４９Ｄは、隣接するセンサ画素１１の感度低下又は暗電流増加を抑制することができる。

[0082] （第３の変形例）

続いて、図９～図１２を参照して、第３の変形例に係るセンサ画素１１について説明する。第３の変形例に係るセンサ画素１１は、図１～図３にて示したセンサ画素１１に対して、読み出し回路１５の回路構成がそれぞれ異なる。図９～図１２は、第３の変形例に係るセンサ画素１１の等価回路の構成例を示す回路図である。

[0083] 図９に示すように、センサ画素１１の読み出し回路１５Ａでは、拡散領域ＳＮにソースフォロワ型アンプＳＦが電気的に接続され、ソースフォロワ型アンプＳＦの出力端には、第１サンプルホールド回路ＳＨ１、及び第２サンプルホールド回路ＳＨ２が直列に電気的に接続される。

[0084] ソースフォロワ型アンプＳＦでは、ドレイン端子が電源線ＶＤＤに電気的に接続され、入力のゲート端子が拡散領域ＳＮに電気的に接続され、出力のソース端子が第１サンプルホールド回路ＳＨ１の入力に電気的に接続される。ソースフォロワ型アンプＳＦは、出力電圧が入力電圧に追従するように動作することができる。

[0085] 第１サンプルホールド回路ＳＨ１は、スイッチとして機能するトランジスタＳＡＭ１と、電荷を蓄積するキャパシタＣ１とによって構成される。第１サンプルホールド回路ＳＨ１は、キャパシタＣ１に電荷を蓄積することで、

所定のタイミングに合わせて電圧を保持することができる。

[0086] 第２サンプルホールド回路ＳＨ２は、スイッチとして機能するトランジスタＳＡＭ２と、電荷を蓄積するキャパシタＣ２とによって構成される。第２サンプルホールド回路ＳＨ２は、キャパシタＣ２に電荷を蓄積することで、所定のタイミングに合わせて電圧を保持することができる。

[0087] 第２サンプルホールド回路ＳＨ２の出力端には、増幅トランジスタＡＭＰ及び選択トランジスタＳＥＬが電気的に接続される。具体的には、第２サンプルホールド回路ＳＨ２の出力端に増幅トランジスタＡＭＰのゲートが電気的に接続され、増幅トランジスタＡＭＰのソースが選択トランジスタＳＥＬのドレインに電気的に接続される。増幅トランジスタＡＭＰは、選択トランジスタＳＥＬがオン状態となることで、第２サンプルホールド回路ＳＨ２に保持された電位を増幅し、第２サンプルホールド回路ＳＨ２の電位に応じた電圧を出力することができる。

[0088] 以上により、図９に示す読み出し回路１５Ａは、拡散領域ＳＮに蓄積された電荷に応じた検出信号を出力することができる。

[0089] 図１０に示すように、センサ画素１１の読み出し回路１５Ｂでは、拡散領域ＳＮにソースフォロワ型アンプＳＦが電気的に接続され、ソースフォロワ型アンプＳＦの出力端には、第１サンプルホールド回路ＳＨ１、及び第２サンプルホールド回路ＳＨ２が並列に電気的に接続される。

[0090] ソースフォロワ型アンプＳＦでは、ドレイン端子が電源線ＶＤＤに電気的に接続され、入力のゲート端子が拡散領域ＳＮに電気的に接続され、出力のソース端子が第１サンプルホールド回路ＳＨ１及び第２サンプルホールド回路ＳＨ２の各々の入力に電気的に接続される。ソースフォロワ型アンプＳＦは、出力電圧が入力電圧に追従するように動作することができる。

[0091] 第１サンプルホールド回路ＳＨ１は、スイッチとして機能するトランジスタＳＡＭ１と、電荷を蓄積するキャパシタＣ１とによって構成される。第１サンプルホールド回路ＳＨ１は、キャパシタＣ１に電荷を蓄積することで、所定のタイミングに合わせて電圧を保持することができる。第１サンプルホ

ールド回路ＳＨ１の出力端には、増幅トランジスタＡＭＰ１及び選択トランジスタＳＥＬ１が電気的に接続される。増幅トランジスタＡＭＰ１は、選択トランジスタＳＥＬ１がオン状態となることで、第１サンプルホールド回路ＳＨ１に保持された電位を増幅し、第１サンプルホールド回路ＳＨ１の電位に応じた電圧を出力することができる。

[0092] 第２サンプルホールド回路ＳＨ２は、スイッチとして機能するトランジスタＳＡＭ２と、電荷を蓄積するキャパシタＣ２とによって構成される。第２サンプルホールド回路ＳＨ２は、同様に、キャパシタＣ２に電荷を蓄積することで、所定のタイミングに合わせて電圧を保持することができる。第２サンプルホールド回路ＳＨ２の出力端には、増幅トランジスタＡＭＰ２及び選択トランジスタＳＥＬ２が電気的に接続される。増幅トランジスタＡＭＰ２は、選択トランジスタＳＥＬ２がオン状態となることで、第２サンプルホールド回路ＳＨ２に保持された電位を増幅し、第２サンプルホールド回路ＳＨ２の電位に応じた電圧を出力することができる。

[0093] 以上により、図１０に示す読み出し回路１５Ｂは、拡散領域ＳＮに蓄積された電荷に応じた検出信号をタイミングごとに２系統に分けて出力することができる。

[0094] 図１１に示すように、センサ画素１１の読み出し回路１５Ｃでは、拡散領域ＳＮにＣＴＩＡ（Ｃａｐａｃｉｔｉｖｅ　ＴｒａｎｓＩｍｐｅｄａｎｃｅ　Ａｍｐｌｉｆｉｅｒ）回路ＣＡが電気的に接続され、ＣＴＩＡ回路ＣＡの出力端に第１サンプルホールド回路ＳＨ１、及び第２サンプルホールド回路ＳＨ２が直列に電気的に接続される。

[0095] ＣＴＩＡ回路ＣＡは、拡散領域ＳＮに蓄積された電荷を蓄積するキャパシタＣｆｂと、キャパシタＣｆｂによってネガティブフィードバックが形成された積分回路ＩＣと、キャパシタＣｆｂに蓄積された電荷を放電するためのリセットトランジスタＲＳＴとによって構成される。ＣＴＩＡ回路ＣＡは、拡散領域ＳＮに蓄積された電荷に応じて、より振幅が大きな出力電圧を第１サンプルホールド回路ＳＨ１に出力することができる。

[0096] 第１サンプルホールド回路ＳＨ１は、スイッチとして機能するトランジスタＳＡＭ１と、電荷を蓄積するキャパシタＣ１とによって構成される。第１サンプルホールド回路ＳＨ１は、キャパシタＣ１に電荷を蓄積することで、所定のタイミングに合わせて電圧を保持することができる。

[0097] 第２サンプルホールド回路ＳＨ２は、スイッチとして機能するトランジスタＳＡＭ２と、電荷を蓄積するキャパシタＣ２とによって構成される。第２サンプルホールド回路ＳＨ２は、キャパシタＣ２に電荷を蓄積することで、所定のタイミングに合わせて電圧を保持することができる。

[0098] 第２サンプルホールド回路ＳＨ２の出力端には、増幅トランジスタＡＭＰ及び選択トランジスタＳＥＬが電気的に接続される。具体的には、第２サンプルホールド回路ＳＨ２の出力端に増幅トランジスタＡＭＰのゲートが電気的に接続され、増幅トランジスタＡＭＰのソースが選択トランジスタＳＥＬのドレインに電気的に接続される。増幅トランジスタＡＭＰは、選択トランジスタＳＥＬがオン状態となることで、第２サンプルホールド回路ＳＨ２に保持された電位を増幅し、第２サンプルホールド回路ＳＨ２の電位に応じた電圧を出力することができる。

[0099] 以上により、図１１に示す読み出し回路１５Ｃは、拡散領域ＳＮに蓄積された電荷に応じた検出信号を出力することができる。

[0100] 図１２に示すように、センサ画素１１の読み出し回路１５Ｄでは、拡散領域ＳＮにＣＴＩＡ回路ＣＡが電気的に接続され、ＣＴＩＡ回路ＣＡの出力端に第１サンプルホールド回路ＳＨ１、及び第２サンプルホールド回路ＳＨ２が並列に電気的に接続される。

[0101] ＣＴＩＡ回路ＣＡは、拡散領域ＳＮに蓄積された電荷を蓄積するキャパシタＣｆｂと、キャパシタＣｆｂによってネガティブフィードバックが形成された積分回路ＩＣと、キャパシタＣｆｂに蓄積された電荷を放電するためのリセットトランジスタＲＳＴとによって構成される。ＣＴＩＡ回路ＣＡは、拡散領域ＳＮに蓄積された電荷に応じて、より振幅が大きな出力電圧を第１サンプルホールド回路ＳＨ１及び第２サンプルホールド回路ＳＨ２に出力す

ることができる。

[0102] 第１サンプルホールド回路ＳＨ１は、スイッチとして機能するトランジスタＳＡＭ１と、電荷を蓄積するキャパシタＣ１とによって構成される。第１サンプルホールド回路ＳＨ１は、キャパシタＣ１に電荷を蓄積することで、所定のタイミングに合わせて電圧を保持することができる。第１サンプルホールド回路ＳＨ１の出力端には、増幅トランジスタＡＭＰ１及び選択トランジスタＳＥＬ１が電気的に接続される。増幅トランジスタＡＭＰ１は、選択トランジスタＳＥＬ１がオン状態となることで、第１サンプルホールド回路ＳＨ１に保持された電位を増幅し、第１サンプルホールド回路ＳＨ１の電位に応じた電圧を出力することができる。

[0103] 第２サンプルホールド回路ＳＨ２は、スイッチとして機能するトランジスタＳＡＭ２と、電荷を蓄積するキャパシタＣ２とによって構成される。第２サンプルホールド回路ＳＨ２は、同様に、キャパシタＣ２に電荷を蓄積することで、所定のタイミングに合わせて電圧を保持することができる。第２サンプルホールド回路ＳＨ２の出力端には、増幅トランジスタＡＭＰ２及び選択トランジスタＳＥＬ２が電気的に接続される。増幅トランジスタＡＭＰ２は、選択トランジスタＳＥＬ２がオン状態となることで、第２サンプルホールド回路ＳＨ２に保持された電位を増幅し、第２サンプルホールド回路ＳＨ２の電位に応じた電圧を出力することができる。

[0104] 以上により、図１２に示す読み出し回路１５Ｄは、拡散領域ＳＮに蓄積された電荷に応じた検出信号をタイミングごとに２系統に分けて出力することができる。

[0105] ＜４．適用例＞

本開示に係る技術は、光学レンズ系等を有するカメラモジュール、デジタルスチルカメラ若しくはビデオカメラ等の撮像装置、撮像機能を有する携帯端末装置（例えばスマートフォン又はタブレット型端末）、又は画像読取部として撮像装置が用いられた複写機など、撮像装置を有する電子機器全般に対して適用可能である。

[0106] 図１３は、本実施形態に係る光検出装置１を備える撮像装置３の概略構成の一例を示すブロック図である。

[0107] 撮像装置３は、例えば、デジタルスチルカメラ、ビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。撮像装置３は、例えば、光検出装置１、光学系１４１、シャッタ装置１４２、ＤＳＰ回路１４３、フレームメモリ１４４、表示部１４５、記憶部１４６、操作部１４７、及び電源部１４８を備える。撮像装置３では、光検出装置１、シャッタ装置１４２、ＤＳＰ回路１４３、フレームメモリ１４４、表示部１４５、記憶部１４６、操作部１４７、及び電源部１４８は、バスライン１４９を介して相互に接続される。

[0108] 光検出装置１は、入射光に応じた画像データ（デジタル値）を出力する。光学系１４１は、１枚又は複数枚のレンズにて構成され、被写体からの光を光検出装置１に導き、光検出装置１の受光面に結像させる。シャッタ装置１４２は、光学系１４１及び光検出装置１の間に配置され、光検出装置１への光の照射又は遮光の期間を制御する。ＤＳＰ回路１４３は、光検出装置１から出力される画像データ（デジタル値）を信号処理する信号処理回路である。フレームメモリ１４４は、ＤＳＰ回路１４３により処理された画像データをフレーム単位で一時的に保持する。表示部１４５は、例えば、液晶パネル又は有機ＥＬ（Ｅｌｅｃｔｒｏ　Ｌｕｍｉｎｅｓｃｅｎｃｅ）パネル等のパネル型表示装置であり、光検出装置１で撮像された動画又は静止画を表示する。記憶部１４６は、光検出装置１で撮像された動画又は静止画の画像データを半導体メモリ又はハードディスク等の記録媒体に記録する。操作部１４７は、ユーザによる操作に基づいて撮像装置３の各種の機能に関する操作指令を出力する。電源部１４８は、光検出装置１、シャッタ装置１４２、ＤＳＰ回路１４３、フレームメモリ１４４、表示部１４５、記憶部１４６、及び操作部１４７の動作電源である。電源部１４８は、これら供給対象に対して電力を適宜供給する。

[0109] 次に、撮像装置３における撮像手順の一例について説明する。

[0110] 図１４は、撮像装置３における撮像動作のフローチャートの一例を示す。

[0111] まず、ユーザによって操作部１４７が操作されることにより撮像開始が指示される（Ｓ４０１）。次に、操作部１４７は、撮像指示を光検出装置１に出力する（Ｓ４０２）。続いて、撮像指示を受けた光検出装置１は、各種設定を行った（Ｓ４０３）後、所定の撮像方式での撮像を実行する（Ｓ４０４）。なお、撮像装置３において、光検出装置１は、必要に応じて、ステップＳ４０３及びステップＳ４０４の動作を繰り返し実行してもよい。

[0112] その後、光検出装置１は、撮像により得られた画像データをＤＳＰ回路１４３に出力する。ここで、画像データとは、フローティングディフュージョンＦＤに一時的に保持された電荷に基づいて生成された検出信号の全画素分のデータである。ＤＳＰ回路１４３は、光検出装置１から入力された画像データに基づいて所定の信号処理（例えば、ノイズ低減処理など）を行う（Ｓ４０５）。次に、ＤＳＰ回路１４３は、所定の信号処理がなされた画像データをフレームメモリ１４４に保持させ、フレームメモリ１４４は、画像データを記憶部１４６に記憶させる（Ｓ４０６）。以上の動作により、撮像装置３における撮像が行われる。

[0113] 以上、実施形態及び変形例を挙げて、本開示にかかる技術を説明した。ただし、本開示にかかる技術は、上記実施形態等に限定されるわけではなく、種々の変形が可能である。

[0114] さらに、実施形態及び変形例で説明した構成および動作の全てが本開示の構成および動作として必須であるとは限らない。たとえば、実施形態及び変形例における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素は、任意の構成要素として理解されるべきである。

[0115] 本明細書および添付の特許請求の範囲全体で使用される用語は、「限定的でない」用語と解釈されるべきである。例えば、「含む」又は「含まれる」という用語は、「含まれるとして記載された様態に限定されない」と解釈されるべきである。「有する」という用語は、「有するとして記載された様態に限定されない」と解釈されるべきである。

[0116] 本明細書で使用した用語には、単に説明の便宜のために用いており、構成及び動作を限定する目的で使用したわけではない用語が含まれる。たとえば、「右」、「左」、「上」、「下」などの用語は、参照している図面上での方向を示しているにすぎない。また、「内側」、「外側」という用語は、それぞれ、注目要素の中心に向かう方向、注目要素の中心から離れる方向を示しているにすぎない。これらに類似する用語や同様の趣旨の用語についても同様である。

[0117] なお、本開示にかかる技術は、以下のような構成を取ることも可能である。以下の構成を備える本開示にかかる技術によれば、光電変換層から拡散領域までの接続部に生じる配線容量の大きさが低減されるようになる。よって、光検出装置は、接続部の配線容量に起因するノイズをより低減させることができる。本開示にかかる技術が奏する効果は、ここに記載された効果に必ずしも限定されるわけではなく、本開示中に記載されたいずれの効果であってもよい。

（１）

第１基板に設けられた光電変換層と、

前記第１基板と貼り合わせられた第２基板に設けられ、前記光電変換層にて光電変換された電荷を蓄積する拡散領域と、

ビア及び配線層を含む多層構造にて前記第１基板から前記第２基板に亘って設けられ、前記光電変換層と、前記拡散領域とを電気的に接続する接続部と、

を備え、

前記接続部は、前記第１基板及び前記第２基板の主面の法線方向から平面視した際に、平面領域が最も大きい層の前記平面領域に各層の前記平面領域が包含されるように設けられる、光検出装置。

（２）

前記接続部は、前記第１基板及び前記第２基板の接合面に設けられた金属接合層をさらに含む、上記（１）に記載の光検出装置。

（３）

前記平面領域が最も大きい層は、前記金属接合層である、上記（２）に記載の光検出装置。

（４）

前記平面領域が最も大きい層は、前記金属接合層の前記第２基板側で直下に設けられた前記配線層、及び前記金属接合層である、上記（２）に記載の光検出装置。

（５）

前記金属接合層は、Ｃｕ－Ｃｕ接合層である、上記（２）～（４）のいずれか一項に記載の光検出装置。

（６）

前記接続部は、前記光電変換層と接して画素ごとに設けられた電極をさらに含む、上記（１）～（５）のいずれか一項に記載の光検出装置。

（７）

前記配線層の各々の形状は、矩形形状である、上記（１）～（６）のいずれか一項に記載の光検出装置。

（８）

前記配線層の少なくとも１つ以上は、他の前記配線層と複数の前記ビアで電気的に接続される、上記（１）～（７）のいずれか一項に記載の光検出装置。

（９）

前記光電変換層は、ＩｎＧａＡｓを含む、上記（１）～（８）のいずれか一項に記載の光検出装置。

（１０）

前記拡散領域に蓄積された電荷は、前記電荷を画素信号に変換する読み出し回路に出力される、上記（１）～（９）のいずれか一項に記載の光検出装置。

（１１）

前記読み出し回路は、フローティングディフュージョン保持型の読み出し回路である、上記（１０）に記載の光検出装置。

（１２）

第１基板に設けられた光電変換層と、

前記第１基板と貼り合わせられた第２基板に設けられ、前記光電変換層にて光電変換された電荷を蓄積する拡散領域と、

ビア及び配線層を含む多層構造にて前記第１基板から前記第２基板に亘って設けられ、前記光電変換層と、前記拡散領域とを電気的に接続する接続部と、

を備え、

前記接続部は、前記第１基板及び前記第２基板の主面の法線方向から平面視した際に、平面領域が最も大きい層の前記平面領域に各層の前記平面領域が包含されるように設けられる、電子機器。

[0118] 本出願は、日本国特許庁において２０２０年６月２９日に出願された日本特許出願番号２０２０－１１１９８３号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0119] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1] 第１基板に設けられた光電変換層と、

前記第１基板と貼り合わせられた第２基板に設けられ、前記光電変換層にて光電変換された電荷を蓄積する拡散領域と、

ビア及び配線層を含む多層構造にて前記第１基板から前記第２基板に亘って設けられ、前記光電変換層と、前記拡散領域とを電気的に接続する接続部と、

を備え、

前記接続部は、前記第１基板及び前記第２基板の主面の法線方向から平面視した際に、平面領域が最も大きい層の前記平面領域に各層の前記平面領域が包含されるように設けられる、光検出装置。

[請求項2] 前記接続部は、前記第１基板及び前記第２基板の接合面に設けられた金属接合層をさらに含む、請求項１に記載の光検出装置。

[請求項3] 前記平面領域が最も大きい層は、前記金属接合層である、請求項２に記載の光検出装置。

[請求項4] 前記平面領域が最も大きい層は、前記金属接合層の前記第２基板側で直下に設けられた前記配線層、及び前記金属接合層である、請求項２に記載の光検出装置。

[請求項5] 前記金属接合層は、Ｃｕ－Ｃｕ接合層である、請求項２に記載の光検出装置。

[請求項6] 前記接続部は、前記光電変換層と接して画素ごとに設けられた電極をさらに含む、請求項１に記載の光検出装置。

[請求項7] 前記配線層の各々の形状は、矩形形状である、請求項１に記載の光検出装置。

[請求項8] 前記配線層の少なくとも１つ以上は、他の前記配線層と複数の前記ビアで電気的に接続される、請求項１に記載の光検出装置。

[請求項9] 前記光電変換層は、ＩｎＧａＡｓを含む、請求項１に記載の光検出装置。

[請求項10] 前記拡散領域に蓄積された電荷は、前記電荷を画素信号に変換する読み出し回路に出力される、請求項１に記載の光検出装置。

[請求項11] 前記読み出し回路は、フローティングディフュージョン保持型の読み出し回路である、請求項１０に記載の光検出装置。

[請求項12] 第１基板に設けられた光電変換層と、

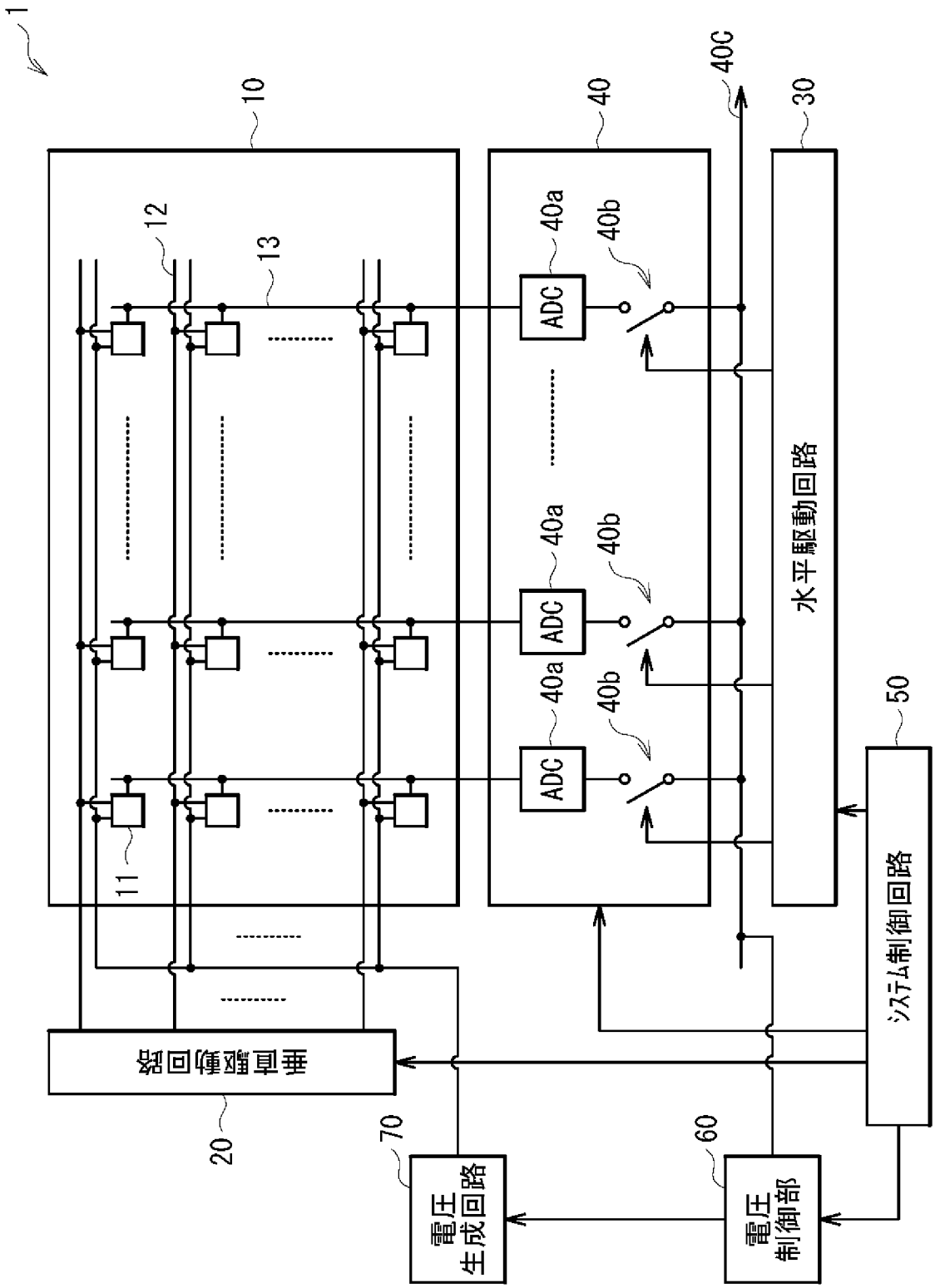
前記第１基板と貼り合わせられた第２基板に設けられ、前記光電変換層にて光電変換された電荷を蓄積する拡散領域と、

ビア及び配線層を含む多層構造にて前記第１基板から前記第２基板に亘って設けられ、前記光電変換層と、前記拡散領域とを電気的に接続する接続部と、

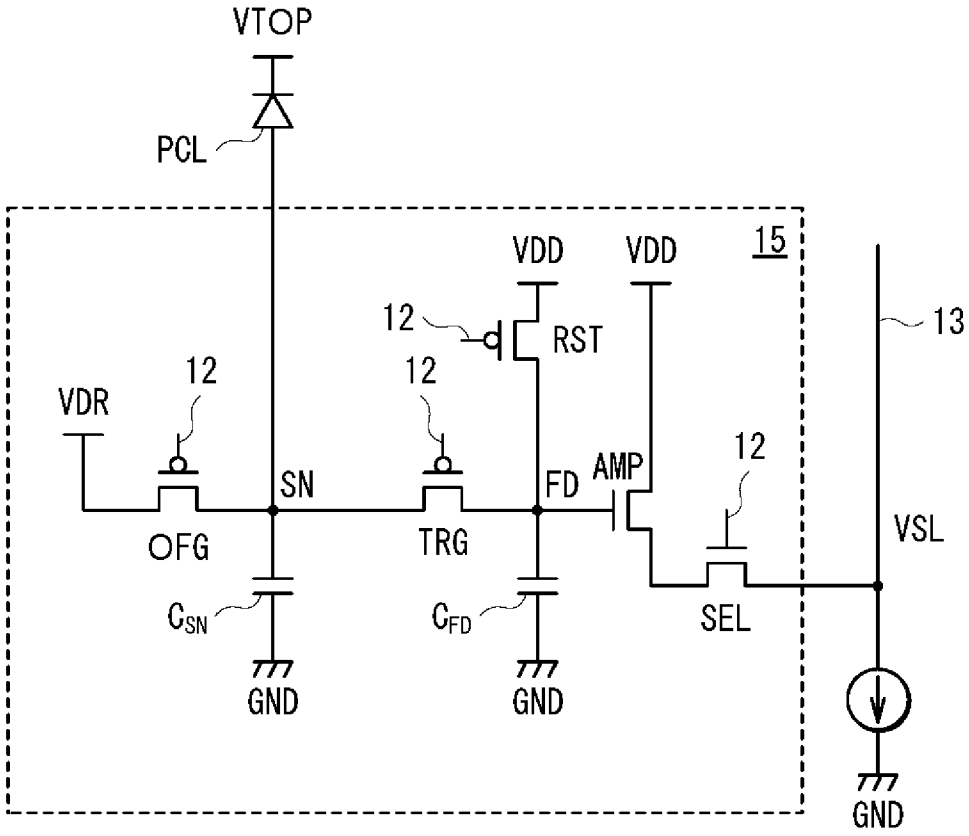
を備え、

前記接続部は、前記第１基板及び前記第２基板の主面の法線方向から平面視した際に、平面領域が最も大きい層の前記平面領域に各層の前記平面領域が包含されるように設けられる、電子機器。

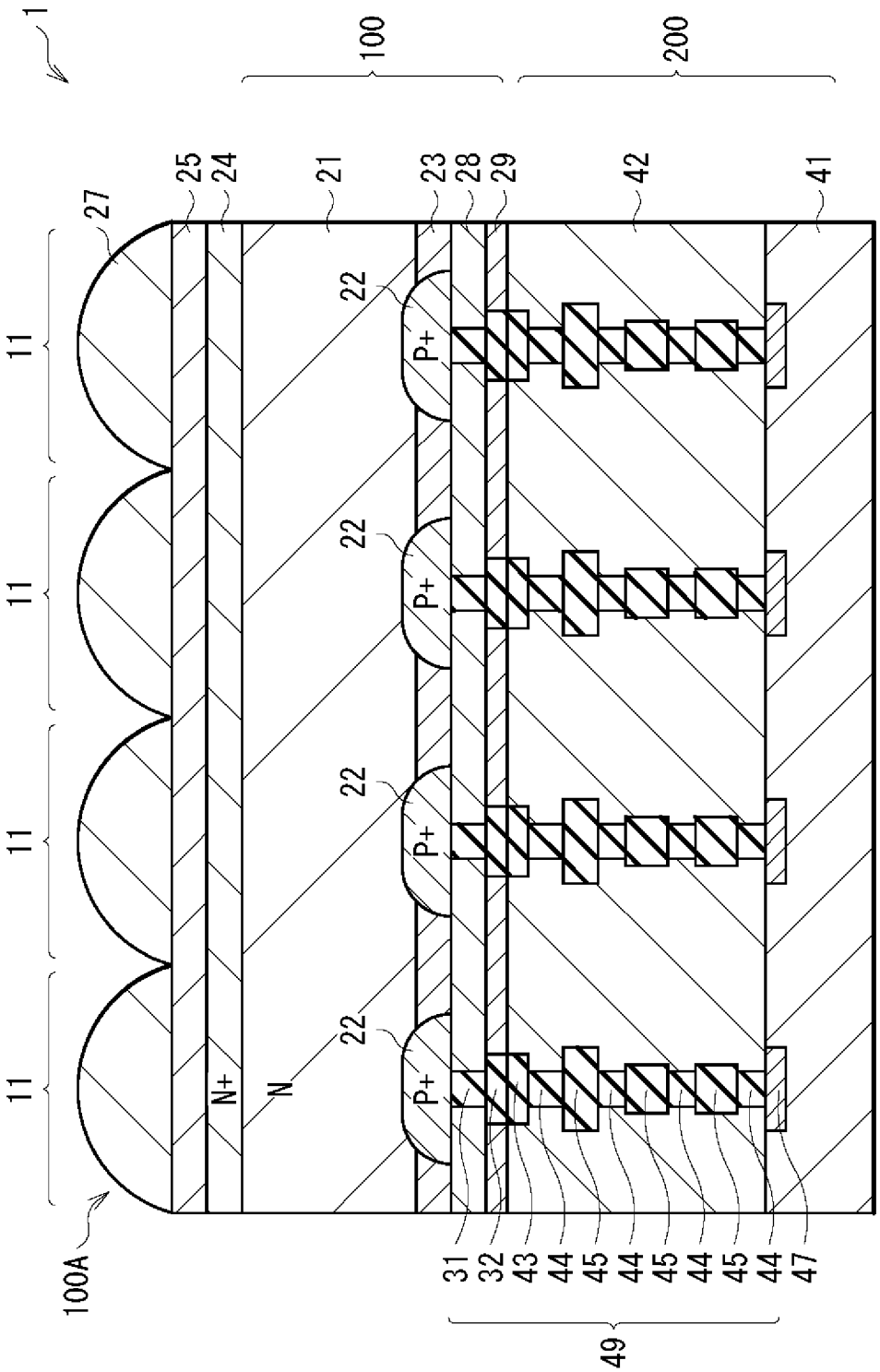
[図1]


1
10
40
40C
30
12
13
40a
40b
ADC
水平駆動回路
50
11
垂直駆動回路
20
70
電圧
生成回路
60
電圧
制御部
システム制御回路

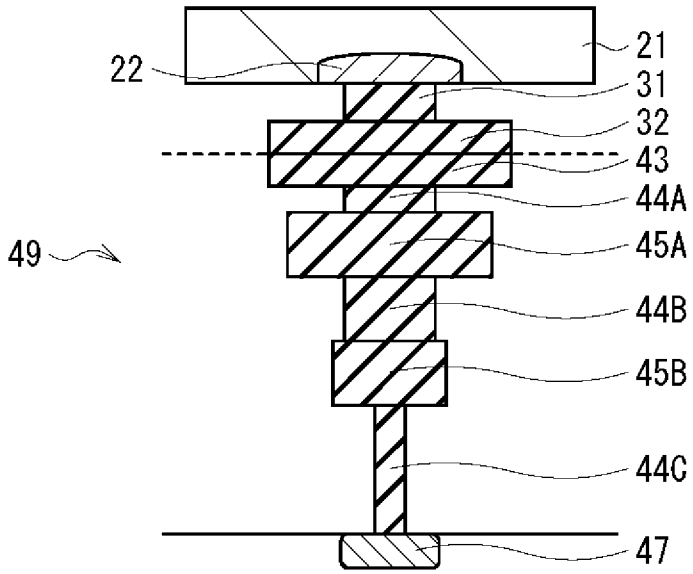
[図2]


VTOP
PCL
VDD
VDD
15
12
RST
13
12
12
VDR
SN
FD
AMP
12
OFG
TRG
VSL
C_{SN}
C_{FD}
SEL
GND
GND
GND

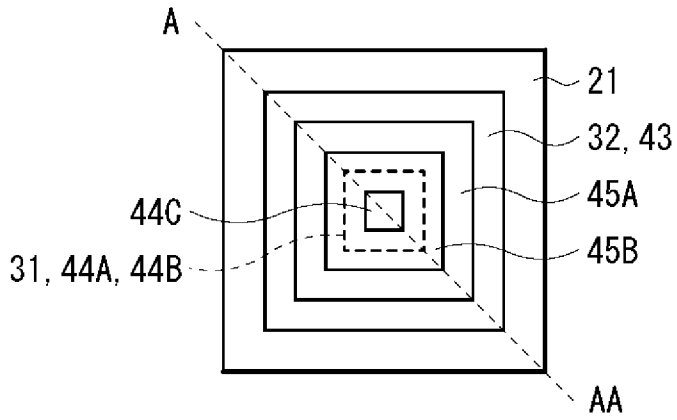
[図3]


1
100
200
25
24
21
23
28
29
42
41
27
22
P+
N+
N
11
100A
31
32
43
44
45
49
47

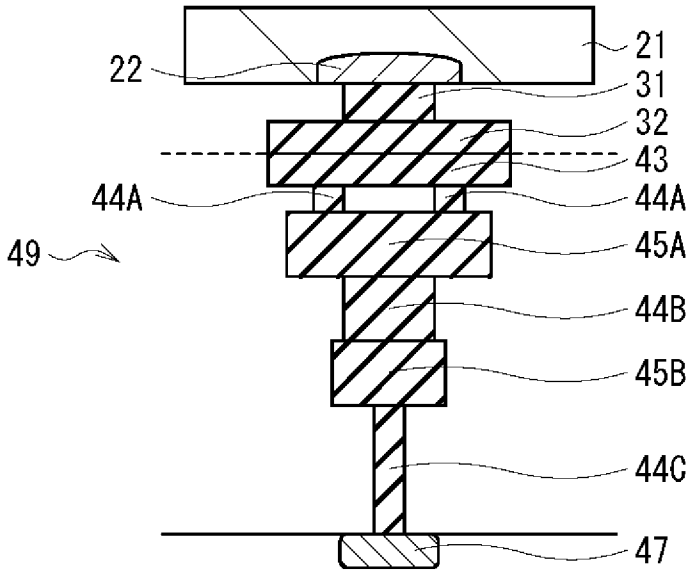
[図4A]


22
21
31
32
43
44A
49
45A
44B
45B
44C
47

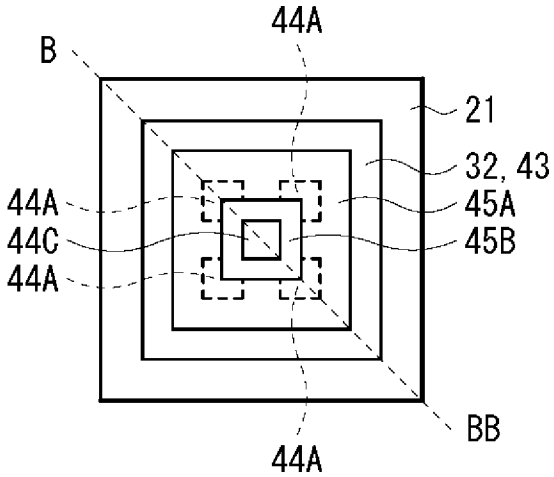
[図4B]


A
21
32, 43
44C
45A
31, 44A, 44B
45B
AA

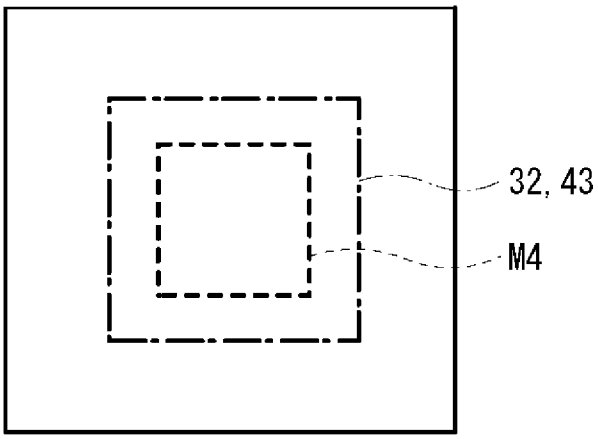
[図5A]


22
21
31
32
43
44A
44A
49
45A
44B
45B
44C
47

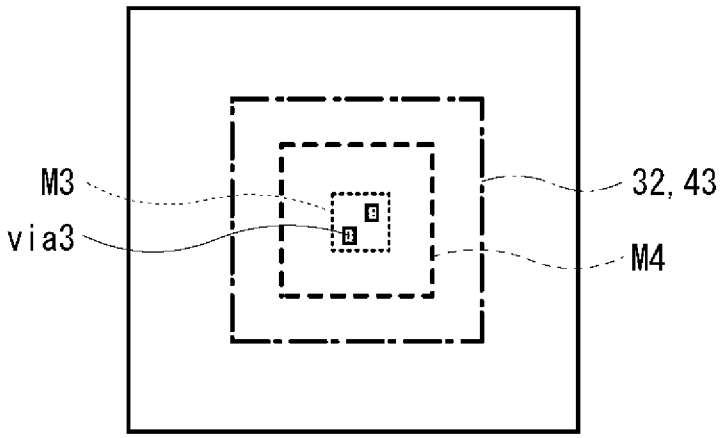
[図5B]


B
44A
21
32, 43
44A
45A
44C
45B
44A
BB
44A

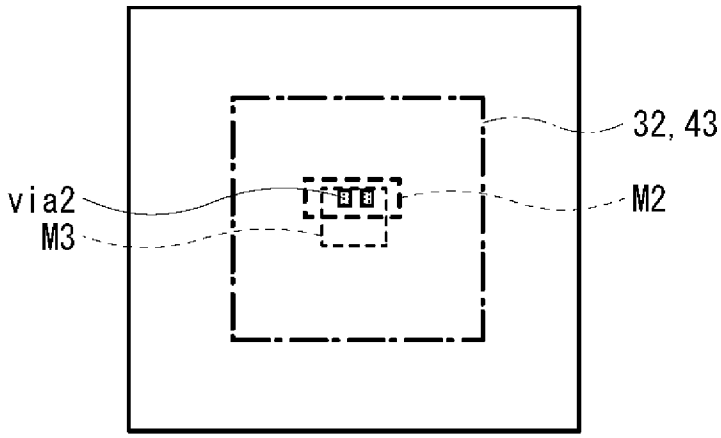
[図6A]


32, 43
M4

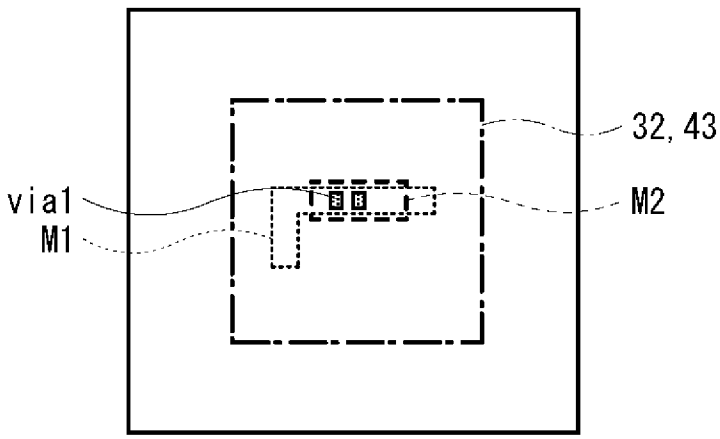
[図6B]



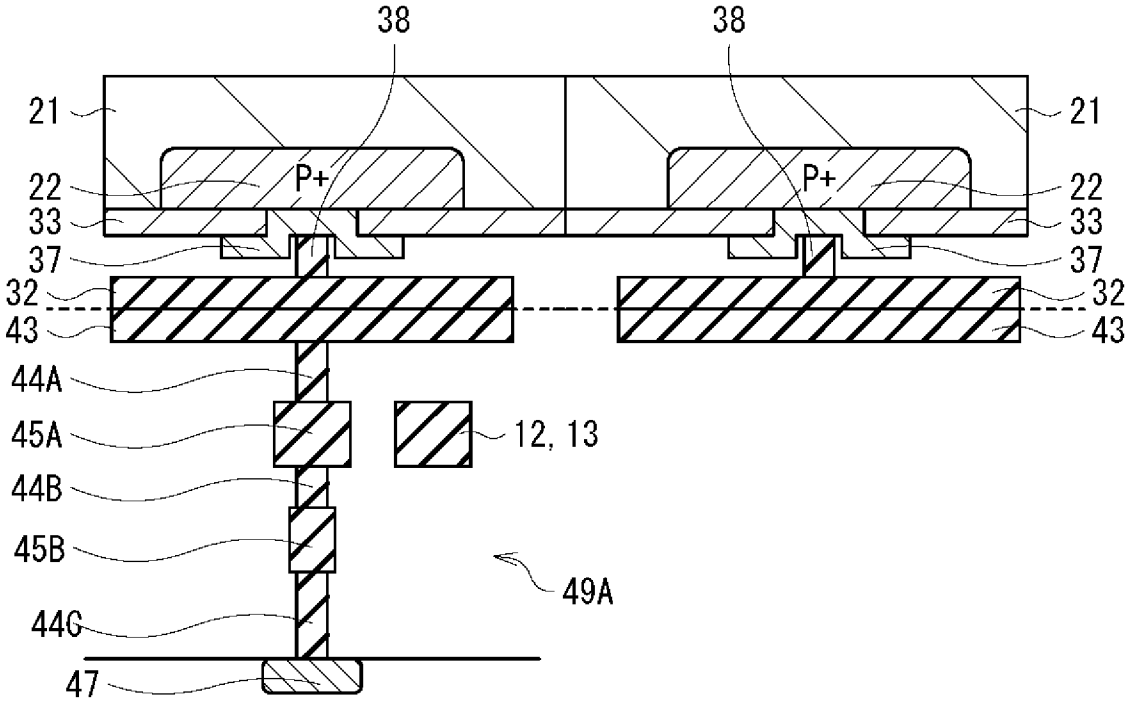
[図6C]



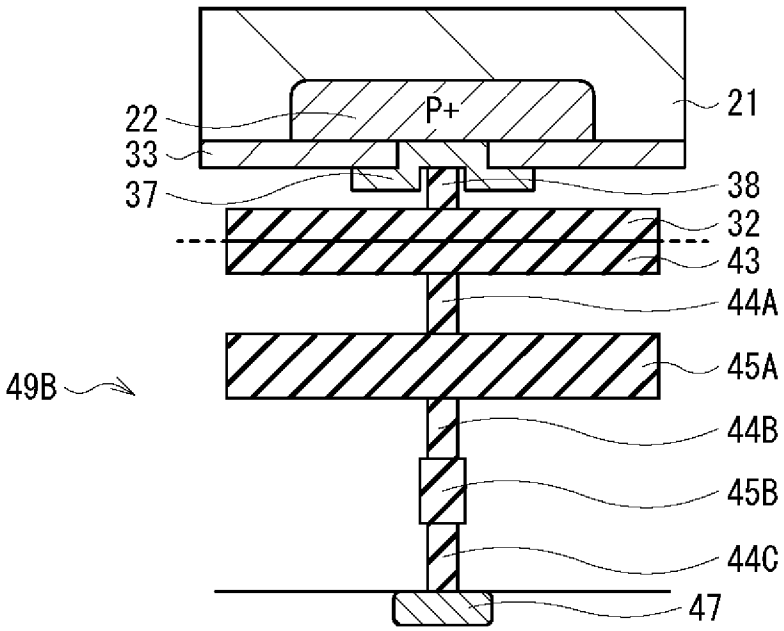
[図6D]



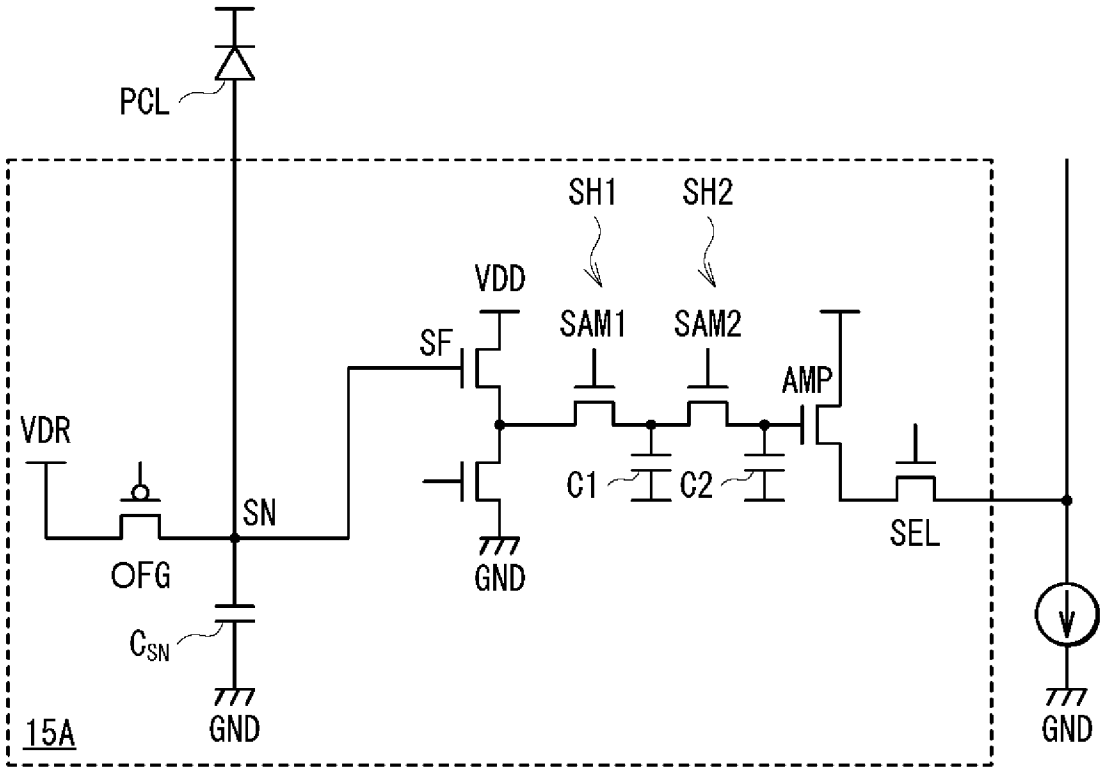
[図7]


38
38
21
21
P+
P+
22
22
33
33
37
37
32
32
43
43
44A
45A
12, 13
44B
45B
49A
44C
47

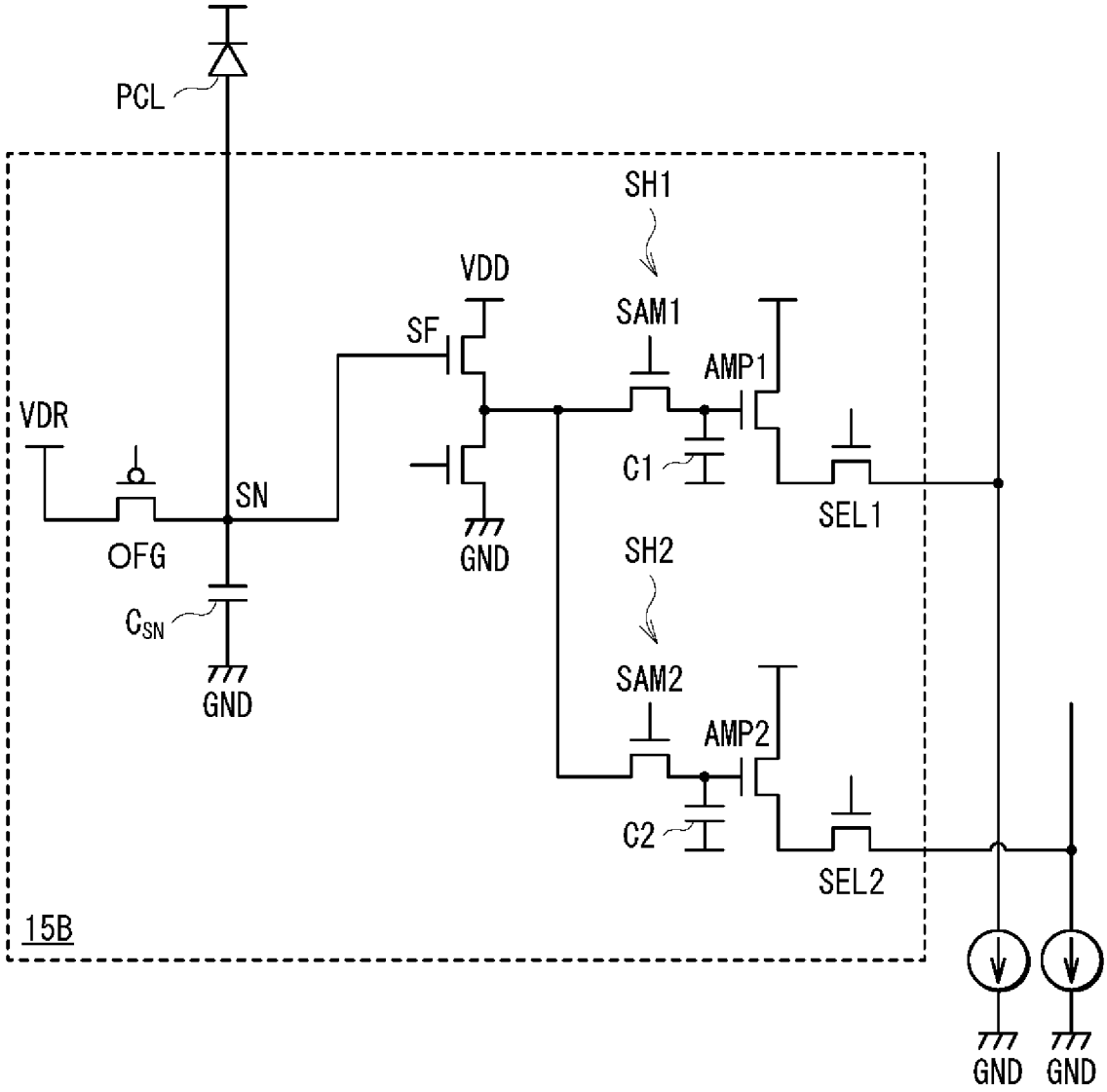
[図8]


P+
21
22
33
37
38
32
43
44A
49B
45A
44B
45B
44C
47

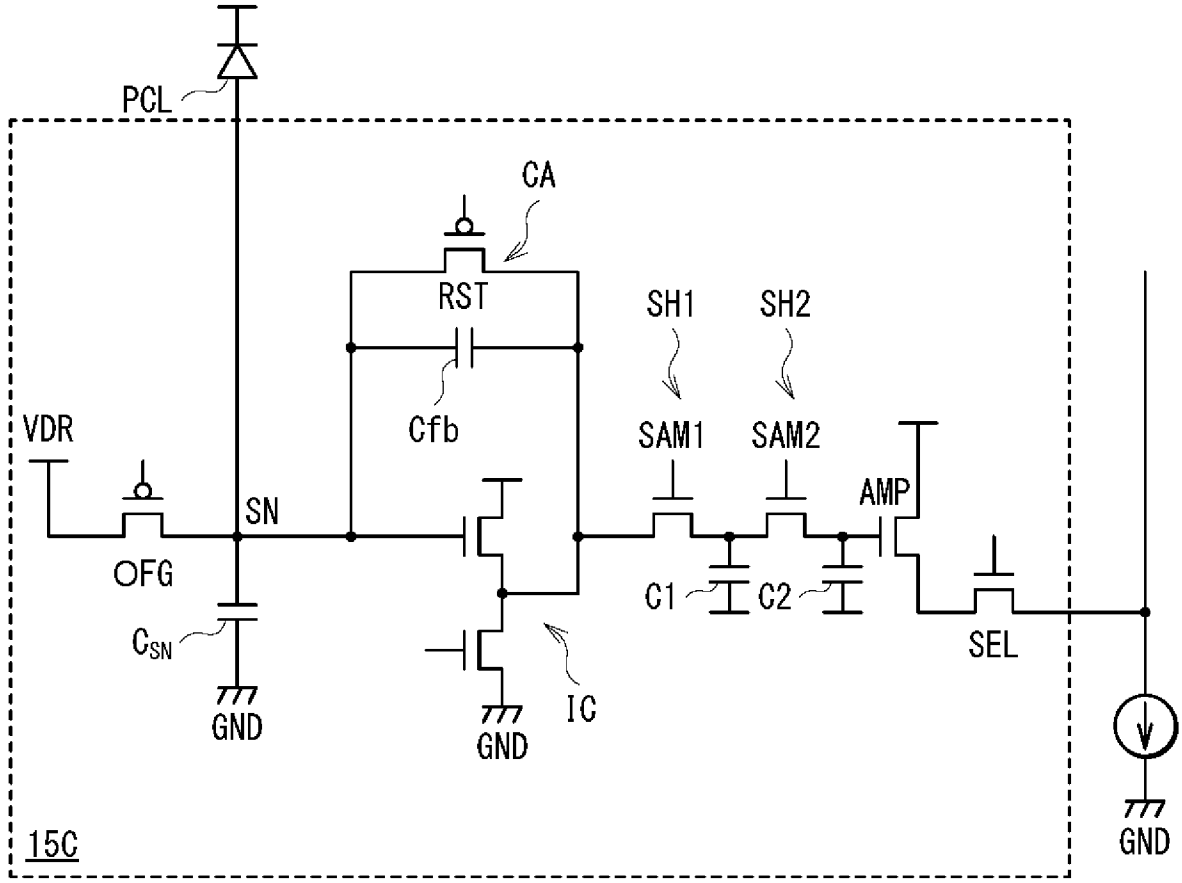
[図9]


PCL
SH1
SH2
VDD
SAM1
SAM2
SF
AMP
VDR
C1
C2
SN
SEL
OFG
GND
GND
C_{SN}
15A
GND

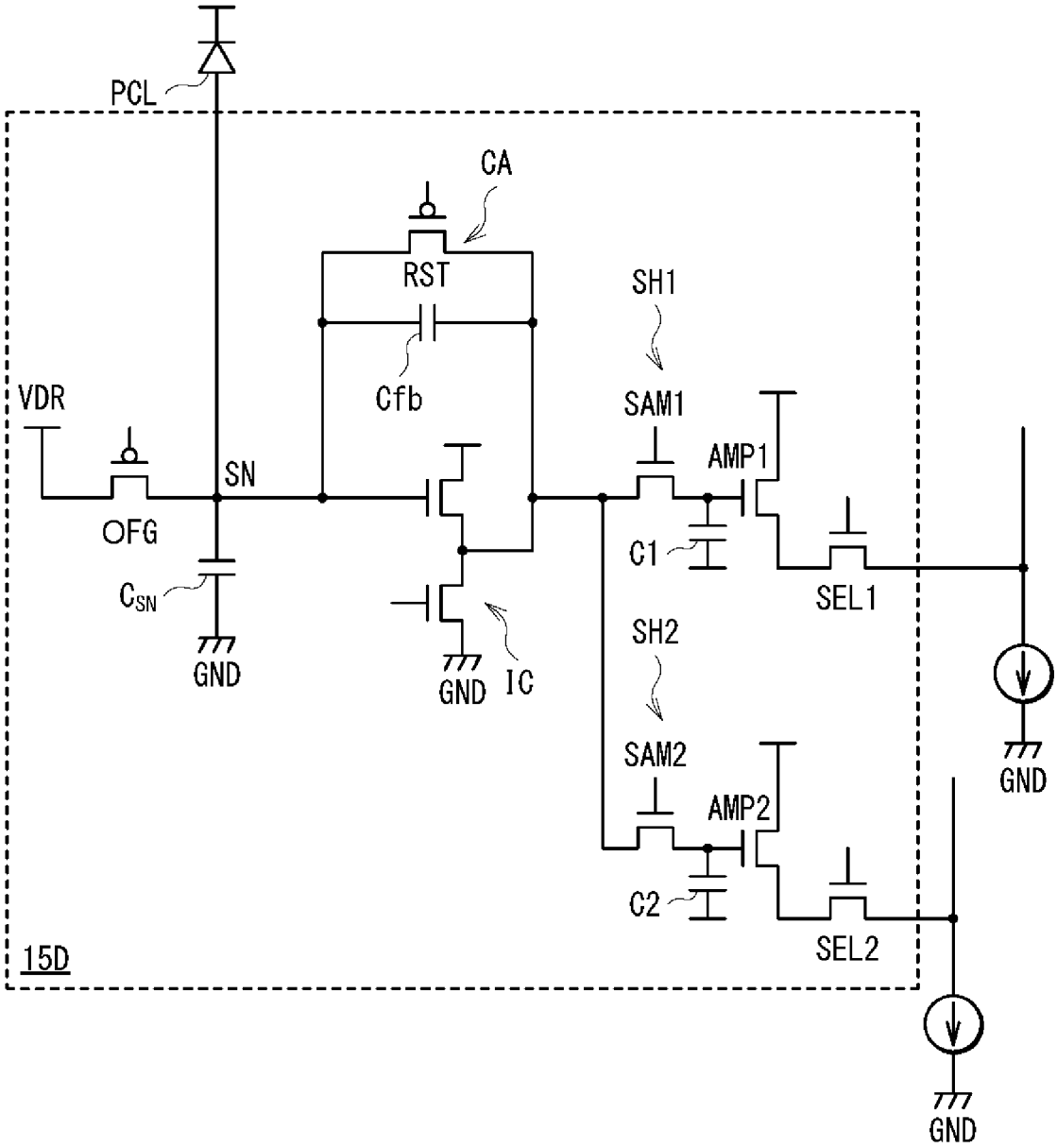
[図10]


PCL
SH1
VDD
SAM1
SF
AMP1
VDR
C1
SN
SEL1
OFG
GND
SH2
C_{SN}
SAM2
GND
AMP2
C2
SEL2
15B
GND
GND

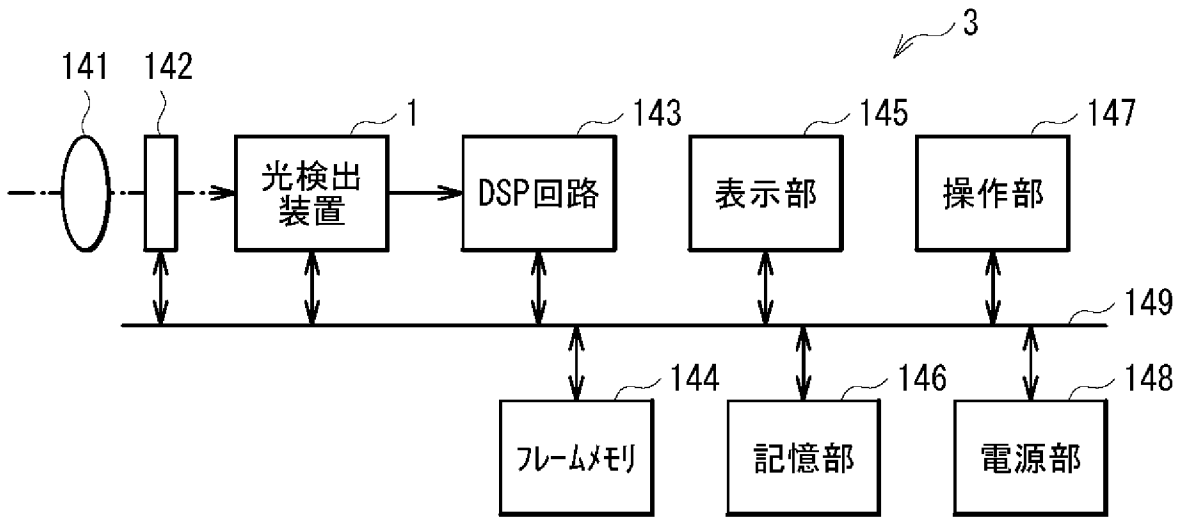
[図11]


PCL
CA
RST
SH1
SH2
VDR
Cfb
SAM1
SAM2
AMP
SN
OFG
C1
C2
SEL
C_{SN}
GND
GND
IC
GND
15C

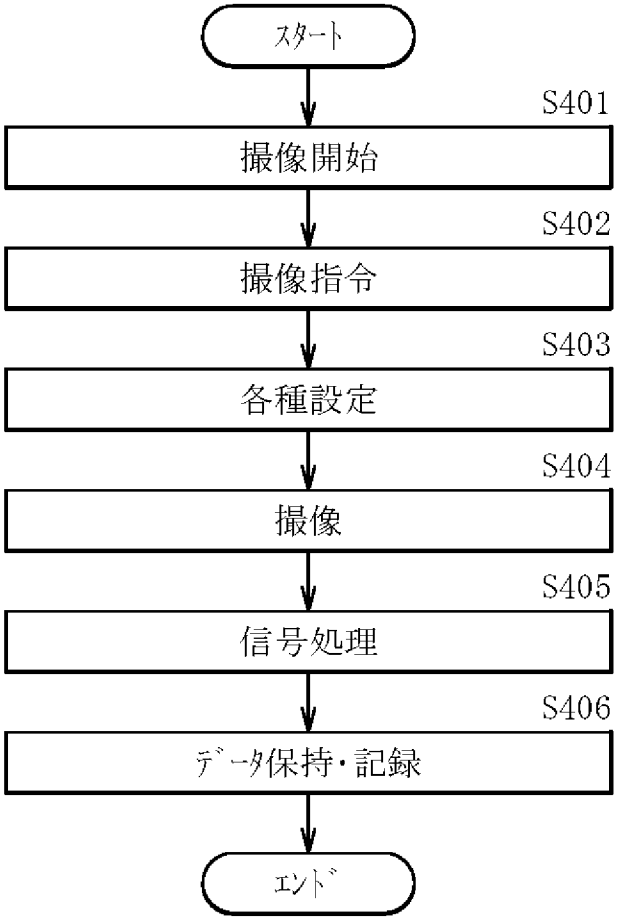
[図12]


PCL
CA
RST
Cfb
SH1
SAM1
AMP1
VDR
SN
OFG
C1
SEL1
C_{SN}
GND
GND
IC
SH2
SAM2
AMP2
GND
C2
SEL2
15D
GND

[図13]


3
141
142
1
光検出装置
143
DSP回路
145
表示部
147
操作部
149
144
フレームメモリ
146
記憶部
148
電源部

[図14]


ｽﾀｰﾄ
S401
撮像開始
S402
撮像指令
S403
各種設定
S404
撮像
S405
信号処理
S406
ﾃﾞｰﾀ保持・記録
ｴﾝﾄﾞ

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/021277

A. CLASSIFICATION OF SUBJECT MATTER
H01L 27/146(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 23/532(2006.01)i; H04N 5/369(2011.01)i; H04N 5/374(2011.01)i
FI: H01L27/146 F; H01L21/88 M; H01L21/88 T; H01L21/90 B; H01L21/90 D; H04N5/369; H04N5/374

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/146; H01L21/3205; H01L21/768; H01L23/522; H01L23/532; H04N5/369; H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2017/0345854 A1 (SK HYNIX INC.) 30 November 2017 (2017-11-30) paragraphs [0043]-[0057], [0072], [0078]-[0080], [0086]-[0089], [0100], fig. 1-2, 4A, 7	1-2, 5, 7-8, 10, 12 3-4, 6, 9, 11
Y	WO 2017/150167 A1 (SONY CORP.) 08 September 2017 (2017-09-08) paragraphs [0026]-[0054], [0135]-[0137], fig. 1-3, 13	1-12
Y	JP 2018-182038 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 15 November 2018 (2018-11-15) paragraphs [0059]-[0064], fig. 7	1-12
Y	JP 2015-119154 A (SONY CORP.) 25 June 2015 (2015-06-25) paragraphs [0028]-[0044], fig. 2	11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 August 2021 (17.08.2021)	24 August 2021 (24.08.2021)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/021277

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2017/0345854 A1	30 Nov. 2017	KR 10-2017-0135309 A	
WO 2017/150167 A1	08 Sep. 2017	EP 3425900 A1 paragraphs [0026]-[0054], [0136]-[0138], fig. 1-3, 13 CN 108702471 A KR 10-2018-0117601 A	
JP 2018-182038 A	15 Nov. 2018	US 2020/0035737 A1 paragraphs [0107]-[0112], fig. 7 WO 2018/189994 A1 EP 3610508 A1 TW 201904043 A CN 110506337 A KR 10-2019-0139215 A	
JP 2015-119154 A	25 Jun. 2015	US 2015/0179693 A1 paragraphs [0055]-[0071], fig. 2 US 2017/0117329 A1 US 2018/0277605 A1 US 2020/0161375 A1 CN 104733484 A	

国際調査報告

国際出願番号
PCT/JP2021/021277

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/146(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 23/532(2006.01)i; H04N 5/369(2011.01)i; H04N 5/374(2011.01)i
FI: H01L27/146 F; H01L21/88 M; H01L21/88 T; H01L21/90 B; H01L21/90 D; H04N5/369; H04N5/374

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/146; H01L21/3205; H01L21/768; H01L23/522; H01L23/532; H04N5/369; H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	US 2017/0345854 A1 (SK HYNIX INC.) 30.11.2017 (2017-11-30) 段落 [0043] - [0057], [0072], [0078] - [0080], [0086] - [0089], [0100], 図1-2, 4A, 7	1-2, 5, 7-8, 10, 12
Y		3-4, 6, 9, 11
Y	WO 2017/150167 A1 (ソニー株式会社) 08.09.2017 (2017-09-08) 段落 [0026] - [0054], [0135] - [0137], [図1] - [図3], [図13]	1-12
Y	JP 2018-182038 A (ソニーセミコンダクタソリューションズ株式会社) 15.11.2018 (2018-11-15) 段落 [0059] - [0064], [図7]	1-12
Y	JP 2015-119154 A (ソニー株式会社) 25.06.2015 (2015-06-25) 段落 [0028] - [0044], [図2]	11

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
17.08.2021	24.08.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
田邊　顕人 5F 5894
電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/021277

引用文献	公表日	パテントファミリー文献	公表日
US 2017/0345854 A1	30.11.2017	KR 10-2017-0135309 A	
WO 2017/150167 A1	08.09.2017	EP 3425900 A1 段落 [0026] - [0054], [0136] - [0138], 図1-3, 13 CN 108702471 A KR 10-2018-0117601 A	
JP 2018-182038 A	15.11.2018	US 2020/0035737 A1 段落 [0107] - [0112], 図7 WO 2018/189994 A1 EP 3610508 A1 TW 201904043 A CN 110506337 A KR 10-2019-0139215 A	
JP 2015-119154 A	25.06.2015	US 2015/0179693 A1 段落 [0055] - [0071], 図2 US 2017/0117329 A1 US 2018/0277605 A1 US 2020/0161375 A1 CN 104733484 A	