

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年1月3日(03.01.2014)



(10) 国際公開番号
WO 2014/002333 A1

- (51) 国際特許分類:
H04N 5/363 (2011.01) H04N 5/374 (2011.01)
H01L 27/146 (2006.01) H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/JP2013/001607
- (22) 国際出願日: 2013年3月12日(12.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-144690 2012年6月27日(27.06.2012) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: 春日 繁孝 (KASUGA, Shigetaka). 石井 基範 (ISHII, Motonori).
- (74) 代理人: 新居 広守 (NIJ, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: SOLID-STATE IMAGING DEVICE

(54) 発明の名称: 固体撮像装置

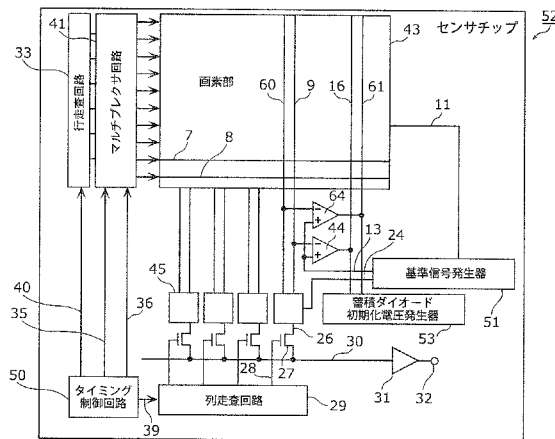
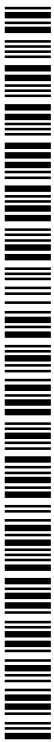


FIG. 1:
 29 Column scanning circuit
 33 Row scanning circuit
 41 Multiplexer circuit
 43 Pixel unit
 50 Timing control circuit
 51 Reference signal generator
 52 Sensor chip
 53 Storage diode initialization voltage generator

(57) Abstract: A pixel unit (43) provided in a sensor chip (52) includes a pixel (42) connected to a first feedback amplifier (44) that outputs to a first reset drain line (16) input from a first column signal line (9), and a pixel (70) connected to a second feedback amplifier (64) that outputs to a second reset drain line (61) input from a second column signal line (60). The drain of a reset transistor (3) of the pixel (42) is connected to the first reset drain line (16), the drain of a reset transistor (3) of the pixel (70) is connected to the second reset drain line (61), the source of an amplifier transistor (4) of the pixel (42) is connected to the first column signal line (9), and the source of an amplifier transistor (4) of the pixel (70) is connected to the second column signal line (60).

(57) 要約: センサチップ(52)が備える画素部(43)は、第1の列信号線(9)から入力され第1のリセットドレイン線(16)へ出力する第1のフィードバックアンプ(44)に接続された画素(42)と、第2の列信号線(60)から入力され第2のリセットドレイン線(61)へ出力する第2のフィードバックアンプ(64)に接続された画素(70)とを含み、画素(42)のリセットトランジスタ(3)のドレインは第1のリセットドレイン線(16)と接続され、画素(70)のリセットトランジスタ(3)のドレインは第2のリセットドレイン線(61)と接続され、画素(42)の増幅トランジスタ(4)のソースは第1の列信号線(9)と接続され、画素(70)の増幅トランジスタ(4)のソースは第2の列信号線(60)と接続される。



WO 2014/002333 A1

NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, — 國際調查報告 (條約第 21 條(3))
NE, SN, TD, TG).

明 細 書

発明の名称： 固体撮像装置

技術分野

[0001] 本発明は、固体撮像装置に関し、特に積層膜などの光電変換部から直接電位を検出するイメージセンサのノイズ低減による画質向上とフレームレート高速化とを両立させる技術に関する。

背景技術

[0002] 光電変換部を半導体基板に設けない固体撮像装置として、特許文献1のような積層型の固体撮像装置が知られている。積層型の固体撮像装置は、微細化された画素においても光電変換部の受光面積および容量を大きくとることが出来るため、大きな飽和信号量を実現することが出来る。

[0003] また、固体撮像装置では、フレーム毎に画素の信号電荷をリセットする必要がある。その際にリセットパルスのオフ時のパルス形状が急峻である場合、チャンネル上の電荷がリセットトランジスタのソースおよびドレインのいずれに移動するかはランダムに決まり、それが大きなランダムノイズとなって現れる。すなわち画素内のリセットトランジスタの熱ノイズに起因するkTCノイズが発生し、画質が劣化するという問題を有している。

[0004] そこで、非特許文献1に記載されたりセットトランジスタを緩やかにオフするソフトリセット技術や、特許文献2および非特許文献2に記載された列毎にフィードバックアンプを1つ接続する技術によって、kTCノイズが除去可能であることが示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開昭55-120182号公報

特許文献2：特開平10-281870号公報

非特許文献

[0006] 非特許文献1：International Solid-State Ci

rcuits Conference 2005, 19. 7

非特許文献2: International Electron Devices Meeting 2002, 32. 5

発明の概要

発明が解決しようとする課題

[0007] しかしながら、上記画素内のリセットトランジスタを緩やかにオフするソフトリセット（非特許文献1）や列毎にフィードバックアンプを1つ接続する（特許文献2および非特許文献2）技術においては、そのリセット時間に比例してkTCノイズが低減していくため、画素の読み出し時間を長く取る必要がある。また、フィードバックアンプが1つの場合、画素信号読み出し行と電子シャッター行とを並列してリセットを行うことが出来ない。そのため、高画素の連続撮影や動画撮影に必要な高速フレームレートの実現が困難である。

[0008] このような課題に鑑み、本発明は、高画素の連続撮影や動画撮影に必要な高速フレームレートを実現する固体撮像装置を提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するために、本発明の一形態に係る固体撮像装置は、複数の画素が行列状に配置された画素部と、前記画素部の列毎に設けられた第1および第2の列信号線と、前記画素部の列毎に設けられた第1および第2のリセットドレイン線と、前記画素部の列毎に設けられ、前記第1の列信号線を入力線とし、前記第1のリセットドレイン線を出力線とする第1のフィードバックアンプと、前記画素部の列毎に設けられ、前記第2の列信号線を入力線とし、前記第2のリセットドレイン線を出力線とする第2のフィードバックアンプとを備え、前記画素部は、前記第1のフィードバックアンプに接続された第1接続型の画素と、前記第2のフィードバックアンプに接続された第2接続型の画素とを含み、前記第1接続型の画素内に形成されたリセットトランジスタのソースおよびドレインの一方は、前記第1のリセットドレイン線と接続され、前記第2接続型の画素内に形成されたリセットトランジ

スタのソースおよびドレインの一方は、前記第2のリセットドレイン線と接続され、前記第1接続型の画素内に形成された増幅トランジスタのソースおよびドレインの一方は、前記第1の列信号線と接続され、前記第2接続型の画素内に形成された増幅トランジスタのソースおよびドレインの一方は、前記第2の列信号線と接続されることを特徴とする。

発明の効果

[0010] 本発明に係る固体撮像装置によれば、画素におけるノイズを低減し、高速フレームレートにより高画素の連続撮影や動画撮影が可能となる。

図面の簡単な説明

[0011] [図1]図1は、実施の形態1に係る積層型の固体撮像装置の回路構成を示す図である。

[図2]図2は、実施の形態1に係る固体撮像装置の画素部およびその周辺回路構成の詳細を示す図である。

[図3]図3は、実施の形態1に係る固体撮像装置の画素断面図である。

[図4]図4は、実施の形態1に係る固体撮像装置の周辺回路構成の詳細の一例を示す図である。

[図5]図5は、画素ソフトリセット信号のテーパ時間とノイズとの関係を表すグラフである。

[図6]図6は、実施の形態1に係る固体撮像装置の動作を説明する概略駆動タイミングチャートである。

[図7]図7は、実施の形態1に係る固体撮像装置の動作を説明する詳細駆動タイミングチャートである。

[図8]図8は、実施の形態1に係る固体撮像装置の動作を説明する3行分の駆動タイミングチャートである。

[図9]図9は、実施の形態1に係る固体撮像装置の画素部およびアナログデジタル変換器の回路構成を示す図である。

[図10]図10は、実施の形態1に係る固体撮像装置のアナログデジタル変換器搭載時の動作を説明する概要駆動タイミングチャートである。

[図11]図11は、実施の形態1に係る固体撮像装置のアナログデジタル変換器搭載時の詳細駆動タイミングチャートである。

[図12]図12は、実施の形態2に係る積層型の固体撮像装置の回路構成を示す図である。

[図13A]図13Aは、本開示の固体撮像装置の2入力型フィードバックアンプ回路の構成を示す図である。

[図13B]図13Bは、本開示の固体撮像装置の1入力型フィードバックアンプ回路の構成を示す図である。

発明を実施するための形態

[0012] 以下、本実施の形態における固体撮像装置およびカメラシステムについて、図面を参照しながら説明する。

[0013] なお、図面において、実質的に同一の構成、動作、および効果を表す要素については、同一の符号を付す場合がある。さらに、構成要素間の接続関係は、本発明を具体的に説明するために例示するものであり、本発明の機能を実現する接続関係はこれに限定されない。さらにまた、FETのソースおよびドレインは同一の構造および機能である場合が殆どであり、明確に区別されないことも多いが、以下の説明では便宜上、信号が入力される側をドレイン、出力される側をソースと表記する。

[0014] (実施の形態1)

以下、実施の形態1を、図面を参照しながら説明する。

[0015] 図1は、実施の形態1に係る積層型の固体撮像装置の回路構成を示す図である。同図に示すように、固体撮像装置、つまりセンサチップ52は、画素リセット信号線7と、画素選択信号線8と、第1の列信号線9と、第2の列信号線60と、第1のリセットドレイン線16と、第2のリセットドレイン線61と、第1のフィードバックアンプ44と、第2のフィードバックアンプ64と、CDS (Correlated Double Sampling) 回路45と、列選択トランジスタ27と、列走査回路 (水平走査部) 29と、水平信号線30と、出力アンプ31と、行走査回路 (垂直走査部) 3

3と、マルチプレクサ回路(MUX)41と、VOUT端子32と、画素部43と、タイミング制御回路50と、基準信号発生器51と、蓄積ダイオード初期化電圧発生器53とを備える。

[0016] センサチップ52内において、画素部43は行走査回路33およびマルチプレクサ回路41によって選択される。

[0017] 行走査回路33は、画素リセット信号線7および画素選択信号線8等を介して画素部43に種々のタイミング信号を供給する。画素リセット信号線7は、リセット信号を伝達する信号線であり、対応する行の画素の信号をリセットトランジスタ3によりリセットするため行ごとに設けられている。蓄積ダイオード初期化電圧発生器53は、各リセットドレイン線にリセット電位を供給する。

[0018] マルチプレクサ回路41は、タイミング制御回路50から出力される行選択信号35および画素リセット制御信号36の画素部43への出力を制御する。マルチプレクサ回路41は、タイミング制御回路50と画素部43との間に設けられ、画素リセット制御信号36を所定行に対応する画素リセット信号線7に選択的に供給し、行選択信号35を所定行に対応する画素選択信号線8に選択的に供給する。

[0019] タイミング制御回路50は、行走査回路33に垂直走査信号40を供給し、マルチプレクサ回路41に行選択信号35および画素リセット制御信号36を供給し、列走査回路29に水平走査信号39を供給する。

[0020] 列走査回路29は、列選択トランジスタ27に列選択信号28を供給することにより、画素部43の信号を順次水平信号線30へ読み出させる。出力アンプ31は、水平信号線30を介して伝達された信号を増幅してVOUT端子32に出力する。

[0021] 第1のフィードバックアンプ44は、入力端子が第1の列信号線9および基準信号線13に接続され、出力端子が第1のリセットドレイン線16に接続され、入力信号に対して反転増幅した信号を出力する。第2のフィードバックアンプ64は、入力端子が第2の列信号線60および基準信号線13に

接続され、出力端子が第2のリセットドレイン線61に接続され、入力信号に対して反転増幅した信号を出力する。

- [0022] 基準信号発生器51は、フィードバックアンプ44および64において、それぞれ第1の列信号線9および第2の列信号線60からの入力信号と比較するための基準信号を生成し、基準信号線13を介してフィードバックアンプ44および64に入力する回路である。
- [0023] 図2は、実施の形態1に係る固体撮像装置の画素部およびその周辺回路構成の詳細を示す図である。同図には、図1の画素部43の回路を詳しく示すため、画素部43から「2行2列」分だけが記載されているが、画素部43の行数および列数は任意に設定されてよい。画素部43では、複数の画素が半導体基板上に行列状に配置され、列毎に第1の列信号線9および第2の列信号線60が設けられている。
- [0024] 画素部43は、第1のフィードバックアンプ44に接続する第1接続型の画素42と、第2のフィードバックアンプ64に接続する第2接続型の画素70とを含む。画素42は読み出し行であるk行に、画素70は電子シャッター行であるm行に配置されている。
- [0025] 画素42および画素70は、それぞれ、光を信号電荷に変換する光電変換部1と、信号電荷を蓄積する蓄積部2と、ゲートが蓄積部2に接続され、蓄積部2に蓄積された電荷に応じた電圧信号を出力する増幅トランジスタ4と、選択トランジスタ5とを有している。
- [0026] 各画素において、リセットトランジスタ3のドレインは、リセットドレイン線に接続されている。リセットトランジスタ3のソースは、蓄積部2に接続されている。選択トランジスタ5のソースは、列信号線に接続されている。選択トランジスタ5のドレインは、増幅トランジスタ4のソースと接続されている。図2では、選択トランジスタ5は、増幅トランジスタ4のソースと列信号線との間に挿入されているが、増幅トランジスタ4のドレインと電源線6との間に挿入されていてもよい。
- [0027] 図3は、実施の形態1に係る固体撮像装置の画素断面図である。シリコン

からなる半導体基板 7 1 に増幅トランジスタ 4、選択トランジスタ 5 およびリセットトランジスタ 3 が形成されている。増幅トランジスタ 4 は、ゲート電極 7 2 と、ソースおよびドレインの一方である拡散層 7 3 と、ソースおよびドレインの他方である拡散層 7 4 とを有している。選択トランジスタ 5 はゲート電極 7 5 と、ソースおよびドレインの一方である拡散層 7 4 と、ソースおよびドレインの他方である拡散層 7 6 とを有している。増幅トランジスタ 4 と選択トランジスタ 5 とは、拡散層 7 4 を共有している。リセットトランジスタ 3 は、ゲート電極 7 7 と、ソースおよびドレインの一方である拡散層 7 8 と、ソースおよびドレインの他方である拡散層 7 9 とを有している。拡散層 7 3 と拡散層 7 8 とは素子分離領域 8 0 により分離されている。

[0028] 半導体基板 7 1 の上には、各トランジスタを覆うように絶縁膜 8 4 が形成されている。絶縁膜 8 4 の上には光電変換部 1 が形成されている。光電変換部 1 は、半導体基板 7 1 の上方に形成された有機材料またはアモルファスシリコン等からなる光電変換膜 8 1 と、光電変換膜 8 1 の半導体基板 7 1 側の面に形成された画素電極 8 2 と、光電変換膜 8 1 の画素電極 8 2 と反対側の面に形成された透明電極 8 3 とを有する。

[0029] 画素電極 8 2 は、コンタクト 8 5 を介して増幅トランジスタ 4 のゲート電極 7 2 およびリセットトランジスタ 3 の拡散層 7 8 と接続されている。画素電極 8 2 と接続された拡散層 7 8 は、蓄積部 2 として機能する。

[0030] 次に、実施の形態 1 に係る周辺回路の詳細な構成を説明する。

[0031] 図 4 は、実施の形態 1 に係る固体撮像装置の周辺回路構成の詳細の一例を示す図である。同図に示すように、実施の形態 1 に係る CDS 回路 4 5 は、第 1 の列信号線 9 および第 2 の列信号線 6 0 のいずれかと、列信号線切替制御信号 6 5 で選択された列信号線と接続する。対応する列信号線における任意の異なる二つのタイミングにおける電位差、つまりリセット動作時の電位（リセットトランジスタ 3 がオンしている時の列信号線の電位）と信号出力動作時の電位（リセットトランジスタ 3 がオフしている時の列信号線の電位）との差に応じた信号を CDS 出力ノード 2 6 から出力する。

- [0032] また、CDS回路45は、コンデンサ19および25と、サンプルトランジスタ制御信号21でオンオフが制御されるサンプルトランジスタ20と、クランプトランジスタ制御信号23でオンオフが制御され、クランプ信号線24と接続されたクランプトランジスタ22とを有する。
- [0033] 負荷トランジスタ10aおよび10bは、画素負荷トランジスタ制御線11でオンオフが制御される。第1の列信号線9は負荷トランジスタ10aに、第2の列信号線60は、負荷トランジスタ10bに接続される。
- [0034] 基準信号発生器51は、画素負荷トランジスタ制御線11に画素負荷トランジスタ制御信号LGを、クランプ信号線24にクランプ信号NCDCをそれぞれ供給する機能も備える。
- [0035] 上記回路構成において、kTCノイズが発生する原因と抑圧する原理について概要を述べる。
- [0036] 光電変換部1により光が電気信号Sに変換されて、蓄積部2で蓄えられる。ここで選択トランジスタ5をオンにすると、この電気信号Sは、増幅トランジスタ4および負荷トランジスタ10aまたは10bにより形成されるソースフォロア回路でインピーダンス変換され、第1の列信号線9を介して、CDS回路45に入力される。そして電気信号Sは一旦サンプルホールドされる。
- [0037] 次に、画素内の画素リセット信号線7に画素リセット制御信号36を入力して、蓄積部2で蓄えられた電気信号Sをリセットする。この際に、画素リセット制御信号36を急峻な矩形波で印加した場合には、蓄積部2に熱ノイズに起因するkTCノイズが重畳する。
- [0038] すなわち蓄積部2は、画素リセット制御信号36によってリセットドレイン線の信号レベルで一定値にリセットされるべきところが、さらにkTCノイズが重畳した信号になり、これがランダムノイズとして画像で認識される。
- [0039] このときの蓄積部2の電気信号をNとすると、電気信号Nにはランダムノイズが載ったまま、先の電気信号Sと同じ経路でCDS回路45に接続され

、ここで電気信号Nはサンプルホールドされる。この時、CDS回路45では、電気信号Sと電気信号Nとを差分する動作を行い、CDS出力ノード26に出力して画素信号Pとして扱われる。

[0040] 先にも述べたが、この画素信号Pにはランダムノイズ成分が残っている。そして列走査回路29からの列選択信号28が列選択トランジスタ27をオンすることで、画素信号Pは水平信号線30に読み出されて、出力アンプ31で増幅後にVOUT端子32から外部出力される。

[0041] このままでは画質が悪いため、リセットドレイン線に一定電圧ではなく、kTCノイズを含んだ画素信号Nをフィードバックアンプに入力し、反転増幅した信号を出力し、再び蓄積部2に戻すことでkTCノイズを打ち消す動作を行う。さらに画素リセット信号線7の画素リセット制御信号36を急峻な矩形波ではなく、緩やかな傾きをもった波形でソフトリセット動作を行うことで、kTCノイズの発生量そのものを抑圧する。

[0042] 図5は、画素ソフトリセット信号のテーパ時間とノイズとの関係を表すグラフである。上記ソフトリセットと呼んだ画素リセット制御信号36の波形は、図5に示すように期間の長いテーパ波形にするほどノイズ低減効果が大きくなる。

[0043] 図6は、本発明の実施の形態1に係る固体撮像装置の動作を説明する概略駆動タイミングチャートである。同図において、読み出し行をk行、電子シャッター行をm行とした時、k行の画素は第1の列信号線9と第1のリセットドレイン線16と第1のフィードバックアンプ44とに、また、m行の画素は第2の列信号線60と第2のリセットドレイン線61と第2のフィードバックアンプ64とに接続している。よって、第1のフィードバックアンプ44と第2のフィードバックアンプ64とが並列動作することが可能となり、k行およびm行のリセットが同時にできる。この構成により、画素読み出し期間を短くすることができる。

[0044] これに対し、列毎にフィードバックアンプを1つだけ備える固体撮像装置では、kTCノイズの除去は出来るが、k行とm行のリセットを同時に行う

ことが出来ないため並列動作が出来ず、読み出し期間の短縮が難しい。

- [0045] 図7は、実施の形態1に係る固体撮像装置の動作を説明する詳細駆動タイミングチャートである。同図において、積層膜である光電変換部1により光が電気信号Sに変換されて、電気信号Sは蓄積部2で蓄えられるが、光が正の電気信号Sに変換される場合を想定しているため、蓄積部2の電位は時間経過とともに上昇している。
- [0046] まず、時刻T1において、画素信号読み出し行であるk行と電子シャッター行であるm行の画素選択信号線8の電位をローレベルからハイレベルとし、選択トランジスタ5をオンにする。
- [0047] 同じく時刻T1において、画素負荷トランジスタ制御線11の電位をローレベルから上昇させることにより、この電気信号Sは、増幅トランジスタ4と負荷トランジスタ10aまたは10bとにより形成されるソースフォロア回路でインピーダンス変換され、第1の列信号線9を介して、CDS回路45に入力される。
- [0048] 同じく時刻T1において、サンプルトランジスタ制御信号21およびクランプトランジスタ制御信号23をローレベルからハイレベルとし、CDS回路45で電気信号Sは一旦サンプルホールドされる。
- [0049] 次に、時刻T2において、リセットドレイン線リセットトランジスタ制御信号18をローレベルからハイレベルとし、第1のリセットドレイン線16と第2のリセットドレイン線61を一旦、蓄積部初期化電圧INITに設定する。
- [0050] 次に、時刻T3にて、リセットドレイン線リセットトランジスタ制御信号18およびクランプトランジスタ制御信号23をハイレベルからローレベルとする。
- [0051] 次に、時刻T4において、k行およびm行の画素リセット信号線7の電位をローレベルからハイレベルとする。つまり、第1接続型の画素42内に形成されたリセットトランジスタ3と、第2接続型の画素70内に形成されたリセットトランジスタ3とを同時にオンする。

- [0052] その後、k T C ノイズ抑圧のため、k 行およびm 行の画素リセット信号線 7 の電位をテーパー状に徐々にローレベルに下げていく。リセットトランジスタ 3 がオンすると、先ほど蓄積部 2 で蓄えられた電気信号 S が蓄積部初期化電圧 I N I T に設定され、蓄積部 2 の電位が降下する。
- [0053] この時、第 1 のフィードバックアンプ 4 4 で反転増幅された信号が k 行の画素 4 2 の蓄積部 2 に戻ってきて、ノイズを打ち消す働きをしている。同じく第 2 のフィードバックアンプ 6 4 で反転増幅された信号が m 行の画素 7 0 の蓄積部 2 に戻ってきて、ノイズを打ち消す働きをしている。
- [0054] 次に、時刻 T 5 において、リセットトランジスタ 3 は、しだいに O F F となり、ソフトリセットが成立する。
- [0055] 次に、時刻 T 6 において、k 行と m 行の画素リセット信号線の電位はローレベルとなる。
- [0056] 時刻 T 4 から時刻 T 7 において、リセット後の k 行の蓄積部 2 の電気信号 N は、第 1 の列信号線 9 を介して、C D S 回路 4 5 に入力される。C D S 回路 4 5 では、k 行の電気信号 S と電気信号 N とが差分されて、差分が C D S 出力ノード 2 6 に出力され、画素信号 P として扱われる。
- [0057] 次に、時刻 T 7 において、k 行および m 行の画素選択信号線 8 ならびに画素負荷トランジスタ制御線 1 1 の電位をローレベルとする。更に、サンプルトランジスタ制御信号 2 1 をローレベルとする。これにより、画素信号 P はコンデンサ 2 5 に蓄積される。
- [0058] 以上で、画素読み出し期間が終了する。
- [0059] 時刻 T 8 以降、列走査回路 2 9 からの列選択信号 2 8 により列選択トランジスタ 2 7 がオンすることで、先の k 行の画素信号 P は水平信号線 3 0 に読み出されて、出力アンプ 3 1 で増幅後に V O U T 端子 3 2 から外部出力される。
- [0060] 図 8 は、実施の形態 1 に係る固体撮像装置の動作を説明する 3 行分の駆動タイミングチャートである。同図のタイミングチャートは、図 7 のタイミングチャートを 3 行分表現したもので、k 行から (k + 2) 行の信号読み出し

と、 m 行から $(m+2)$ 行の電子シャッターとを表したものである。列毎にフィードバックアンプを1つだけ備える固体撮像装置では、例えば k 行の信号読み出しと m 行の電子シャッターのリセットを順番に行う必要があるが、本実施の形態に係る固体撮像装置では、 k 行の信号読み出しと m 行の電子シャッターのリセットを並列に行えるため、画素読み出し期間は半減している。よって、高画素の連続撮影や動画撮影に必要な高速フレームレートが実現しやすくなる。

[0061] 図9は、実施の形態1に係る固体撮像装置の画素部およびアナログデジタル変換器の回路構成を示す図である。また、図10は、実施の形態1に係る積層型の固体撮像装置のアナログデジタル変換器搭載時の動作を説明する概要駆動タイミングチャートである。図9には、列毎に第1の列信号線9および第2の列信号線60に接続されたアナログデジタル変換器90を備えた固体撮像装置が示されている。本回路構成にすることで、図10に示すように、列毎に k 行のリセットとAD変換、および m 行のリセットを並行して行うシーケンスが実現できる。

[0062] 図11は、実施の形態1に係る固体撮像装置のアナログデジタル変換器搭載時の詳細駆動タイミングチャートである。同図のタイミングチャートは、図10のタイミングチャートを4行分表現したもので、 k 行から $(k+3)$ 行の信号読み出しと、 m 行から $(m+3)$ 行の電子シャッターとを表したものである。同図に示されるように、画素読み出し期間が連続した駆動でも、デジタル信号出力が途切れることがない。よって、高画素の連続撮影や動画撮影に必要な高速フレームレートを実現することが可能となる。これに対し、列毎にフィードバックアンプを1つだけ備える固体撮像装置では、例えば k 行のリセットの際には、 m 行のリセットおよびAD変換が出来ないため、デジタル信号出力が途切れてしまう。

[0063] (実施の形態2)

以下、実施の形態2に係る固体撮像装置について説明する。

[0064] 図12は、実施の形態2に係る積層型の固体撮像装置の回路構成を示す図

である。同図に記載された固体撮像装置は、図1に記載された実施の形態1に係るおける固体撮像装置に対して、フィードバックアンプの配置位置を画素部43の上下に分散配置した点異なる。つまり、画素部43が n 行(n は2以上の整数)で構成されている場合、平面視において、第2のフィードバックアンプ64は複数の画素が構成する行列の第1行の上部に配置されており、第1のフィードバックアンプ44は上記行列の第 n 行の下部に配置されている。なお、本願明細書において「平面視」とは、光電変換部1の受光面の法線方向から見ることを指す。

[0065] 上記配置によれば、画素42および画素70と第1のフィードバックアンプ44および第2のフィードバックアンプ64とを接続する配線が上下に分かれるため、第1の列信号線9と第2の列信号線60とを画素部上下に分けてレイアウトでき、かつ、第1のリセットドレイン線16と第2のリセットドレイン線61とを画素部上下に分けてレイアウトできる。よって、列回路レイアウトの配線制約が緩和され微細化時に有利になる。さらに、画素部をセンサチップ52の中心に配置できるので、カメラシステム、特にカメラモジュールなどの小型部品へイメージセンサを搭載する場合に、レンズの位置も合わせやすいというメリットがある。

[0066] なお、実施の形態1および実施形態2に係る第1のフィードバックアンプ44および第2のフィードバックアンプ64は、2入力型であっても、また、1入力型であっても構わない。

[0067] 図13Aは、本開示の固体撮像装置の2入力型フィードバックアンプ回路の構成を示す図である。また、図13Bは、本開示の固体撮像装置の1入力型フィードバックアンプ回路の構成を示す図である。図13Aに示されるように、2入力型のフィードバックアンプでは、一般に差動増幅器と出力バッファが必要であり、回路のトランジスタ素子数が、少なくとも9素子必要となる。これに対して、1入力型のフィードバックアンプでは、トランジスタ素子が最低3素子で実現できるため、特に微細化レイアウト時に有利になる。

- [0068] 以上、本発明の実施の形態1および2に係る固体撮像装置を用いれば、高画質かつ高速フレームレートを実現するカメラシステムを提供することが可能となる。
- [0069] 以上、本発明の固体撮像装置について、実施の形態1および2に基づいて説明したが、本発明は実施の形態1および2に限定されるものではない。本発明の要旨を逸脱しない範囲内で当業者が思いつく各種変形を施したのも本発明の範囲内に含まれる。また、発明の主旨を逸脱しない範囲で、複数の実施の形態における各構成要素を任意に組み合わせてもよい。
- [0070] また、上記実施の形態に係る固体撮像装置は典型的には集積回路であるLSIとして実現される。これらは個別に1チップ化されてもよいし、一部又は全てを含むように1チップ化されてもよい。
- [0071] また、集積回路化はLSIに限るものではなく、専用回路又は汎用プロセッサで実現してもよい。LSI製造後にプログラムすることが可能なFPGA(Field Programmable Gate Array)、又はLSI内部の回路セルの接続や設定を再構成可能なりコンフィギュラブル・プロセッサを利用してもよい。
- [0072] また、上記断面図等において、各構成要素の角部及び辺を直線的に記載しているが、製造上の理由により、角部及び辺が丸みを帯びたものも本発明に含まれる。
- [0073] また、上記実施の形態に係る固体撮像装置の機能のうち少なくとも一部を組み合わせてもよい。
- [0074] また、上記で用いた数字は、全て本発明を具体的に説明するために例示するものであり、本発明は例示された数字に制限されない。
- [0075] また、上記説明では、MOSトランジスタを用いた例を示したが、他のトランジスタを用いてもよい。
- [0076] 更に、本発明の主旨を逸脱しない限り、本実施の形態に対して当業者が思いつく範囲内の変更を施した各種変形例も本発明に含まれる。

産業上の利用可能性

[0077] 本発明に係る固体撮像装置は、小型、薄型、高感度の画像ピックアップ装置等への適用に有効である。

符号の説明

- [0078]
- 1 光電変換部
 - 2 蓄積部
 - 3 リセットトランジスタ
 - 4 増幅トランジスタ
 - 5 選択トランジスタ
 - 6 電源線
 - 7 画素リセット信号線
 - 8 画素選択信号線
 - 9 第1の列信号線
 - 10 a、10 b 負荷トランジスタ
 - 11 画素負荷トランジスタ制御線
 - 13 基準信号線
 - 15 リセットドレイン線初期化電圧
 - 16 第1のリセットドレイン線
 - 17 a、17 b リセットドレイン線初期化トランジスタ
 - 18 リセットドレイン線リセットトランジスタ制御信号
 - 19、25 コンデンサ
 - 20 サンプルトランジスタ
 - 21 サンプルトランジスタ制御信号
 - 22 クランプトランジスタ
 - 23 クランプトランジスタ制御信号
 - 24 クランプ信号線
 - 26 CDS出力ノード
 - 27 列選択トランジスタ
 - 28 列選択信号

- 29 列走査回路
- 30 水平信号線
- 31 出力アンプ
- 32 VOUT端子
- 33 行走査回路
- 35 行選択信号
- 36 画素リセット制御信号
- 39 水平走査信号
- 40 垂直走査信号
- 41 マルチプレクサ回路
- 42、70 画素
- 43 画素部
- 44 第1のフィードバックアンプ
- 45 CDS回路
- 50 タイミング制御回路
- 51 基準信号発生器
- 52 センサチップ
- 53 蓄積ダイオード初期化電圧発生器
- 60 第2の列信号線
- 61 第2のリセットドレイン線
- 64 第2のフィードバックアンプ
- 65 列信号線切替制御信号
- 66、67 列信号線選択トランジスタ
- 71 半導体基板
- 72、75、77 ゲート電極
- 73、74、76、78、79 拡散層
- 80 素子分離領域
- 81 光電変換膜

- 8 2 画素電極
- 8 3 透明電極
- 8 4 絶縁膜
- 8 5 コンタクト
- 9 0 アナログデジタル変換器
- 9 1 A D C変換器サンプルトランジスタ
- 9 2 A D C変換器サンプルトランジスタ制御信号
- 9 3 比較器
- 9 4 R A M P信号
- 9 5 カウンター
- 9 6 デジタル信号出力線

請求の範囲

[請求項1]

複数の画素が行列状に配置された画素部と、
前記画素部の列毎に設けられた第1および第2の列信号線と、
前記画素部の列毎に設けられた第1および第2のリセットドレイン線と、
前記画素部の列毎に設けられ、前記第1の列信号線を入力線とし、前記第1のリセットドレイン線を出力線とする第1のフィードバックアンプと、
前記画素部の列毎に設けられ、前記第2の列信号線を入力線とし、前記第2のリセットドレイン線を出力線とする第2のフィードバックアンプとを備え、
前記画素部は、
前記第1のフィードバックアンプに接続された第1接続型の画素と、
前記第2のフィードバックアンプに接続された第2接続型の画素とを含み、
前記第1接続型の画素内に形成されたりセットトランジスタのソースおよびドレインの一方は、前記第1のリセットドレイン線と接続され、
前記第2接続型の画素内に形成されたりセットトランジスタのソースおよびドレインの一方は、前記第2のリセットドレイン線と接続され、
前記第1接続型の画素内に形成された増幅トランジスタのソースおよびドレインの一方は、前記第1の列信号線と接続され、
前記第2接続型の画素内に形成された増幅トランジスタのソースおよびドレインの一方は、前記第2の列信号線と接続される
固体撮像装置。

[請求項2]

前記第1のフィードバックアンプと前記第2のフィードバックアン

プとは、並列動作する

請求項 1 記載の固体撮像装置。

[請求項3]

前記画素部は n 行 (n は 2 以上の整数) で構成され、

平面視において、前記第 1 のフィードバックアンプは前記画素部の第 1 行の上部に配置されており、前記第 2 のフィードバックアンプは前記画素部の第 n 行の下部に配置されている

請求項 1 記載の固体撮像装置。

[請求項4]

前記第 1 および前記第 2 のフィードバックアンプは、一入力型である

請求項 1 記載の固体撮像装置。

[請求項5]

前記固体撮像装置は、さらに、

前記画素部の列毎にアナログデジタル変換器を備え、

前記アナログデジタル変換器は、前記第 1 の列信号線および前記第 2 の列信号線と接続されている

請求項 1 記載の固体撮像装置。

[請求項6]

前記固体撮像装置は、さらに、

光を信号電荷に変換する光電変換部と、

前記信号電荷を蓄積する蓄積部とを備え、

前記第 1 接続型および前記第 2 接続型の画素内に形成された前記増幅トランジスタのゲートは、前記蓄積部と接続され、

前記第 1 接続型および前記第 2 接続型の画素内に形成された前記リセットトランジスタのソースおよびドレインの他方は、前記蓄積部と接続されている

請求項 1 記載の固体撮像装置。

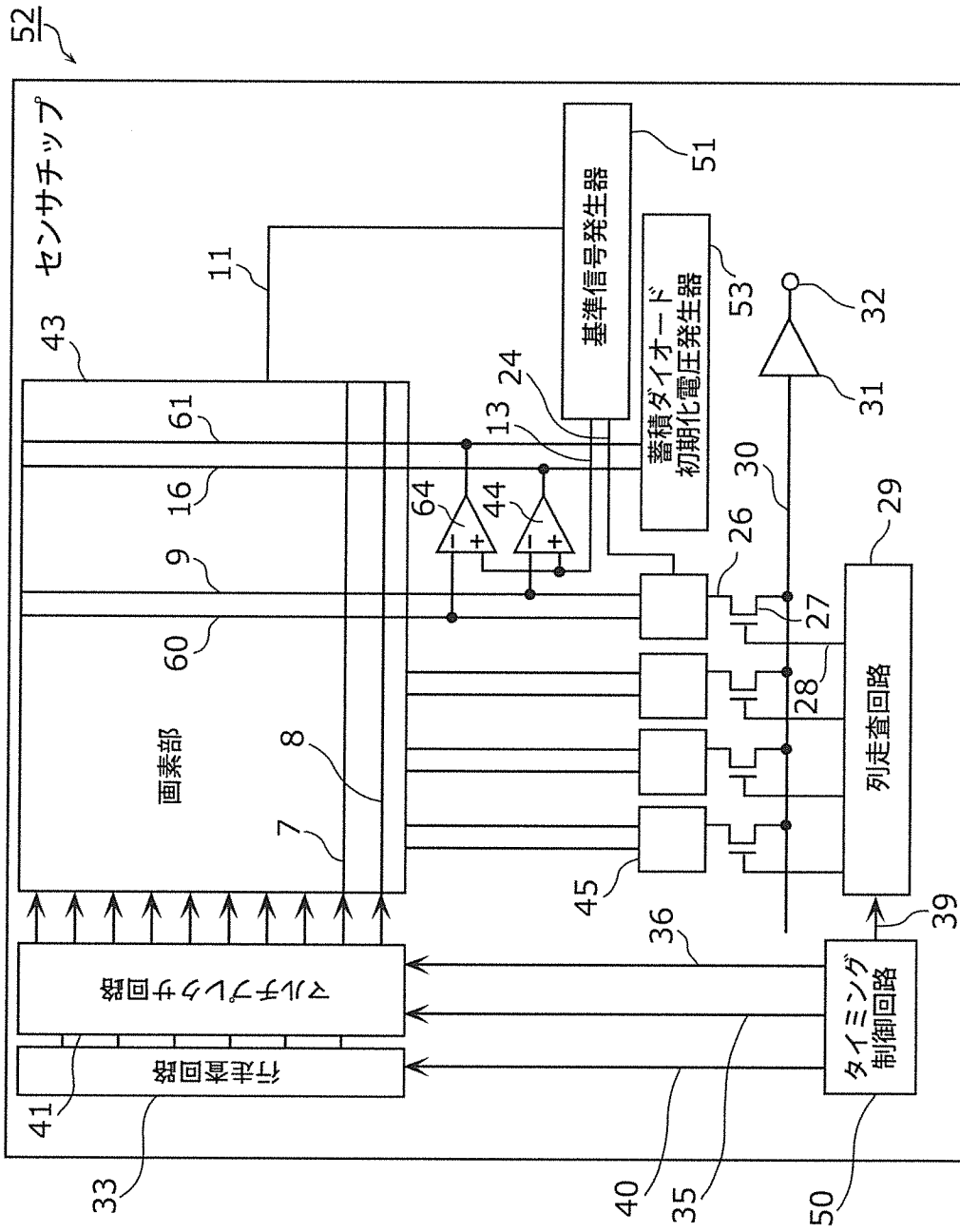
[請求項7]

前記第 1 接続型の画素内に形成された前記リセットトランジスタと

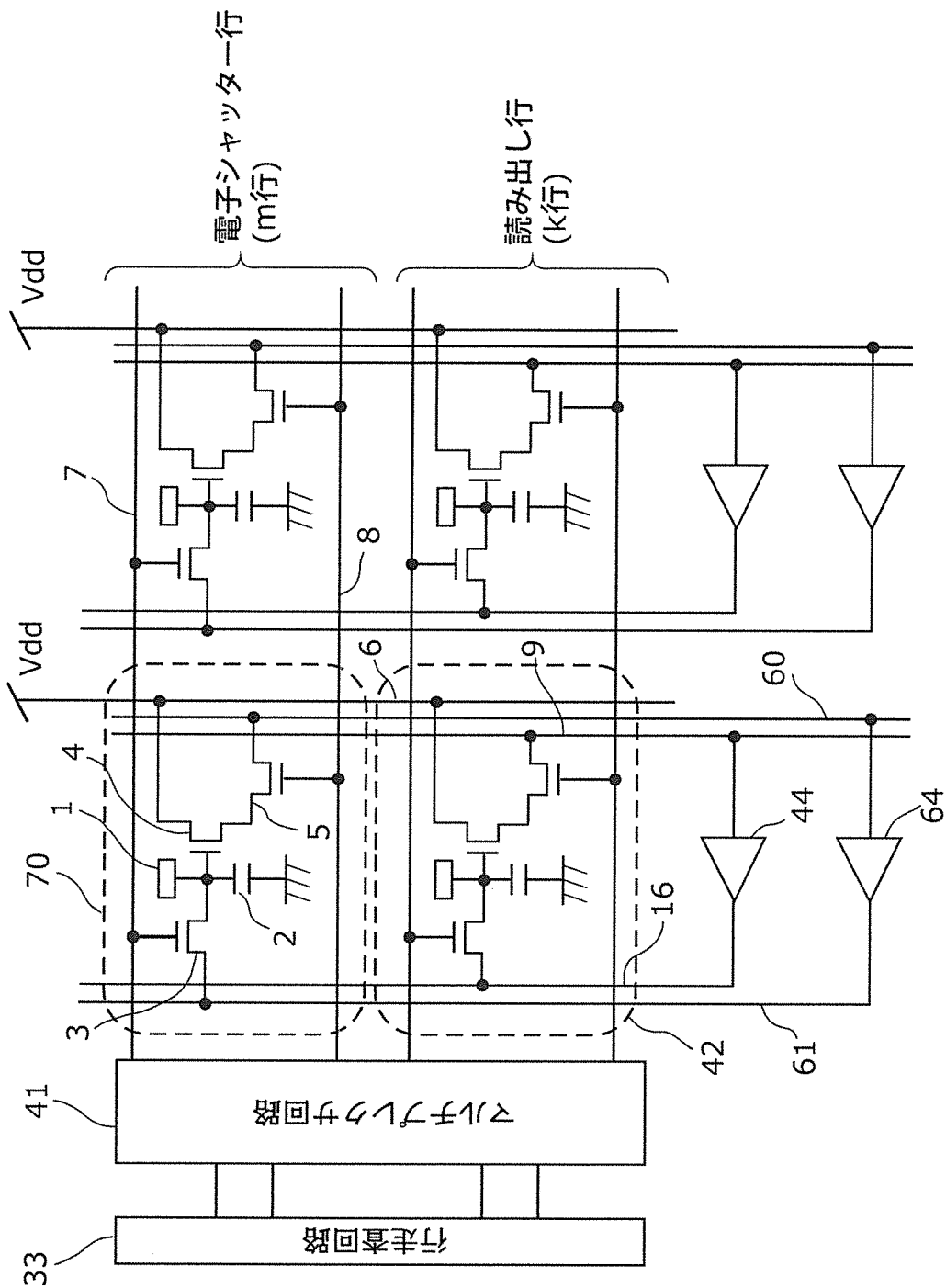
、
前記第 2 接続型の画素内に形成された前記リセットトランジスタとは、同時にオン状態にされる

請求項 1 記載の固体撮像装置。

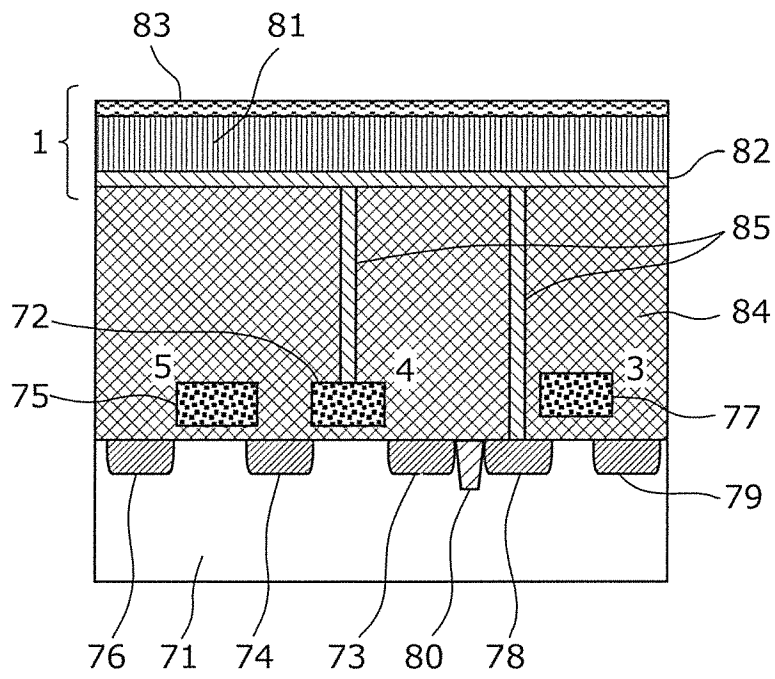
[図1]



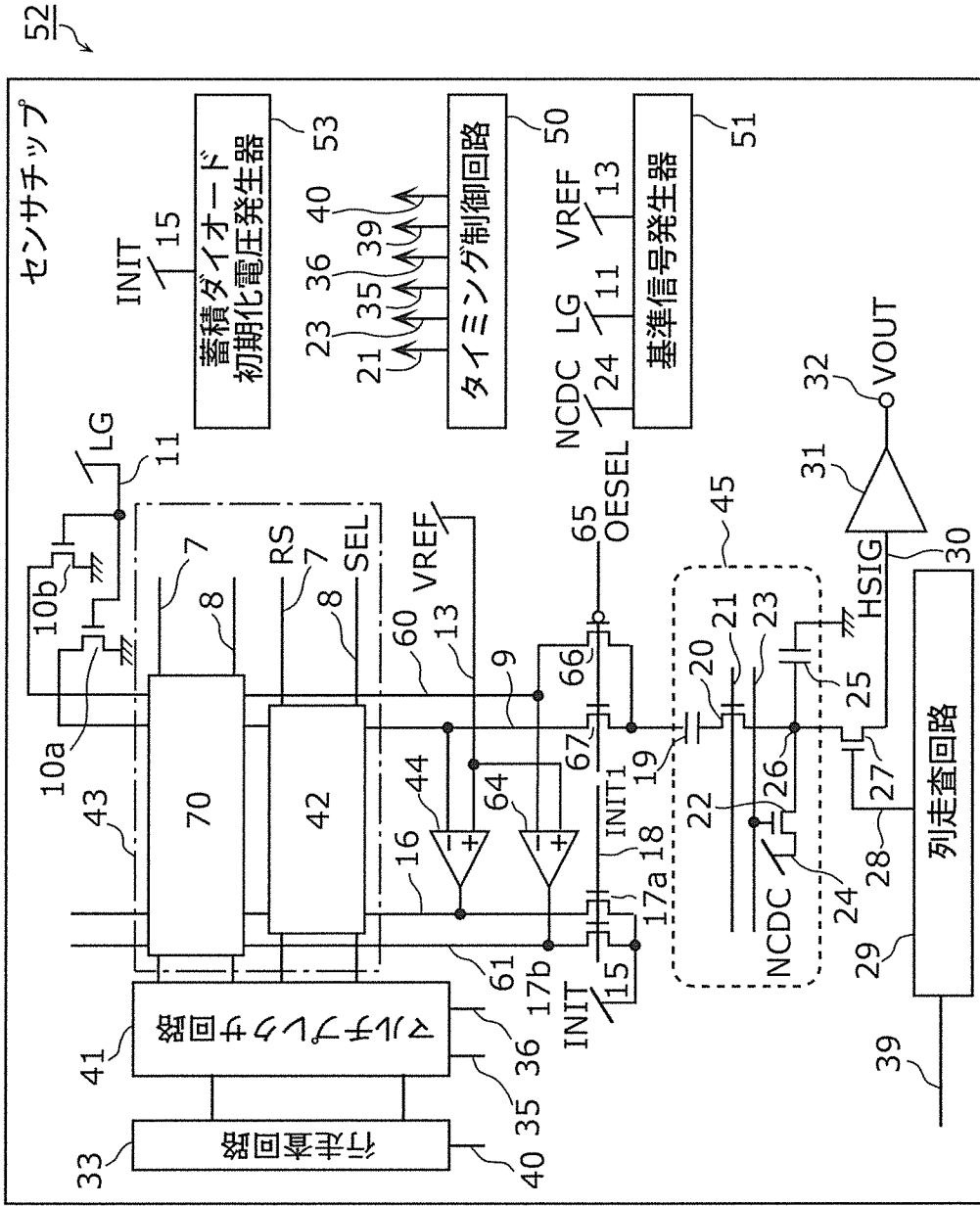
[図2]



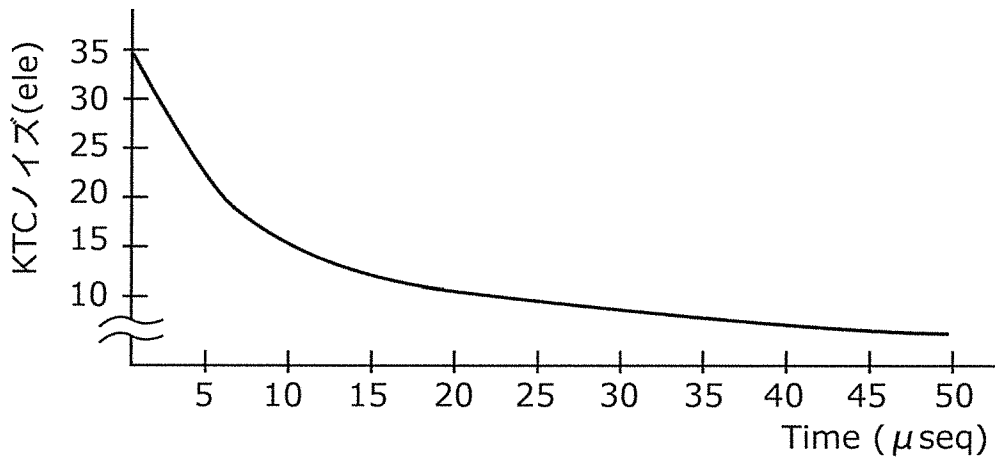
[図3]



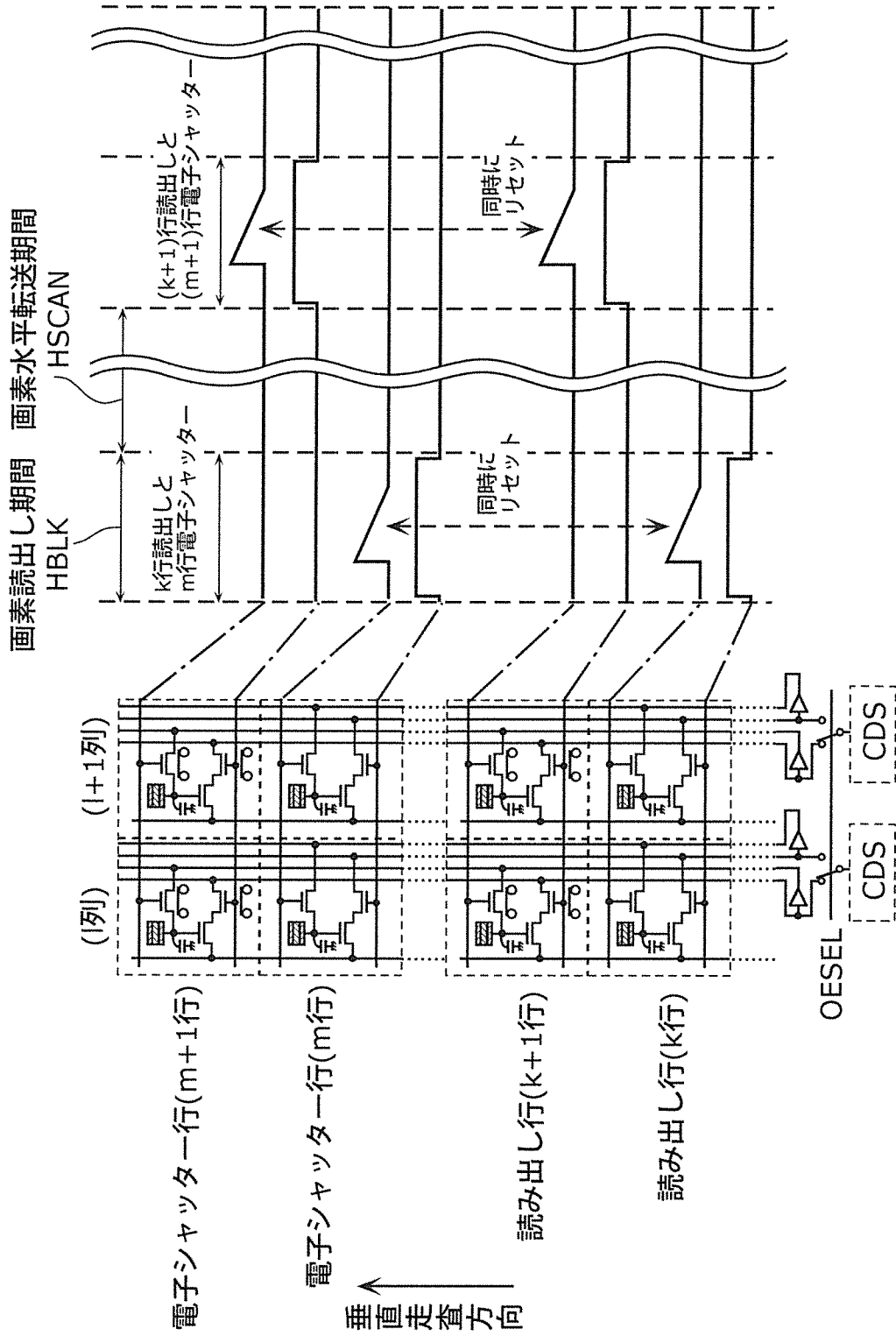
[図4]



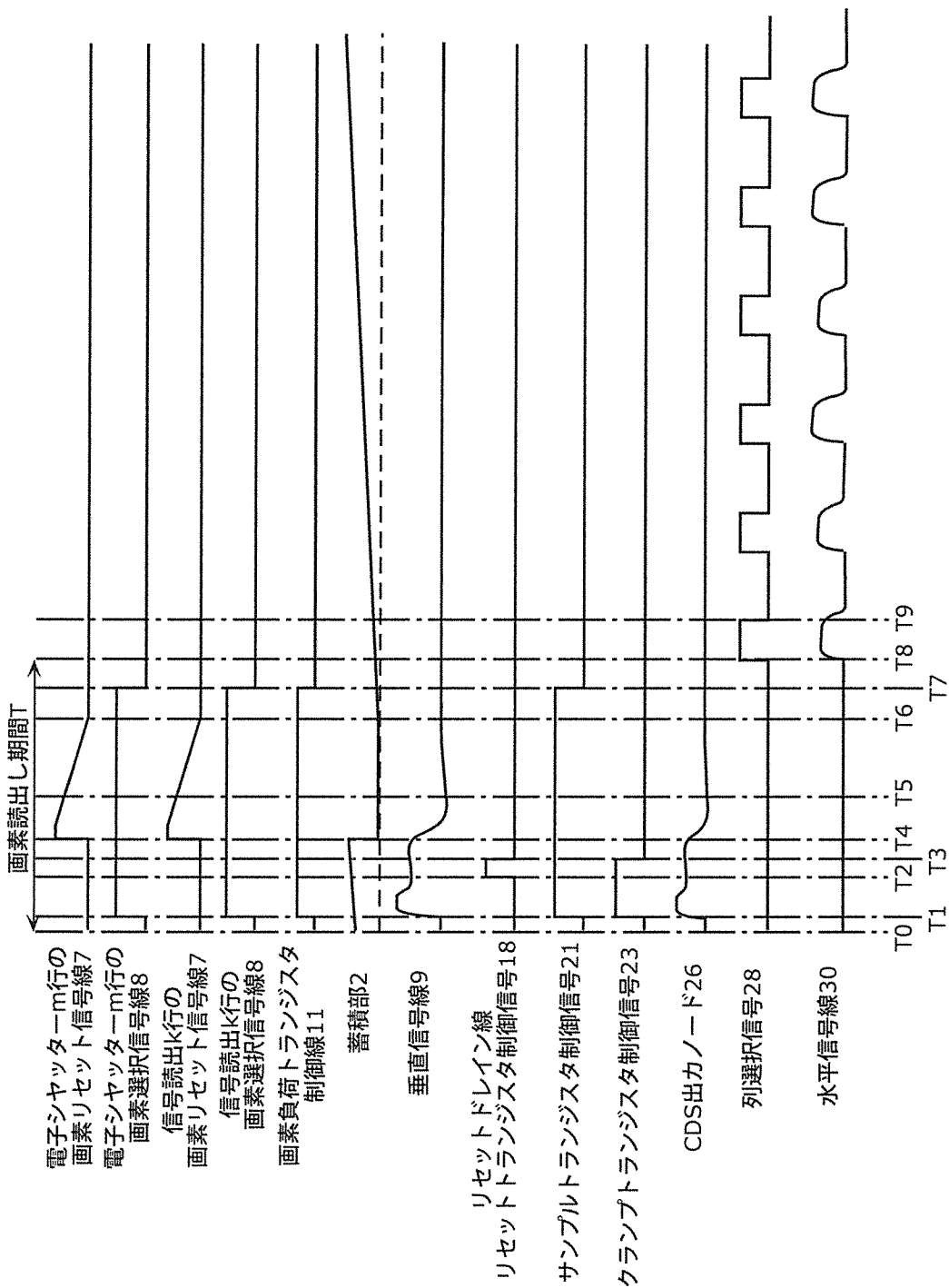
[図5]



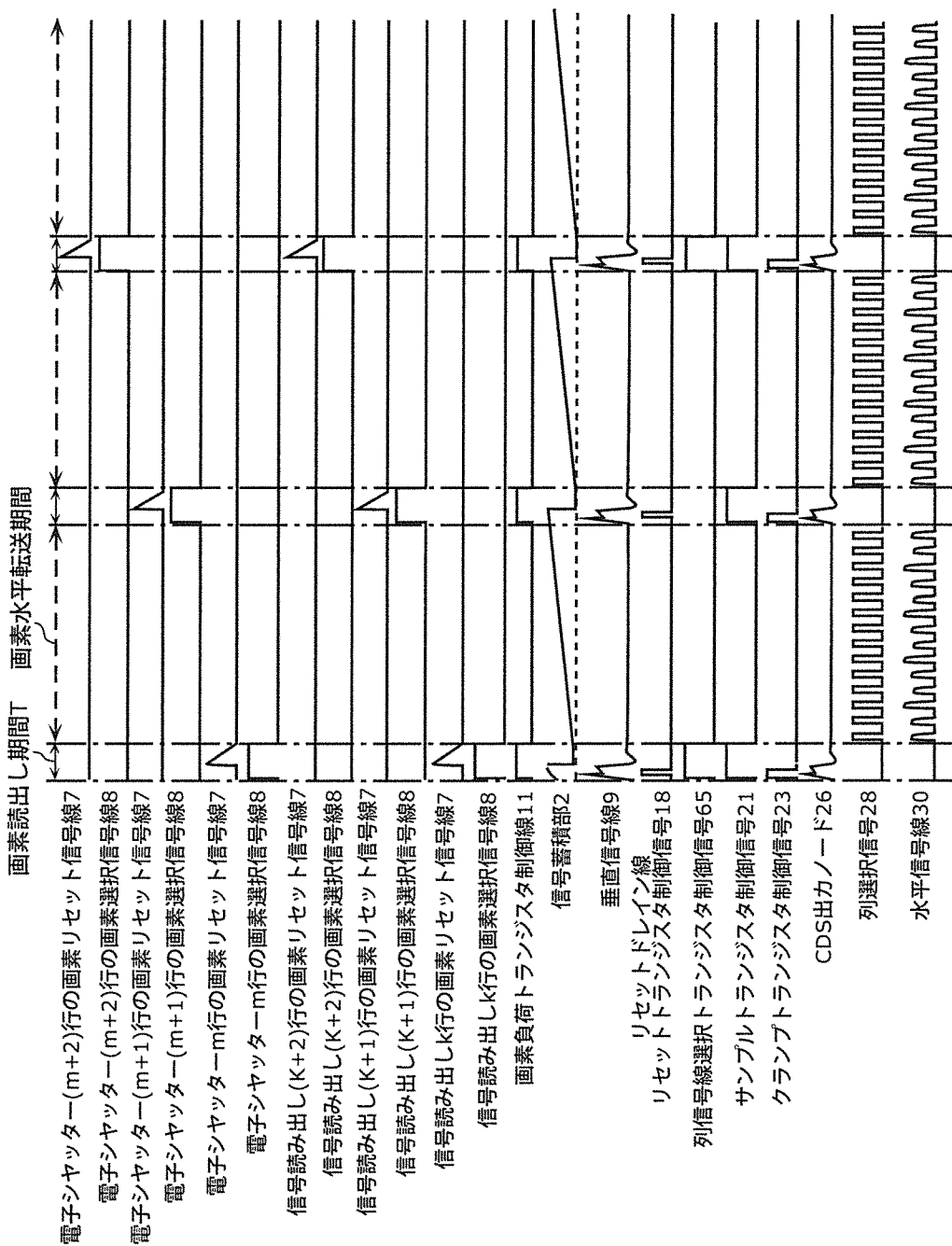
[図6]



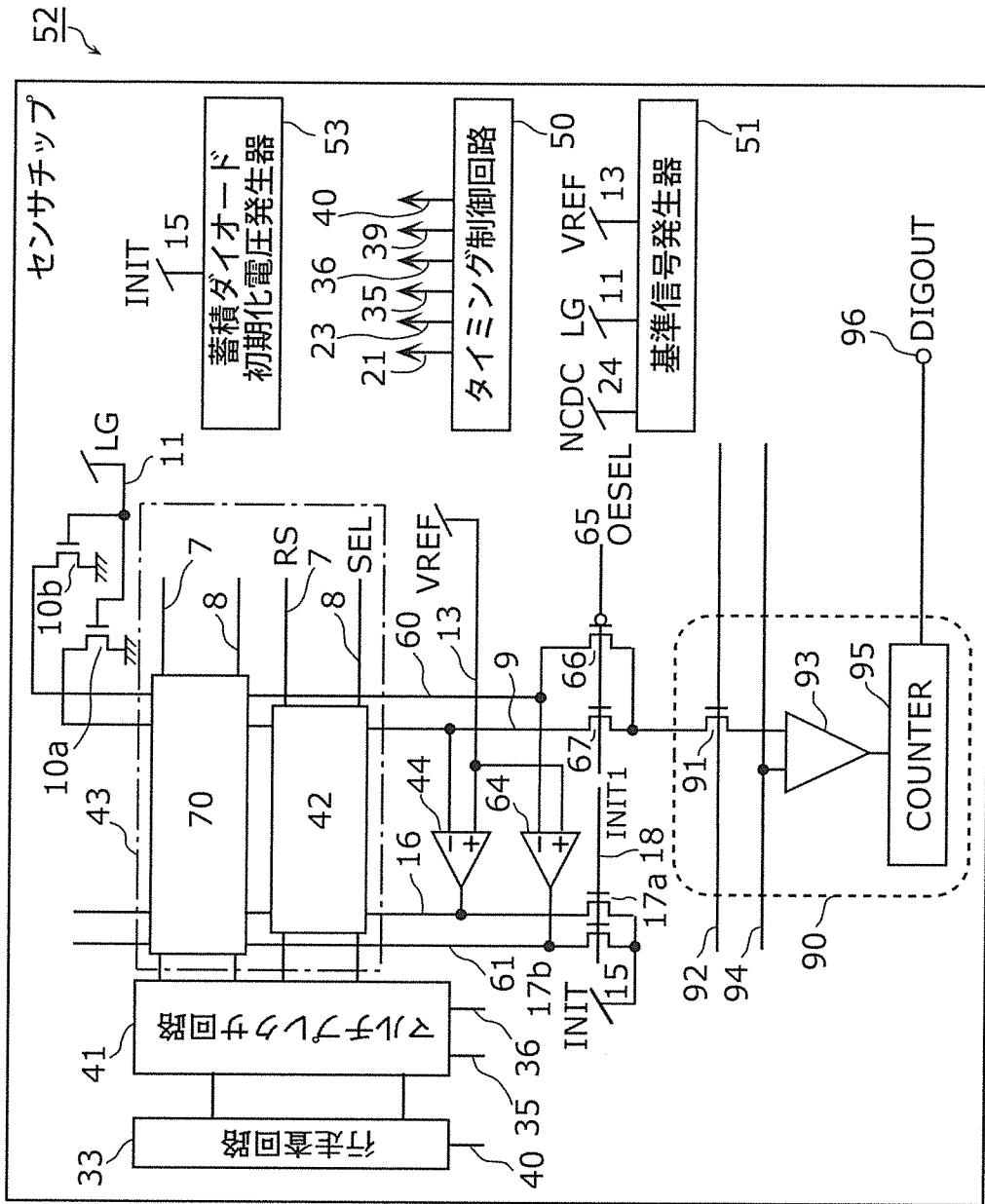
[図7]



[図8]

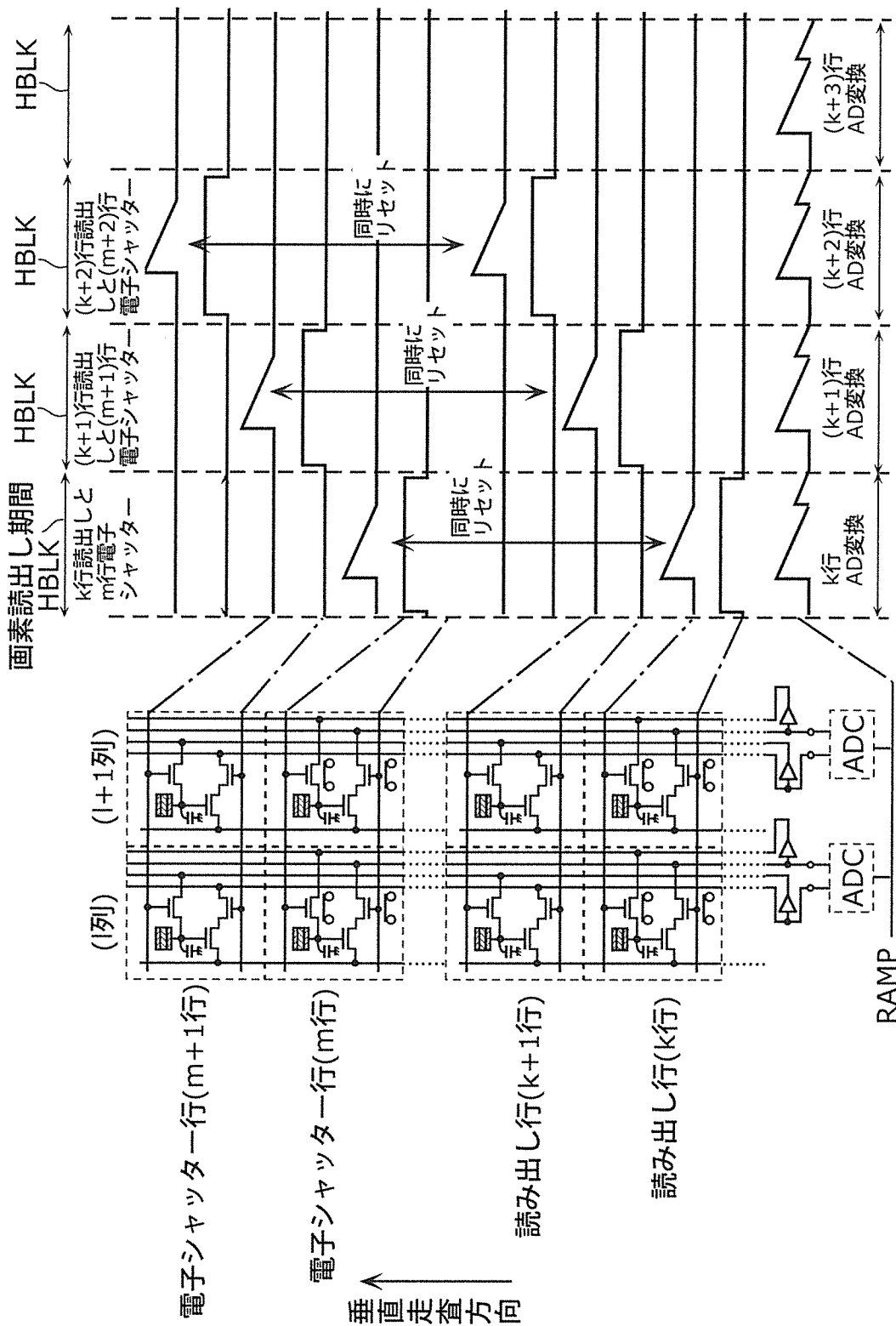


[図9]

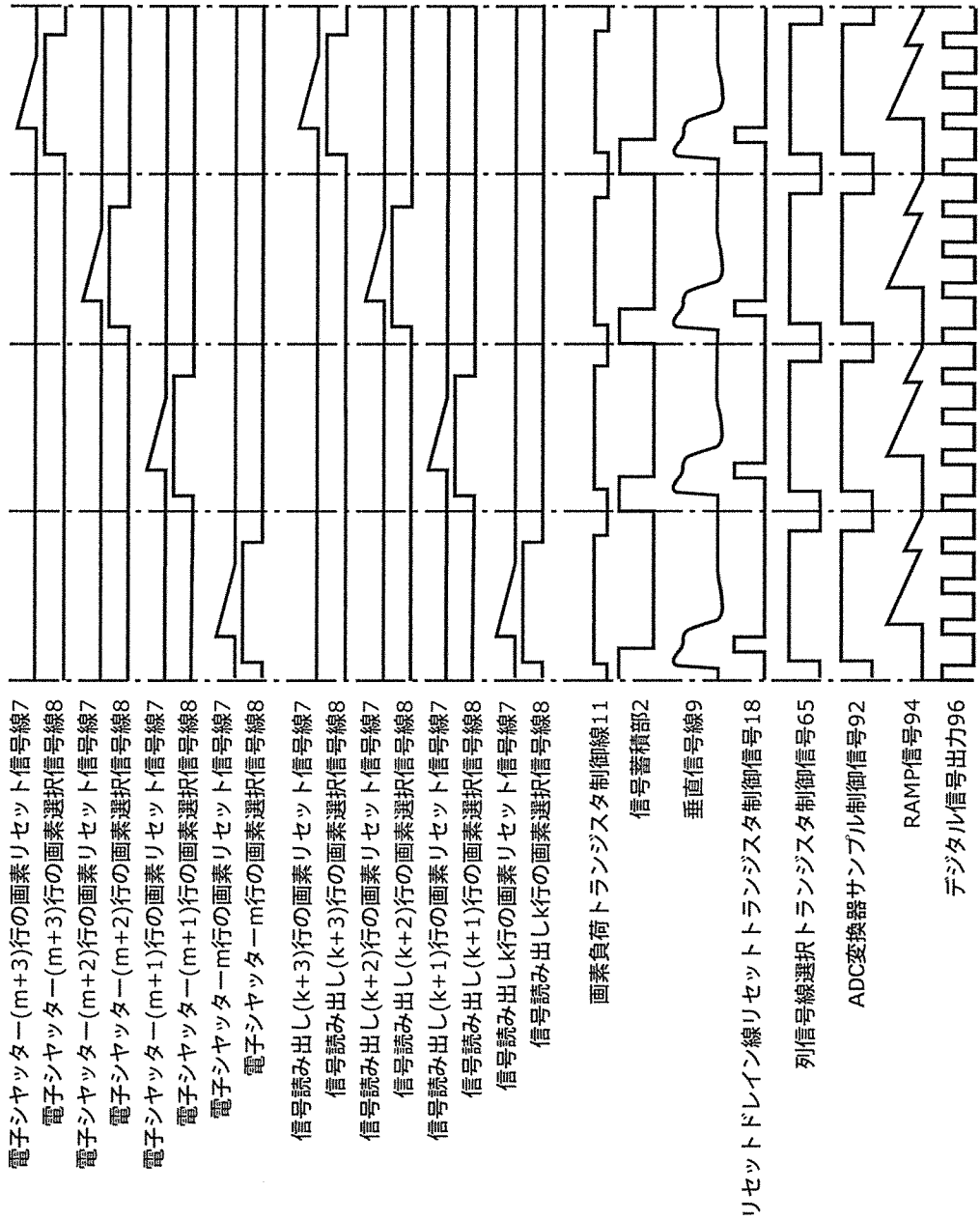


52

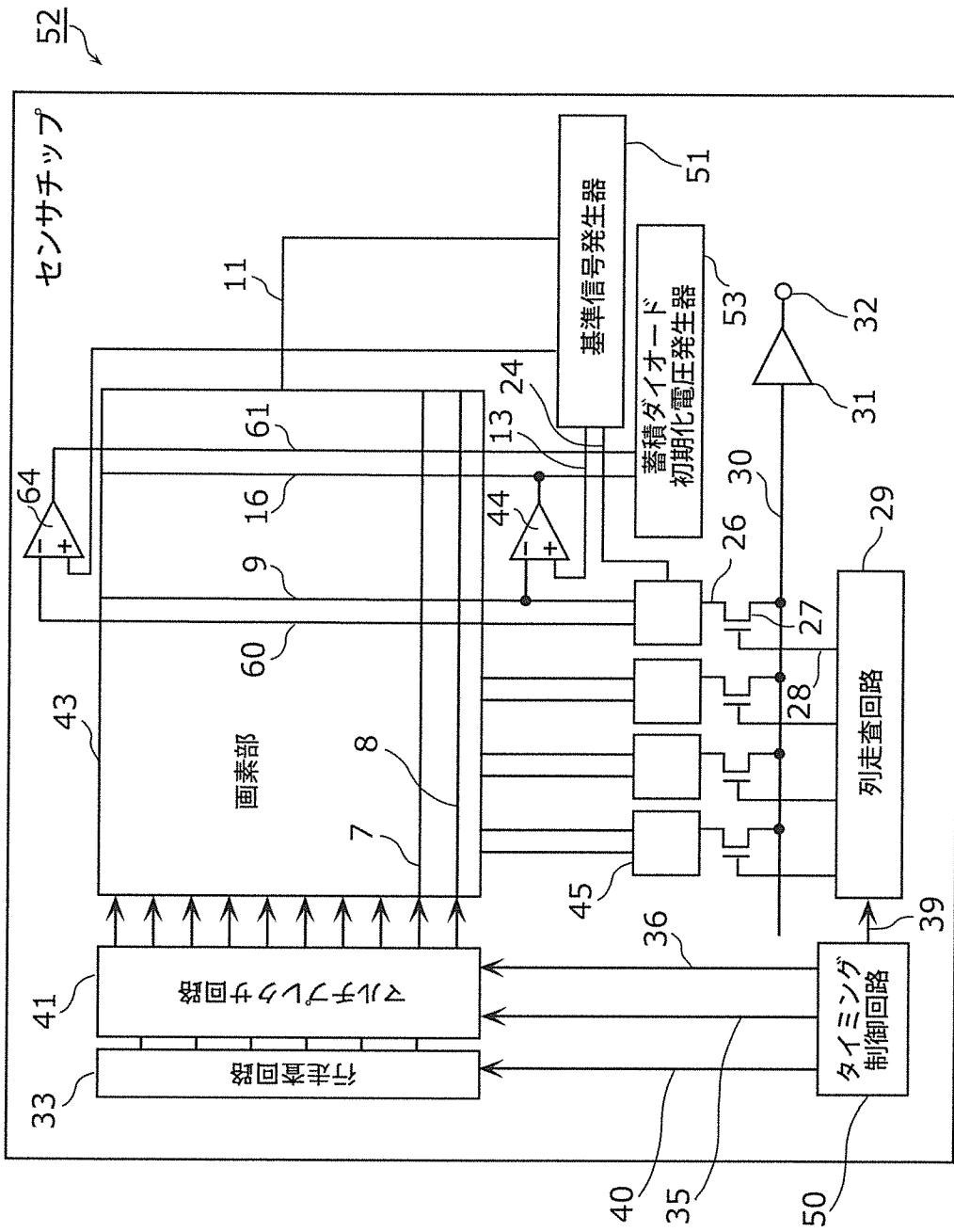
[図10]



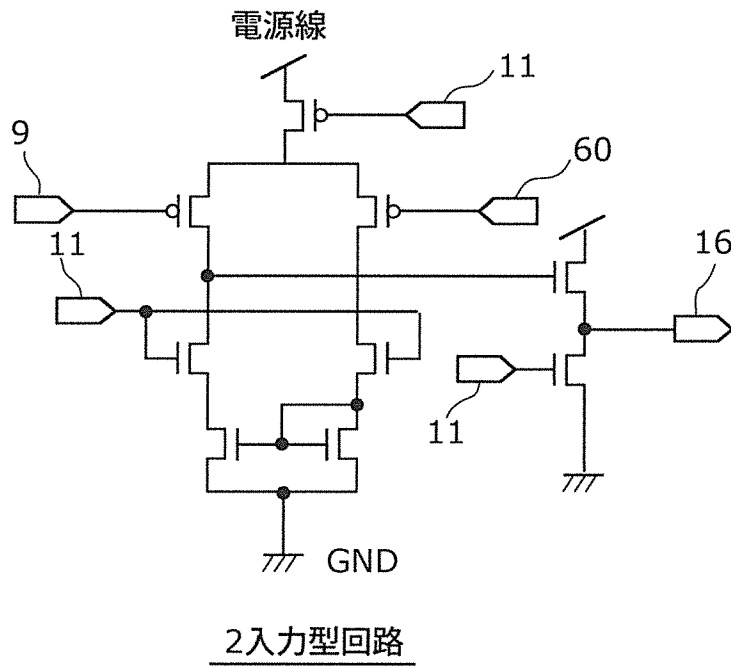
[図11]



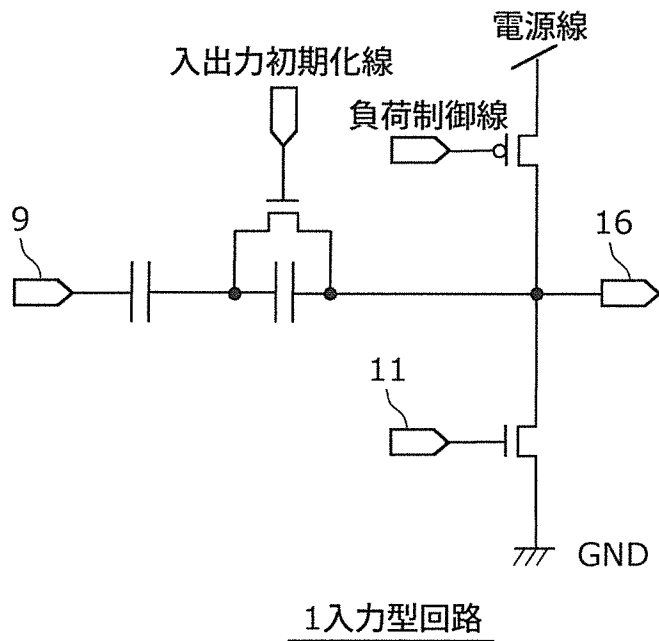
[図12]



[図13A]



[図13B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/001607

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/363(2011.01)i, H01L27/146(2006.01)i, H04N5/374(2011.01)i, H04N5/378(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/363, H01L27/146, H04N5/374, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-114838 A (Panasonic Corp.), 14 June 2012 (14.06.2012), paragraphs [0042] to [0051], [0127] to [0128]; fig. 1 to 3, 20 (Family: none)	1-4, 6-7 5
Y A	JP 2012-120168 A (Samsung Electronics Co., Ltd.), 21 June 2012 (21.06.2012), paragraphs [0136] to [0141]; fig. 36 to 38 & US 2012/0133800 A1 & DE 102011087124 A & KR 10-2012-0058057 A & CN 102547151 A & TW 201223138 A	1-4, 6-7 5

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 April, 2013 (05.04.13)

Date of mailing of the international search report
16 April, 2013 (16.04.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/001607

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/058684 A1 (Panasonic Corp.), 19 May 2011 (19.05.2011), paragraphs [0041], [0070]; fig. 11 & US 2012/0200752 A1	1-7
A	JP 2011-239156 A (Canon Inc.), 24 November 2011 (24.11.2011), paragraphs [0011] to [0012]; fig. 1 & US 2011/0273598 A1 & CN 102244741 A	1-7
A	JP 2009-212603 A (Canon Inc.), 17 September 2009 (17.09.2009), fig. 2 (Family: none)	1-7
A	WO 2009/090719 A1 (Panasonic Corp.), 23 July 2009 (23.07.2009), fig. 1 to 3, 9 & JP 2009-159335 A & US 2010/0271523 A1	1-7
A	JP 2007-60350 A (Matsushita Electric Industrial Co., Ltd.), 08 March 2007 (08.03.2007), fig. 4 (Family: none)	1-7
A	JP 2000-165747 A (Sharp Corp.), 16 June 2000 (16.06.2000), paragraph [0073]; fig. 4 & US 6330303 B1	5

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04N5/363(2011.01)i, H01L27/146(2006.01)i, H04N5/374(2011.01)i, H04N5/378(2011.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04N5/363, H01L27/146, H04N5/374, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2013年
 日本国実用新案登録公報 1996-2013年
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-114838 A (パナソニック株式会社) 2012.06.14, 段落【0042】 - 【0051】, 【0127】 - 【0128】, 図 1-3, 20 (ファミリーなし)	1-4, 6-7 5
Y A	JP 2012-120168 A (三星電子株式会社) 2012.06.21, 段落【0136】 - 【0141】, 図 36-38 & US 2012/0133800 A1 & DE 102011087124 A & KR 10-2012-0058057 A & CN 102547151 A & TW 201223138 A	1-4, 6-7 5
A	WO 2011/058684 A1 (パナソニック株式会社) 2011.05.19, 段落 [0041], [0070], 図 11 & US 2012/0200752 A1	1-7

C 欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日 05.04.2013	国際調査報告の発送日 16.04.2013
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 鈴木 肇	5 V	9 8 4 7
	電話番号 03-3581-1101 内線 3571		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-239156 A (キヤノン株式会社) 2011. 11. 24, 段落【0011】 - 【0012】, 図1 & US 2011/0273598 A1 & CN 102244741 A	1-7
A	JP 2009-212603 A (キヤノン株式会社) 2009. 09. 17, 図2 (ファミリーなし)	1-7
A	WO 2009/090719 A1 (パナソニック株式会社) 2009. 07. 23, 図1-3, 9 & JP 2009-159335 A & US 2010/0271523 A1	1-7
A	JP 2007-60350 A (松下電器産業株式会社) 2007. 03. 08, 図4 (ファミリーなし)	1-7
A	JP 2000-165747 A (シャープ株式会社) 2000. 06. 16, 段落【0073】, 図4 & US 6330303 B1	5