

1. 一种成像设备,包括:

像素部分,所述像素部分通过光电转换产生信号;和

放大单元,所述放大单元放大由所述像素部分产生的信号,

所述放大单元包括:

输入电容器,所述输入电容器具有两个节点,其中,所述两个节点之一连接至所述像素部分的输出端子;

放大电路,所述放大电路具有反相输入部分和非反相输入部分,其中,所述反相输入部分和非反相输入部分之一连接至所述输入电容器的两个节点中的另一个节点,所述反相输入部分和非反相输入部分中的另一个连接至参考电压节点;

第一反馈电容器,所述第一反馈电容器连接在所述输入电容器的两个节点中的所述另一个节点与所述放大电路的输出部分之间;

第一 MOS 晶体管开关,所述第一 MOS 晶体管开关与所述第一反馈电容器串联连接;

第二 MOS 晶体管开关,所述第二 MOS 晶体管开关与所述第一反馈电容器串联连接,并具有彼此连接的漏极和源极;

第二反馈电容器,所述第二反馈电容器连接在所述输入电容器的两个节点中的所述另一个节点与所述放大电路的输出部分之间;

第三 MOS 晶体管开关,所述第三 MOS 晶体管开关与所述第二反馈电容器串联连接;和

第四 MOS 晶体管开关,所述第四 MOS 晶体管开关与所述第二反馈电容器串联连接,并具有彼此连接的漏极和源极,

其中,所述第一反馈电容器、所述第一 MOS 晶体管开关和所述第二 MOS 晶体管开关串联连接的电路与所述第二反馈电容器、所述第三 MOS 晶体管开关和所述第四 MOS 晶体管开关串联连接的电路并联连接,

供给所述第一 MOS 晶体管开关和所述第二 MOS 晶体管开关的栅极的脉冲的相位相反,并且

供给所述第三 MOS 晶体管开关和所述第四 MOS 晶体管开关的栅极的脉冲的相位相反。

2. 根据权利要求 1 所述的成像设备,其中,

所述放大单元还包括:

第五 MOS 晶体管开关,所述第五 MOS 晶体管开关连接在所述输入电容器的两个节点中的所述另一个节点与所述放大电路的输出部分之间;和

第六 MOS 晶体管开关,所述第六 MOS 晶体管开关与所述第五 MOS 晶体管开关串联连接,并具有彼此连接的漏极和源极,

所述第五 MOS 晶体管开关和所述第六 MOS 晶体管开关串联连接的电路与所述第二反馈电容器、所述第三 MOS 晶体管开关和所述第四 MOS 晶体管开关串联连接的电路并联连接,并且

供给所述第五 MOS 晶体管开关和所述第六 MOS 晶体管开关的栅极的脉冲的相位相反。

3. 根据权利要求 1 所述的成像设备,其中,

所述放大单元还包括:

第七 MOS 晶体管开关,所述第七 MOS 晶体管开关连接在所述第一反馈电容器与所述参考电压节点之间;和

第八 MOS 晶体管开关,所述第八 MOS 晶体管开关连接在所述第二反馈电容器与所述参考电压节点之间。

成像设备

技术领域

[0001] 本发明涉及一种成像设备。

背景技术

[0002] 通常认为 S/N 比和信号动态范围是固态成像设备中的重要产品指标。关于这些指标,日本专利公开 2004-015701 提供放大电路和检测电路,从而改进上述指标,所述放大电路控制施加于每个像素的像素信号的增益,所述检测电路检测通过按二维矩阵排列像素而形成的像素阵列的每个像素列的像素信号的电平。

[0003] 此外,日本专利公开 No. 6-070222 提供放大从图像感测元件输出的信号的放大电路。使用通过对从图像感测元件输出的信号进行 A/D 转换而获得的数据对来自相对亮的区域的像素信号、以及使用通过对以更高增益放大的信号进行 A/D 转换而获得的数据对来自相对暗的区域的像素信号执行所谓的“嵌入 (inlaid)”合成。据推测,该技术有效地使用成像设备的动态范围。

[0004] 然而,在日本专利公开 No. 2004-015701 中所公开的技术中,由于为每个像素列提供用于检测来自像素的像素信号的检测电路,所以固态成像设备所占据的面积增大,并且当检测电路执行检测时所消耗的功率也增大。假设利用使用反馈电容器和开关的可变增益放大器,并将 MOS 晶体管用作开关。在这种情况下,在改变用于每个像素的增益时,当电荷根据 MOS 晶体管的导通 / 截止操作而移动时,伴随从放大像素信号的放大电路输出的信号的偏移电压波动。当这发生时,在切换放大器的增益时,存储在反馈电容器中的信号电荷没有完全移动到所使用的另一个反馈电容器,从而产生残余电荷。这引起增益设计值变得与实际增益不同的问题。然而,日本专利公开 No. 6-070222 中所公开的技术既不能改进从图像感测元件输出的信号的 S/N 比,也不能使图像感测元件的动态范围变宽。

发明内容

[0005] 本发明提供这样一种技术,该技术的优点是防止当切换放大单元的增益时放大单元的输出中的偏移电压的波动,以使得增益设计值与实际增益一致。

[0006] 本发明的一个方面提供一种成像设备,其包括:像素部分,其通过光电转换产生信号;和放大单元,其放大由像素部分产生的信号,所述放大单元包括:输入电容器,其具有两个节点,其中,所述两个节点之一连接至像素部分的输出端子;放大电路,其具有反相输入部分和非反相输入部分,其中,所述反相输入部分和非反相输入部分之一连接至输入电容器的两个节点中的另一个节点,所述反相输入部分和非反相输入部分中的另一个连接至参考电压节点;第一反馈电容器,其连接在输入电容器的两个节点中的另一个节点与放大电路的输出部分之间;第一 MOS 晶体管开关,其与第一反馈电容器串联连接;第二 MOS 晶体管开关,其与第一反馈电容器串联连接,并具有彼此连接的漏极和源极;第二反馈电容器,其连接在输入电容器的两个节点中的另一个节点与放大电路的输出部分之间;第三 MOS 晶体管开关,其与第二反馈电容器串联连接;和第四 MOS 晶体管开关,其与第二反馈电容器串

联连接,并具有彼此连接的漏极和源极,其中,第一反馈电容器、第一 MOS 晶体管开关和第二 MOS 晶体管开关串联连接的电路与第二反馈电容器、第三 MOS 晶体管开关和第四 MOS 晶体管开关串联连接的电路并联连接,供给第一 MOS 晶体管开关和第二 MOS 晶体管开关的栅极的脉冲的相位相反,供给第三 MOS 晶体管开关和第四 MOS 晶体管开关的栅极的脉冲的相位相反。

[0007] 从以下参照附图对示例性实施例的描述,本发明的进一步的特征将变得清楚。

附图说明

[0008] 图 1 是示出根据本发明实施例的成像设备的构造的示例的电路图;以及

[0009] 图 2 是图 1 中所示的成像设备的操作时序图。

具体实施方式

[0010] 图 1 是示出根据本发明实施例的成像设备的构造的示例的电路图。该成像设备包括像素部分 1 和放大单元 2。像素部分 1 包括包含光电转换器的像素,并通过使用光电转换器进行光电转换来产生信号。像素部分 1 可包括例如多个像素,所述多个像素被排列形成多个像素行和像素列。放大单元 2 放大由像素部分 1 产生的信号。当例如像素部分 1 包括多个像素列时,可对每个列提供放大单元 2 作为列放大单元。放大单元 2 可包括输入电容器 C0、放大电路 3、第一反馈电容器 C1、第二反馈电容器 C2、第一 MOS 晶体管开关 8、第二 MOS 晶体管开关 4、第三 MOS 晶体管开关 9 和第四 MOS 晶体管开关 5。放大单元 2 还可包括第五 MOS 晶体管开关 7、第六 MOS 晶体管开关 6、第七 MOS 晶体管开关 10 和第八 MOS 晶体管开关 11。

[0011] 输入电容器 C0 使其一个节点连接至像素部分 1 的输出端子。放大电路 3 的反相输入部分和非反相输入部分之一连接至输入电容器 C0 的另一个节点,放大电路 3 的反相输入部分和非反相输入部分中的另一个连接至参考电压 VCOR 的节点。第一反馈电容器 C1 连接在输入电容器 C0 的所述另一个节点与放大电路 3 的输出部分 12 之间。第一 MOS 晶体管开关 8 与第一反馈电容器 C1 串联连接。第二 MOS 晶体管开关 4 与第一反馈电容器 C1 串联连接,并且它的漏极和源极彼此连接。第二反馈电容器 C2 连接在输入电容器 C0 的所述另一个节点与放大电路 3 的输出部分 12 之间。第三 MOS 晶体管开关 9 与第二反馈电容器 C2 串联连接。第四 MOS 晶体管开关 5 与第二反馈电容器 C2 串联连接,并且它的漏极和源极彼此连接。第一反馈电容器 C1、第一 MOS 晶体管开关 8 和第二 MOS 晶体管开关 4 串联连接的电路与第二反馈电容器 C2、第三 MOS 晶体管开关 9 和第四 MOS 晶体管开关 5 串联连接的电路并联连接。如图 2 所示,供给第一 MOS 晶体管开关 8 和第二 MOS 晶体管开关 4 的栅极的脉冲的相位相反。供给第三 MOS 晶体管开关 9 和第四 MOS 晶体管开关 5 的栅极的脉冲的相位相反。

[0012] 第五 MOS 晶体管开关 7 连接在输入电容器 C0 的所述另一个节点与放大电路 3 的输出部分 12 之间。第六 MOS 晶体管开关 6 与第五 MOS 晶体管开关 7 串联连接,并且它的漏极和源极彼此连接。第五 MOS 晶体管开关 7 和第六 MOS 晶体管开关 6 串联连接的电路与第二反馈电容器 C2、第三 MOS 晶体管开关 9 和第四 MOS 晶体管开关 5 串联连接的电路并联连接。如图 2 所示,供给第五 MOS 晶体管开关 7 和第六 MOS 晶体管开关 6 的栅极的脉冲的相位相

反。第七 MOS 晶体管开关 10 连接在第一反馈电容器 C1 与参考电压 VCOR 的节点之间。第八 MOS 晶体管开关 11 连接在第二反馈电容器 C2 与参考电压 VCOR 的节点之间。

[0013] 从像素部分 1 输出的电压施加于布置在放大单元 2 中的输入电容器 C0 的一个节点。放大单元 2 中的放大电路 3 的反相输入部分连接至输入电容器 C0 的另一个节点、反馈电容器 C1 和 C2 中的每个的一个节点、用于重置反馈电容器 C1 和 C2 (它们的电荷) 的开关 (晶体管) 6 的两个节点、以及重置开关 7 的一个节点。放大电路 3 的非反相输入部分连接至参考电压 VCOR 的节点。开关 4 和 5 用作偏移补偿开关。开关 4 和 5 分别用作补偿当为了增益切换断开开关 8 和 9 时来自开关 8 和 9 的栅电极的馈通电荷的虚拟 (dummy) 开关。开关 4 和 5 的栅极宽度均为开关 8 和 9 中的对应一个的栅极宽度的大约一半, 并且其源电极和漏电极彼此连接。对开关 4 和 5 中的每个的栅电极施加脉冲, 所述脉冲的相位与施加于开关 8 和 9 中的对应一个的栅电极的脉冲的相位相反。在该实施例中, 用于选择反馈电容器 C1 和 C2 的开关 8 和 9 中的每一个分别有一个节点连接至用作增益补偿开关的开关 10 和 11 中的对应一个的一个节点。因此, 当分别接通开关 8 或 9 以选择反馈电容器 C1 或 C2 时在放大电路 3 中产生的增益误差被校正。用作增益补偿开关的开关 10 和 11 均具有其共同连接至参考电压 VCOR 节点的另一个节点。开关 7、8 和 9 均具有其连接至放大电路 3 的输出部分 12 的另一个节点。

[0014] 电容器 17 通过开关 13 连接至放大电路 3 的输出部分 12。电容器 18 通过开关 14 连接至放大电路 3 的输出部分 12。差动放大器 21 的差动输入部分 20 通过开关 15 连接至电容器 17。差动放大器 21 的差动输入部分 19 通过开关 16 连接至电容器 18。移位寄存器 37 的输出部分 24 控制开关 15。移位寄存器 37 的输出部分 23 控制开关 16。差动放大器 21 将差动输入部分 19 与 20 之间的电压差从输出部分 22 输出。虽然在该实施例中假设所有开关都是 NMOS 晶体管, 但是本发明不限于 NMOS 晶体管。

[0015] 图 2 是图 1 中所示的成像设备的操作时序图。将参照图 2 对成像设备的操作进行描述。在时间段 A 期间, 像素部分 1 被施加重置脉冲, 并被重置。在时间段 A 期间, 高电平脉冲施加于开关 7、8 和 9 的栅电极, 以使它们接通, 低电平脉冲施加于开关 4、5 和 6 的栅电极, 以使它们断开。此时, 施加于开关 4、5 和 6 的栅电极的脉冲被设置为相位总是分别与施加于开关 8、9 和 7 的栅电极的脉冲的相位相反。如此, 使反馈电容器 C1 和 C2 放电, 并且由于放大电路 3 具有电压跟随器构造, 所以放大电路 3 的输入转换偏移电压 V_{off} 出现在放大电路 3 的反相输入部分中。参考电压 VCOR 和放大电路 3 的输入转换偏移电压 V_{off} 的总电压与像素部分 1 的重置输出电压 V_{res} 之间的电压差 $(VCOR+V_{off}-V_{res})$ 施加于输入电容器 C0。电压 $VCOR+V_{off}$ 出现在放大电路 3 的输出部分 12 中, 并通过接通开关 14 而被存储在电容器 18 中。

[0016] 接着, 在时间段 B 期间, 为了选择反馈电容器 C1, 低电平脉冲施加于开关 7 和 9 的栅电极, 以使它们断开, 高电平脉冲施加于开关 5 和 6 的栅电极, 以使它们接通。此后, 像素部分 1 通过光电转换输出与入射光对应的信号电压 V_{sig} 。由于放大电路 3 产生负反馈效果, 所以放大电路 3 的反相输入部分处的电势保持在 $VCOR+V_{off}$ 。此外, 输入电容器 C0 中保存的电荷被存储, 所以电荷 $(C0 \times (V_{sig}-V_{res}))$ 移动到反馈电容器 C1。在放大电路 3 的输出部分 12 中出现电压 $\{(V_{sig}-V_{res}) \times (C0/C1)+VCOR+V_{off}\}$, 该电压对应于电压 V_{sig} 与重置状态下输出的电压 V_{res} 之间的电压差 $(V_{sig}-V_{res})$ 。开关 13 接通, 以将电压

$\{(V_{sig}-V_{res}) \times (C_0/C_1)+V_{COR}+V_{off}\}$ 存储在电容器 17 中。

[0017] 当 MOS 晶体管用作开关时,惯例是利用这样的特征,即,当例如跨晶体管的栅极和源极的电压低于阈值电压时,该 NMOS 晶体管截止,当该电压高于阈值电压时,该 NMOS 晶体管导通。当 NMOS 晶体管截止时,它的栅电极从电源电压变为 0V。重叠电容(寄生电容)存在于栅电极与源和漏电极之间。此外,当使 MOS 晶体管截止时,该 MOS 晶体管的沟道中的电荷被吸收在源极和漏极中。因此,由栅极电压的变化量与重叠电容的值的乘积确定的电荷和沟道电荷的一部分随着 MOS 晶体管截止而变化。该变化被称为 MOS 晶体管的馈通。开关 4、5 和 6 分别与开关 8、9 和 7 串联连接,并且根据相位相反的脉冲驱动它们的栅电极,开关 4、5 和 6 的栅极宽度均为 MOS 晶体管 8、9 和 7 中的对应一个的栅极宽度的一半,并且其源电极和漏电极均彼此连接。如此,具有相反极性的电荷移动,从而使得可抵消所述馈通。

[0018] 当移位寄存器 37 的输出部分 23 和 24 的脉冲电平变为高电平时,开关 16 和 15 接通,以分别将存储在电容器 18 和 17 中的电压分别施加于差动放大器 21 的差动输入部分 19 和 20。差动放大器 21 将存储在电容器 17 和 18 中的电压彼此相减,并从输出部分 22 输出电压 $\{(V_{sig}-V_{res}) \times (C_0/C_1)\}$ 。

[0019] 在时间段 C 中,为了选择反馈电容器 C2,接通开关 9,断开开关 5,并且断开开关 8。虽然时间段 C 包括在其中开关 8、9 和 10 都接通的过渡时间段,但是即使不提供该过渡时间段,也不引起操作问题。此外,与开关 9 同时地接通开关 10,以便将参考电压 V_{COR} 施加于反馈电容器 C1 的一个节点电压,从而将跨反馈电容器 C1 的节点的电压从 $\{(V_{sig}-V_{res}) \times (C_0/C_1)\}$ 变为 V_{off} 。通过该操作,存储在反馈电容器 C1 中的电荷从 $\{(V_{sig}-V_{res}) \times C_0\}$ 变为 $V_{off} \times C_1$,并且作为以前的电荷与后来的电荷之间的差的电荷 $\{(V_{sig}-V_{res}) \times C_0 - V_{off} \times C_1\}$ 移动到反馈电容器 C2。因此,跨反馈电容器 C2 的节点的电压变为 $\{(V_{sig}-V_{res}) \times C_0/C_2 - V_{off} \times C_1/C_2\}$,并且从输出部分 12 输出的电压变为 $\{(V_{sig}-V_{res}) \times C_0/C_2 + V_{off} \times (1-C_1/C_2) + V_{COR}\}$ 。此后,如上所述,断开开关 8,并接通开关 4。此时,如果没有偏移补偿开关 4 和 5,则开关 8 和 9 的栅极沟道电荷基于它们的开/关操作而移动,并被存储在反馈电容器 C2 中。因此,该电荷在从输出部分 12 输出的电压中产生偏移。当开关 8 的状态从导通状态变为截止状态时,一旦开关 4 的状态从截止状态变为导通状态,则开关 8 的沟道电荷被吸收为开关 4 的沟道电荷,所以该电荷既不移动到反馈电容器 C2,也不被存储。

[0020] 开关 4、5 和 6 中的每个的 MOS 晶体管的合适的栅极宽度基本上是开关 7、8 和 9 中的对应一个的 MOS 晶体管的栅极宽度的一半。然而,实践中,由于各个开关的节点之间的电压的不平衡,所以大于 1/2 的栅极宽度通常是最佳的。

[0021] 在断开开关 8 之后,开关 13 再次接通,输出部分 12 的电压被存储在电容器 17 中,并且移位寄存器 37 的输出部分 23 和 24 的脉冲电平变为高电平,从而分别接通开关 16 和 15。因此,电容器 17 与 18 之间的电压差 $\{(V_{sig}-V_{res}) \times C_0/C_2 - V_{off} \times C_1/C_2\}$ 从差动放大器 21 的输出部分 22 输出。当输入转换偏移电压 V_{off} 足够低时,用等于原始增益设计值的 $\{(V_{sig}-V_{res}) \times C_0/C_2\}$ 近似表示 (approximate) 该输出电压。

[0022] 根据该实施例的成像设备设有放大单元 2,从而使得可使信号动态范围变宽,并改进 S/N 比。通过上述操作序列,在像素部分 1 输出与入射光对应的信号的同时,可通过抑制放大电路 3 的增益误差和偏移误差来改变放大电路 3 的增益。偏移补偿开关 4 和 5 分别与

MOS 晶体管开关 8 和 9 串联连接, MOS 晶体管开关 8 和 9 分别切换多个确定放大电路 3 的增益的反馈电容器 C1 和 C2。因此, 在放大单元 2 的增益能够在从像素部分 1 输出信号时改变的成像设备中, 当导通晶体管 8 或 9 以选择相应的反馈电容器 C1 或 C2 以便改变增益时, 可对放大电路 3 中所产生的偏移电压进行校正。这使得可防止当切换为每列设置的可变增益放大单元 2 的增益时放大单元 2 的输出中的偏移电压的波动, 并可提供在其中每个增益的设计值与实际增益一致的放大单元 2。

[0023] 尽管已参照示例性实施例对本发明进行了描述, 但是应该理解, 本发明不限于所公开的示例性实施例。以下权利要求的范围应被赋予最宽泛的解释, 以涵盖所有这样的修改以及等同的结构和功能。

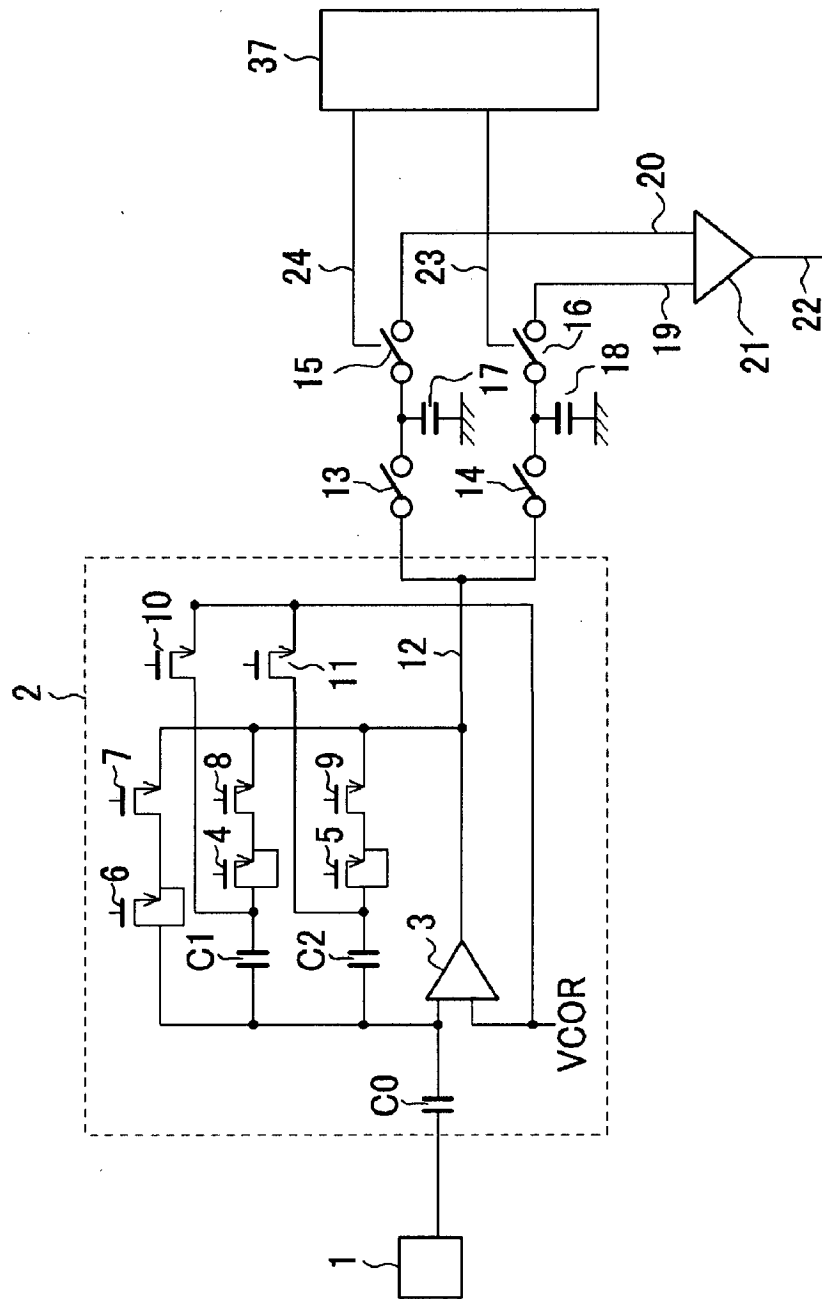


图 1

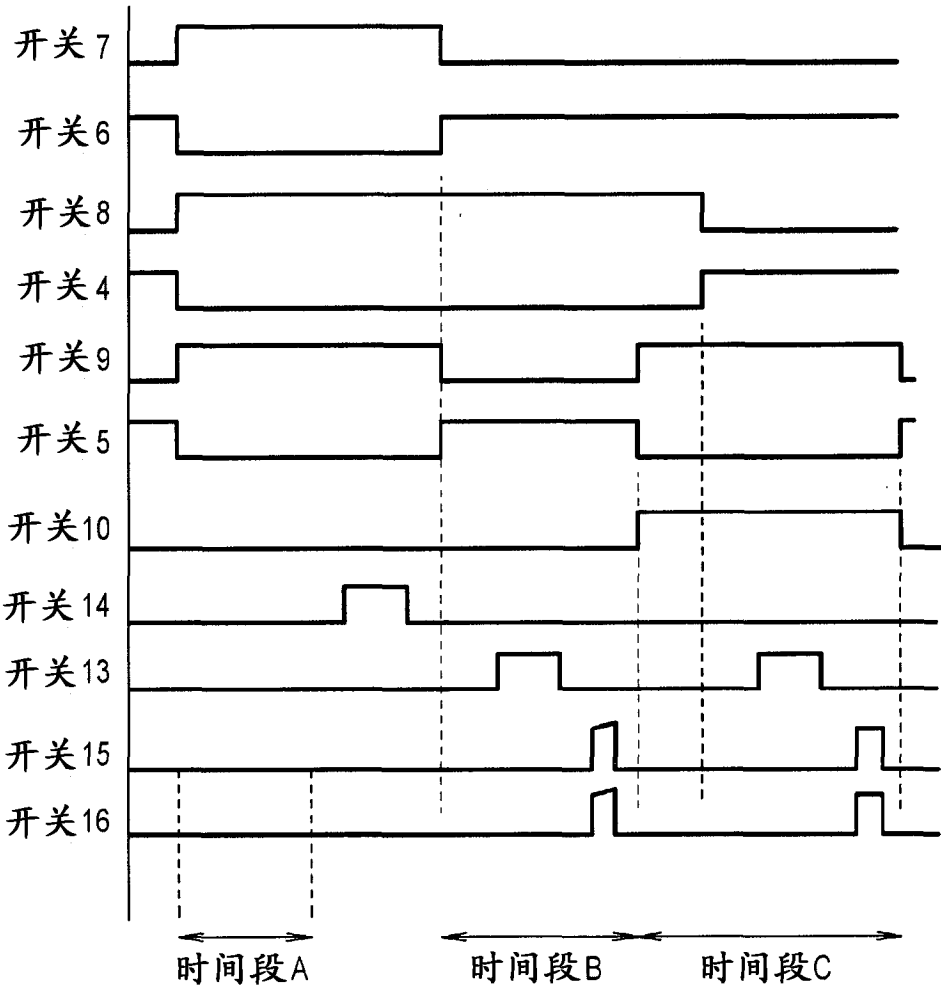


图 2