

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月15日(15.09.2022)



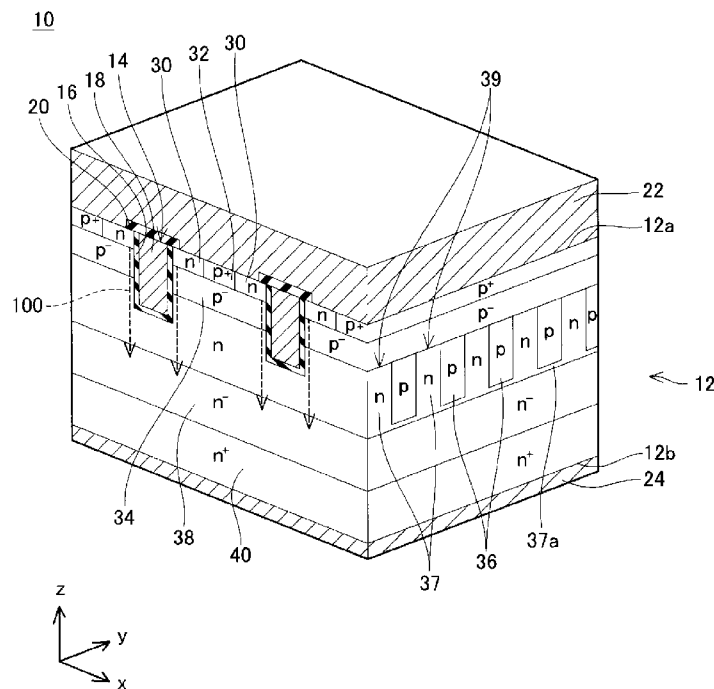
(10) 国際公開番号

WO 2022/190445 A1

- (51) 国際特許分類:
H01L 29/06 (2006.01) *H01L 29/12* (2006.01)
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
- (21) 国際出願番号: PCT/JP2021/037475
- (22) 国際出願日: 2021年10月8日(08.10.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-039306 2021年3月11日(11.03.2021) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 高谷 秀史 (TAKAYA Hidefumi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 弁理士法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市西区牛島町6番1号 名古屋ルーセントタワー9階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: FIELD-EFFECT TRANSISTOR

(54) 発明の名称: 電界効果トランジスタ



(57) Abstract: Provided is a field-effect transistor (10) comprising a plurality of p-type deep layers (36) and a plurality of n-type deep layers (37). Each p-type deep layer projects downward from a body layer, extends along a first direction intersecting a trench when a semiconductor substrate is viewed from an upper side, and are disposed, with an interval portion provided therebetween, in a second direction orthogonal to the first direction when the semiconductor substrate is viewed from the upper side. Each n-type deep layer is disposed inside a corresponding interval portion. A drift layer

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告(条約第21条(3))

has a lower n-type impurity concentration than that of each n-type deep layer. The dimension of the n-type deep layer in the thickness direction of the semiconductor substrate is larger than the dimension of the n-type deep layer in the second direction.

(57) 要約：電界効果トランジスタ(10)であって、複数のp型ディープ層(36)と、複数のn型ディープ層(37)を有する。前記各p型ディープ層が、前記ボディ層から下側に突出しており、上側から前記半導体基板を見たときに前記トレンチに対して交差する第1方向に沿って伸びており、上側から前記半導体基板を見たときに前記第1方向に対して直交する第2方向に間隔部を開けて配置されている。前記各n型ディープ層が、対応する前記間隔部内に配置されている。ドリフト層が、前記各n型ディープ層よりも低いn型不純物濃度を有する。前記半導体基板の前記厚み方向における前記n型ディープ層の寸法が、前記第2方向における前記n型ディープ層の寸法よりも大きい。

明 細 書

発明の名称：電界効果トランジスタ

技術分野

[0001] (関連出願の相互参照)

本出願は、2021年3月11日に出願された日本特許出願特願2021-039306の関連出願であり、この日本特許出願に基づく優先権を主張するものであり、この日本特許出願に記載された全ての内容を、本明細書を構成するものとして援用する。

[0002] 本明細書に開示の技術は、電界効果トランジスタに関する。

[0003] 特開2009-194065号公報（以下、特許文献1という）には、トレンチゲート型の電界効果トランジスタが開示されている。この電界効果トランジスタは、ボディ層から下側に突出する複数のp型ディープ層を有している。各p型ディープ層は、上側から半導体基板を見たときにトレンチに対して交差するように伸びている。複数のp型ディープ層は、その幅方向に間隔部を開けて配置されている。各p型ディープ層は、ボディ層からトレンチの底面よりも下側まで伸びている。特許文献1に開示の電界効果トランジスタの一例では、各p型ディープ層は、ボディ層の下側に位置するトレンチの側面及びトレンチの底面でゲート絶縁膜に接している。また、電界効果トランジスタは、ボディ層及び各p型ディープ層に接するn型のドリフト層を有している。この電界効果トランジスタがオフすると、ボディ層からドリフト層内に空乏層が広がる。ドリフト層内に広がる空乏層によって、ソースドレイン間の電圧が保持される。また、この電界効果トランジスタがオフすると、各ディープp層からもドリフト層内に空乏層が広がる。各ディープp層がトレンチの底面でゲート絶縁膜に接しているので、各ディープp層から広がる空乏層によってトレンチの底面の周辺のドリフト層が空乏化される。このように、各ディープp層からトレンチの底面の周辺に広がる空乏層によって、トレンチの底面の周辺のゲート絶縁膜及びドリフト層で電界集中が生じることが抑制される。したがって、この電界効果トランジスタは、高い耐圧

を有する。

発明の概要

[0004] 特許文献1の電界効果トランジスタがオンすると、ボディ層にチャンネルが形成される。すると、ソース層から、チャンネルへ電子が流れる。ボディ層の下側に複数のp型ディープ層が存在するので、チャンネルを通過した電子は、p型ディープ層の間隔部内に配置されているドリフト層に流入する。間隔部を通過した電子は、間隔部の下側のドリフト層へ流れる。このように、電子が、ソース層から、チャンネルと間隔部内のドリフト層を介して間隔部の下側のドリフト層へ流れる。間隔部内のドリフト層は、p型ディープ層によって挟まれている。電界効果トランジスタのオン状態において、各p型ディープ層から間隔部内のドリフト層へ空乏層が広がっている。このように広がる空乏層によって、間隔部内のドリフト層内の電子が流れる経路が狭められる。その結果、間隔部の抵抗が高くなる。このため、特許文献1の電界効果トランジスタは、オン抵抗が高い。本明細書では、複数のp型ディープ層を有する電界効果トランジスタにおいて、低いオン抵抗を実現する技術を提案する。

[0005] 本明細書が開示する電界効果トランジスタは上面にトレンチが設けられた半導体基板と、前記トレンチの内面を覆うゲート絶縁膜と、前記トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているゲート電極、を有する。前記半導体基板が、前記トレンチの側面で前記ゲート絶縁膜に接するn型のソース層と、前記ソース層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接するp型のボディ層と、複数のp型ディープ層と、複数のn型ディープ層と、ドリフト層を有する。前記各p型ディープ層が、前記ボディ層から下側に突出しており、前記ボディ層から前記トレンチの底面よりも下側まで伸びており、上側から前記半導体基板を見たときに前記トレンチに対して交差する第1方向に沿って伸びており、上側から前記半導体基板を見たときに前記第1方向に対して直交する第2方向に間隔部を開けて配置されており、前記ボディ層の下側に位置する前

記トレンチの前記側面及び前記トレンチの前記底面で前記ゲート絶縁膜に接している。前記各 n 型ディープ層が、対応する前記間隔部内に配置されており、前記ボディ層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接している。前記ドリフト層が、前記各 n 型ディープ層よりも低い n 型不純物濃度を有する n 型であり、前記複数の n 型ディープ層の下面に接している。前記各 p 型ディープ層が、前記第 2 方向における寸法よりも前記半導体基板の厚み方向における寸法が大きい形状を有している。前記各 n 型ディープ層が、前記第 2 方向における寸法よりも前記半導体基板の前記厚み方向における寸法が大きい形状を有している。

[0006] なお、 p 型ディープ層の「前記第 2 方向における寸法」は、 p 型ディープ層の第 2 方向における両側面の間の距離を意味する。また、 p 型ディープ層の「前記半導体基板の厚み方向における寸法」は、ボディ層の下面（すなわち、 p 型ディープ層の上面）から p 型ディープ層の下面までの半導体基板の厚み方向における距離を意味する。また、 n 型ディープ層の「前記第 2 方向における寸法」は、 n 型ディープ層の第 2 方向における両側面の間の距離を意味する。また、 n 型ディープ層の「前記半導体基板の厚み方向における寸法」は、ボディ層の下面（すなわち、 n 型ディープ層の上面）から n 型ディープ層の下面までの半導体基板の厚み方向における距離を意味する。

[0007] この電界効果トランジスタは、複数の p 型ディープ層を有しているので、電界効果トランジスタがオフするときにトレンチの底面の周辺の電界集中を抑制できる。したがって、この電界効果トランジスタは、高い耐圧を有する。また、この電界効果トランジスタでは、複数の p 型ディープ層の間の間隔部に、ドリフト層よりも n 型不純物濃度が高い n 型ディープ層が設けられている。また、半導体基板の厚み方向における n 型ディープ層の寸法が、第 2 方向における n 型ディープ層の寸法よりも大きい。すなわち、 n 型ディープ層は、縦方向（すなわち、半導体基板の厚み方向）に長い形状を有している。したがって、間隔部のうちの広い範囲が n 型ディープ層によって構成されている。この電界効果トランジスタがオンすると、ソース層からチャンネルと

n型ディープ層を介してドリフト層へ電子が流れる。n型ディープ層が間隔部内に配置されているので、n型ディープ層にはその両側のp型ディープ層から空乏層が広がっている。しかしながら、n型ディープ層のn型不純物濃度が高いので、p型ディープ層からn型ディープ層に広がる空乏層の幅は狭い。したがって、n型ディープ層内に電子の流通経路が広く確保される。このため、間隔部の抵抗を従来よりも低くすることができる。したがって、この電界効果トランジスタの構成によれば、低いオン抵抗を実現することができる。

図面の簡単な説明

- [0008] [図1]MOSFET 10の断面斜視図。(p型ディープ層36を含まないx-z断面を示す図)。
- [図2]ソース電極22と層間絶縁膜20を省略したMOSFET 10の断面斜視図。
- [図3]半導体基板12を上から見たときのトレンチ14とp型ディープ層36の配置を示す平面図。
- [図4]p型ディープ層36とn型ディープ層37の拡大断面図。
- [図5]MOSFET 10の断面斜視図(p型ディープ層36を含むx-z断面を示す図)。
- [図6]MOSFET 10の製造方法の説明図。
- [図7]MOSFET 10の製造方法の説明図。
- [図8]MOSFET 10の製造方法の説明図。
- [図9]MOSFET 10がオンしているときのn型ディープ層37内の空乏層の分布を示す図。
- [図10]規格値 D_n/D_p とMOSFET 10の特性の関係を示すグラフ。
- [図11]第1変形例のMOSFETのp型ディープ層36とn型ディープ層37の拡大断面図。
- [図12]第2変形例のMOSFETのp型ディープ層36とn型ディープ層37の拡大断面図。

[図13]第3変形例のMOSFETのp型ディープ層36とn型ディープ層37の拡大断面図。

発明を実施するための形態

- [0009] 本明細書が開示する一例の電界効果トランジスタでは、前記複数のn型ディープ層が、前記ボディ層の前記下面から前記複数のp型ディープ層の前記下面の深さまで伸びていてもよい。この場合、前記複数のn型ディープ層が、前記ボディ層の前記下面から前記複数のp型ディープ層の前記下面よりも下側まで伸びていてもよい。
- [0010] これらの構成によれば、間隔部の全体をn型不純物濃度が高いn型ディープ層で構成することができる。したがって、電界効果トランジスタのオン抵抗をより低減することができる。
- [0011] 本明細書が開示する一例の電界効果トランジスタでは、前記複数のn型ディープ層が、前記複数のp型ディープ層の前記下面よりも下側の領域を介して互いに繋がっていてもよい。
- [0012] 本明細書が開示する一例の電界効果トランジスタでは、前記半導体基板の前記厚み方向における前記n型ディープ層の寸法が、前記半導体基板の厚み方向における前記p型ディープ層の寸法の1.07倍以下であってもよい。
- [0013] この構成によれば、電界効果トランジスタにおいてより高い耐圧を実現することができる。
- [0014] 図1、2に示す実施形態のMOSFET10 (metal-oxide-semiconductor field effect transistor) は、半導体基板12を有している。以下では、半導体基板12の厚み方向をz方向といい、半導体基板12の上面12aに平行な一方向(z方向に直交する一方向)をx方向といい、x方向及びz方向に直交する方向をy方向という。半導体基板12は、炭化シリコン(すなわち、SiC)により構成されている。なお、半導体基板12がシリコン、窒化ガリウム等の他の半導体材料により構成されていてもよい。半導体基板12の上面12aには、複数のトレンチ14が設けられている。図2に示すように、複数のトレンチ14は、上面12aにおいて、y方向に沿って長く

伸びている。複数のトレンチ 14 は、x 方向に間隔を開けて配置されている。

[0015] 図 1、2 に示すように、各トレンチ 14 の内面（すなわち、側面と底面）は、ゲート絶縁膜 16 によって覆われている。各トレンチ 14 内に、ゲート電極 18 が配置されている。各ゲート電極 18 は、ゲート絶縁膜 16 によって半導体基板 12 から絶縁されている。図 1 に示すように、各ゲート電極 18 の上面は、層間絶縁膜 20 によって覆われている。半導体基板 12 の上部に、ソース電極 22 が設けられている。ソース電極 22 は、各層間絶縁膜 20 を覆っている。ソース電極 22 は、層間絶縁膜 20 によってゲート電極 18 から絶縁されている。ソース電極 22 は、層間絶縁膜 20 が存在しない位置で、半導体基板 12 の上面 12a に接している。半導体基板 12 の下部には、ドレイン電極 24 が配置されている。ドレイン電極 24 は、半導体基板 12 の下面 12b の全域に接している。

[0016] 図 1、2 に示すように、半導体基板 12 は、複数のソース層 30、複数のコンタクト層 32、ボディ層 34、複数の p 型ディープ層 36、複数の n 型ディープ層 37、ドリフト層 38、及び、ドレイン層 40 を有している。

[0017] 各ソース層 30 は、高い n 型不純物濃度を有する n 型層である。各ソース層 30 は、半導体基板 12 の上面 12a を部分的に含む範囲に配置されている。各ソース層 30 は、ソース電極 22 にオーミック接触している。各ソース層 30 は、トレンチ 14 の側面の最上部において、ゲート絶縁膜 16 に接している。各ソース層 30 は、ゲート絶縁膜 16 を介してゲート電極 18 に対向している。各ソース層 30 はトレンチ 14 の側面に沿って y 方向に長く伸びている。

[0018] 各コンタクト層 32 は、高い p 型不純物濃度を有する p 型層である。各コンタクト層 32 は、半導体基板 12 の上面 12a を部分的に含む範囲に配置されている。各コンタクト層 32 は、対応する 2 つのソース層 30 の間に配置されている。各コンタクト層 32 は、ソース電極 22 にオーミック接触している。各コンタクト層 32 は、y 方向に長く伸びている。

[0019] ボディ層 34 は、コンタクト層 32 よりも低い p 型不純物濃度を有する p 型層である。ボディ層 34 は、複数のソース層 30 及び複数のコンタクト層 32 の下側に配置されている。ボディ層 34 は、複数のソース層 30 及び複数のコンタクト層 32 に対して下側から接している。ボディ層 34 は、ソース層 30 の下側に位置するトレンチ 14 の側面で、ゲート絶縁膜 16 に接している。ボディ層 34 は、ゲート絶縁膜 16 を介してゲート電極 18 に対向している。

[0020] 各 p 型ディープ層 36 は、ボディ層 34 の下面から下側に突出している p 型層である。各 p 型ディープ層 36 の p 型不純物濃度は、ボディ層 34 の p 型不純物濃度よりも高く、コンタクト層 32 の p 型不純物濃度よりも低い。図 3 に示すように半導体基板 12 を上側から見たときに、各 p 型ディープ層 36 は、x 方向に長く伸びており、トレンチ 14 に対して直交している。複数の p 型ディープ層 36 は、y 方向に間隔を開けて配置されている。以下では、複数の p 型ディープ層 36 の間の部分を、間隔部 39 という。図 4 に示すように、p 型ディープ層 36 は、y z 断面において、z 方向に長い形状を有している。すなわち、p 型ディープ層 36 の z 方向における寸法（以下、深さ D_p という）は、p 型ディープ層 36 の y 方向における寸法（以下、幅 W_p という）よりも大きい。例えば、深さ D_p を、幅 W_p の 1～4 倍とすることができる。図 5 に示すように、各 p 型ディープ層 36 は、ボディ層 34 の下面から各トレンチ 14 の底面よりも下側の深さまで伸びている。各 p 型ディープ層 36 は、ボディ層 34 の下側に位置するトレンチ 14 の側面でゲート絶縁膜 16 に接している。また、各 p 型ディープ層 36 は、トレンチ 14 の底面でゲート絶縁膜 16 に接している。各 p 型ディープ層 36 は、ゲート絶縁膜 16 を介してゲート電極 18 に対向している。

[0021] 各 n 型ディープ層 37 は、ドリフト層 38 よりも n 型不純物濃度が高い n 型層である。各 n 型ディープ層 37 の n 型不純物濃度は、各 p 型ディープ層 36 の p 型不純物濃度よりも低い。図 1、2 に示すように、各 n 型ディープ層 37 は、対応する間隔部 39 内に配置されている。各 n 型ディープ層 37

は、ボディ層 34 の下面に接している。各 n 型ディープ層 37 は、その両側の p 型ディープ層 36 の側面に接している。各 n 型ディープ層 37 は、ボディ層 34 の下面から各トレンチ 14 の底面及び各 p 型ディープ層 36 の下面よりも下側まで伸びている。図 4 に示すように、間隔部 39 内の n 型ディープ層 37 は、y z 断面において、z 方向に長い形状を有している。すなわち、n 型ディープ層 37 の z 方向における寸法（以下、深さ D_n という）は、間隔部 39 内の n 型ディープ層 37 の y 方向における寸法（以下、幅 W_n という）よりも大きい。例えば、深さ D_n を、幅 W_n の 1～4 倍とすることができる。本実施形態では、n 型ディープ層 37 の幅 W_n は、p 型ディープ層 36 の幅 W_p と略等しい。各 n 型ディープ層 37 は、隣接する p 型ディープ層 36 の下面の直下まで伸びる接続領域 37a を有している。各接続領域 37a は、対応する p 型ディープ層 36 の下面に接している。各 n 型ディープ層 37 は、各接続領域 37a を介して互いに繋がっている。n 型ディープ層 37 が p 型ディープ層 36 の下面よりも下側に突出する部分の厚み T_1 （すなわち、p 型ディープ層 36 の下面から n 型ディープ層 37 下面までの z 方向における距離）は、約 $0.1 \mu m$ であり、極めて薄い。図 1、2 に示すように、各 n 型ディープ層 37 は、各間隔部 39 内において、ゲート絶縁膜 16 に接している。すなわち、各 n 型ディープ層 37 は、ボディ層 34 の下側に位置するトレンチ 14 の側面とトレンチ 14 の底面でゲート絶縁膜 16 に接している。

[0022] ドリフト層 38 は、ソース層 30 よりも低い n 型不純物濃度を有する n 型層である。ドリフト層 38 は、n 型ディープ層 37 の下側に配置されている。ドリフト層 38 は、n 型ディープ層 37 に対して下側から接している。

[0023] ドレイン層 40 は、ドリフト層 38 及び n 型ディープ層 37 よりも高い n 型不純物濃度を有する n 型層である。ドレイン層 40 は、ドリフト層 38 に対して下側から接している。ドレイン層 40 は、半導体基板 12 の下面 12b を含む範囲に配置されている。ドレイン層 40 は、ドレイン電極 24 にオーミック接触している。

[0024] 次に、MOSFET 10の製造方法について説明する。MOSFET 10は、全体がドレイン層40によって構成された半導体基板から製造される。まず、図6に示すように、ドレイン層40上にエピタキシャル成長によってドリフト層38を形成し、形成したドリフト層38の表層部にn型不純物をイオン注入することによってn型ディープ層37を形成する。次に、図7に示すように、n型ディープ層37に選択的にp型不純物をイオン注入することによって、n型ディープ層37中に複数のp型ディープ層36を形成する。次に、図8に示すように、n型ディープ層37及びp型ディープ層36上に、ボディ層34をエピタキシャル成長によって形成する。なお、p型ディープ層36の形成工程をボディ層34の形成工程の後に実施してもよい。次に、ボディ層34に選択的にn型不純物及びp型不純物をイオン注入することによって、ソース層30とコンタクト層32を形成する。その後、トレンチ14、ゲート絶縁膜16、ゲート電極18、層間絶縁膜20、ソース電極22、及び、ドレイン電極24を形成することで、MOSFET 10が完成する。

[0025] MOSFET 10は、ドレイン電極24にソース電極22よりも高い電位が印加された状態で使用される。各ゲート電極18にゲート閾値以上の電位が印加されると、ゲート絶縁膜16の近傍のボディ層34にチャンネルが形成される。チャンネルによって、ソース層30とn型ディープ層37が接続される。このため、図1の矢印100に示すように、ソース層30からチャンネル、n型ディープ層37、及び、ドリフト層38を経由してドレイン層40へ電子が流れる。すなわち、MOSFET 10がオンする。各ゲート電極18の電位をゲート閾値以上の値からゲート閾値未満の値へ引き下げると、チャンネルが消失し、電子の流れが停止する。すなわち、MOSFET 10がオフする。

[0026] 次に、MOSFET 10をオフするときの動作について、より詳細に説明する。チャンネルが消失すると、ボディ層34と各n型ディープ層37の界面のpn接合に逆電圧が印加される。したがって、ボディ層34から各n型デ

ィープ層 37 へ空乏層が広がる。また、各 p 型ディープ層 36 は、ボディ層 34 と繋がっており、ボディ層 34 と略同じ電位を有する。したがって、チャンネルが消失すると、各 p 型ディープ層 36 と各 n 型ディープ層 37 の界面の p n 接合にも逆電圧が印加される。したがって、各 p 型ディープ層 36 から各 n 型ディープ層 37 へも空乏層が広がる。図 5 に示すように、各 p 型ディープ層 36 とトレンチ 14 の交差部では、トレンチ 14 の直下に p 型ディープ層 36 が存在している。したがって、トレンチ 14 の直下の p 型ディープ層 36 からトレンチ 14 の底面の周辺の n 型ディープ層 37 に空乏層が広がる。このように、p 型ディープ層 36 から広がる空乏層によって、トレンチ 14 の底面の周辺の n 型ディープ層 37 が素早く空乏化される。これによって、トレンチ 14 の底面近傍における電界集中が抑制される。また、ボディ層 34 と各 p 型ディープ層 36 から広がる空乏層によって、各 n 型ディープ層 37 の全体が空乏化される。なお、各 n 型ディープ層 37 はドリフト層 38 よりも n 型不純物濃度が低いため、各 n 型ディープ層 37 内にはドリフト層 38 内よりも空乏層が広がり難い。しかしながら、各 n 型ディープ層 37 は p 型ディープ層 36 によって挟まれており、かつ、各 n 型ディープ層 37 の幅 W_n が狭いので、各 n 型ディープ層 37 の全体が空乏化する。また、空乏層は、各 n 型ディープ層 37 を介してドリフト層 38 へ広がる。ドリフト層 38 の n 型不純物濃度が低いので、ドリフト層 38 のほぼ全体が空乏化される。空乏化されたドリフト層 38 及び各 n 型ディープ層 37 によって、ドレイン電極 24 とソース電極 22 の間に印加される高電圧が保持される。したがって、MOSFET 10 は高い耐圧を有する。

[0027] 次に、MOSFET 10 をオンするときの動作について、より詳細に説明する。上述したように、MOSFET 10 がオンすると、図 1 の矢印 100 に示すようにソース層 30 からチャンネルと n 型ディープ層 37 を介してドリフト層 38 へ電子が流れる。図 9 は、MOSFET 10 がオンしているときの n 型ディープ層 37 内の空乏層 90 の分布を示している。図 9 において、斜線でハッチングされている領域が、空乏層 90 である。MOSFET 10

がオンしている状態では、 n 型ディープ層 37 と p 型ディープ層 36 の界面の pn 接合（以下、 pn 接合 70 という）に逆電圧は印加されていない。しかしながら、この状態でも、ビルトインポテンシャルによって pn 接合 70 に空乏層 90 が存在している。本実施形態では、 n 型ディープ層 37 の n 型不純物濃度が高いので、 pn 接合 70 から n 型ディープ層 37 内に伸びる空乏層 90 の幅 W_d が狭い。このため、間隔部 39 内の電子の流通経路（すなわち、空乏化していない n 型ディープ層 37）の幅 W_e が広い。したがって、 $MOSFET$ 10 がオンしているときに、 n 型ディープ層 37 の抵抗が低い。したがって、 $MOSFET$ 10 は、低いオン抵抗を有している。

[0028] 以上に説明したように、実施形態の $MOSFET$ 10 の構造によれば、高い耐圧を実現できるとともに、低いオン抵抗を実現できる。図 10 は、 n 型ディープ層 37 の深さ D_n を変化させたときの $MOSFET$ のオン抵抗と耐圧をシミュレーションした結果を示している。横軸は、 n 型ディープ層 37 の深さ D_n を p 型ディープ層 36 の深さ D_p で除算した規格値 D_n/D_p を示している。 $D_n/D_p > 1.00$ の場合は、図 4 のように、 n 型ディープ層 37 が p 型ディープ層 36 よりも下側まで伸びている。 $D_n/D_p = 1.00$ の場合は、図 11 に示すように、 n 型ディープ層 37 の下端と p 型ディープ層 36 の下端が一致している。 $D_n/D_p < 1.00$ の場合は、図 12 に示すように、 n 型ディープ層 37 の下端が p 型ディープ層 36 の下端よりも上側に位置しており、 n 型ディープ層 37 の下側の間隔部 39（すなわち、図 12 の領域 39a）内までドリフト層 38 が伸びている。図 10 に示すように、規格値 D_n/D_p が大きくなるほど、オン抵抗が低くなる。規格値 D_n/D_p が小さいときにオン抵抗が高い理由は、図 12 の領域 39a（すなわち、間隔部 39 内のドリフト層 38）の n 型不純物濃度が低いため、 $MOSFET$ のオン状態において p 型ディープ層 36 から領域 39a に伸びる空乏層の幅が広く、領域 39a において電子の流通経路が狭くなるためと考えられる。図 10 に示すように、規格値 D_n/D_p が 0.67 以上である場合にオン抵抗を比較的低減することができ、規格値 D_n/D_p が 1.0 以上

である場合にオン抵抗をより効果的に低減することができる。また、規格値 D_n/D_p が大きいと、MOSFETの耐圧が低くなる。これは、 n 型ディープ層37が p 型ディープ層36の下面よりも下側に突出する部分の厚み T_1 が厚くなると、ドリフト層38内で電界が集中し易くなるためと考えられる。規格値 D_n/D_p が1.07以下では高い耐圧が得られ、規格値 D_n/D_p が1.03以下でより耐圧が安定する。

[0029] また、上述したように、実施形態のMOSFET10では、各 n 型ディープ層37と各 p 型ディープ層36が縦に長い形状を有している。このように各 n 型ディープ層37と各 p 型ディープ層36が構成されていると、ゲート電極18とドレイン電極24の間の静電容量（すなわち、帰還容量）が小さくなる。これによって、MOSFET10のスイッチング速度を向上させることができる。

[0030] なお、図1～5の実施形態のMOSFET10では、 n 型ディープ層37の深さが p 型ディープ層36の深さよりも深かった。しかしながら、上述した図11のように n 型ディープ層37の深さが p 型ディープ層36の深さと等しくてもよい。また、上述した図12のように p 型ディープ層36の深さが n 型ディープ層37の深さよりも深くてもよい。

[0031] また、図1～5に示す実施形態のMOSFET10では、各 n 型ディープ層37が p 型ディープ層36の直下まで伸びる接続領域37aを有していた。しかしながら、図13のように、 n 型ディープ層37が接続領域37aを有さなくてもよい。

[0032] また、上述した実施形態では、各 p 型ディープ層36が各トレンチ14に対して直交していたが、各 p 型ディープ層36が各トレンチ14に対して斜めに交差していてもよい。

[0033] 以上、実施形態について詳細に説明したが、これらは例示にすぎず、請求の範囲を限定するものではない。請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用

性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの1つの目的を達成すること自体で技術有用性を持つものである。

請求の範囲

[請求項1]

電界効果トランジスタ（10）であって、
上面にトレンチ（14）が設けられた半導体基板（12）と、
前記トレンチの内面を覆うゲート絶縁膜（16）と、
前記トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているゲート電極（18）、
を有し、
前記半導体基板が、
前記トレンチの側面で前記ゲート絶縁膜に接するn型のソース層（30）と、
前記ソース層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接するp型のボディ層（34）と、
複数のp型ディープ層（36）と、
複数のn型ディープ層（37）と、
ドリフト層（38）、
を有し、
前記各p型ディープ層が、前記ボディ層から下側に突出しており、
前記ボディ層から前記トレンチの底面よりも下側まで伸びており、上側から前記半導体基板を見たときに前記トレンチに対して交差する第1方向に沿って伸びており、上側から前記半導体基板を見たときに前記第1方向に対して直交する第2方向に間隔部を開けて配置されており、前記ボディ層の下側に位置する前記トレンチの前記側面及び前記トレンチの前記底面で前記ゲート絶縁膜に接しており、
前記各n型ディープ層が、対応する前記間隔部内に配置されており、
前記ボディ層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接しており、
前記ドリフト層が、前記各n型ディープ層よりも低いn型不純物濃度を有するn型であり、前記複数のn型ディープ層の下面に接してお

り、

前記各 p 型ディープ層が、前記第 2 方向における寸法よりも前記半導体基板の厚み方向における寸法が大きい形状を有しており、

前記各 n 型ディープ層が、前記第 2 方向における寸法よりも前記半導体基板の前記厚み方向における寸法が大きい形状を有している、

電界効果トランジスタ。

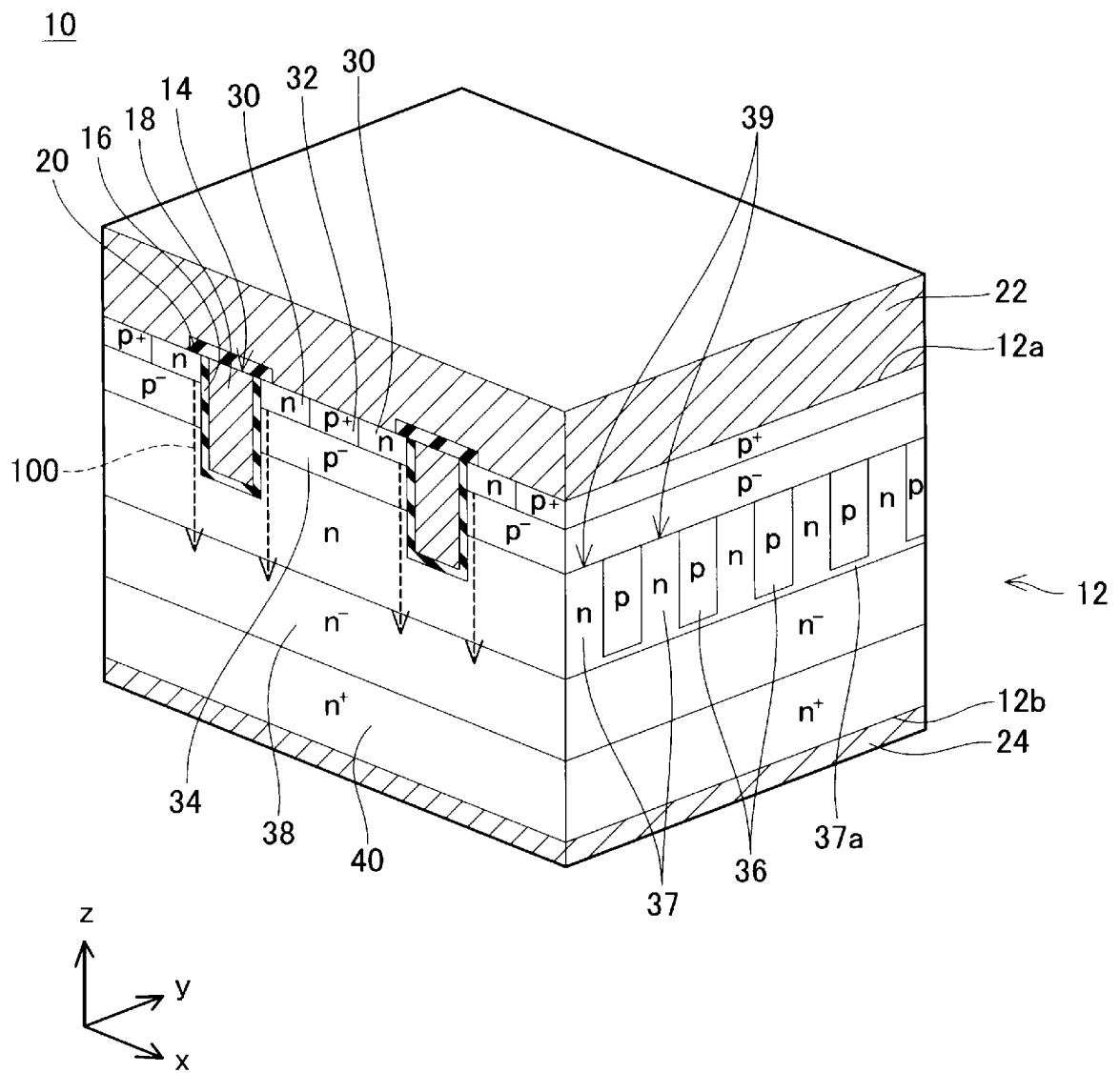
[請求項2] 前記複数の n 型ディープ層が、前記ボディ層の前記下面から前記複数の p 型ディープ層の前記下面の深さまで伸びている、請求項 1 に記載の電界効果トランジスタ。

[請求項3] 前記複数の n 型ディープ層が、前記ボディ層の前記下面から前記複数の p 型ディープ層の前記下面よりも下側まで伸びている、請求項 2 に記載の電界効果トランジスタ。

[請求項4] 前記複数の n 型ディープ層が、前記複数の p 型ディープ層の前記下面の下側の領域を介して互いに繋がっている、請求項 3 に記載の電界効果トランジスタ。

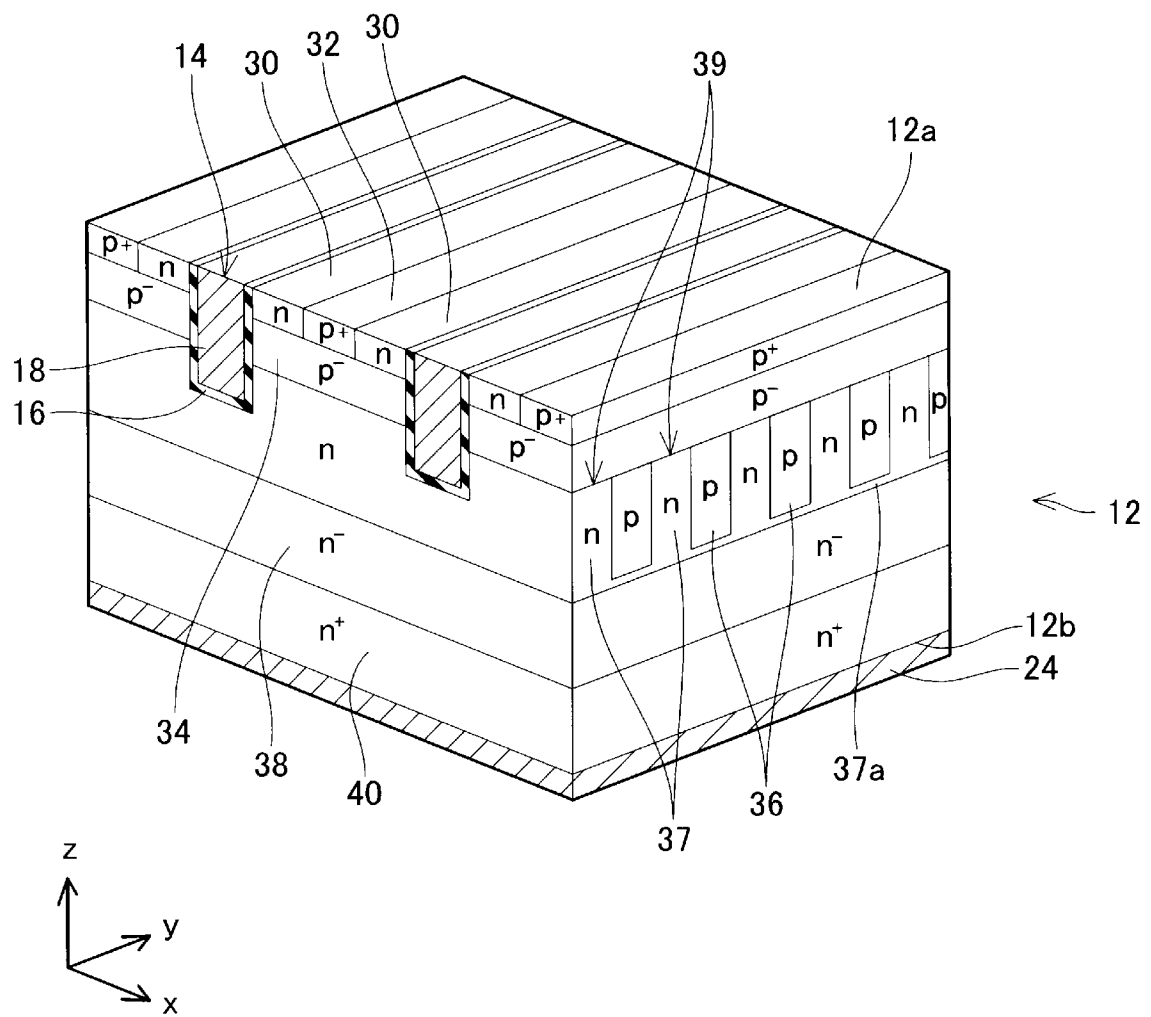
[請求項5] 前記半導体基板の前記厚み方向における前記 n 型ディープ層の寸法が、前記半導体基板の厚み方向における前記 p 型ディープ層の寸法の 1.07 倍以下である、請求項 3 または 4 に記載の電界効果トランジスタ。

[図1]

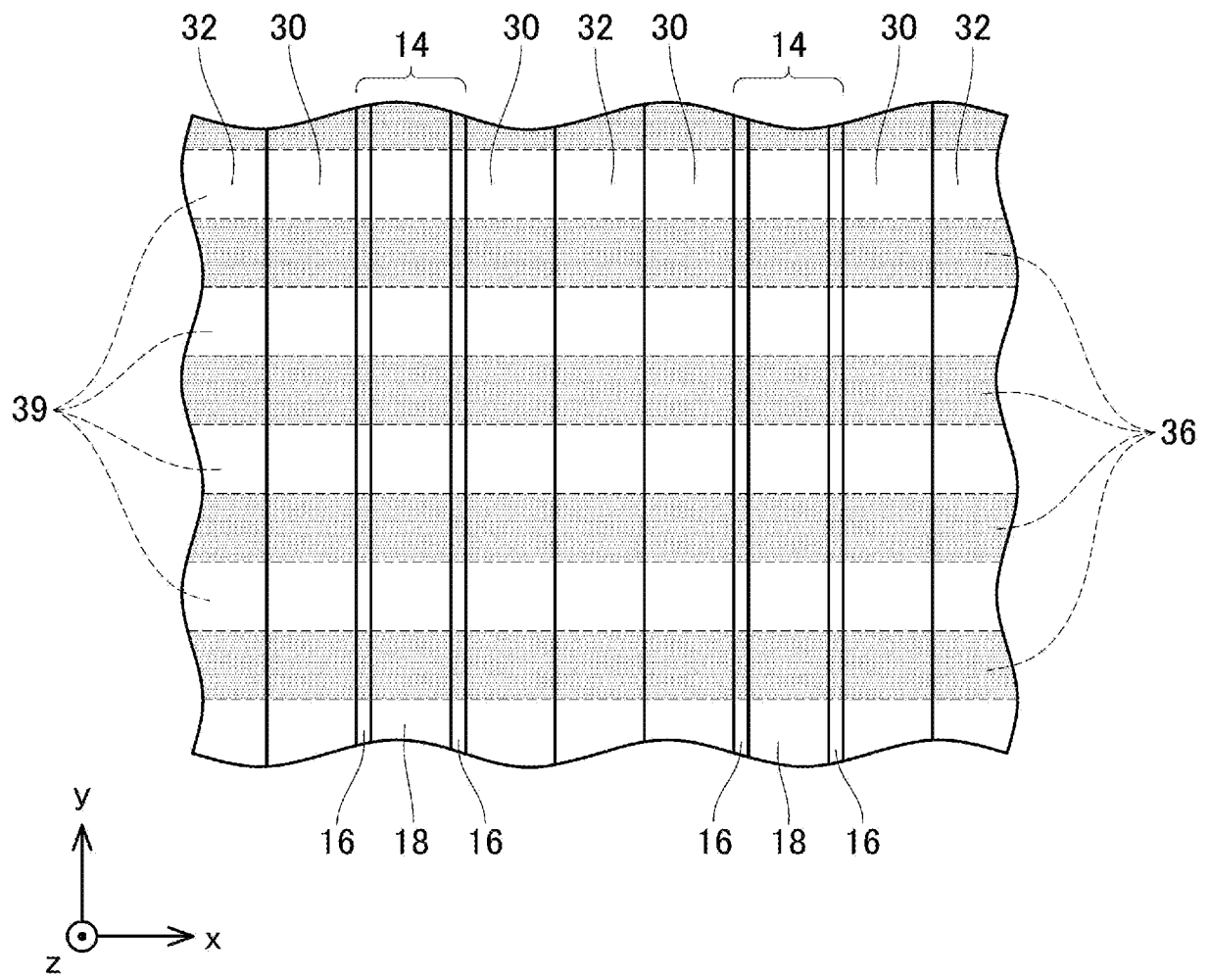


[図2]

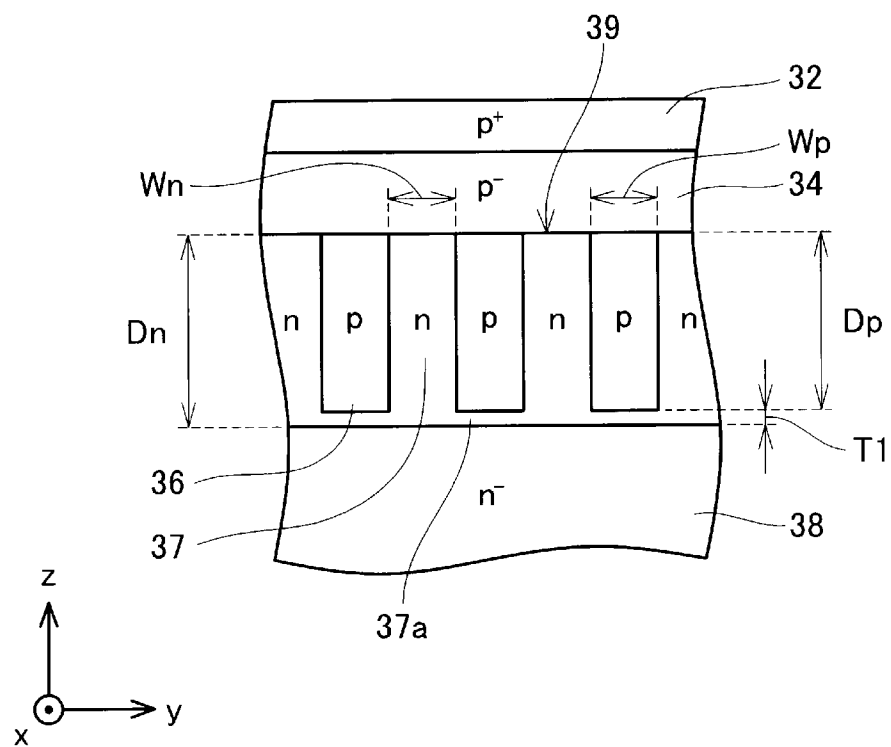
10



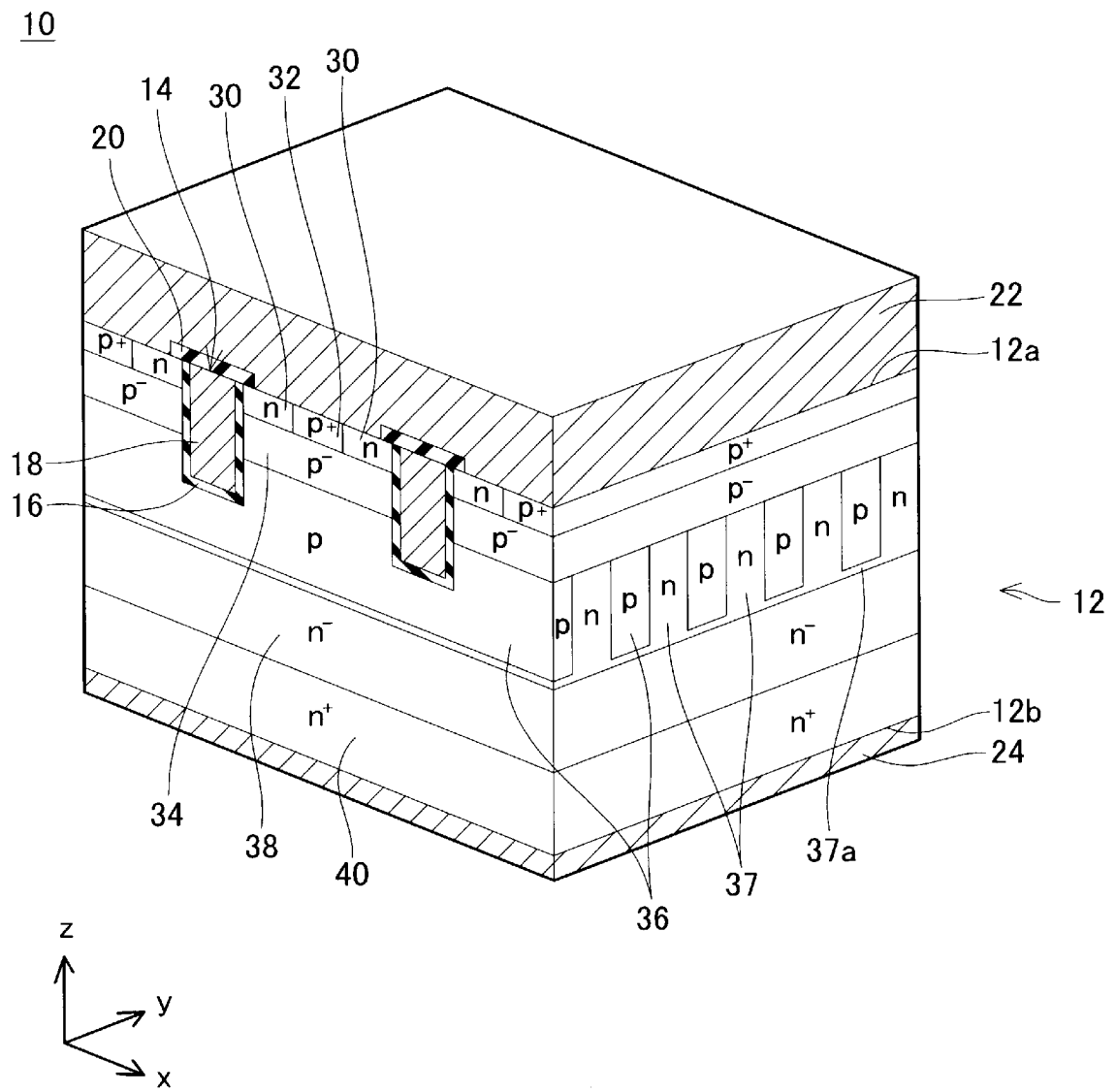
[図3]



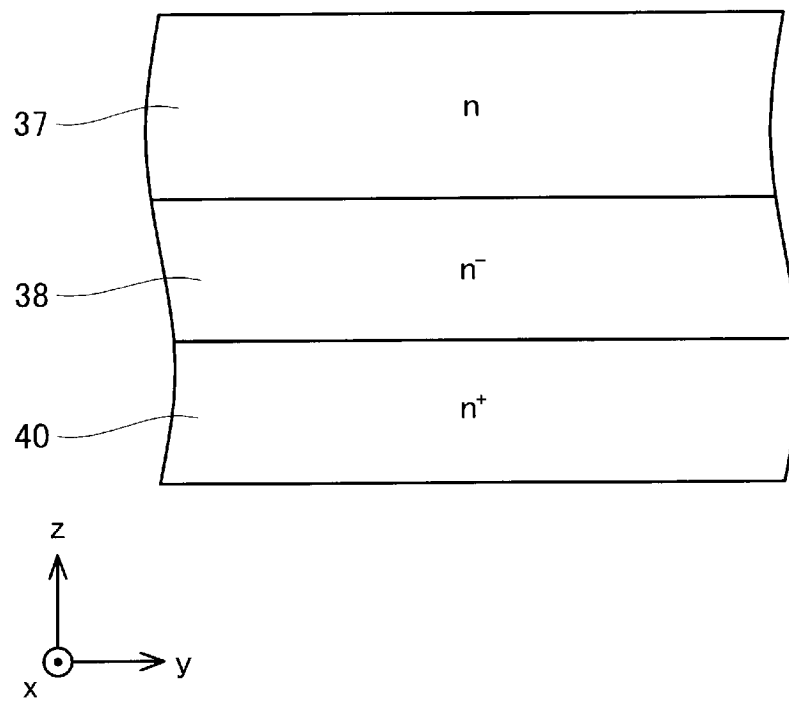
[図4]



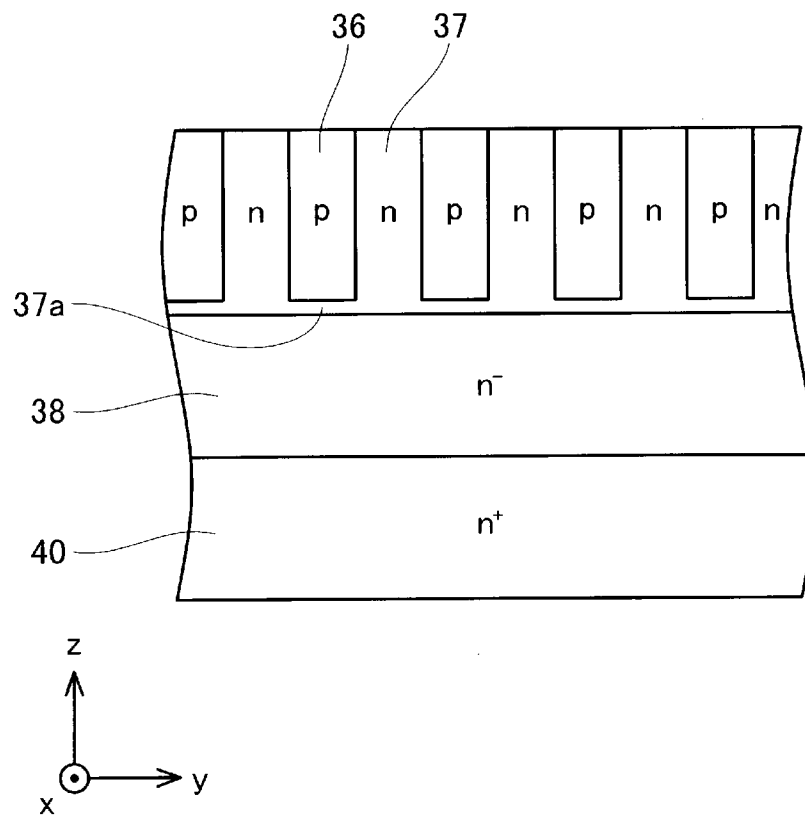
[図5]



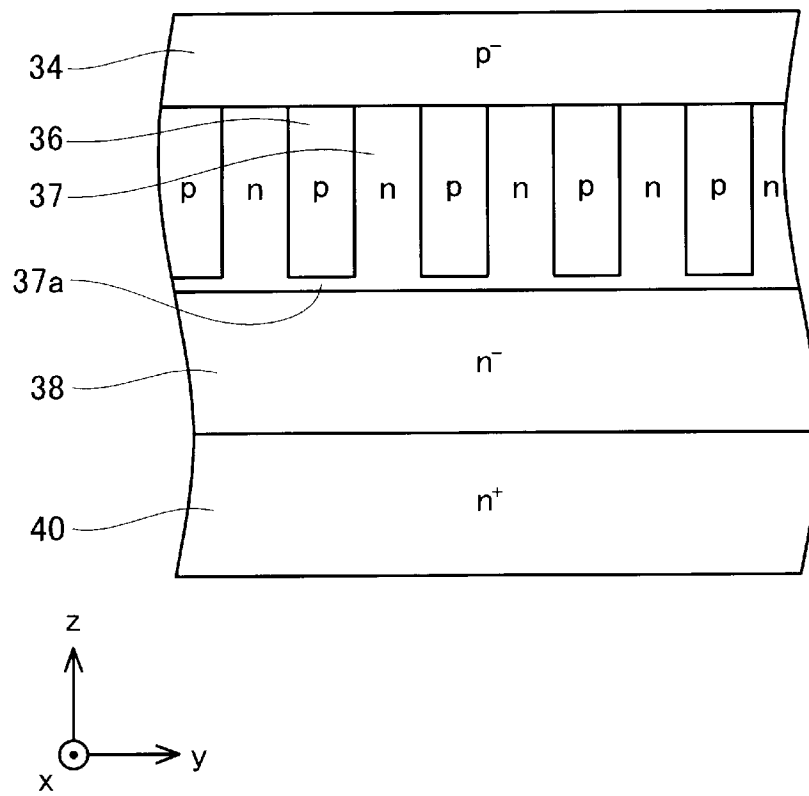
[図6]



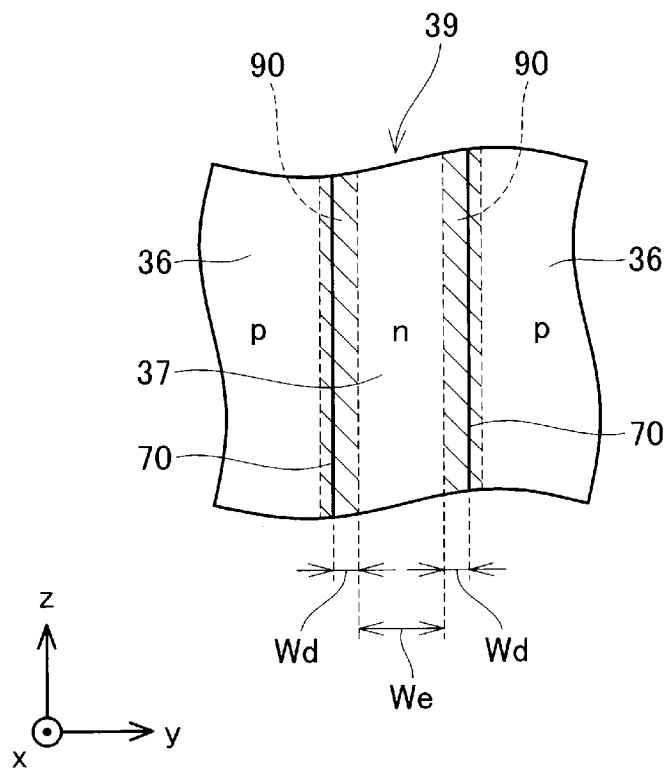
[図7]



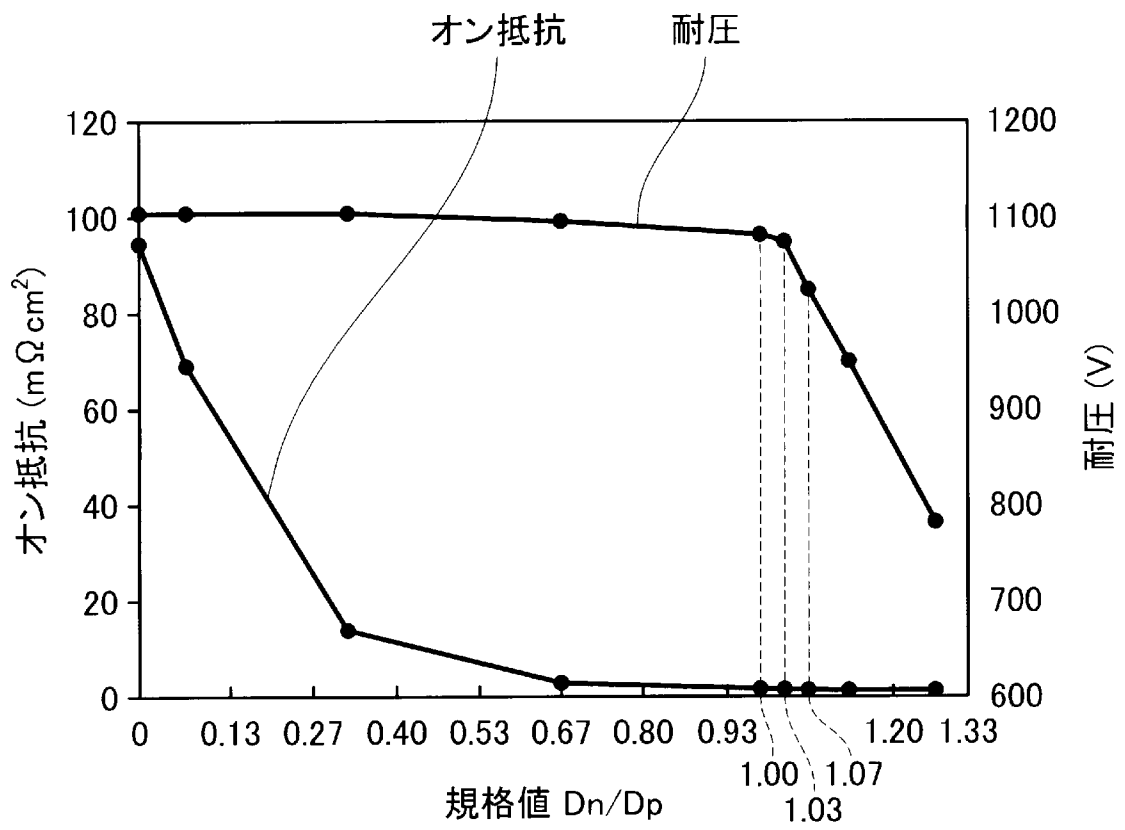
[図8]



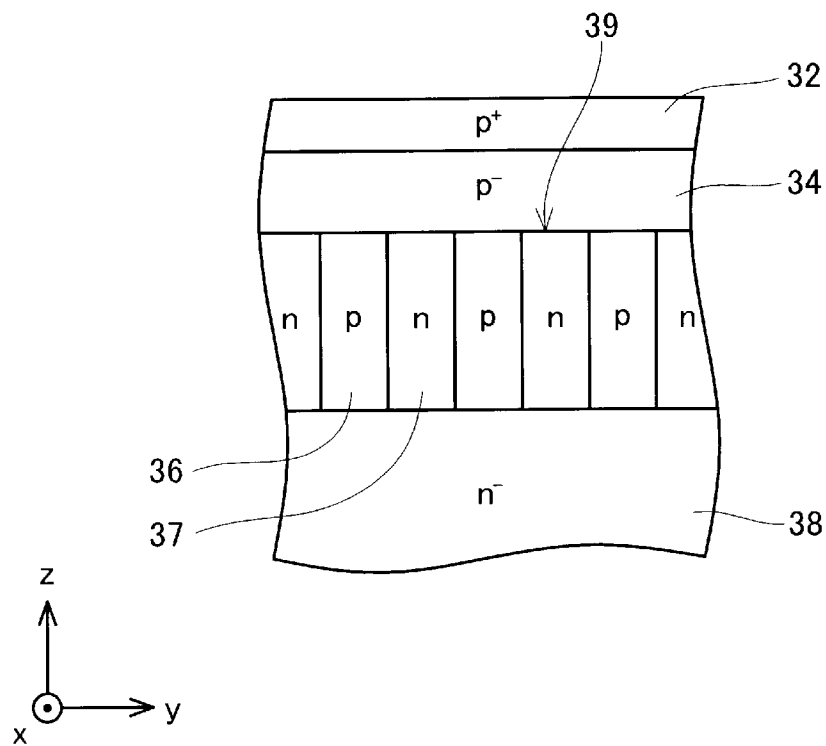
[図9]



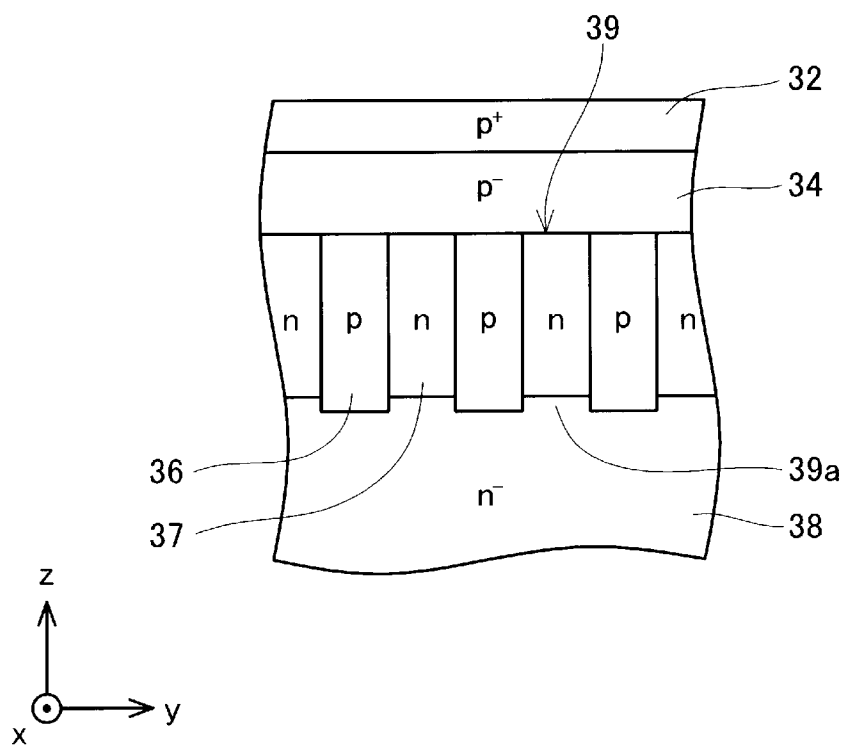
[図10]



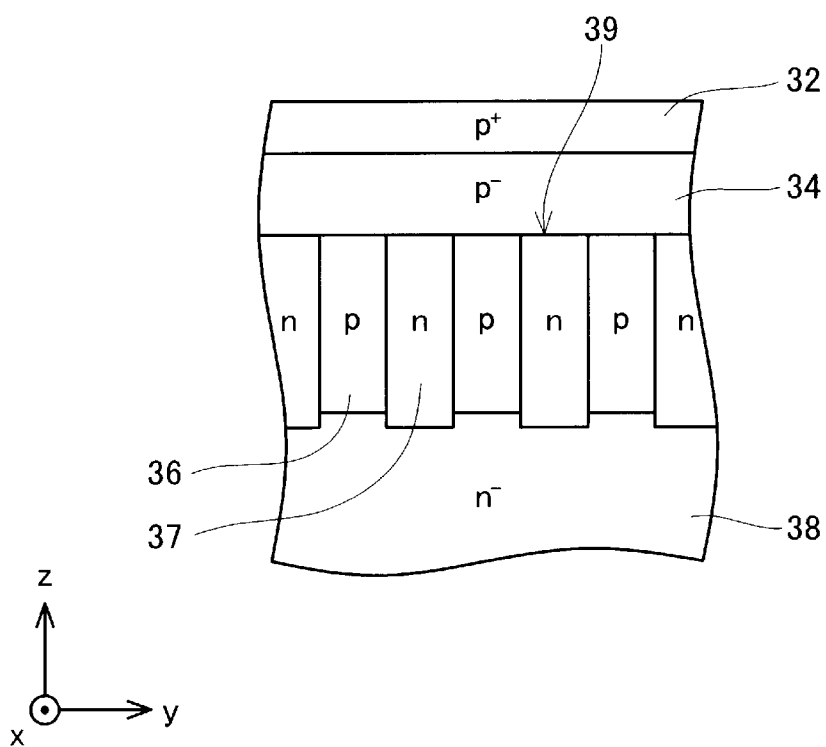
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/037475

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/06**(2006.01)i; **H01L 29/78**(2006.01)i; **H01L 29/12**(2006.01)i; **H01L 21/336**(2006.01)i

FI: H01L29/78 652H; H01L29/78 658A; H01L29/06 301V; H01L29/06 301D; H01L29/78 652T; H01L29/78 653A; H01L29/78 652C; H01L29/78 652K; H01L29/78 652J; H01L29/78 652F; H01L29/78 652E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/06; H01L29/78; H01L29/12; H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-119939 A (DENSO CORP, TOYOTA MOTOR CORP) 06 August 2020 (2020-08-06) paragraphs [0015]-[0034], [0080]-[0082], fig. 9	1, 2
A		3-5
A	JP 2011-253837 A (DENSO CORP, TOYOTA MOTOR CORP, TOYOTA CENTRAL R&D LABS INC) 15 December 2011 (2011-12-15) paragraphs [0031]-[0052], fig. 1-4	1-5
A	JP 2005-019528 A (TOYOTA CENTRAL R&D LABS INC, DENSO CORP) 20 January 2005 (2005-01-20) paragraphs [0034]-[0039], fig. 9	1-5
A	US 2008/0009109 A1 (GREENE, Brian Joseph et al.) 10 January 2008 (2008-01-10) paragraphs [0025]-[0033], fig. 2	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 December 2021

Date of mailing of the international search report

21 December 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/037475

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-119939	A	06 August 2020	US 2020/0235239 A1 paragraphs [0037]-[0057], [0109]-[0111], fig. 9 CN 111463277 A	
JP	2011-253837	A	15 December 2011	US 2011/0291110 A1 paragraphs [0036]-[0057], fig. 1-4	
JP	2005-019528	A	20 January 2005	US 2005/0006717 A1 paragraphs [0087]-[0095], fig. 8	
US	2008/0009109	A1	10 January 2008	US 2006/0138407 A1 (Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/06(2006.01)i; H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; H01L 21/336(2006.01)i FI: H01L29/78 652H; H01L29/78 658A; H01L29/06 301V; H01L29/06 301D; H01L29/78 652T; H01L29/78 653A; H01L29/78 652C; H01L29/78 652K; H01L29/78 652J; H01L29/78 652F; H01L29/78 652E																				
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/06; H01L29/78; H01L29/12; H01L21/336 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年										
日本国実用新案公報	1922-1996年																			
日本国公開実用新案公報	1971-2021年																			
日本国実用新案登録公報	1996-2021年																			
日本国登録実用新案公報	1994-2021年																			
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2020-119939 A（株式会社デンソー、トヨタ自動車株式会社）06.08.2020（2020-08-06） 段落0015-0034, 0080-0082, 図9</td> <td>1, 2</td> </tr> <tr> <td>A</td> <td></td> <td>3-5</td> </tr> <tr> <td>A</td> <td>JP 2011-253837 A（株式会社デンソー、トヨタ自動車株式会社、株式会社豊田中央研究所）15.12.2011（2011-12-15） 段落0031-0052, 図1-4</td> <td>1-5</td> </tr> <tr> <td>A</td> <td>JP 2005-019528 A（株式会社豊田中央研究所、株式会社デンソー）20.01.2005（2005-01-20） 段落0034-0039, 図9</td> <td>1-5</td> </tr> <tr> <td>A</td> <td>US 2008/0009109 A1（GREENE, Brian Joseph et al.）10.01.2008（2008-01-10） 段落0025-0033, 図2</td> <td>1-5</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2020-119939 A（株式会社デンソー、トヨタ自動車株式会社）06.08.2020（2020-08-06） 段落0015-0034, 0080-0082, 図9	1, 2	A		3-5	A	JP 2011-253837 A（株式会社デンソー、トヨタ自動車株式会社、株式会社豊田中央研究所）15.12.2011（2011-12-15） 段落0031-0052, 図1-4	1-5	A	JP 2005-019528 A（株式会社豊田中央研究所、株式会社デンソー）20.01.2005（2005-01-20） 段落0034-0039, 図9	1-5	A	US 2008/0009109 A1（GREENE, Brian Joseph et al.）10.01.2008（2008-01-10） 段落0025-0033, 図2	1-5
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
X	JP 2020-119939 A（株式会社デンソー、トヨタ自動車株式会社）06.08.2020（2020-08-06） 段落0015-0034, 0080-0082, 図9	1, 2																		
A		3-5																		
A	JP 2011-253837 A（株式会社デンソー、トヨタ自動車株式会社、株式会社豊田中央研究所）15.12.2011（2011-12-15） 段落0031-0052, 図1-4	1-5																		
A	JP 2005-019528 A（株式会社豊田中央研究所、株式会社デンソー）20.01.2005（2005-01-20） 段落0034-0039, 図9	1-5																		
A	US 2008/0009109 A1（GREENE, Brian Joseph et al.）10.01.2008（2008-01-10） 段落0025-0033, 図2	1-5																		
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																				
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																				
国際調査を完了した日 13.12.2021		国際調査報告の発送日 21.12.2021																		
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 恩田 和彦 5F 5896 電話番号 03-3581-1101 内線 3516																		

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/037475

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-119939	A	06.08.2020	US 2020/0235239 A1 段落0037-0057, 0109-0111, 図9 CN 111463277 A	
JP	2011-253837	A	15.12.2011	US 2011/0291110 A1 段落0036-0057, 図1-4	
JP	2005-019528	A	20.01.2005	US 2005/0006717 A1 段落0087-0095, 図8 US 2006/0138407 A1	
US	2008/0009109	A1	10.01.2008	(ファミリーなし)	