

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 33/00 (2006.01)

H01S 5/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 02123204.0

[45] 授权公告日 2006 年 4 月 5 日

[11] 授权公告号 CN 1249820C

[22] 申请日 2002. 6. 12 [21] 申请号 02123204.0

[30] 优先权

[32] 2001. 6. 12 [33] JP [31] 177383/2001

[71] 专利权人 先锋株式会社

地址 日本东京

共同专利权人 ROHM 株式会社

[72] 发明人 太田启之 园部雅之 伊藤范和

藤井哲雄

审查员 赵 煜

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 李 辉

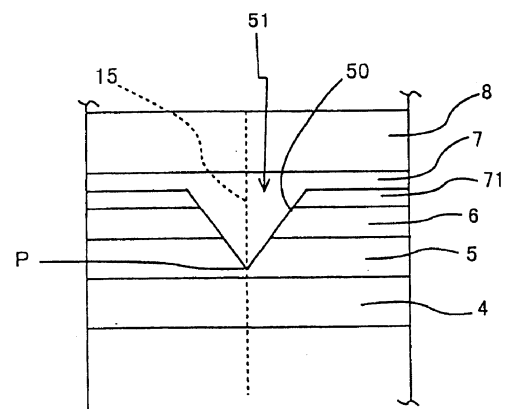
权利要求书 2 页 说明书 10 页 附图 3 页

[54] 发明名称

氮化物半导体器件及其制造方法

[57] 摘要

一种包括 III 族氮化物半导体的氮化物半导体器件。该器件包括有源层和由预定材料制成的并与有源层相邻设置的势垒层。势垒层具有比有源层大的带隙。该器件还包括由预定材料形成的势垒部分，用于在有源层中围绕穿通位错。势垒部分具有顶点。该器件还包括具有 $1E16/cc$ 到 $1E17/cc$ 的杂质浓度的半导体层，其中设置有该顶点。



1. 一种包括 III 族氮化物半导体的氮化物半导体器件，包括：
有源层；
势垒层，由具有比所述有源层大的带隙的材料制成，并与所述有源层相邻
5 设置；
穿透所述势垒层的穿通位错；
由与所述势垒层的所述材料相同的材料形成的势垒部分，用于围绕所述穿
通位错，并穿过所述有源层；
由与用于围绕各个穿通位错的所述势垒部分相同的材料连续形成的顶点；
10 以及
半导体层，具有 $1E16/cc$ 到 $1E17/cc$ 的杂质浓度，其中设置有所述顶点，还
包括：
提供在所述势垒层和所述有源层之间的低温势垒层，其中所述低温势垒层
具有比所述势垒层低的 AlN 组分量。
- 15 2. 根据权利要求 1 的氮化物半导体器件，其中所述有源层具有单量子阱和
多量子阱结构中的一种。
3. 根据权利要求 1 的氮化物半导体器件，还包括由所述有源层上的界面包
围的凹槽，其中所述凹槽被所述势垒层的所述材料填充，并且使所述凹槽的表
面平坦以形成势垒部分。
- 20 4. 根据权利要求 1 的氮化物半导体器件，其中所述势垒部分为锥形或截锥
形。
5. 根据权利要求 1 的氮化物半导体器件，其中所述 III 族氮化物半导体为
 $(Al_xGa_{1-x})_{1-y}In_yN$ ，其中 $0 \leq x \leq 1$ ， $0 \leq y \leq 1$ 。
6. 一种氮化物半导体器件的制造方法，所述氮化物半导体器件包括 III 族
25 氮化物半导体，并具有有源层和由比有源层带隙大的材料制成并与所述有源层
相邻设置的势垒层，该方法包括以下步骤：
形成杂质浓度为 $1E16/cc$ 到 $1E17/cc$ 的半导体层；

- 在半导体层上形成有源层，在有源层中具有由穿通位错造成的凹槽；
形成具有比势垒层低的 AlN 组分比的低温势垒层的步骤；以及
将势垒层材料淀积到低温势垒层上以形成一个具有顶点的势垒部分，该势垒部分围绕该穿通位错并具有由凹槽的侧面限定的界面。
- 5 7. 根据权利要求 6 的氮化物半导体器件的制造方法，其中形成半导体层的步骤在生长有源层之前在 600-850℃ 的温度范围内进行。
8. 根据权利要求 6 的氮化物半导体器件的制造方法，其中形成有源层的步骤包括在淀积有源层之后腐蚀有源层的步骤。
9. 根据权利要求 8 的氮化物半导体器件的制造方法，其中当沿穿通位错的
- 10 腐蚀到达下面的半导体层时，终止腐蚀步骤中的腐蚀。

氮化物半导体器件及其制造方法

技术领域

5 本发明涉及 III 族氮化物半导体器件(在下文中也称做器件)及其制造方法。

背景技术

在半导体光发射器件,特别是基于氮化镓(GaN)的短波长半导体激光器件以及作为该器件的材料系统的相关化合物方面的广泛研究正在进行。通过在晶体衬底上连续淀积半导体单晶层(例如 $(Al_xGa_{1-x})_{1-y}In_yN$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$))来制造基于 GaN 的半导体激光器件。

金属有机化学气相淀积方法(在下文中缩写为 MOCVD)通常用于制造该单晶层。在该方法中,含有作为 III 族前体材料(precursor material)的三甲基镓(在下文中缩写为 TMG)和作为 V 族前体材料的氨(NH_3)的源气被引入到反应器中,在 900-1000°C 的温度范围内进行反应,从而在衬底上淀积化合物晶体。通过改变流入反应器的前体的比例可以在衬底上形成各种化合物层,以得到多层结构。

如果淀积的单晶层有许多贯通缺陷,器件的光发射性能发生实质性退化。这种沿晶体的生长方向贯通晶体层的直线扩展缺陷被称为穿通位错(threading dislocation)。由于穿通位错担当了载流子的非辐射复合中心,造成包括具有很多位错的单晶层的半导体光发射器件的发光效率低下。上述缺陷是由于在衬底和形成于其上的覆层之间的界面上的晶体错配(misfit)应变产生的。通过选择具有与基于 GaN 的晶体的晶体结构、晶格常数和热膨胀系数相似的衬底材料,尝试减小接触面处错配的影响。

25 对于氮化物半导体,没有低价格并且晶格匹配的衬底。因此,主要利用蓝宝石板作为用于氮化物半导体外延生长的衬底。在这种情况下,因为蓝宝石的

晶格常数与 GaN 的相差大约 14%，由于晶格失配产生了穿通位错。即使在最好的条件下，穿通位错的密度也不可避免地达到 $1E8/cm^2$ 或更多。外延横向过生长 (ELO) 等可急剧地减少位错密度。但是，ELO 使器件的制造成本急剧上升。把 ELO 用于例如光发射二极管等的氮化物半导体器件的制造没有实际用处。

- 5 待审查的日本专利 KOKAI 公开 No. 2000-232238 (USPN 6, 329, 667) 公开了改进氮化物半导体激光器件的某些特性的常规技术。在公开的现有技术中，在有源层 (active layer) 的生长结束以后，在晶片上的外延生长期间，在穿通位错的周围形成凹坑或凹槽。然后，有源层的凹坑被具有比有源层更宽的带隙 (band-gap) 的材料掩埋，并且，之后，形成器件的其它结构层。因为避免了载
- 10 流子注入到穿通位错中，该技术改进了器件的发光特性。

对于通过在例如蓝宝石衬底等的不相似衬底上生长氮化物半导体所形成的 pn 结二极管，在反向偏置下的漏电流比 GaAs 等的半导体器件的要高。在上述生长的层中的高密度穿通位错造成了二极管的这种特性。

- 15 发明人发现，虽然上述的现有技术避免了在正向注入情况下由穿通位错引起的发光效率的降低，以改善器件的发光特性，但仍然不能解决反向漏电流的问题。反向漏电流导致的次品妨碍了成品率的增加。例如，发光二极管的技术规格通常包括施加反向电压下的漏电流，例如，施加 5V 时小于 $10\mu A$ 。

发明内容

- 20 鉴于电流-电压特性的退化 (即，以上介绍的氮化物半导体器件的大的反向漏电流) 研制了本发明，本发明的一个目的是提供一种提供一种氮化物半导体器件，具有良好的电流-电压特性，同时允许产生穿过在衬底上生长的单晶层的缺陷。

- 25 根据本发明的一个方案，提供一种包括 III 族氮化物半导体的氮化物半导体器件，包括：

有源层；

势垒层，由具有比所述有源层大的带隙的材料制成，并与所述有源层相邻

设置;

穿透所述势垒层的穿通位错;

由与所述势垒层的所述材料相同的材料形成的势垒部分,用于围绕所述穿通位错,并穿过所述有源层;

5 由与用于围绕各个穿通位错的所述势垒部分相同的材料连续形成的顶点;以及

半导体层,具有 $1E16/cc$ 到 $1E17/cc$ 的杂质浓度,其中设置有所述顶点,还包括:

10 提供在所述势垒层和所述有源层之间的低温势垒层,其中所述低温势垒层具有比所述势垒层低的 AlN 组分比。

在以上提到的氮化物半导体器件中,所述有源层具有单量子阱和多量子阱结构中的一种。

15 在以上提到的氮化物半导体器件中,还包括由所述有源层上的界面包围的凹槽,其中所述凹槽被所述势垒层的所述材料填充,并且使所述凹槽的表面平坦以形成势垒部分。

在以上提到的氮化物半导体器件中,所述势垒部分为锥形或截锥形或它们的相互连续的统一形状。在以上提到的氮化物半导体器件中,所述 III 族氮化物半导体为 $(Al_xGa_{1-x})_{1-y}In_yN$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)。

20 根据本发明的另一方案,提供了一种氮化物半导体器件的制造方法,所述氮化物半导体器件包括 III 族氮化物半导体,并具有有源层和由比有源层带隙大的材料制成并与所述有源层相邻设置的势垒层,该方法包括以下步骤:

形成杂质浓度为 $1E16/cc$ 到 $1E17/cc$ 的半导体层;

在半导体层上形成有源层,在有源层中具有由穿通位错造成的凹槽;

形成具有比势垒层低的 AlN 组分比的低温势垒层的步骤;以及

25 将势垒层材料淀积到低温势垒层上以形成一个具有顶点的势垒部分,该势垒部分围绕该穿通位错并具有由凹槽的侧面限定的界面。

在以上提到的氮化物半导体器件的制造方法中,当沿穿通位错的腐蚀达到

下面的半导体层时，终止腐蚀步骤中的腐蚀。

在以上提到的氮化物半导体器件的制造方法中，形成半导体层的步骤在生长有源层之前在 600-850℃ 的温度范围内进行。

5

附图说明

下面结合附图说明以上提到的方案和本发明的其它特点，其中：

图 1 为根据本发明的一个实施例的发光二极管的示意性横剖面图；

图 2 为根据本发明的实施例的发光二极管的有源层的局部放大横剖面图；

10

图 3 为根据本发明的一个实施例的发光二极管的电压/电流特性曲线图；

图 4 为对比的发光二极管的电压/电流特性曲线图；以及

图 5 为根据本发明的另一个实施例的发光二极管的有源层的局部放大横剖面图。

15

具体实施方式

下面参考附图介绍根据本发明的一个实施例的具有 pn 结的由 III 族氮化物构成的发光二极管。

20

图 1 示出了根据该实施例的发光二极管。半导体器件包括在低温形成的 GaN (或 AlN) 层 2, n 型 GaN 层 3, n 型 $Al_{0.1}Ga_{0.9}N$ 层 4, n 型 GaN 层 5, 包括 InGaN 作为主要成分的有源层 6, p 型 $Al_{0.2}Ga_{0.8}N$ 层 7, 以及 p 型 GaN 层 8, 这些层以

上面的顺序淀积在单晶蓝宝石衬底 1 上。器件还包括连接到 p 型 GaN 层 8 的 p 型电极 13 和连接到 n 型 GaN 层 3 的 n 型电极 14。除电极之外, 器件由 SiO_2 制

成的绝缘层 11 覆盖。通过有源层 6 中电子和空穴的复合, 半导体器件发出光。

25

p 型 $Al_{0.2}Ga_{0.8}N$ 层 7 是用于增强被注入载流子 (特别是电子) 的限制的势垒层。p 型 GaN 层 8 为接触层。n 型 GaN 层 5 为凹坑产生层。n 型 $Al_{0.1}Ga_{0.9}N$ 层 4 为

第一低杂质浓度层。凹坑产生层 5 为第二低杂质浓度层。n 型 GaN 层 3 为允许电流流动的下基层。需要 n 型 GaN 层 3 是因为构成衬底的蓝宝石不具有任何导电性。此外，低温生长层，或 GaN (或 AlN) 层 2 为所谓的缓冲层，用于在与 GaN 不同的蓝宝石衬底上产生光滑层。

5 参考图 2，该发光二极管器件还包括势垒部分 51，势垒部分 51 由有源层 6 上的界面 50 限定并由与势垒层 7 相同的材料形成。界面 50 围绕并分散在穿通位错 15 周围，穿通位错 15 从凹坑产生层 5 穿过有源层 6 延伸到接触层 8。势垒部分 51 中的两个相邻半导体层 4 和 5 (第一和第二低杂质浓度层) 中的至少一个具有 $1E16/cc$ 到 $1E17/cc$ 的杂质浓度，比其它层低。也就是，穿过有源层 6 形
10 成的每个凹坑 (即势垒部分 51) 为倒锥形凹槽，它的顶点 P 设置在具有低杂质浓度的凹坑产生层 5 中。由 n 型杂质掺杂的并具有高电导率的 $(Al_xGa_{1-x})_{1-y}In_yN$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) 层被提供在凹坑产生层 5 (即，低杂质浓度层) 下。

当正向电流流入器件时，电子从 n 型 GaN 凹坑产生层 5 注入到由高铟 (In) 组分比 (即，较窄带隙) 的 InGaN 制成的有源层 6 内，如图 2 所示。此外，由
15 于同样的原因，从 p 型 GaN 接触层 8 注入的空穴也由有源层 6 收集。在此情况下，由于 AlGaIn 势垒部分 51 的阻挡，电子和空穴都不能到达穿通位错 15。这是因为穿通位错 15 由与包括高 In 组分比的 InGaIn 的有源层 6 相比带隙大的 AlGaIn 势垒部分 51 围绕。由此，势垒部分 51 防止了注入的载流子到达穿通位错 15，穿通位错通常作为非辐射复合中心。该器件具有的发光效率高于不具有
20 势垒部分 51 的器件的发光效率。

根据本发明，与围绕穿通位错 15 的势垒部分 51 的顶点 P 相邻的低杂质浓度层 (即，凹坑产生层 5) 抑制了否则会在对器件施加反向电压时流动的漏电流。

通常，通过对有源层或其相邻层的 n 型掺杂增加未偏置状态中有源层的载流子浓度，可以有效地增强氮化物半导体发光二极管的发光效率。然而，如果 n
25 型杂质的掺杂浓度太高，那么耗尽层变薄并且电场强度增加。由此，高密度的穿通位错导致漏电流增加。

相反，根据本发明的氮化物半导体器件具有以下结构：势垒部分 51 把 n 型

材料从对器件施加反向电压时传送漏电流的每个穿通位错附近排除，如图 2 所示。因此本发明能够在到有源层的高浓度 n 型掺杂的同时用低杂质浓度层的参数控制穿通位错周围耗尽区的厚度。

此外，根据本发明的氮化物半导体器件还包括在有源层 6 和凹坑产生层 5 之间的具有高掺杂浓度的 n 型杂质的 n 型掺杂层 5a，如图 5 所示，因为势垒部分 51 把 n 型材料从对器件施加反向电压时传送漏电流的每个穿通位错附近排除。

用下面的工艺制造具有图 1 所示结构的 LED，其中器件的层状结构通过 MOCVD 形成在蓝宝石 A 面衬底上。本实施例采用了在有源层中的穿通位错周围原位形成凹坑的方法。也就是，本实施例利用了特定的生长条件下晶体生长在每个穿通位错附近受到阻碍的事实。

首先，把蓝宝石衬底 1 装入 MOCVD 反应器内，然后在 300Torr 的压力下 1050℃ 的温度下放置在氢气流中 10 分钟进行衬底表面的热清洁。然后把蓝宝石衬底 1 冷却到 400℃ 的温度。接下来，使用氢气的载气，把氨气 NH_3 和三甲基铝 (TMA) 作为前体材料引入到反应器以生长 AlN 层，由此形成厚度 50nm 的缓冲层 2。

接下来，停止输送 TMA 之后，把具有缓冲层 2 的蓝宝石衬底 1 再次加热到 1050℃，同时仅有 NH_3 气体流过反应器。然后把三甲基镓 (TMG) 引入到反应器内以生长 n 型 GaN 下层 3。在以上的工艺期间，把甲基硅烷 (Me-SiH_3) 作为 n 型掺杂剂添加到前体材料气体中，由此 n 型 GaN 下层 3 具有 $2\text{E}18/\text{cc}$ 的硅 (Si) 浓度。

在 n 型 GaN 下层 3 已生长到约 $4\mu\text{m}$ 厚度的时间点，甲基硅烷的输送速率减小到 1/20，由此 n 型 AlGaIn 层 4 生长到 $0.1\mu\text{m}$ 厚，作为第一低杂质浓度层。

完成第一低杂质浓度层之后，除了 NH_3 以外停止前体气体的供应，把晶片冷却到 600 到 850℃ 的温度范围。例如当晶片冷却到 770℃，将载气由氢气转变为氮气。当氮气流已稳定时，把 TMG 和甲基硅烷引入到反应器内以便生长厚度 400\AA 的掺杂 Si 的 n 型 InGaIn 层 5，作为第二低杂质浓度层。第二低杂质浓度层

的 n 型 InGaN 层 5 作为凹坑产生层。在该工艺期间，生长受阻的部分在原位开始。此外，凹坑产生层 5 的材料不局限为 InGaN，也可以是例如 GaN、AlGaIn，或具有等于或大于有源层的带隙的类似材料。此外，未掺杂的材料可以用作 n 型 InGaN 层 5。通过降低 n 型 InGaN 层 5 的生长温度促进了凹坑的形成，并且 5 高于 850℃ 的生长温度不足以促进凹坑形成。n 型 InGaN 层中的凹坑绝对无误地在 600℃ 或以下产生；然而，由于层质量的降低，因此并不优选该生长温度。此外，为了阻碍穿通位错周围部分的生长，凹坑产生层 5 需要具有 100Å 或以上的厚度，优选约 200Å。由于下面步骤中穿通位错上的晶体生长也受到抑制，因此由凹坑形成凹槽。

10 随后，完成凹坑产生层 5 时，停止提供 TMG 和 Me-SiH₃ 并开始冷却衬底。当衬底温度达到 750℃ 时，把 TMG、三甲基镓 (TMI) 和 Me-SiH₃ 引入到反应器内由此生长具有高 In 组分比的有源层 6。

在形成势垒部分 51 的步骤中，需要 1000℃ 或以上的生长温度以增强 AlGaIn 的表面平面化。在跳升到生长温度期间该生长温度使 InGaIn 有源层 6 的组分再次蒸发，导致有源层 6 退化。为避免这样，当完成 InGaIn 有源层 6 的形成时， 15 开始生长低温 AlGaIn 势垒层 71。低温 AlGaIn 势垒层 71 是一个构成 AlGaIn 势垒层 7 一部分的膜。利用在生长环境中 AlN 与 GaN 相比具有较高热稳定性的事实，设置低温 AlGaIn 势垒层 71。通过淀积具有约 0.2 AlN 组分比的低温 AlGaIn 微小层，可以有效地防止以上介绍的再次蒸发。低温 AlGaIn 势垒层 71 优选具有对应 20 于几个分子的厚度，即约 20Å。该层过厚会使空穴由 p 型层到有源层内的注入变差。由此，厚度优选小于 100Å。以此方式，在形成有源层 6 之后不用改变衬底温度就立即生长低温 AlGaIn 势垒层 71。由于 AlGaIn 势垒层 71 的低温生长，凹坑几乎未被填充。

然后，衬底被再次加热到 1050℃，同时流动作为载气的氢气和 NH₃。把 TMG、 25 TMA 和作为 p 型掺杂剂前体的乙基环戊二烯基镁 (Et-Cp₂Mg) 引入到反应器内以在低温生长的 AlGaIn 势垒层 71 上生长 0.02μm 厚度的 p 型 AlGaIn 层 7。

在生长 p 型 AlGaIn 势垒层 7 期间，凹坑(凹槽)由 p 型 AlGaIn 填充，因为

1050℃的高温 and AlGaIn(材料)的性质促进了势垒层 7 的表面平坦。一旦形成平坦表面的势垒层,那么在势垒层 7 上形成的各层可具有平坦的表面。由此,形成具有锥形或截锥形的势垒部分 51。凹坑可以具有统一的形状,根据凹坑的配置相互邻接。

5 在根据该实施例的发光器件中,低温 AlGaIn 势垒层 71 具有比 AlGaIn 势垒层 7 低的 AlN 组分量。如果低温 AlGaIn 势垒层 71 具有比 AlGaIn 势垒层 7 高的 AlN 组分量,从 p 型 GaN 层 8 注入的空穴趋于注入到具有较小 AlN 组分量(或较小带隙)的 AlGaIn 势垒层 7 的势垒部分 51 内。

10 通过将低温 AlGaIn 势垒层 71 的 AlN 组分量设置得小于 AlGaIn 势垒层 7,以与从 n 型层注入的电子类似的方式,势垒部分 51 阻碍了从 P 型层注入的空穴,由此其不能到达穿通位错 15。

总而言之,在生长有源层之后,在与有源层的生长温度基本上相同的温度形成低温 AlGaIn 势垒层 71。然后在升高温度之后形成第二 AlGaIn 势垒层 7。设置 AlGaIn 势垒层 7 具有比低温 AlGaIn 势垒层 71 高的 AlN 组分量。

15 随后,停止输送 TMA,并且 p 型 GaN 层 8 生长在势垒层 7 上,厚度为 0.1 μm 。此后,停止提供 TMG 和 Et-Cp₂ Mg,并开始冷却。当衬底冷却到 400℃时,也停止提供 NH₃。当衬底冷却到室温时,把衬底从反应器卸下。在大气压下在氮气中在炉内对晶片进行 20 分钟温度 800℃的热处理以获得 p 型条件。

20 处理每个所得晶片以形成 p 型电极的台阶和 n 型电极的电流路径。通过使用标准的光刻和反应离子腐蚀(RIE)从晶片上除去不需要的部分以部分地露出 n 型 GaN 基底层 3,从而在衬底上形成所述结构。

除去腐蚀掩模之后,通过溅射法等淀积 SiO₂ 保护膜。在 p 型层上的 SiO₂ 保护膜中形成用于 p 型电极的 p 侧窗口。在 n 型层的暴露部分上的 SiO₂ 保护膜中形成用于 n 型电极的 n 侧窗口。

25 通过淀积厚度为 50nm 的 Ti(钛)并随后淀积 200nm 的 Al(铝),n 型电极 14 形成在露出 n 型 GaN 层 3 的区域上。通过分别蒸发 50nm 的 Ni(镍)和 200nm 的 Au(金),p 型电极 13 形成在露出 p 型 GaN 层的区域中。

以此方式处理的每个晶片被劈开以形成图 1 所示的器件。此后，测量各器件的电压/电流特性。

图 3 示出了根据本发明制造的 LED 器件的反向电压与电流的漏电流特性曲线。

5 图 4 示出了为与本发明对比制造的对比 LED 器件的反向电压与电流的漏电流特性曲线。除了在晶片膜形成步骤中没有形成第一低杂质浓度层 4、n 型 GaN 基底层 3 为 $0.1\mu\text{m}$ （比本实施例的厚）、以及凹坑产生层 5（第二低杂质浓度层）中的 Si 浓度与 n 型 GaN 基底层 3 的 Si 浓度相同之外，对比器件具有与图 3 所示实施例相同的结构。

10 从图 3 和 4 中可以看出，根据本发明的发光二极管器件显示出漏电流显著减小。在本发明中，凹坑产生层中的 Si 浓度设置为 $1\text{E}17/\text{cc}$ ，远低于对比器件的 Si 浓度。由此，与倒锥形凹槽（即，势垒部分 51）的顶点相邻形成的耗尽层的厚度显著增加，特别是 n 型层侧的厚度增加。此外，由于第一低杂质浓度层 4 设置在本发明的凹坑产生层下，即使在凹坑产生层的最下端产生凹坑，耗尽层也形成在第一低杂质浓度层 4 内。因此，有效地减少了反向电压下耗尽层中的电场，使得漏电流减小。为了得到本发明的有效结果，第一和第二低杂质浓度层中的至少一个的杂质浓度优选设置为 $1\text{E}17/\text{cc}$ 或以下。杂质浓度设置得过低会升高正向偏置下的工作电压。因此第一和第二低杂质浓度层中的杂质浓度优选不设置在 $1\text{E}16/\text{cc}$ 以下。为了得到本发明的有效结果，第一低杂质浓度层 4 的厚度优选设置为 $0.05\mu\text{m}$ 或以上，但设置超过 $0.2\mu\text{m}$ 会对正向偏置下的工作电压不利。

以上实施例通过增加 n 型层中的耗尽层的厚度减少了漏电流。根据本发明，通过降低倒锥形凹槽（势垒部分 51）顶部的 p 型侧（即，p 型 AlGaIn 势垒层）中的 Mg 浓度也可以减小漏电流。然而，该措施不会产生与以上实施例类似的优选结果，而是牺牲了正向电流注入（即，正常工作）情况下器件的发光特性。p 型 AlGaIn 势垒层的主要功能是防止从 n 型层注入的电子溢出。Mg 浓度减少使 p 型 AlGaIn 势垒层的费米能级下拉到带隙中间，由此减小了有源层中阻止注入电

子的有效势垒高度。此外，p型 AlGaIn 势垒层的另一主要功能是填充与之相邻的倒锥形凹槽，但 p 型层中 Mg 浓度的减少阻碍了该功能。

此外，本发明适合于不发光器件，例如整流二极管器件等。此时，可以得到与以上提到的实施例类似的显著效果。

- 5 在以上提到的实施例中，采用了在有源层中穿通位错周围原位形成凹坑的方法。在另一实施例中，形成有源层之后利用腐蚀沿穿通位错穿过有源层。即，形成有源层之后从反应器中卸下晶片，然后在有源层中腐蚀形成凹坑。当沿穿通位错的腐蚀到达下面的半导体层时，停止腐蚀。

- 此外，虽然以上提到的实施例涉及具有 pn 结结构的 LED (发光二极管)，
10 但本发明也适合于具有多层结构例如单量子阱或多量子阱结构的半导体激光器件。

根据本发明，势垒部分的带隙大于有源层的带隙，并围绕穿通位错以防止载流子扩散到穿通位错，由此提高了器件的发光特性并且减少了反向漏电流。

- 应该理解以上的说明和附图仅陈述了当前本发明的优选实施例。根据以上
15 的教导对本领域的技术人员来说显然可以进行各种修改、添加和替换设计同时不脱离公开的本发明的精神和范围。由此，应该理解本发明不限于公开的实施例，而可以在附带权利要求书的整个范围内实现。

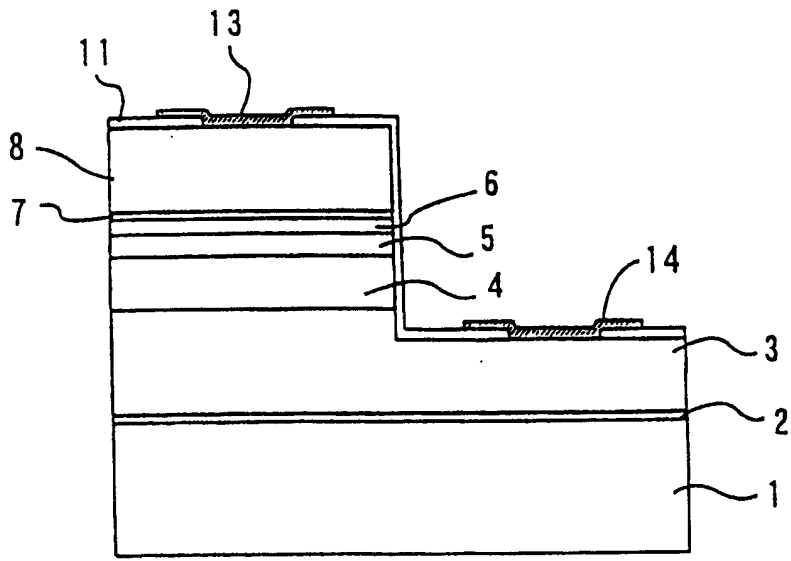


图 1

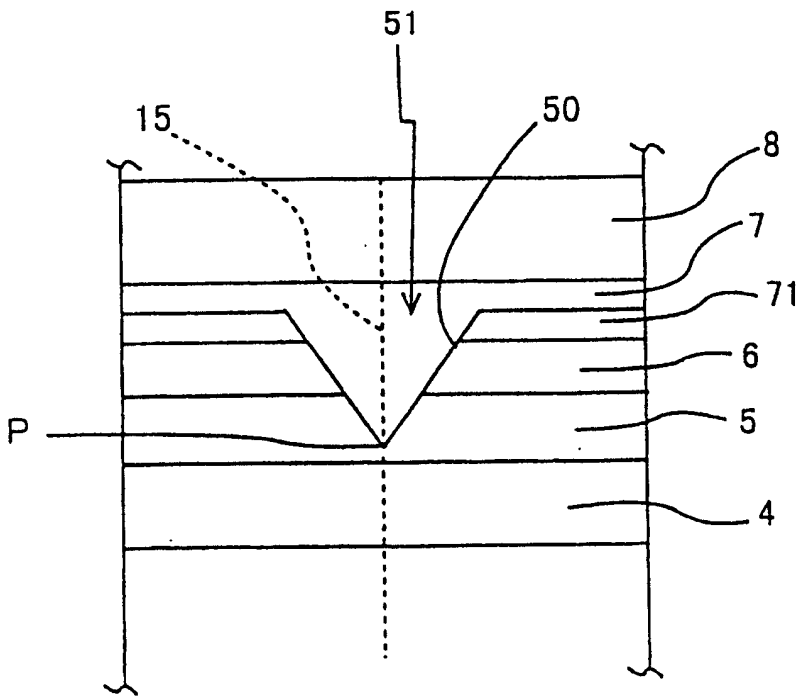


图 2

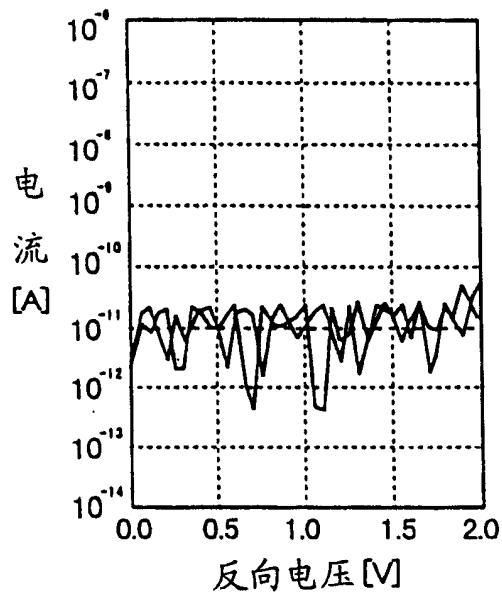


图 3

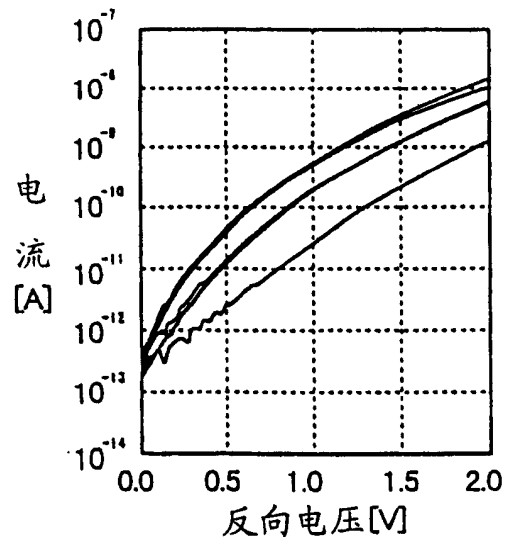


图 4

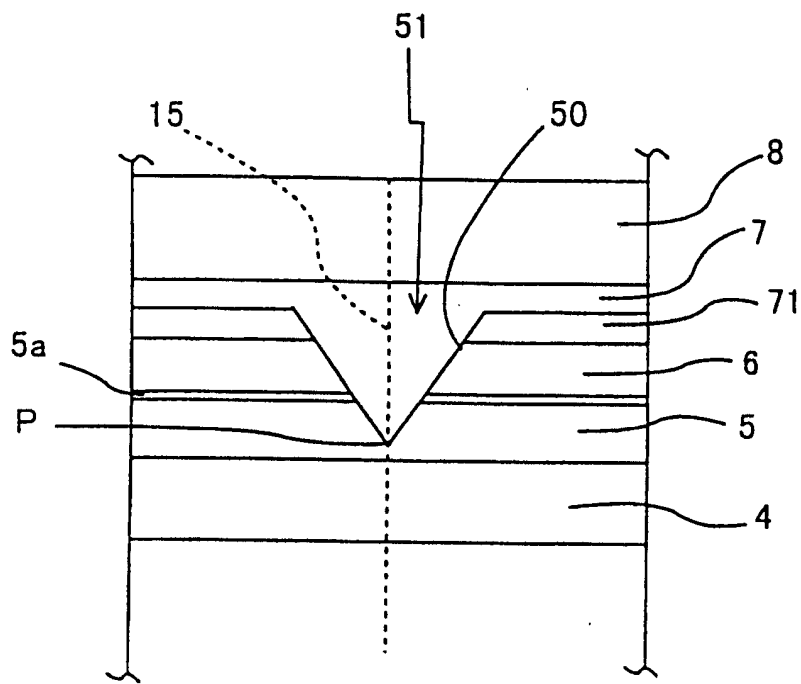


图 5