

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96139341

※ 申請日期： 96.10.19

※IPC 分類：H01L; C30B (2006.01)
21/20 25/00

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF ITS
MANUFACTURE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商住友電氣工業股份有限公司

SUMITOMO ELECTRIC INDUSTRIES, LTD.

代表人：(中文/英文)

松本 正義

MATSUMOTO, MASAYOSHI

住居所或營業所地址：(中文/英文)

日本國大阪府大阪市中央區北濱四丁目5番33號

5-33, KITAHAMA 4-CHOME, CHUO-KU, OSAKA-SHI, OSAKA 541-
0041, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：（共 4 人）

姓 名：（中文/英文）

1. 藤原 伸介
FUJIWARA, SHINSUKE
2. 櫻田 隆
SAKURADA, TAKASHI
3. 木山 誠
KIYAMA, MAKOTO
4. 善積 祐介
YOSHIZUMI, YUSUKE

國 籍：（中文/英文）

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN
4. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年11月30日；特願2006-324246

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種高良率地製造特性較高之半導體裝置的半導體裝置製造方法。本半導體裝置之製造方法包括下述步驟：GaN基板10之準備步驟，該GaN基板10係於作為GaN基板10之主面10m的(0001)面中，[0001]方向之極性與GaN基板10之主區域10s相反的面積為 $1\ \mu\text{m}^2$ 以上之極性反轉區域10t之密度為 $D\ \text{cm}^{-2}$ ，且極性反轉區域10t之總面積 $S_t\ \text{cm}^2$ 相對於GaN基板10之主面10m的總面積 $S\ \text{cm}^2$ 之比 S_t/S 為0.5以下；以及半導體裝置40之形成步驟，於GaN基板10之主面10m上至少使一層半導體層20成長，且半導體裝置40之主面40m的面積 S_c 與極性反轉區域10t之密度 D 之積 $S_c \times D$ 小於2.3。

六、英文發明摘要：

Affords a semiconductor device manufacturing method, whereby semiconductor devices having superior characteristics are manufactured with high yield.

The semiconductor device manufacturing methods includes: a step of preparing a GaN substrate (10) having a ratio S_t / S of collective area ($S_t \text{ cm}^2$) of the inversion domains (10*t*) to total area ($S \text{ cm}^2$) of the principal face 10*m* of the GaN substrate (10), of no more than 0.5, with the density along the (0001) Ga face, being the principal face (10*m*) of the GaN substrate (10), of inversion domains (10*t*) whose surface area where the polarity in the [0001] direction is inverted with respect to the matrix 10*s* is $1 \mu\text{m}^2$ or more being $D \text{ cm}^{-2}$; and a step of growing on the principal face (10*m*) of the GaN substrate (10) an at least single-lamina semiconductor layer (20) to form a semiconductor devices (40) in which the product $S_c \times D$ of the area S_c of the principal faces (40*m*) of the semiconductor devices (40) and the density D of the inversion domains (10*t*) is made less than 2.3

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

10	GaN 基板
10m、40m	主面
10n	背面
10s	主區域
10t、10t ₁ ~10t ₅	極性反轉區域
20	半導體層
22	n ⁺ 型 GaN 層
24	n 型 GaN 層
26	p 型 GaN 層
30	半導體晶圓
32	電極
34	n 側電極
40	半導體裝置
41	晶片分割線
C1~C10	晶片
S、S _c	總面積
S _t 、S _{t1} ~S _{t5}	極性反轉區域之面積

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種發光裝置、電子裝置、半導體感測器等半導體裝置及其製造方法，詳細而言，係關於一種包含位錯密度得到降低之GaN基板的半導體裝置及其製造方法。

【先前技術】

對於發光裝置、電子裝置、半導體感測器等各種半導體裝置中使用之GaN基板等III族氮化物基板而言，為提高半導體裝置之特性，尋求位錯密度較低之基板。

作為製作該低位錯密度之III族氮化物基板之方法，已提出下述方法。於X.Xu et al, "Growth and characterization of low defect GaN by hydride vapor phase epitaxy", J. of Crystal Growth, 246, (2002), pp. 223-229(以下，稱為非專利文獻1)中報告有：所成長之結晶之厚度越大，則越能降低位錯密度，例如當使GaN結晶於化學組成與GaN不同之異種基板上成長至1 mm以上之厚度時，可將位錯密度降低至 $1 \times 10^6 \text{ cm}^{-2}$ 左右以下。

又，於A.Usui et al, "Thick GaN Epitaxial Growth with Low Dislocation Density by Hydride Vapor Phase Epitaxy", Jpn. J. Appl. Phys., Vol. 36, (1997), pp. L899-L902(以下，稱為非專利文獻2)中報告有：於異種基板上使GaN結晶成長時，形成具有開口部之遮罩層，並形成刻面，藉此控制位錯之傳播方向，降低GaN結晶之位錯密度。

[非專利文獻1] X.Xu et al, "Growth and characterization of low defect GaN by hydride vapor phase epitaxy", J. of Crystal Growth, 246, (2002), pp. 223-229

[非專利文獻2] A.Usui et al, "Thick GaN Epitaxial Growth with Low Dislocation Density by Hydride Vapor Phase Epitaxy", Jpn. J. Appl. Phys., Vol. 36, (1997), pp. L899-L902

【發明內容】

[發明所欲解決之問題]

然而可知，藉由上述非專利文獻1或非專利文獻2之結晶成長方法所成長之Ga₂N結晶及由該Ga₂N結晶所得之Ga₂N基板，雖位錯密度降低至 $1 \times 10^6 \text{ cm}^{-2}$ 左右，但會形成位錯以外之較大缺陷。該缺陷於對Ga₂N基板進行鹼蝕刻時會形成凹坑，故容易被檢測出。例如，當以50℃之KOH水溶液對Ga₂N基板之經鏡面研磨之(0001)Ga面進行數十分鐘之蝕刻時，僅存在缺陷之部分受到數微米左右之蝕刻而形成凹坑。又，當以KOH熔液、NaOH熔液或其等之混合熔液對Ga₂N基板之經鏡面研磨之(0001)Ga面進行蝕刻時，會形成由N面包圍之大致六角柱狀之凹坑。

此處，Ga₂N結晶係在[0001]方向上具有極性之結晶，其具有下述性質，即，以鹼進行蝕刻時，難以蝕刻其(0001)Ga面，與此相對，其(000-1)N面容易受到蝕刻。根據該觀點可知，上述Ga₂N結晶及Ga₂N基板具有極性不同之2個區域。將該2個區域定義為主區域及極性反轉區域，該主區

域係決定GaN結晶及GaN基板之極性的大部分區域，該極性反轉區域係[0001]方向之極性相對於該主區域反轉之區域。亦即，於作為GaN基板之主面的(0001)Ga面上，呈現出主區域(0001)Ga面及極性反轉區域(000-1)N面。因此，當對作為GaN結晶之主面的(0001)Ga面進行蝕刻時，極性反轉區域與主區域相比更易受到蝕刻，從而自極性反轉區域形成大致六角柱狀之凹坑。亦即，上述六角柱狀之凹坑係來源於極性反轉區域之凹坑。

再者，於GaN基板之主面上，來源於位錯之凹坑不會因50℃之KOH水溶液之數十分鐘之蝕刻而形成，而會因KOH熔液及NaOH熔液之混合熔液之蝕刻而形成。然而，該來源於位錯之凹坑係具有脊線之六角錘狀，故而容易區別於上述來源於極性反轉區域之凹坑。再者，除了上述蝕刻以外，於利用陰極發光(CL, Cathodo-luminescence)或螢光顯微鏡來觀察主區域及極性反轉區域時，2個區域之亮度明顯不同，因此亦可容易地區別。

於異種基板上使GaN結晶成長時，與非專利文獻1及非專利文獻2同樣，一般在異種基板上形成低溫緩衝層，但當如此般介在有低溫緩衝層而於異種基板上使GaN結晶成長時，無法避免上述極性反轉區域之形成。因此，一般之GaN結晶中包含極性反轉區域。

本發明之目的在於提供一種半導體裝置之製造方法，其對極性反轉區域之有無、大小等對在該一般GaN結晶之基板上形成複數層半導體層而製造之半導體裝置之特性的影

響進行評價，藉此高良率地製造特性較高之半導體裝置。

[解決問題之技術手段]

本發明係一種半導體裝置之製造方法，其包括下述步驟：GaN基板準備步驟，該GaN基板係於作為該GaN基板之主面的(0001)Ga面中，[0001]方向之極性與上述GaN基板之主區域相反的面積為 $1\ \mu\text{m}^2$ 以上之極性反轉區域之密度為 $D\ \text{cm}^{-2}$ ，且極性反轉區域之總面積 $S_t\ \text{cm}^2$ 相對於GaN基板之主面的總面積 $S\ \text{cm}^2$ 之比 S_t/S 為0.5以下；以及半導體裝置形成步驟，於GaN基板之主面上至少使一層半導體層成長，且使裝置之主面的面積 S_c 與極性反轉區域的密度 D 之積 $S_c \times D$ 小於2.3。

又，於本發明之半導體裝置之製造方法中，可使比 S_t/S 為0.2以下，使積 $S_c \times D$ 小於0.7。又，可使比 S_t/S 為0.05以下，使積 $S_c \times D$ 小於0.1。又，可使GaN基板之主面的面積為 $10\ \text{cm}^2$ 以上。又，GaN基板可藉由氣相法而製造。此處，可使氣相法為氫化物氣相磊晶(HVPE，Hydride Vapor Phase Epitaxy)法。

又，本發明係一種藉由上述製造方法而製造之半導體裝置。

[發明之效果]

根據本發明，可提供一種高良率地製造特性較高之半導體裝置的半導體裝置製造方法。

【實施方式】

(實施形態1)

參照圖1~圖3，本發明之半導體裝置之製造方法之一實施形態包括下述步驟：GaN基板10之準備步驟(圖1)，該GaN基板10係於作為GaN基板10之主面10m的(0001)面中，[0001]方向之極性與GaN基板10之主區域10s相反的面積為 $1\ \mu\text{m}^2$ 以上之極性反轉區域10t之密度為 $D\ \text{cm}^{-2}$ ，且極性反轉區域10t之總面積 $S_t\ \text{cm}^2$ 相對於GaN基板10之主面10m的總面積 $S\ \text{cm}^2$ 之比 S_t/S 為0.5以下；以及半導體裝置40之形成步驟(圖2及圖3)，於GaN基板10之主面10m上至少使一層半導體層20成長，且半導體裝置40之主面40m的面積 S_c 與極性反轉區域10t之密度 D 之積 $S_c \times D$ 小於2.3。

藉由包含上述步驟，本發明可提供一種高良率地製造特性較高之半導體裝置的半導體裝置製造方法。以下，就該點加以詳細說明。

首先，對半導體裝置中的GaN基板中之極性反轉區域之有無與半導體裝置特性之關係進行研究。參照圖4，於已掌握了極性反轉區域之位置的厚度為 $400\ \mu\text{m}$ 之n型GaN基板(該基板之主面上的極性反轉區域之密度為 $20\ \text{cm}^{-2}$ ，極性反轉區域之面積為 $1\sim 10000\ \mu\text{m}^2$)(GaN基板10)之主面10m上，形成厚度為 $0.6\ \mu\text{m}$ 之 n^+ 型GaN層22、厚度為 $7\ \mu\text{m}$ 之n型GaN層24(電子濃度為 $3 \times 10^{16}\ \text{cm}^{-3}$)及厚度為 $0.5\ \mu\text{m}$ 之p型GaN層26(Mg原子濃度為 $7 \times 10^{17}\ \text{cm}^{-3}$)作為半導體層20。如此，於n型GaN層24與p型GaN層26之間形成作為半導體裝置之主面40m的pn接合面。其次，於p型GaN層26上形成作為p側電極32之Ni/Au積層電極，於n型GaN基板(GaN基板

10)之背面10n(稱為主面10m之相反側之面，以下相同)上形成作為n側電極34之Ti/Al積層電極，獲得主面40m之面積為 1 cm^2 之半導體裝置40。

參照圖5，針對上述所獲得之半導體裝置40，對GaN基板10中之極性反轉層之有無與耐逆電壓之關係進行研究。此處，耐逆電壓係指，在向半導體裝置之反方向施加電壓時(將以此方式施加之電壓稱為施加逆電壓，以下相同)，半導體裝置受損而洩漏電流密度急遽增大之電壓。於圖5中，橫軸表示施加逆電壓(單位：V)，縱軸表示洩漏電流密度(單位： A/cm^2)。

如圖5所示，與GaN基板中不存在極性反轉區域之B群半導體裝置相比，GaN基板中存在極性反轉區域之A群半導體裝置之耐逆電壓顯著下降。由此可知，GaN基板中具有主面上之面積為 $1\sim 10000\text{ }\mu\text{m}^2$ 之極性反轉區域的半導體裝置之特性顯著下降。

其次，參照圖6，對半導體裝置中的GaN基板之主面上之極性反轉區域之面積與半導體裝置特性之關係進行研究。於圖6中，橫軸表示GaN基板之主面上之極性反轉區域之面積(單位： μm^2)，縱軸表示洩漏電流密度(單位： A/cm^2)，一點虛線E表示GaN基板中不存在極性反轉區域之半導體裝置之洩漏電流密度之平均值，二點虛線F表示洩漏電流密度之全標度。此處，設施加逆電壓為100 V。

如圖6所示，當GaN基板之主面上之極性反轉區域之面積為 $1\text{ }\mu\text{m}^2$ 以上時，半導體裝置之洩漏電流密度逐漸增

大，當面積為 $5\ \mu\text{m}^2$ 以上時，洩漏電流密度急遽增大。一般認為其原因在於，當極性反轉區域之面積小於 $5\ \mu\text{m}^2$ 時，在 GaN 基板之主面上使半導體層磊晶成長時，於該半導體層中，成長於極性反轉區域上之低速成長區域(未圖示)嵌入至成長於主區域上之高速成長區域(未圖示)，於半導體裝置之功能部分(例如，pn 接合面)，極性反轉區域無法連續。

由上述圖 5 及圖 6 之結果可知，當存在半導體裝置之主面上的面積為 $1\ \mu\text{m}$ 以上之極性反轉區域時，該半導體裝置之特性會下降。因此，以下著眼於半導體裝置之主面上的面積為 $1\ \mu\text{m}$ 以上之極性反轉區域進行下述研究。

參照圖 3，可認為 GaN 基板 10 之主面 10m 上的面積為 $1\ \mu\text{m}^2$ 以上之極性反轉區域之密度 D (單位： cm^2)與半導體裝置 40 之主面 40m 的面積 S_c (單位： cm^2)之關係如下。亦即，形成於 GaN 基板 10 之主面 10m 上的任意半導體裝置 40 之主面 40m 內存在極性反轉區域之概率(亦即，可獲得物性優良之半導體裝置(製品)之良率)，係由半導體裝置 40 之主面 40m 之面積 $S_c\ \text{cm}^2$ 與 GaN 基板 10 之主面 10m 上的極性反轉區域 10t 之密度 $D\ \text{cm}^{-2}$ 之積所決定，積 $S_c \times D$ 為 2.3 時概率為 10%，積 $S_c \times D$ 為 0.7 時概率為 50%，積 $S_c \times D$ 為 0.1 時概率為 90%。此處，就工業利用之觀點而言，要求上述良率超過 10%。因此，積 $S_c \times D$ 必須小於 2.3，較好的是積 $S_c \times D$ 小於 0.7，更好的是積 $S_c \times D$ 小於 0.1。

上述積 $S_c \times D$ 之條件僅考慮到了 GaN 基板之主面上的極性

反轉區域之密度，因此並未考慮到極性反轉區域之面積。亦即，當各極性反轉區域之面積較小時，僅根據上述積 $S_c \times D$ 之條件即可規定半導體裝置之良率，但當各極性反轉區域之面積較大時，評價時亦必須包含極性反轉區域之面積。此處，各極性反轉區域之面積各異，難以特定其面積。

因此，在計算形成於GaN基板之主面上的任意半導體裝置之主面內存在極性反轉區域之概率(亦即，可獲得物性優良之半導體裝置之良率)時，參照圖1，考慮GaN基板之主面之總面積 S (單位： cm^2)與GaN基板之主面上的極性反轉區域 $10t$ 之總面積 S_t (單位： cm^2)之關係。亦即，極性反轉區域存在之概率根據極性反轉區域之總面積 $S_t \text{ cm}^2$ 相對於GaN基板之主面的總面積 $S \text{ cm}^2$ 之比 S_t/S 而變動，比 S_t/S 越大則該概率越低，比 S_t/S 越小則該概率越高。

在計算不存在上述極性反轉區域之概率時，為使積 $S_c \times D$ 為2.3時之概率為10%，必須使比 S_t/S 為0.5以下，為使 $S_c \times D$ 為0.7時之概率為50%，必須使比 S_t/S 為0.2以下，為使積 $S_c \times D$ 為0.1時之概率為90%，必須使比 S_t/S 為0.05以下。因此，必須使比 S_t/S 為0.5以下，較好的是使比 S_t/S 為0.2以下，更好的是使比 S_t/S 為0.05以下。

此處，根據圖1~3，對本實施形態之半導體裝置之製造方法進行具體說明。再者，為便於參考，於圖1及圖2中，以2點虛線表示圖3中對半導體晶圓30進行晶片分割時之晶片分割線41。

首先，參照圖1，準備主面10m為(0001)Ga面之GaN基板10(GaN基板之準備步驟)。該GaN基板10係於其主面10m中，[0001]方向之極性與GaN基板10之主區域10s相反的面積為 $1\text{ }\mu\text{m}^2$ 以上之極性反轉區域10t之密度為 $D\text{ cm}^2$ 。又，該GaN基板10中，極性反轉區域10t之總面積 $S_t\text{ cm}^2$ 相對於GaN基板10之主面10m之總面積 $S\text{ cm}^2$ 之比 S_t/S 為0.5以下。例如，如圖1所示，極性反轉區域10t由5個各極性反轉區域10t₁、10t₂、10t₃、10t₄及10t₅構成，各極性反轉區域10t₁、10t₂、10t₃、10t₄、10t₅之各面積 S_{t1} 、 S_{t2} 、 S_{t3} 、 S_{t4} 、 S_{t5} 各不相同，極性反轉區域之總面積 S_t 為各極性反轉區域之各面積 S_{t1} 、 S_{t2} 、 S_{t3} 、 S_{t4} 及 S_{t5} 之和。

該GaN基板中，極性反轉區域10t之總面積 $S_t\text{ cm}^2$ 相對於GaN基板10之主面10m之總面積 $S\text{ cm}^2$ 之比 S_t/S 為0.5以下，較好的是比 S_t/S 為0.2以下，更好的是比 S_t/S 為0.1以下，由此可提高形成於該基板上之半導體裝置之良率。又，如下所述，藉由形成具有下述主面之半導體裝置可提高半導體裝置之良率，該主面具有與該GaN基板10之主面10m上的面積為 $1\text{ }\mu\text{m}^2$ 以上之極性反轉區域之密度 $D\text{ cm}^{-2}$ 相適應之面積。

就有效地獲得較多半導體裝置之觀點而言，較好的是，該GaN基板10之主面10m之面積為 10 cm^2 以上。

製造該GaN基板之方法並無特別限制，可列舉HVPE法、有機金屬化學氣相沈積(MOCVD，Metal organic chemical vapor deposition)法、分子束磊晶(MBE，Molecular

Beam Epitaxy)法等氣相法，助溶劑法等液相等。雖無法確認藉由上述液相法而製造之Ga_N基板中存在極性反轉區域，但就以高成長速度而獲得大型結晶之觀點而言，較好的是上述氣相法，尤其好的是HVPE法。又，藉由HVPE法而製造之Ga_N基板大多含有極性反轉區域，本發明之特徵在於，藉由控制該極性反轉區域，可高良率地製造特性較高之半導體裝置。

於藉由HVPE法而製造Ga_N基板時，作為減少Ga_N基板中之極性反轉區域之方法，可考慮下述方法。有於利用液相法製造之無極性反轉區域之Ga_N底層基板上以HVPE法使Ga_N結晶成長之方法。然而，該方法無法獲得大型之Ga_N底層基板。又，有於Ga_N底層基板上之極性反轉區域上形成遮罩層後，以HVPE法使Ga_N結晶成長，從而以橫向成長之Ga_N結晶來覆蓋遮罩層之方法。然而，該方法難以與無規地存在於Ga_N底層基板上之極性反轉區域上對應地形成遮罩層。

因此，較為有效的是下述方法，即，對於以氣相法製造之主面上具有極性反轉區域之Ga_N底層基板，對該主面之極性反轉區域進行蝕刻而形成凹坑後，以HVPE法使Ga_N結晶成長，藉此促進結晶成長速度較低之極性反轉區域嵌入至結晶成長速度較高之主區域，從而進一步減少Ga_N結晶內之極性反轉區域。

此處，就促進極性反轉區域之嵌入之觀點而言，較好的是，Ga_N底層基板中之極性反轉區域之凹坑之深度大於極

性反轉區域之寬度(當可使該區域近似於圓時係指該近似圓之直徑，當該區域為條狀時係指其寬度，以下相同)。此處，於上述蝕刻時，為防止GaN底層基板之背面(主面相反側之面，以下相同)之蝕刻，較好的是於GaN底層基板之背面上配置Pt板等耐蝕刻性材料。

其次，參照圖2，於GaN基板10之主面10m上至少使一層半導體層20成長(半導體層之成長步驟)，參照圖3，形成半導體裝置40之主面的面積 S_c 與極性反轉區域之密度 D 之積 $S_c \times D$ 小於2.3之半導體裝置40(半導體裝置之形成步驟)。該積 $S_c \times D$ 小於2.3，較好的是積 $S_c \times D$ 小於0.7，更好的是積 $S_c \times D$ 小於0.1，從而可提高半導體裝置之良率。

此處，於圖2之半導體層之成長步驟中，於GaN基板10之主面10上依序形成 n^+ 型GaN層22、 n 型GaN層24及 p 型GaN層26作為至少一層半導體層20。如此，於 n 型GaN層24與 p 型GaN層26之間形成pn接合面。其次，於 p 型GaN層26上形成作為 p 側電極32之Ni/Au積層電極(Ni層接觸於 p 型GaN層)，於 n 型GaN基板(GaN基板10)之背面10n(主面10m相反側之面)上形成作為 n 側電極34之Ti/Al積層電極(Ti層接觸於 n 型GaN基板)，獲得半導體晶圓30。

又，於圖3之半導體裝置之形成步驟中，沿上述半導體晶圓30之晶片分割線41，對 p 側電極32、 p 型GaN層26及 n 型GaN層24之一部分進行平臺蝕刻。繼而，沿晶片分割線41分割半導體晶圓30，藉此獲得主面40m之面積為 $S_c \text{ cm}^2$ 之半導體裝置40。例如，如圖3所示，將1個半導體晶圓30

分割成10個晶片C1~C10，藉此獲得10個半導體裝置40。

此處，半導體裝置40之主面40m，係指表現出該半導體裝置之功能的主要部分(功能部分)之主面，於本實施形態之半導體裝置中，pn接合面相當於該主面40m。當所製造之半導體裝置40之主面40m較小時，存在於GaN基板10中之極性反轉區域10t之影響較小，而半導體裝置40之主面40m越大，則極性反轉區域10t之影響越大。因此，本發明於製造主面40m之面積為 1 mm^2 以上之大型半導體裝置40時尤其有用。

於本實施形態中，就半導體裝置40之GaN基板10之主面10m為(0001)Ga面之情形進行了敘述，實際上，GaN基板10之主面10m亦可具有相對於(0001)Ga面而稍許偏移之角(例如， 10° 以下)。

(實施形態2)

本發明之半導體裝置之一實施形態係藉由實施形態1之製造方法而製造之半導體裝置。例如，參照圖4，本實施形態之半導體裝置係於GaN基板10上形成 n^+ 型GaN層22、n型GaN層24及p型GaN層26作為一層以上之半導體層20。又，於p型GaN層26上形成作為p側電極32之Ni/Au積層電極，於GaN基板10之背面10n上形成作為n側電極34之Ti/Al積層電極。

參照圖1~4，本實施形態之半導體裝置係使用主面10m上之面積為 $1\text{ }\mu\text{m}^2$ 以上之極性反轉區域10t的密度為 $D\text{ cm}^{-2}$ 、主面10m之總面積為 $S\text{ cm}^2$ 、極性反轉區域10t之總面積

為 S_t cm^2 之 GaN 基板 10 而形成的主面 40m 之面積為 S_c cm^2 的半導體裝置 40，比 S_t/S 為 0.5 以下且積 $S_c \times D$ 小於 2.3，較好的是比 S_t/S 為 0.2 以下且積 $S_c \times D$ 小於 0.7，更好的是比 S_t/S 為 0.05 以下且積 $S_c \times D$ 小於 0.1，從而可提高其特性。

[實施例]

(實施例 1)

1. GaN 基板之準備

使用直徑為 2 吋 (50.8 mm) 且厚度為 400 μm 之以 (0001) Ga 面為主面之 GaN 基板作為底層基板。以 300°C 之 KOH 與 NaOH (質量比為 1 : 1) 之混合熔液對該底層基板之主面進行 30 分鐘之蝕刻，藉此自主面上之極性反轉區域形成 352 個六角柱狀之凹坑。於該蝕刻時，使 Pt 板密著於底層基板之背面 (主面相反側之面)，以防止蝕刻液蔓延至底層基板之背面。藉由該蝕刻所得之上述六角柱狀凹坑之寬度 (近似圓之直徑) 為 20 μm 至 100 μm ，其深度為 20 μm 至 250 μm 。

於在上述主面上形成有六角柱狀凹坑之底層基板之主面上，藉由 HVPE 法使厚度為 10 mm 之 GaN 結晶層成長。此處，設 Ga 原料氣體之生成溫度為 850°C，設 GaN 結晶之成長溫度為 1200°C。藉由設 GaN 結晶之成長溫度為 1000°C 以上，可在 GaN 結晶成長之同時減少其極性反轉區域。

與底層基板之主面平行地將所得之 GaN 結晶層切成厚度為 500 μm 之薄片，獲得 10 片主面為 (0001) Ga 面之 GaN 基板。自底層基板側起將該等 GaN 基板稱為 S1、S2、S3、S4、S5、S6、S7、S8、S9 及 S10。該等 GaN 基板之主面之

直徑均為2吋(5.08 cm)，主面之面積 S 均為 20 cm^2 。

以 50°C 之2當量之KOH水溶液對所獲得之各GaN基板進行30分鐘之蝕刻，對形成於其主面上之凹坑(該凹坑對應於極性反轉區域)之個數進行計數，藉此求出主面上之極性反轉區域之密度 $D\text{ cm}^{-2}$ 。就GaN基板之主面上的極性反轉區域之密度 $D\text{ cm}^{-2}$ 而言，越是遠離底層基板側之基板(由進一步成長之結晶部分所得之基板)則越低。再者，並未對各GaN基板測定準確之極性反轉區域之總面積，但由於各極性反轉區域之寬度(近似圓之直徑)為 $500\text{ }\mu\text{m}$ 以下(面積為 0.196 cm^2 以下)，故而將各極性反轉區域之面積設為 0.196 cm^2 以下而算出極性反轉區域之總面積 $S_t\text{ cm}^2$ 。將結果總結於表中。

2. 半導體層之成長

參照圖2，再度研磨上述各GaN基板10之主面10m後，藉由MOCVD法於經再研磨之主面10m上形成厚度為 $0.6\text{ }\mu\text{m}$ 之 n^+ 型GaN層22、厚度為 $7\text{ }\mu\text{m}$ 之 n 型GaN層24(電子濃度為 $3\times 10^{16}\text{ cm}^{-3}$)及厚度為 $0.5\text{ }\mu\text{m}$ 之 p 型GaN層26(Mg原子濃度為 $7\times 10^{17}\text{ cm}^{-3}$)作為半導體層20。如此，於 n 型GaN層24與 p 型GaN層26之間形成pn接合面。繼而，於 p 型GaN層26上，藉由蒸鍍法依序形成Ni層及Au層，從而形成作為 p 側電極32之Ni/Au積層電極。繼而，於 n 型GaN基板(GaN基板10)之背面10n(主面10m相反側之面)上，藉由蒸鍍法依序形成Ti層及Al層，從而形成作為 n 側電極34之Ti/Al積層電極。如此，針對上述各GaN基板10而獲得半導體晶圓30。

3. 半導體裝置之形成

參照圖3，對於上述各半導體晶圓30，沿其晶片分割線41對p側電極32、p型Ga_N層26及n型Ga_N層24之一部分進行平臺蝕刻。繼而，沿晶片分割線41將各半導體晶圓30分割成10個晶片C1~C10，藉此由各半導體晶圓30分別獲得主面40m(本實施例中為pn接合面)之面積為1 cm²之10個半導體裝置40。對所獲得之10個半導體裝置進行耐逆電壓測試，對將耐逆電壓為500 V以上之半導體裝置作為製品時之半導體裝置之良率(單位：%)進行評價。將結果總結於表中。

[表]

GaN基板	GaN基板之主 面之面積 $S(\text{cm}^2)$	極性反轉區域 之個數	極性反轉區域 之密度 $D(\text{cm}^{-2})$	極性反轉區域 之總面積 $S_t(\text{cm}^2)$	比S/S	半導體裝置之 主面之面積 $S_c(\text{cm}^2)$	積 $S_c \times D$	半導體裝置 之良率 (%)
S1	20	51	2.55	≤ 10.0	≤ 0.50	1	2.55	0
S2	20	45	2.25	≤ 8.8	≤ 0.44	1	2.25	10
S3	20	35	1.75	≤ 6.9	≤ 0.35	1	1.75	20
S4	20	16	0.80	≤ 3.1	≤ 0.16	1	0.80	40
S5	20	12	0.60	≤ 2.4	≤ 0.12	1	0.60	60
S6	20	5	0.25	≤ 0.98	≤ 0.05	1	0.25	80
S7	20	4	0.20	≤ 0.78	≤ 0.04	1	0.20	80
S8	20	3	0.15	≤ 0.59	≤ 0.03	1	0.15	90
S9	20	1	0.05	≤ 0.20	≤ 0.01	1	0.05	100
S10	20	0	0	0	0	1	0	100

由表可明確，於本發明之半導體裝置之製造方法中，藉由使比 S_t/S 為 0.5 以下，使積 $S_c \times D$ 小於 2.3，而可使半導體裝置之良率為 10% 以上。又，藉由使比 S_t/S 為 0.2 以下，使積 $S_c \times D$ 小於 0.7，而可使半導體裝置之良率為 50% 以上。進而，藉由使比 S_t/S 為 0.05 以下，使積 $S_c \times D$ 小於 0.1，而可使半導體裝置之良率為 90% 以上。

須明確，上述揭示之實施形態及實施例之所有內容僅為例示，並非用以限制者。本發明之範圍並非由上述說明表示，而由申請專利範圍所表示，且包含與申請專利範圍均等之含義及範圍內之所有變更。

【圖式簡單說明】

圖 1A 係於表示本發明之半導體裝置之製造方法的 GaN 基板之準備步驟的概略圖中，表示 GaN 基板之概略俯視圖。

圖 1B 係於表示本發明之半導體裝置之製造方法的 GaN 基板之準備步驟的概略圖中，表示圖 1A 之 I B 上之概略剖面圖。

圖 2A 係於表示本發明之半導體裝置之製造方法的半導體層之成長步驟的概略圖中，表示半導體晶圓之概略俯視圖。

圖 2B 係於表示本發明之半導體裝置之製造方法的半導體層之成長步驟的概略圖中，表示圖 2A 之 II B 上之概略剖面圖。

圖 3A 係於表示本發明之半導體裝置之製造方法的半導體裝置之形成步驟的概略圖中，表示半導體晶圓之概略俯視

圖。

圖3B係於表示本發明之半導體裝置之製造方法的半導體裝置之形成步驟的概略圖中，表示圖3A之IIIB上之概略剖面圖。

圖4係表示本發明之半導體裝置之一實施形態的概略剖面圖。

圖5係表示半導體裝置之GaN基板中的極性反轉層之有無與耐逆電壓之關係的圖。

圖6係表示半導體裝置之GaN基板之主面上的極性反轉區域之面積與半導體裝置特性之關係的圖。

【主要元件符號說明】

10	GaN基板
10m、40m	主面
10n	背面
10s	主區域
10t	極性反轉區域
20	半導體層
22	n ⁺ 型GaN層
24	n型GaN層
26	p型GaN層
30	半導體晶圓
32	電極
34	n側電極
40	半導體裝置
41	晶片分割線

十、申請專利範圍：

1. 一種半導體裝置之製造方法，其包括下述步驟：

GaN基板準備步驟，該GaN基板係於作為該GaN基板之主面的(0001)Ga面中，(0001)方向之極性與上述GaN基板之主區域相反的面積為 $1\ \mu\text{m}^2$ 以上之極性反轉區域之密度為 $D\ \text{cm}^{-2}$ ，且上述極性反轉區域之總面積 $S_t\ \text{cm}^2$ 相對於上述GaN基板之主面的總面積 $S\ \text{cm}^2$ 之比 S_t/S 為0.5以下；以及

半導體裝置形成步驟，於上述GaN基板之主面上至少使一層半導體層成長，且使半導體裝置之主面的面積 S_c 與上述極性反轉區域的密度 D 之積 $S_c \times D$ 小於2.3。

2. 如請求項1之半導體裝置之製造方法，其中上述比 S_t/S 為0.2以下，上述積 $S_c \times D$ 小於0.7。
3. 如請求項1之半導體裝置之製造方法，其中上述比 S_t/S 為0.05以下，上述積 $S_c \times D$ 小於0.1。
4. 如請求項1之半導體裝置之製造方法，其中上述GaN基板之主面的面積為 $10\ \text{cm}^2$ 以上。
5. 如請求項1之半導體裝置之製造方法，其中上述GaN基板係藉由氣相法而製造。
6. 如請求項5之半導體裝置之製造方法，其中上述氣相法為HVPE(氮化物氣相磊晶)法。
7. 一種半導體裝置，其係藉由如請求項1至6中任一項之製造方法而製造。

十一、圖式：

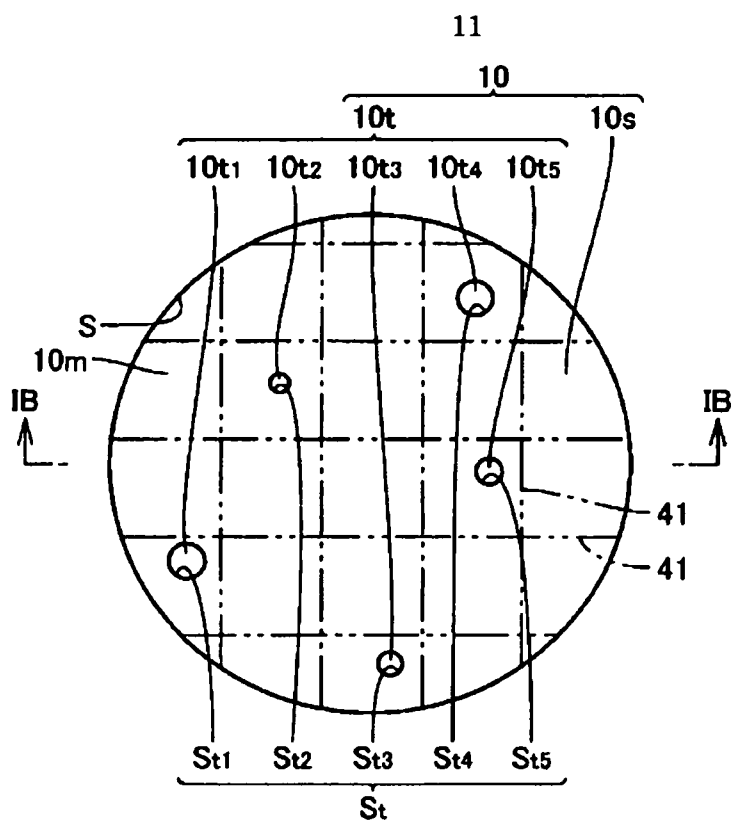


圖 1A

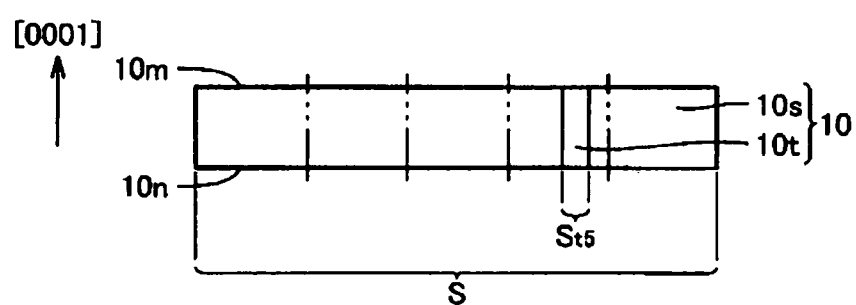


圖 1B

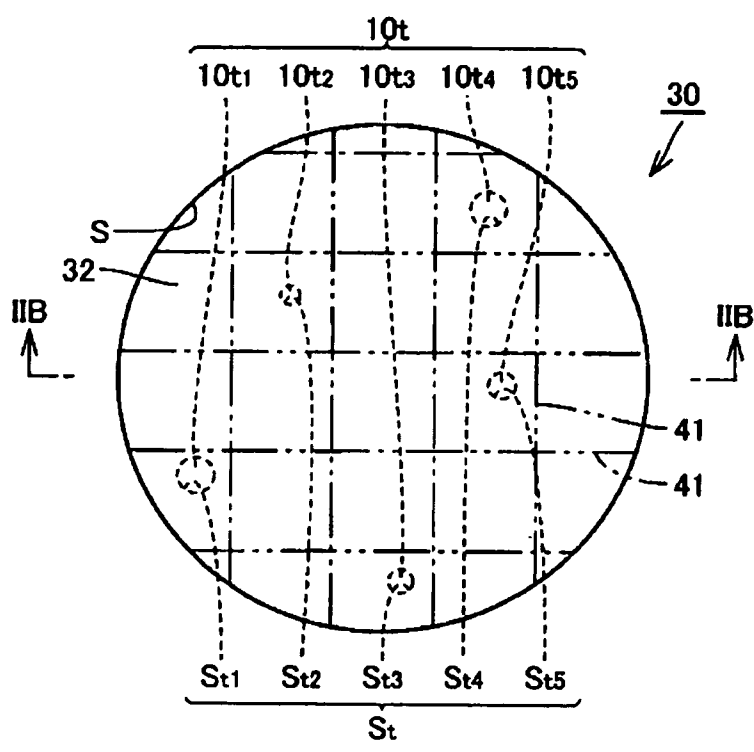


圖 2A

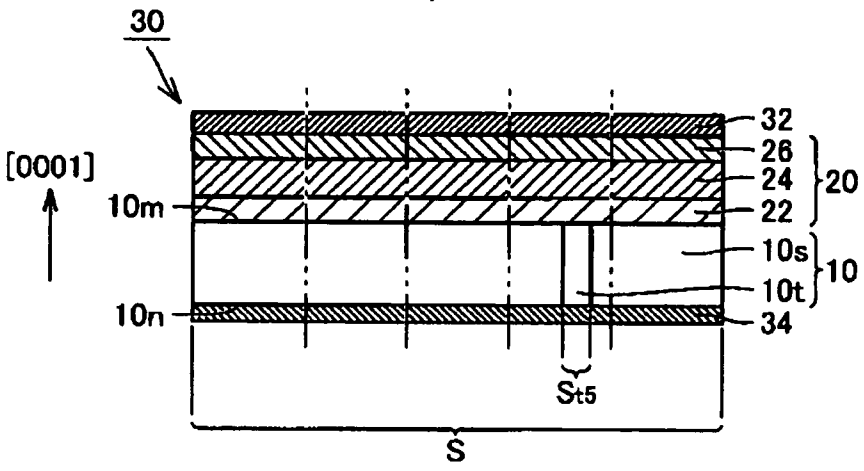


圖 2B

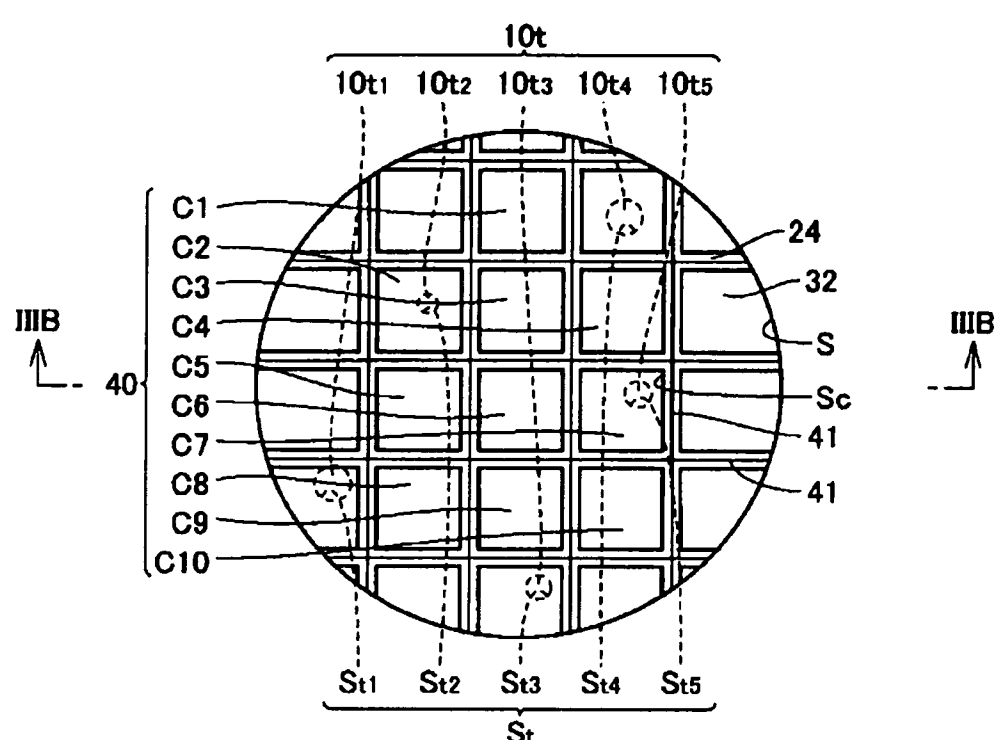


圖 3A

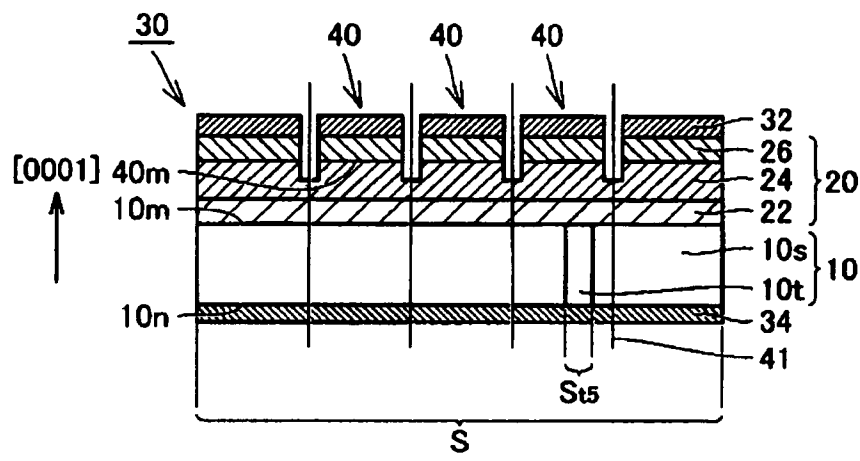


圖 3B

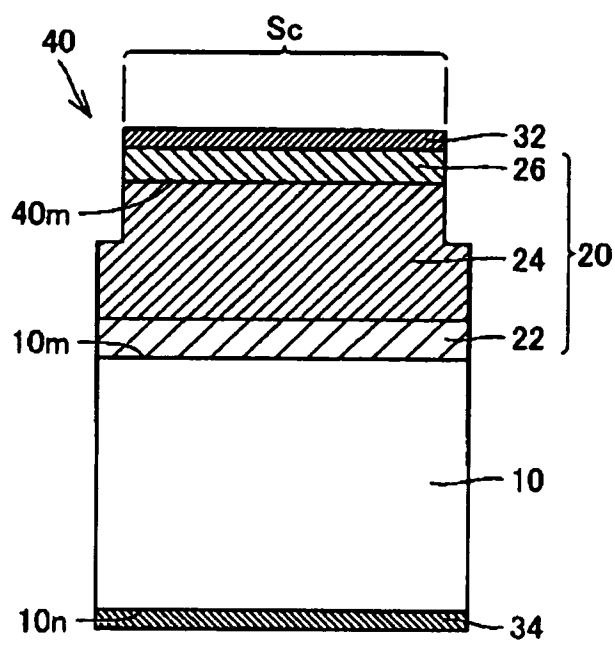


圖4

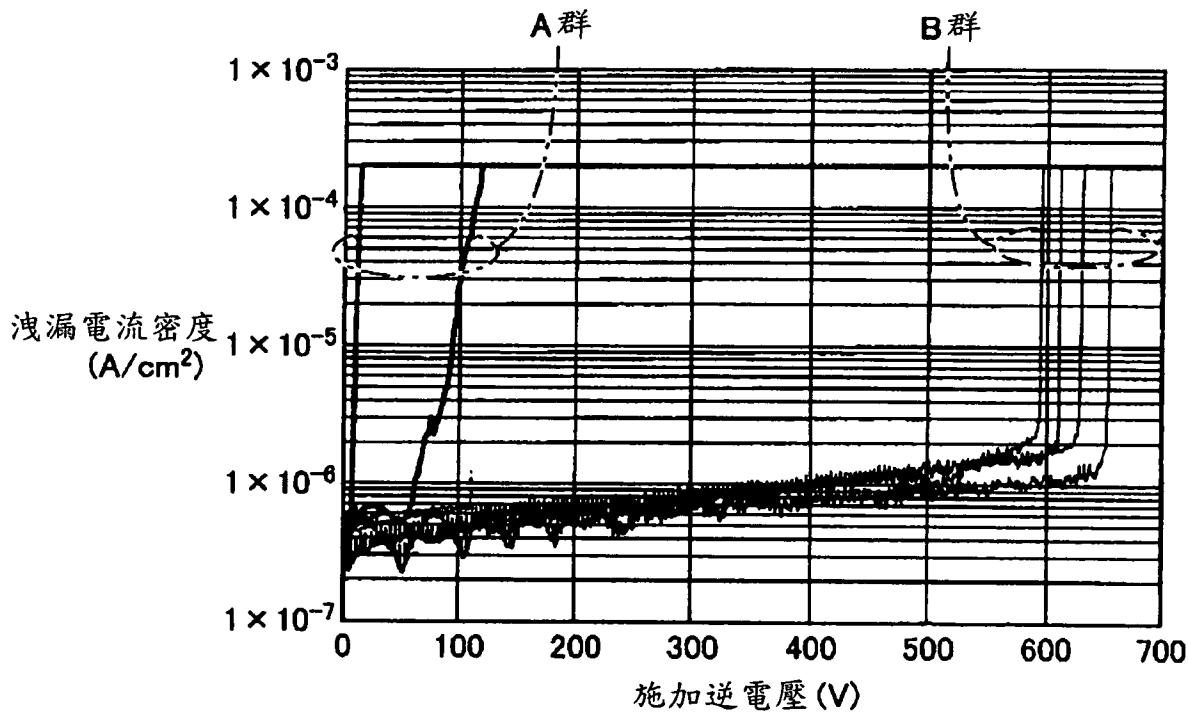


圖5

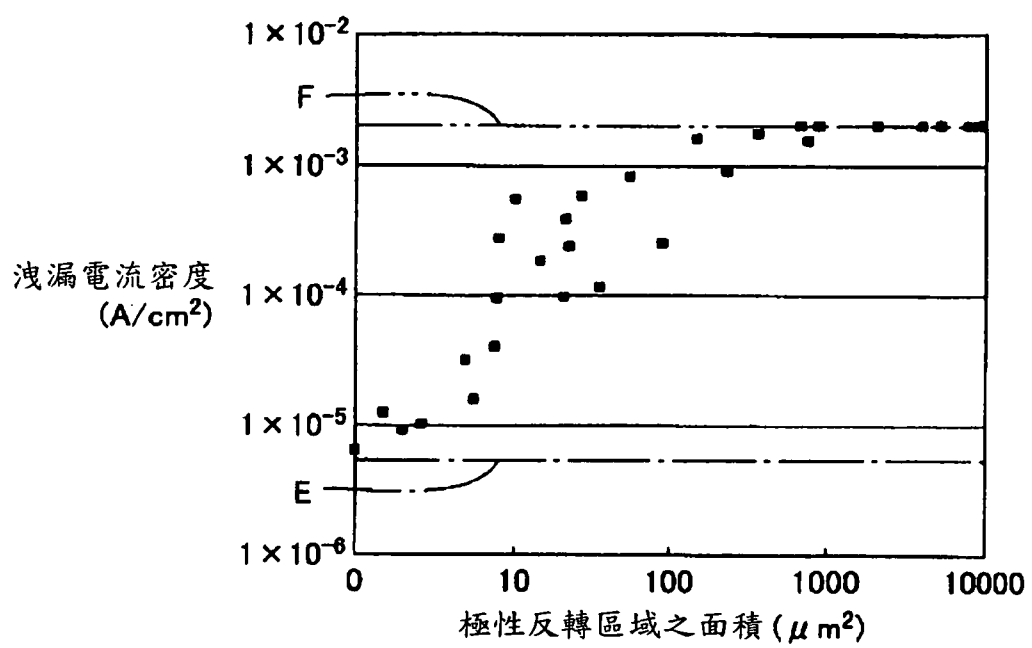


圖6