



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년03월02일
(11) 등록번호 10-0944352
(24) 등록일자 2010년02월18일

(51) Int. Cl.

H01L 21/20 (2006.01) *H01L 27/12* (2006.01)

(21) 출원번호 10-2007-0094842

(22) 출원일자 2007년09월18일

심사청구일자 2007년09월18일

(65) 공개번호 10-2009-0029526

(43) 공개일자 2009년03월23일

(56) 선행기술조사문헌

US20060278926 A1*

KR1020060004079 A

US04925805 A1*

US7208780 B2*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

장태수

경기도 과천시 부림동 49번지 주공7단지아파트
725동 403호

(74) 대리인

특허법인태평양

전체 청구항 수 : 총 7 항

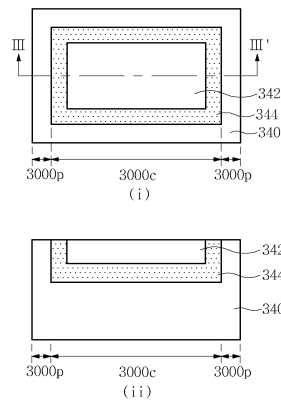
심사관 : 김영진

(54) 반도체 소자 및 그 제조 방법

(57) 요약

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 셀/코아 영역의 반도체 기판에 불순물 이온을 주입하여 반도체 기판 내에 이온 주입 영역을 형성하고, 이온 주입 영역을 선택 식각하여 반도체 기판 내에 언더-컷 공간을 형성하며, 언더-컷 공간을 절연막으로 매립하여 셀/코아 영역에 SOI 구조를 형성함으로써 반도체 소자의 공정을 단순화하고, 반도체 소자의 개발 기간을 단축할 수 있는 기술이다.

대표도 - 도3



특허청구의 범위

청구항 1

삭제

청구항 2

셀/코아 영역의 기판에 이온 주입 공정을 수행하여 이온 주입 영역을 형성하는 단계;

상기 기판에 열처리 공정을 수행하는 단계;

상기 이온 주입 영역 상에 상기 기판의 일부를 선택 식각하여 상기 이온 주입 영역의 경계면 일부를 노출하는 제1 리세스를 형성하는 단계;

상기 제1 리세스를 통해 노출된 상기 이온 주입 영역을 제거하여 언더-컷 공간을 형성하는 단계;

상기 언더-컷 공간 및 상기 제1 리세스를 매립하는 제1 절연막을 형성하는 단계;

상기 기판을 상기 언더-컷 공간에 매립된 제1 절연막이 노출되는 깊이로 식각하여 제2 리세스를 형성하되, 상기 제2 리세스는 상기 제1 리세스와 연결되어 상기 언더-컷에 매립된 제1 절연막의 외곽을 둘러싸는 형태로 형성하는 단계; 및

상기 제2 리세스를 매립하는 제2 절연막을 형성하여 상기 셀/코아 영역의 상기 기판에 SOI 구조를 형성하는 단계를 포함하는 반도체 기판 형성 방법.

청구항 3

제2항에 있어서,

상기 제1 절연막과 상기 제2 절연막으로 둘러싸여 형성되는 상기 셀/코아 영역의 플로팅 바디는 상기 제1 절연막과 상기 제2 절연막의 외측에 형성되는 주변 영역의 벌크 바디와 전기적으로 분리되는 것을 특징으로 하는 반도체 기판 형성 방법.

청구항 4

제2항에 있어서,

상기 이온 주입 공정 시 주입된 불순물은 Ge 이온을 포함하는 것을 특징으로 하는 반도체 기판 형성 방법.

청구항 5

제4항에 있어서,

상기 이온 주입 공정은 농도가 1E5 내지 1E20 ions/cm²이며, 에너지가 1 내지 1,000 KeV인 것을 특징으로 하는 반도체 기판 형성 방법.

청구항 6

삭제

청구항 7

제2항에 있어서,

상기 열처리 공정은 N₂ 또는 비활성 기체 분위기하에서 600 내지 1,000℃의 온도로 1 내지 1,800 초 동안 수행하는 것을 특징으로 반도체 기판 형성 방법.

청구항 8

제2항에 있어서,

상기 제1 절연막 형성 단계는

상기 제1 리세스 및 상기 언더-컷 공간의 표면에 열 산화막을 형성하는 단계; 및

상기 열 산화막 상부에 제3 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 기판 형성 방법.

청구항 9

제8항에 있어서,

상기 제3 절연막은 화학 기상 증착(Chemical vapor deposition: CVD) 방법, 스핀-온-절연(Spin-on-dielectric: SOD) 방법, 스핀-온-글래스(Spin-on-glass: SOG) 방법 및 이들의 조합으로 이루어진 일군으로 선택된 어느 하나의 방법으로 형성한 산화막을 포함하는 것을 특징으로 하는 반도체 기판 형성 방법.

청구항 10

삭제

청구항 11

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자에 관한 것이다. 특히, 플로팅 바디 셀(Floating body cell)과 같은 반도체 메모리 소자에 이용될 SOI(Silicon-on-insulator) 구조를 포함한 반도체 소자의 제조 방법에 관한 것이다.

배경기술

[0002] 현재, 1개의 트랜지스터와 1개의 캐패시터로 이루어진 셀 구조의 한계를 극복하려는 새로운 노력들이 시도되고 있다. 이중 메모리의 고집적화의 가장 큰 제약 요소 중 하나인 캐패시터를 없애고 한 개의 트랜지스터로 메모리 셀을 구성하려는 시도가 가장 대표적이라 할 수 있다. 이것이 플로팅 바디 셀(Floating Body Cell: FBC)이라 한다. 플로팅 바디 셀(FBC)은 트랜지스터의 채널 바닥 면에 전하가 쌓이게 되면 문턱전압이 바뀌게 되는 현상을 이용한 것이다.

[0003] 일반적 디램(DRAM)의 경우, 1개의 셀 트랜지스터(Cell Tr)에 캐패시터 1개가 붙어 있기 때문에 이를 형성하기 위해 매우 복잡한 공정을 수행한다. 또한, 트랜지스터의 특성 향상을 위해 고온 열처리 공정을 수행해야 한다. 플로팅 바디 셀(FBC) 기술은 이러한 복잡한 공정을 피할 수 있어 더욱 고집적화시킬 수 있다. 또한, 플로팅 바디 셀(FBC)은 캐패시터가 없는 로직(LOGIC) 회로 등과 합쳐진 임베디드 디램(Embedded DRAM)의 구현을 용이하게 한다. 따라서, 다양한 어플리케이션(Application)을 형성할 수 있다.

[0004] 그러나, 플로팅 바디 셀(FBC)은 플로팅 바디(Floating body)에 구현되어야 하기 때문에, 종래의 디램(DRAM)과는 달리 SOI(silicon-on-insulator) 기판을 일반적으로 사용한다. 300mm 웨이퍼 기준으로 SOI 기판은 벌크 실리콘(bulk-Si) 기판에 비해 3배 이상 비싸다. 따라서, SOI 기판을 사용하여 디램(DRAM) 제작 시 생산 단가의 증가를 유발한다.

[0005] 또한, SOI 기판 사용시 주변 회로(Peripheral circuit)도 SOI 기판 위에서 구현해야 한다. 그러나 이는 기존 벌크 실리콘(bulk-Si) 환경의 디램(DRAM) 기술로 주변 회로에 사용하는 트랜지스터의 모델 파라미터를 그대로 사용하지 못하게 된다. 따라서 새로운 SOI 환경에서 주변 회로를 개발해야 함으로써 개발기간의 증가가 불가피하게 된다.

발명의 내용

해결하고자하는 과제

[0006] 본 발명은 벌크-실리콘(Bulk-Si) 기판상에 FBC를 적용하기 위한 반도체 기판에 관한 것이다. 특히, 본 발명은 주변 영역에 벌크-실리콘 기판으로 형성하고, 셀/코아 영역에 플로팅 바디 셀(Floating body cell) 소자를 구현

할 수 있도록 SOI(Silicon-on-insulator) 기판으로 형성한다. 본 발명의 일 실시 예에 따르면, 셀/코아 영역에 불순물 이온을 주입하여 반도체 기판 하부에 이온 주입 영역을 형성하고, 이온 주입 영역을 선택 식각하여 반도체 기판 하부에 언더-컷 공간을 형성하며, 언더-컷 공간을 절연막으로 매립하여 셀/코아 영역에 SOI 구조를 형성할 수 있다.

과제 해결수단

- [0007] 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법은,
- [0008] 셀/코아 영역의 반도체 기판에 이온 주입 영역을 형성하는 단계와, 반도체 기판을 선택 식각하여 이온 주입 영역의 경계부를 노출하는 리세스를 형성하는 단계와, 리세스 하부에 노출된 이온 주입 영역을 선택 식각하여 반도체 기판 하부에 언더-컷 공간을 형성하는 단계와, 언더-컷 공간과 리세스를 매립하는 절연막을 형성하여 셀/코아 영역에 실리콘-온-인슐레이터(SOI) 기판을 형성하는 단계를 포함한다.
- [0009] 또한, 본 발명의 일 실시 예에 따른 반도체 기판 형성 방법은,
- [0010] 셀/코아 영역의 기판에 이온 주입 공정을 수행하여 이온 주입 영역을 형성하는 단계와, 이온 주입 영역의 경계에 위치한 기판의 일부를 선택 식각하여 이온 주입 영역을 노출하는 제1 리세스를 형성하는 단계와, 제1 리세스를 통해 이온 주입 영역을 제거하여 언더-컷 공간을 형성하는 단계와, 언더-컷 공간 및 제1 리세스를 매립하는 제1 절연막을 형성하는 단계와, 기판의 일부를 선택 식각하여 제1 절연막을 노출하는 제2 리세스를 형성하는 단계와, 제2 리세스를 매립하는 제2 절연막을 형성하여 셀/코아 영역의 기판에 SOI 구조를 형성하는 단계를 포함한다.
- [0011] 그리고, 본 발명의 일 실시 예에 따른 반도체 소자는,
- [0012] 플로팅 바디 셀(Floating body cell: FBC)이 형성된 셀/코아 영역과, 벌크-실리콘(Bulk-si) 구조를 갖는 주변 영역을 포함한다.

효과

- [0013] 본 발명은 벌크-실리콘(Bulk-si) 기판을 이용하여 셀/코어 영역에 SOI(Silicon-on-insulator) 기판을 형성함으로써 소자의 생산 비용을 절감할 수 있다. 또한, 주변 영역을 벌크-실리콘 기판에 구현함으로써 소자의 개발 기간을 단축할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0014] 도 1은 본 발명의 일 실시 예에 따른 반도체 소자의 레이아웃을 도시한다. 반도체 소자는 셀/코아 영역(1000c)과 주변 영역(1000p)을 포함한다. 셀/코아 영역(1000c)에 플로팅 바디 셀(FBC)이 형성될 기판 구조를 형성한다. 이때, 플로팅 바디 셀(FBC)이 형성될 기판 구조는 실리콘-온-인슐레이터(Silicon-on-insulator: SOI) 구조인 것이 바람직하다. 한편, SOI 구조는 플로팅 바디 셀(FBC)을 구현하기 위한 예시로, 이에 제한되지 않는다.
- [0015] 셀/코아 영역(1000c)에 SOI 구조를 형성하기 위하여 언더-컷 공간을 형성하여야 한다. 이때, 언더-컷 공간은 셀/코아 영역(1000c)과 주변 영역(1000p) 사이에 정의되는 리세스를 통하여 형성될 수 있다. 이때, 리세스는 제1 리세스 마스크 영역(102)과 제2 리세스 마스크 영역(104)에 의해서 정의된다. 예를 들면, 제1 리세스 마스크 영역(102)에 의해 언더-컷 공간은 형성될 수 있다. 이때, 제2 리세스 마스크 영역(104)의 반도체 기판은 식각되지 않아, 언더-컷 공간 형성 시 플로팅 바디로 예정된 반도체 기판의 붕괴를 방지할 수 있다. 한편, 본 발명에 따른 제1 리세스 마스크 영역(102)과 제2 리세스 마스크 영역(104)은 플로팅 바디의 붕괴를 방지하며 언더-컷 공간을 구현하기 위한 예시로 이에 제한되지 않는다.
- [0016] 도 2a 내지 2k는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법을 도시한 도면들이다. 도 2a(i) 내지 2k(i)는 반도체 소자의 제조 방법을 도시한 평면도이며, 도 2a(ii) 내지 2k(ii)는 도 1의 I-I'에 따른 단면도들이고, 도 2a(iii) 내지 도 2k(iii)는 도 1의 II-II'에 따른 단면도들이다.
- [0017] 도 2a 및 2b를 참조하면, 셀/코아 영역(2000c)과 주변 영역(2000p)을 포함한 반도체 기판(210) 상부에 하드 마스크층(미도시)을 형성한다. 다음으로, 하드 마스크층에 셀/코아 영역(2000c)을 정의하는 마스크(미도시)를 이용한 사진 식각공정을 수행하여 하드 마스크 패턴(212)을 형성한다. 이후, 하드 마스크 패턴(212)을 이온 주입 마스크로 불순물 이온 주입 공정(214)을 수행한다. 그 다음, 하드 마스크 패턴(212)을 제거한 후, 반도체 기판(210)에 열처리 공정을 수행하여 반도체 기판(210) 내에 이온 주입 영역(216)을 형성한다.

- [0018] 이때, 이온 주입 공정(214) 시 주입된 불순물은 Ge 이온을 포함하는 것이 바람직하다. 또한, 이온 주입 공정(214)은 $1E5$ 내지 $1E20$ ions/cm²의 농도 및 1 내지 1,000 KeV의 에너지 하에서 수행하는 것이 바람직하다. 한편, 열처리 공정은 이온 주입 공정(214)에 의한 손상된 반도체 기판(210)의 회복과 이온 주입 영역(216)을 형성하기 위하여 수행한다. 이때, 열처리 공정은 질소(N₂)나 비활성 기체의 분위기하에서 600 내지 1,000℃의 온도로 1 내지 1,800 초 동안 수행하는 것이 바람직하다.
- [0019] 도 2c 및 2d를 참조하면, 반도체 기판(210) 상부에 제2 하드 마스크층(미도시)을 형성한다. 다음으로, 셀/코아 영역(2000c)과 주변 영역(2000p)의 경계에 위치한 반도체 기판(210)의 일부를 노출하는 마스크를 이용한 사진식각 공정을 수행하여 제2 하드 마스크층을 패터닝하여 제1 리세스 영역(220)을 노출하는 제2 하드 마스크 패턴(218)을 형성한다. 이후, 제2 하드 마스크 패턴(218)을 식각 마스크로 제1 리세스 영역(220) 하부에 노출된 반도체 기판(210)의 일부를 식각하여 이온 주입 영역(216)을 노출하는 제1 리세스(222)를 형성한다.
- [0020] 한편, 제1 리세스(222) 형성을 위한 식각 공정은 이온 주입 영역(216)의 성분이 검출될 때까지 수행할 수 있다. 본 발명의 다른 실시 예에 따르면, 이온 주입 영역(216)의 형성 깊이와 같은 조건을 이용하여 식각 시간을 조절하여 제1 리세스(222)를 형성할 수도 있다. 따라서, 본 발명은 제1 리세스(222) 구현하기 위한 예시로, 이에 제한되지 않는다.
- [0021] 제1 리세스 영역(220)은 도 1의 제1 리세스 마스크 영역(102)에 대응하며, 셀/코아 영역(2000c)과 주변 영역(2000p)의 경계 일부만을 포함한다. 따라서, 도 1의 제2 리세스 마스크 영역(104)에 대응하는 반도체 기판(210)은 식각되지 않아, 후속 언더-컷 공간 형성을 위한 식각 공정 시 언더-컷 공간의 상부 구조를 지지한다. 한편, 제1 리세스 영역(220)과 도 2h에 도시된 제2 리세스 영역(230)은 플로팅 바디의 붕괴를 방지하며 언더-컷 공간을 구현하기 위한 예시로 이에 제한되지 않는다.
- [0022] 도 2e 내지 2g를 참조하면, 제1 리세스(222) 내에 노출된 이온 주입 영역(216)을 선택 식각 방법으로 제거하여 언더-컷 공간(224)을 형성한다. 다음으로, 제2 하드 마스크 패턴(218)을 제거하여 반도체 기판(210)을 노출한다. 이후, 반도체 기판(210) 상부에 제1 절연막(226)을 형성하여 제1 리세스(222) 및 언더-컷 공간(224)을 매립한다.
- [0023] 이때, 제1 절연막(226)은 갭-필 특성이 우수한 화학 기상 증착(Chemical vapor deposition: CVD) 방법, 스핀-온-절연(Spin-on-dielectric) 방법, 스핀-온-글래스(Spin-on-glass) 방법 및 이들의 조합으로 이루어진 일군으로부터 선택된 어느 하나 방법을 이용하여 산화막으로 형성하는 것이 바람직하다. 그 다음, 반도체 기판(210)을 노출할 때까지 제1 절연막(226)에 대한 평탄화 식각 공정을 수행한다. 이때, 평탄화 식각 공정은 에치-백(Etch-back) 방법이나 화학적 기계적 연마(Chemical mechanical polishing) 방법으로 수행하는 것이 바람직하다.
- [0024] 또한, 제1 절연막(226) 형성 방법은 열산화 방식으로 제1 리세스(222) 및 언더-컷 공간(224)의 표면에 얇은 열산화막을 형성한다. 이후, CVD 방법, SOD 방법, SOG 방법 및 이들의 조합으로 이루어진 일군으로부터 선택된 어느 하나의 방법을 이용하여 제1 리세스(222) 및 언더-컷 공간(224)을 매립하는 제1 절연막(226)을 형성한다. 이때, 제1 절연막(226)과 반도체 기판(210) 사이의 계면에 형성된 산화막은 계면 특성을 향상시킨다.
- [0025] 도 2f 내지 2j를 참조하면, 반도체 기판(210) 상부에 제3 하드 마스크층(미도시)을 형성한다. 다음으로, 도 2c에서 노출되지 않은 셀/코아 영역(2000c)과 주변 영역(2000p)의 경계를 노출하는 마스크(미도시)로 제3 하드 마스크층을 패터닝하여 제2 리세스 영역(230)을 노출하는 제3 하드 마스크 패턴(228)을 형성한다. 이후, 제2 리세스 영역(230) 하부에 노출된 반도체 기판(210)의 일부를 선택 식각하여 제1 절연막(226)을 노출하는 제2 리세스(232)를 형성한다. 그 다음, 반도체 기판(210) 상부에 제2 절연막(234)을 형성하여 제2 리세스(232)를 매립한다. 이때, 제2 절연막(234)은 제1 절연막(226)과 동일한 물질로 형성하는 것이 바람직하다.
- [0026] 도 2k를 참조하면, 반도체 기판(110)을 노출할 때까지 제2 절연막(234)과 제3 하드 마스크 패턴(228)에 대한 평탄화 식각 공정을 수행한다. 이때, 셀/코아 영역(2000c)에는 제1 절연막(226)과 제2 절연막(234)으로 정의된 배리어층(236)을 포함한 SOI(Silicon-on-insulator) 구조의 반도체 기판(210)을 형성한다. 또한, 제1 절연막(226)과 제2 절연막(234)에 의해 셀/코아 영역(2000c)과 주변 영역(2000p)은 전기적으로 분리된다. 한편, 평탄화 식각 공정은 에치-백 방법이나 CMP 방법으로 수행하는 것이 바람직하다.
- [0027] 이후의 공정은 일반적인 게이트 형성 공정, 비트 라인 형성 공정 등을 수행하여 트랜지스터를 완성할 수 있다.
- [0028] 도 3은 본 발명의 일 실시 예에 따른 반도체 소자를 도시한 도면이다. 도 3(i)은 평면도이고, 도 3(ii)은 도 3(i)의 III-III'에 따른 단면도이다. 반도체 소자는 플로팅 바디 셀(FBC)이 형성될 기판 구조를 포함한 셀/코아

영역(3000c)과 벌크 실리콘(Bulk-si) 구조를 포함한 주변 영역(3000p)을 포함한다. 본 발명의 일 실시 예에 따르면, 플로팅 바디 효과를 이용한 플로팅 바디 셀(FBC)이 형성될 기판 구조는 벌크 실리콘인 반도체 기판(340), 셀/코아 영역(3000c)과 주변 영역(3000p)을 전기적으로 분리시키는 배리어층(344) 및 플로팅 바디(342)를 포함한 SOI 구조인 것이 바람직하다. 한편, 셀/코아 영역(3000c)의 SOI 구조는 플로팅 바디 셀(FBC)이 형성될 기판 구조를 구현하기 위한 예시로, 이에 제한되지 않는다.

[0029] 아울러 상기와 같은 본 발명의 바람직한 실시 예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면의 간단한 설명

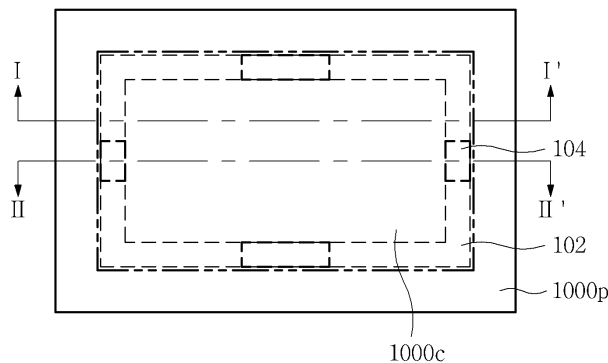
[0030] 도 1은 본 발명의 일 실시 예에 따른 반도체 소자의 레이아웃.
 [0031] 도 2a 내지 2k는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법을 도시한 단면도들.
 [0032] 도 3은 본 발명의 일 실시 예에 따른 반도체 소자를 도시한 도면.

<도면의 주요 부분에 대한 부호의 설명>

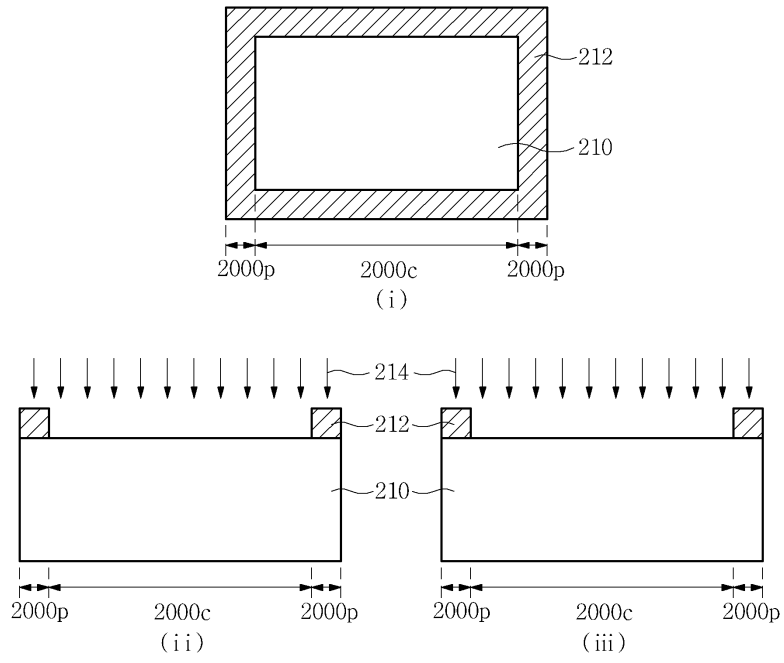
- [0034] 102: 제1 리세스 마스크 영역 104: 제2 리세스 마스크 영역
- [0035] 210: 반도체 기판 212: 하드 마스크 패턴
- [0036] 214: 이온 주입 공정 216: 이온 주입 영역
- [0037] 218: 제2 하드 마스크 패턴 220: 제1 리세스 영역
- [0038] 222: 제1 리세스 224: 언더-컷 공간
- [0039] 226: 제1 절연막 228: 제3 하드 마스크 패턴
- [0040] 230: 제2 리세스 영역 232: 제2 리세스
- [0041] 234: 제2 절연막 236: 배리어층
- [0042] 340: 반도체 기판 344: 배리어층
- [0043] 342: 플로팅 바디
- [0044] 1000c, 2000c, 3000c: 셀/코아 영역
- [0045] 1000p, 2000p, 3000p: 주변 영역

도면

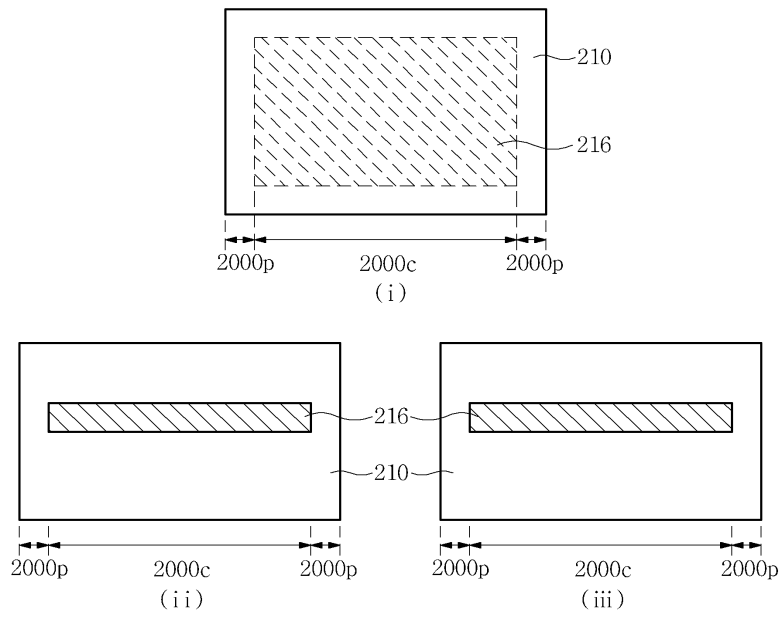
도면1



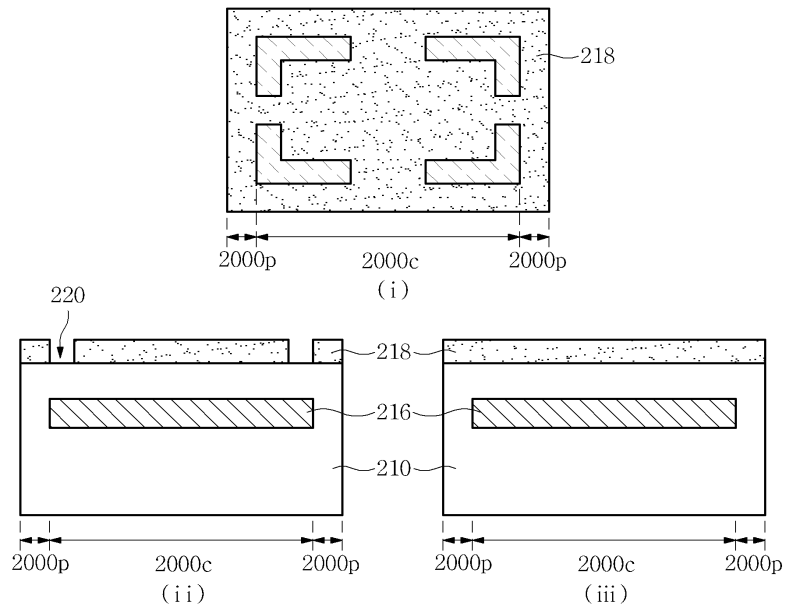
도면2a



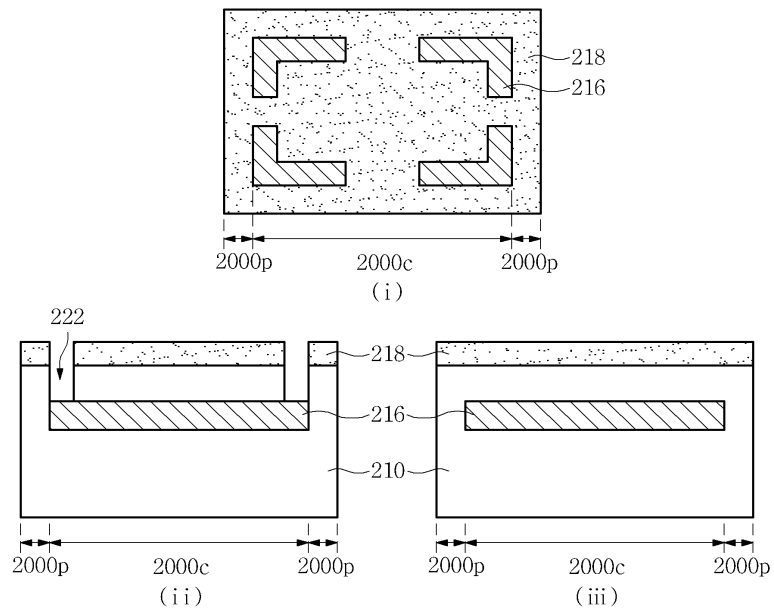
도면2b



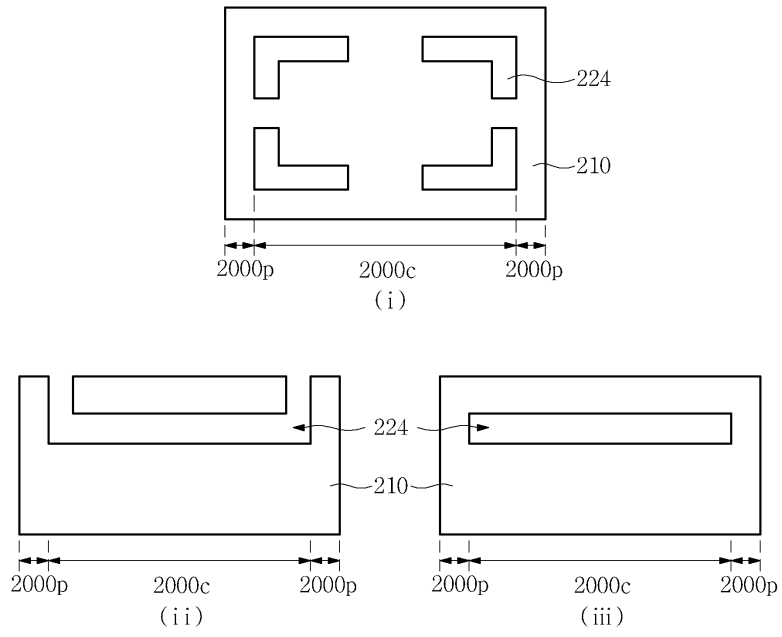
도면2c



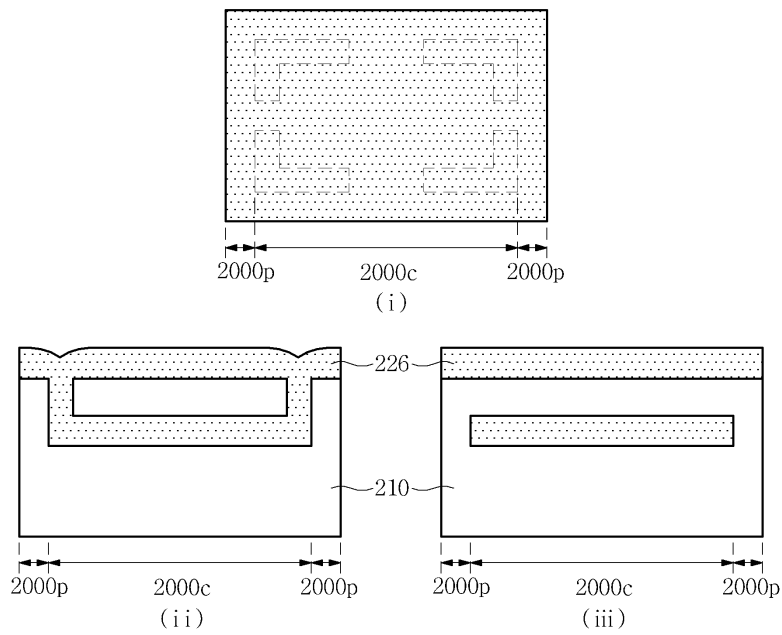
도면2d



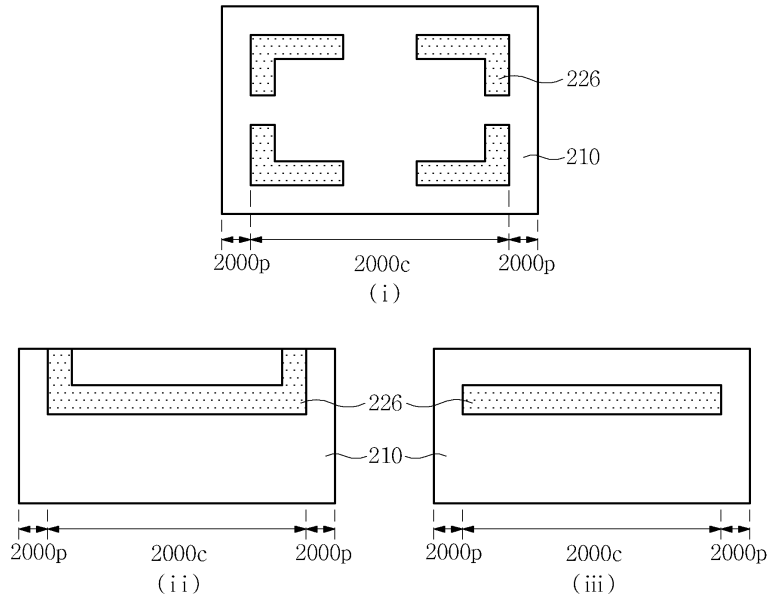
도면2e



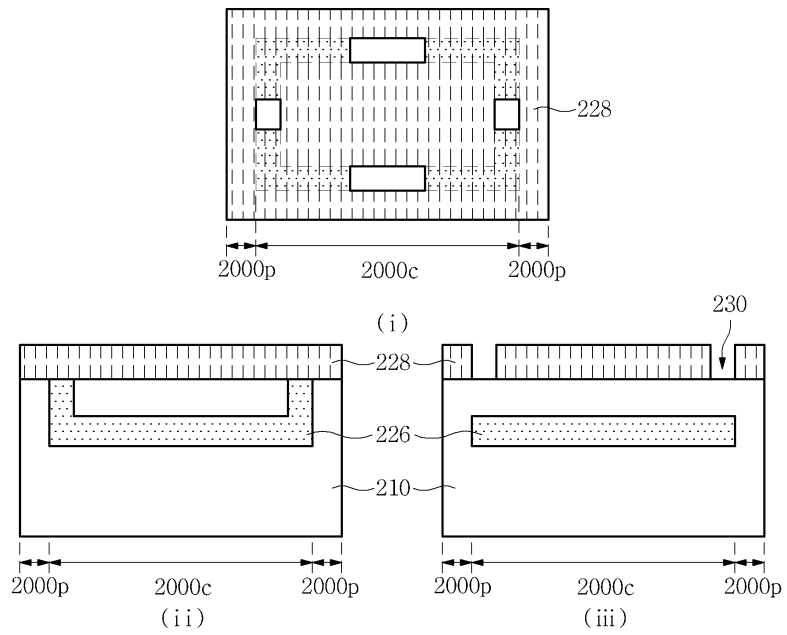
도면2f



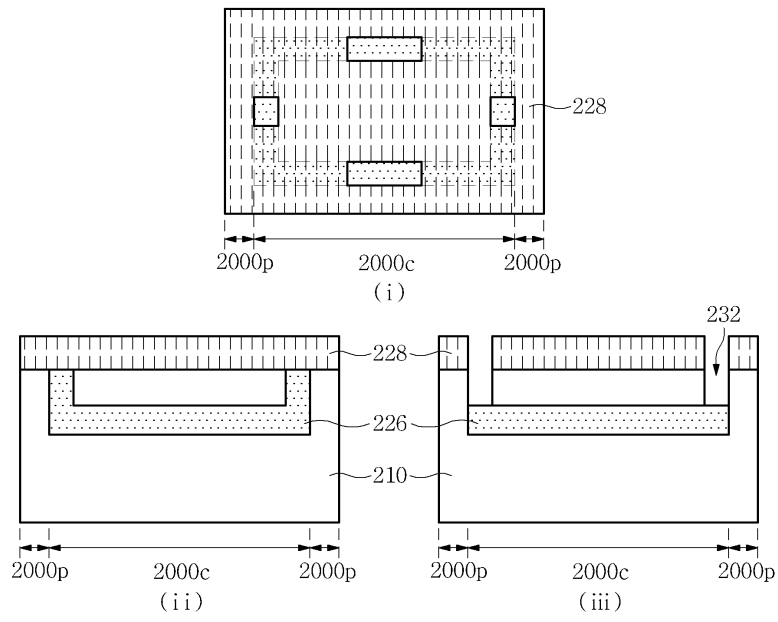
도면2g



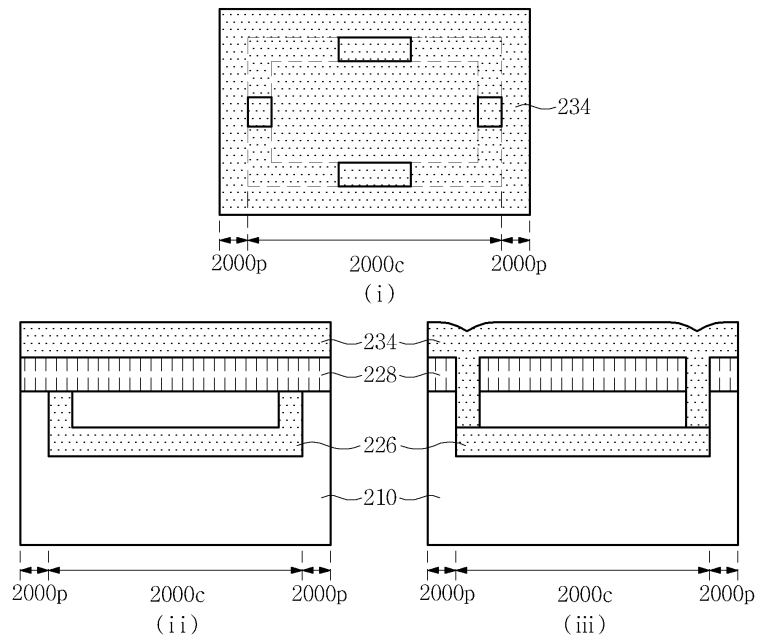
도면2h



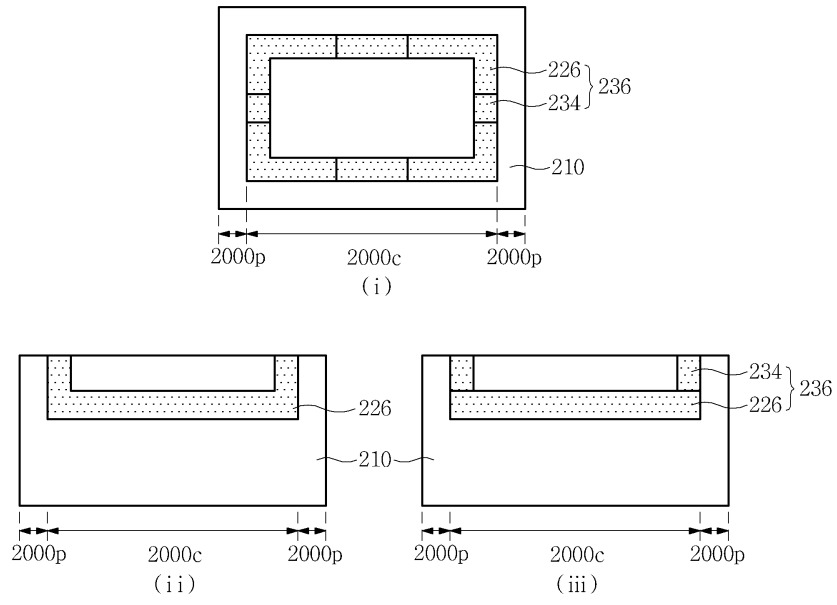
도면2i



도면2j



도면2k



도면3

