

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6130945号
(P6130945)

(45) 発行日 平成29年5月17日(2017.5.17)

(24) 登録日 平成29年4月21日(2017.4.21)

(51) Int.Cl.

H01L 21/8242 (2006.01)
H01L 27/108 (2006.01)

F 1

H01L 27/10

321

請求項の数 4 (全 48 頁)

(21) 出願番号 特願2016-27014 (P2016-27014)
 (22) 出願日 平成28年2月16日 (2016.2.16)
 (62) 分割の表示 特願2012-120791 (P2012-120791)
 原出願日 平成24年5月28日 (2012.5.28)
 (65) 公開番号 特開2016-164976 (P2016-164976A)
 (43) 公開日 平成28年9月8日 (2016.9.8)
 審査請求日 平成28年2月18日 (2016.2.18)
 (31) 優先権主張番号 特願2011-127823 (P2011-127823)
 (32) 優先日 平成23年6月8日 (2011.6.8)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 大嶋 和晃
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小林 英智
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 上田 智志

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

リーダ / ライタが発振する電磁波を受信している期間のみ電源電圧を生成する無線タグを有し、

前記無線タグは、

前記リーダ / ライタから送信されたコマンドを受信する機能と、

信号処理回路において、前記コマンドに従って信号処理を行う機能と、

前記信号処理回路において、レジスタとして機能する複数のフリップフロップ回路に保持されたデータを、それぞれ個別の記憶回路に保持させる機能と、

前記信号処理の結果に応じたレスポンスを、前記電磁波を変調することによって前記リーダ / ライタに返信する機能と、

を有し、

前記記憶回路は、チャネルが酸化物半導体層に形成される第1のトランジスタと、前記第1のトランジスタがオフ状態となることによってフローティングとなる保持ノードに一对の電極のうちの一方が電気的に接続された容量素子と、を有し、

前記フリップフロップ回路中のデータが保持されたノードの電位が前記第1のトランジスタを介して前記保持ノードに入力されるように、前記記憶回路は前記フリップフロップ回路と電気的に接続され、

前記フリップフロップ回路は、チャネルがシリコンに形成される第2のトランジスタを用いて構成される半導体装置であって、

10

20

前記第2のトランジスタの上に第1の絶縁層を有し、
 前記第1の絶縁層の上に前記酸化物半導体層を有し、
 前記酸化物半導体層の上に前記第1のトランジスタのゲート電極を有し、
 前記第1のトランジスタの上に第2の絶縁層を有し、
 前記第2の絶縁層の上に前記容量素子を有し、

前記酸化物半導体層は、前記第1の絶縁層の上面に垂直な方向に沿うようにc軸配向した結晶を有し、水素濃度が 1×10^{-8} / cm³以下であり、且つ、ナトリウム濃度が 5×10^{-6} / cm³以下であることを特徴とする半導体装置。

【請求項2】

リーダ／ライタが発振する電磁波を受信している期間のみ電源電圧を生成する無線タグ 10
 を有し、

前記無線タグは、

前記リーダ／ライタから送信されたコマンドを受信する機能と、

信号処理回路において、前記コマンドに従って信号処理を行う機能と、

前記信号処理回路において、レジスタとして機能する複数のフリップフロップ回路に保持されたデータを、それぞれ個別の記憶回路に保持させる機能と、

前記信号処理の結果に応じたレスポンスを、前記電磁波を変調することによって前記リーダ／ライタに返信する機能と、

を有し、

前記記憶回路は、チャネルが酸化物半導体層に形成される第1のトランジスタと、前記第1のトランジスタがオフ状態となることによってフローティングとなる保持ノードに一对の電極のうちの一方が電気的に接続された容量素子と、を有し、

前記フリップフロップ回路中のデータが保持されたノードの電位が前記第1のトランジスタを介して前記保持ノードに入力されるように、前記記憶回路は前記フリップフロップ回路と電気的に接続され、

前記フリップフロップ回路は、チャネルがシリコンに形成される第2のトランジスタを用いて構成される半導体装置であって、

前記第2のトランジスタの上に第1の絶縁層を有し、

前記第1の絶縁層の上に前記酸化物半導体層を有し、

前記酸化物半導体層の上に前記第1のトランジスタのゲート電極を有し、

前記第1のトランジスタの上に第2の絶縁層を有し、

前記第2の絶縁層の上に前記容量素子を有し、

前記酸化物半導体層は、前記第1の絶縁層の上面に垂直な方向に沿うようにc軸配向した結晶を有することを特徴とする半導体装置。

【請求項3】

リーダ／ライタが発振する電磁波を受信している期間のみ電源電圧を生成する無線タグ 30
 を有し、

前記無線タグは、

前記リーダ／ライタから送信されたコマンドを受信する機能と、

信号処理回路において、前記コマンドに従って信号処理を行う機能と、

前記信号処理回路において、レジスタとして機能する複数のフリップフロップ回路に保持されたデータを、それぞれ個別の記憶回路に保持させる機能と、

前記信号処理の結果に応じたレスポンスを、前記電磁波を変調することによって前記リーダ／ライタに返信する機能と、

を有し、

前記記憶回路は、チャネルが酸化物半導体層に形成される第1のトランジスタと、前記第1のトランジスタがオフ状態となることによってフローティングとなる保持ノードに一对の電極のうちの一方が電気的に接続された容量素子と、を有し、

前記フリップフロップ回路中のデータが保持されたノードの電位が前記第1のトランジスタを介して前記保持ノードに入力されるように、前記記憶回路は前記フリップフロップ 50

回路と電気的に接続され、

前記フリップフロップ回路は、チャネルがシリコンに形成される第2のトランジスタを用いて構成される半導体装置であって、

前記第2のトランジスタの上に第1の絶縁層を有し、

前記第1の絶縁層の上に前記酸化物半導体層を有し、

前記酸化物半導体層の上に前記第1のトランジスタのゲート電極を有し、

前記第1のトランジスタの上に第2の絶縁層を有し、

前記第2の絶縁層の上に前記容量素子を有し、

前記酸化物半導体層は、水素濃度が $1 \times 10^{-8} / \text{cm}^3$ 以下であり、且つ、ナトリウム濃度が $5 \times 10^{-6} / \text{cm}^3$ 以下であることを特徴とする半導体装置。 10

【請求項4】

リーダ／ライタが発振する電磁波を受信している期間のみ電源電圧を生成する無線タグを有し、

前記無線タグは、

前記リーダ／ライタから送信されたコマンドを受信する機能と、

信号処理回路において、前記コマンドに従って信号処理を行う機能と、

前記信号処理回路において、レジスタとして機能する複数のフリップフロップ回路に保持されたデータを、それぞれ個別の記憶回路に保持させる機能と、 20

前記信号処理の結果に応じたレスポンスを、前記電磁波を変調することによって前記リーダ／ライタに返信する機能と、

を有し、

前記記憶回路は、チャネルが酸化物半導体層に形成される第1のトランジスタと、前記第1のトランジスタがオフ状態となることによってフローティングとなる保持ノードに一对の電極のうちの一方が電気的に接続された容量素子と、を有し、

前記フリップフロップ回路中のデータが保持されたノードの電位が前記第1のトランジスタを介して前記保持ノードに入力されるように、前記記憶回路は前記フリップフロップ回路と電気的に接続され、

前記フリップフロップ回路は、チャネルがシリコンに形成される第2のトランジスタを用いて構成される半導体装置であって、

前記第2のトランジスタの上に第1の絶縁層を有し、 30

前記第1の絶縁層の上に前記酸化物半導体層を有し、

前記酸化物半導体層の上に前記第1のトランジスタのゲート電極を有し、

前記第1のトランジスタの上に第2の絶縁層を有し、

前記第2の絶縁層の上に前記容量素子を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

無線タグと、リーダ／ライタを用いた通信方法、及び通信システムに関する。

【背景技術】

【0002】

無線タグ（IDタグ、IDカード、ICカード、ICタグ、ICチップ、RFIDタグ（Radio Frequency Identification）、RFタグ、無線チップ、電子タグともよばれる）と、リーダ／ライタとを有し、無線タグとリーダ／ライタ間で非接触通信を行う通信システムが普及している。このような通信システムでは、リーダ／ライタが無線タグにコマンドを送信し、無線タグがコマンドを受信した後、無線タグがリーダ／ライタにレスポンスを返信するステップを複数回繰り返すこと（以下、コマンドシーケンスともいう）により通信が行われる（例えば、特許文献1中、図2及びその説明参照）。

【0003】

また、無線タグとして、リーダ／ライタからの電磁波を用いて、内部回路を動作させる 50

ための電源電圧を生成する無線タグ（以下、パッシブ型の無線タグともいう）が普及している。この場合、無線タグ自体には電池等の電源を設ける必要がなく、無線タグを小型化することができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-41405号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

リーダ／ライタに対する無線タグ（無線タグのアンテナ）の位置によっては、無線タグはリーダ／ライタからの電磁波を十分に受信することができない場合がある。このとき、パッシブ型の無線タグでは内部回路を動作させるための電源電圧を生成することができない。そのため、無線タグの内部回路への電源電圧の供給が一時的に停止（瞬断、瞬停ともいう。以下、瞬断という）する場合がある。無線タグの内部回路への電源電圧の供給が停止すると、無線タグは所定のレスポンスをリーダ／ライタに返信することができない。また、無線タグの内部回路のうち信号処理を行う回路（CPU等の信号処理回路）に設けられた、レジスタ等として機能するフリップフロップ回路に保持されたデータは消える。そのため、直ぐに無線タグの内部回路への電源電圧の供給が再開しても、コマンドシーケンスを最初からやり直す必要が生じる。

【0006】

そこで、無線タグの内部回路への電源電圧の供給が一時的に停止（瞬断）しても、コマンドシーケンスを途中から再開することができる通信システム及び通信方法を提供することを課題とする。

【課題を解決するための手段】

【0007】

本発明の通信方法の一態様は、リーダ／ライタが発振する電磁波を受信している期間のみ電源電圧を生成する無線タグを用いた通信方法であって、リーダ／ライタが電磁波を変調することによってコマンドを送信するステップと、無線タグがコマンドを受信するステップと、無線タグに含まれる信号処理回路において、当該コマンドに従って信号処理を行うステップと、信号処理回路が有するレジスタやキャッシュメモリとして機能する複数のフリップフロップ回路に保持されたデータをそれぞれ個別の不揮発性の記憶回路に保持されることによってリーダ／ライタに返信するステップと、リーダ／ライタが当該レスポンスを受信するステップと、を複数回繰り返すコマンドシーケンスを有する。そして、無線タグにおいて電源電圧の生成が停止することによってコマンドシーケンスが中断した後、電源電圧の生成が再開すると、不揮発性の記憶回路に保持されたデータを複数のフリップフロップ回路それぞれに入力し、信号処理回路は当該データを用いて信号処理を行い、無線タグが信号処理の結果に応じたレスポンスを電磁波を変調することによってリーダ／ライタに返信し、リーダ／ライタは当該レスポンスを受信し、リーダ／ライタが電磁波を変調することによって当該レスポンスに応じたコマンドを送信し、中断したコマンドシーケンスを再開する。

【0008】

本発明の通信システムの一態様は、パッシブ型の無線タグと、無線タグと無線通信を行うリーダ／ライタと、を有し、無線タグは、リーダ／ライタから受信したコマンドに従って信号処理を行う信号処理回路を有し、信号処理回路はレジスタやキャッシュメモリを有し、レジスタやキャッシュメモリは、フリップフロップ回路と、当該フリップフロップ回路に保持されたデータを記憶するための不揮発性の記憶回路との組を複数有する。

【0009】

上記不揮発性の記憶回路は、オフ電流が極めて小さいトランジスタと、当該トランジス

10

20

30

40

50

タがオフ状態となることによってフローティングとなるノード（以下、保持ノードともいう）に一対の電極のうちの一方が電気的に接続された容量素子とを有する構成とすることができます。ここで、フリップフロップ回路中のデータが保持されたノードの電位が当該トランジスタを介して保持ノードに入力される様に、不揮発性の記憶回路はフリップフロップ回路と電気的に接続することができる。なお、容量素子を設ける代わりに別のトランジスタのゲート容量等を用いることもできる。例えば、保持ノードが、信号処理回路に含まれる演算回路等を構成するトランジスタのゲートに電気的に接続された構成とができる。このとき、一対の電極のうちの一方が保持ノードに電気的に接続される容量素子は、必ずしも必要ない。

【0010】

10

このような不揮発性の記憶回路では、ゲートに第1の電源電位（0Vではない電位）を入力することによってオフ電流が極めて小さいトランジスタをオン状態とする。そして、オン状態となった当該トランジスタを介して、所定の電位（フリップフロップ回路に保持されたデータに対応する電位）が保持ノードに入力されて保持される。ここで、オフ電流が極めて小さいトランジスタは、エンハンスマント型（ノーマリオフ型）のトランジスタとする。無線タグが電源電圧（0Vではない所定の電位、例えば、第1の電源電位に相当）を生成することができなくなり、信号処理回路への電源電圧の供給が停止した際、当該トランジスタのゲートには接地電位（0V、第2の電源電位に相当）が入力される構成とする。例えば、当該トランジスタのゲートが抵抗等の負荷を介して接地される構成とする。こうして、信号処理回路への電源電圧の供給が停止した後、当該トランジスタはオフ状態となり、保持ノードの電位を保持し続けることが可能となる。そのため、信号処理回路のレジスタやキャッシュメモリは、電源電圧の供給が停止した後も、データを保持し続けることができる。

【0011】

20

このような不揮発性の記憶回路では、データに対応する信号電位を保持ノードに入力し、オフ電流が極めて小さいトランジスタをオフ状態として、保持ノードをフローティング状態とすることにより、データを記憶する構成である。そのため、当該不揮発性の記憶回路において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。例えば、強誘電体メモリや、フラッシュメモリ等と比較して、データの書き換え可能な回数を多くすることができる。

【0012】

30

オフ電流が極めて小さいトランジスタとしては、シリコンよりも広いバンドギャップを有する半導体でなる層や基板中にチャネルが形成されるトランジスタを用いることができる。シリコンよりも広いバンドギャップを有する半導体として化合物半導体があり、例えば、酸化物半導体、窒化物半導体などがある。例えば、オフ電流が極めて小さいトランジスタとして、チャネルが酸化物半導体層に形成されるトランジスタを用いることができる。

【0013】

なお、CPU、マイクロプロセッサ等のLSI（Large Scale Integrated Circuit）は、本発明の信号処理回路の範疇に含まれる。

40

【発明の効果】

【0014】

無線タグが有する信号処理回路のレジスタやキャッシュメモリは電源電圧の供給が停止した後も、データを保持し続けることができる。よって、無線タグが電源電圧を生成することができなくなつてコマンドシーケンスが中断した後、再び無線タグが電源電圧を生成し始めると、無線タグが有する信号処理回路は電源電圧供給停止前の状態に復帰して信号処理を再開することができるため、コマンドシーケンスを途中から再開することができる。つまり、無線タグの内部回路への電源電圧の供給が一時的に停止（瞬断）した後、コマンドシーケンスを最初からやり直す必要がないため、通信を速く行うことが可能となる。

【図面の簡単な説明】

50

【0015】

【図1】通信システムの構成を示すブロック図、及び無線タグが有する信号処理回路の構成を示すブロック図。

【図2】通信方法を示すタイミングチャートを示す図。

【図3】信号処理回路が有する、フリップフロップ回路と不揮発性の記憶回路との組の構成を示す図。

【図4】信号処理回路の作製工程を示す図。

【図5】信号処理回路の作製工程を示す図。

【図6】信号処理回路の作製工程を示す図。

【図7】酸化物材料の結晶構造を説明する図。

10

【図8】酸化物材料の結晶構造を説明する図。

【図9】酸化物材料の結晶構造を説明する図。

【図10】酸化物材料の結晶構造を説明する図。

【図11】酸化物半導体層にチャネルが形成されるトランジスタ特性のグラフ。

【図12】試料1のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図13】試料2であるトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図14】試料Aおよび試料BのXRDスペクトルを示す図。

【図15】トランジスタのオフ電流と測定時基板温度との関係を示す図。

【図16】 I_d および電界効果移動度の V_g 依存性を示す図。

【図17】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す図。

20

【図18】酸化物半導体層にチャネルが形成されるトランジスタの上面図及び断面図。

【図19】酸化物半導体層にチャネルが形成されるトランジスタの上面図及び断面図。

【発明を実施するための形態】

【0016】

以下では、実施の形態及び実施例について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態及び実施例の記載内容に限定して解釈されるものではない。

30

【0017】

なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れかえて用いることができるものとする。

【0018】

「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限はない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

40

【0019】

回路図上は独立している構成要素どうしが電気的に接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0020】

「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを見定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲー

50

ト絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0021】

図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0022】

「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものである。

【0023】

(実施の形態1)

10

本実施の形態では、本発明の通信システムの一態様について説明する。図1(A)は、通信システムの一態様を示すブロック図である。

【0024】

図1(A)において、通信システム100は、無線タグ101と、無線タグ101と無線通信を行うリーダ/ライタ102と、を有する。

【0025】

無線タグ101は、信号処理回路111、アンテナ112、復調回路113、変調回路114、符号・復号回路115、メモリ部118、バス119、電源回路131を有する構成とすることができる。信号処理回路111、符号・復号回路115、メモリ部118は、バス119を介して電気的に接続され、相互にデータの入出力を行う。

20

【0026】

アンテナ112は、変調回路114において生成された変調信号を無線通信によって送信する。また、アンテナ112はリーダ/ライタ102から送信してきた電磁波を受信し、復調回路113に入力する。電源回路131は、アンテナ112が受信した電磁波を用いて電源電圧(接地電位(0V)ではない電位、例えば、第1の電源電位に相当)を生成する。生成された電源電圧は、無線タグ101が有する信号処理回路111等の内部回路に供給される。復調回路113は、アンテナ112が受信した電磁波(所定の搬送波を変調した変調信号に相当)を復調し、その結果得られるコマンドを符号・復号回路115に入力する。符号・復号回路115は、復調回路113から入力されたコマンドを復号し、バス119を介して信号処理回路111に入力する。信号処理回路111は、入力されたコマンドに従って、所定の信号処理を行い、レスポンスを出力する。また、符号・復号回路115は、信号処理回路111からバス119を介して入力されるレスポンスを符号化して変調回路114に出力する。変調回路114は、符号・復号回路115から入力される信号に従って、所定の搬送波を変調した変調信号を生成し、アンテナ112へ出力する。メモリ部118には、プログラム等の情報が記憶される。メモリ部118に記憶された情報は読み出されて、バス119を介して信号処理回路111に入力される。メモリ部118としては、例えば、ハードディスクや、フラッシュメモリや、EEPROM(electrically erasable programmable read only memory)や、MRAM(magnetoresistive random access memory:磁気抵抗メモリ)や、FeRAM(ferroelectric random access memory:強誘電体メモリ)等を用いることができる。

30

【0027】

上記構成によって、無線タグ101はコマンドを受信する。また、レスポンスを送信する。

【0028】

リーダ/ライタ102は、アンテナ121、復調回路122、変調回路123、符号・復号回路124、発振回路125、信号処理回路126、メモリ部129、バス130を有する構成とできる。信号処理回路126、符号・復号回路124、メモリ部129は、バス130を介して電気的に接続され、相互にデータの入出力を行う。

40

50

【0029】

アンテナ121は、変調回路123において生成された変調信号を無線通信によって送信する。また、アンテナ121は無線タグ101から送信されてきた電磁波を受信し、復調回路122に入力する。復調回路122は、アンテナ121が受信した電磁波（所定の搬送波を変調した変調信号に相当）を復調し、その結果得られるレスポンスを符号・復号回路124に入力する。符号・復号回路124は、復調回路122から入力されたレスポンスを復号し、バス130を介して信号処理回路126に入力する。信号処理回路126は、入力されたレスポンスに従って、所定の信号処理を行い、コマンドを出力する。また、符号・復号回路124は、信号処理回路126からバス130を介して入力されるコマンドを符号化して変調回路123に出力する。発振回路125は、所定の周波数の搬送波を生成し、変調回路123に入力する。変調回路123は、符号・復号回路124から入力される信号に従って、発振回路125から入力された搬送波を変調することによって変調信号を生成し、アンテナ121へ出力する。メモリ部129には、プログラム等の情報が記憶される。メモリ部129に記憶された情報は読み出されて、バス130を介して信号処理回路126に入力される。メモリ部129としては、例えば、ハードディスクや、フラッシュメモリや、EEPROM (electrically erasable programmable read only memory) や、MRAM (magnetoresistive random access memory : 磁気抵抗メモリ) や、FeRAM (ferroelectric random access memory : 強誘電体メモリ) 等を用いることができる。

10

20

【0030】

上記構成によって、リーダ／ライタ102は、コマンドを送信する。また、レスポンスを受信する。

【0031】

このような通信システム100によって、無線通信を行い、所定のコマンドシーケンスを実行することができる。

【0032】

ここで、信号処理回路111は、フリップフロップ回路と、当該フリップフロップ回路に保持されたデータを記憶するための不揮発性の記憶回路との組を複数有する構成とすることができる。これら複数の組は、信号処理回路111におけるレジスタとして機能させることができる。また、キャッシュメモリとして機能させることもできる。無線タグ101のアンテナ112がリーダ／ライタ102から電磁波を受信することができなくなる等して電源回路131が電源電圧を生成することができなくなり、信号処理回路111への電源電圧の供給が停止しても、当該フリップフロップ回路に保持されたデータは当該不揮発性の記憶回路によって保持される。こうして、信号処理回路111のレジスタやキャッシュメモリは、電源電圧供給停止後もデータを保持し続けることができる。

30

【0033】

図1(B)に信号処理回路111の構成を模式的に示す。信号処理回路111は、フリップフロップ回路200aと、フリップフロップ回路200aに保持されたデータ（例えば、フリップフロップ回路200aのノードM（図1(B)中「M」と表記）の電位に対応）を記憶するための不揮発性の記憶回路10aとの組220a、及び、フリップフロップ回路200bと、フリップフロップ回路200bに保持されたデータ（例えば、フリップフロップ回路200bのノードM（図1(B)中「M」と表記）の電位に対応）を記憶するための不揮発性の記憶回路10bとの組220bを有する。なお、図1(B)では、フリップフロップ回路と不揮発性の記憶回路との組を2つ代表で示したが、信号処理回路111はこの組を任意の個数有する構成とすることができます。信号処理回路111が有する、フリップフロップ回路と不揮発性の記憶回路との組（例えば、図1(B)における組220aや組220b）は、レジスタとして機能させることができます。また、キャッシュメモリとして機能させることもできる。無線タグ101のアンテナ112がリーダ／ライタ102から電磁波を受信することができなくなる等して電源回路131が電源電圧を生

40

50

成することができなくなり、信号処理回路 111への電源電圧の供給が停止しても、フリップフロップ回路 200a 及びフリップフロップ回路 200b に保持されたデータはそれぞれ個別の不揮発性の記憶回路 10a 及び不揮発性の記憶回路 10b によって保持される。こうして、信号処理回路 111のレジスタやキャッシュメモリは、電源電圧供給停止後もデータを保持し続けることができる。

【0034】

以下、フリップフロップ回路と不揮発性の記憶回路との組（例えば、組 220a や組 220b）は、組 220 と呼び、組 220 はフリップフロップ回路 200 と不揮発性の記憶回路 10 とを有するものとして以下の説明を行う。

【0035】

図 3において、組 220 のより詳細な構成について説明する。なお、説明においては図 1 の符号も参照する。

【0036】

(組の構成 1)

図 3 (B)において、フリップフロップ回路 200 と、不揮発性の記憶回路 10 と、の組 220 の一態様を示す。

【0037】

図 3 (B)における不揮発性の記憶回路 10 の構成の一態様を図 3 (A) に示す。図 3 (A)において、不揮発性の記憶回路 10 は、トランジスタ 11 と容量素子 12 とを有する。なお、図 3 (A) では、トランジスタ 11 のチャネルが酸化物半導体層に形成されていることを示すため、「OS」の符号を付している。トランジスタ 11 のゲートは端子 W と電気的に接続され、トランジスタ 11 のソース及びドレインの一方は端子 B と電気的に接続される。トランジスタ 11 のソース及びドレインの他方は、容量素子 12 の一対の電極のうちの一方と電気的に接続される。容量素子 12 の一対の電極のうちの他方は、端子 C と電気的に接続される。容量素子 12 の一対の電極のうちの一方を、保持ノードとよび、図中、FN で示す。

【0038】

なお、容量素子 12 を設ける代わりにトランジスタ 11 とは別のトランジスタのゲート容量等を用いることもできる。例えば、保持ノード FN が、信号処理回路 111 に含まれる演算回路等を構成するトランジスタのゲートに電気的に接続された構成の場合、容量素子 12 は必ずしも必要ない。

【0039】

不揮発性の記憶回路 10 では、保持ノード FN の電位（またはそれに対応する電荷量）をデータに応じて制御することによって、データを記憶する。例えば、容量素子 12 に所定の電荷が充電された状態を「1」に対応させ、容量素子 12 に電荷が充電されていない状態を「0」に対応させることによって、1 ビットのデータを記憶することができる。不揮発性の記憶回路 10 では、トランジスタ 11 のオフ電流が極めて小さいため、トランジスタ 11 をオフ状態とすることにより、保持ノード FN の電位、即ちデータを長期間に渡って保持することが可能となる。また、不揮発性の記憶回路 10 では、データに対応する信号電位を保持ノード FN に入力し、トランジスタ 11 をオフ状態として、保持ノード FN をフローティング状態とすることにより、データを記憶する構成である。そのため、不揮発性の記憶回路 10 において、データの書き換えを繰り返すことによる疲労は少なく、データの書き換え可能な回数を多くすることができる。

【0040】

図 3 (B)におけるフリップフロップ回路 200 は、演算回路 201 及び演算回路 202 を有し、演算回路 201 の出力が演算回路 202 に入力され、演算回路 202 の出力が演算回路 201 に入力されるような、帰還ループを有する。なお、演算回路 201 及び演算回路 202 の一方または両方において、クロック信号が入力される構成であってもよい。

【0041】

図3(B)において、不揮発性の記憶回路10の端子Bは、演算回路202の入力端子と演算回路201の出力端子との間に存在するノードMと電気的に接続される。ここで、ノードMは、フリップフロップ回路200におけるデータを保持するノードの一つに相当する。またフリップフロップ回路200は、ノードMと演算回路201の出力端子との電気的接続を選択するスイッチ203を有し、スイッチ203は制御信号SEL0によって導通状態または非導通状態が選択される。なお、演算回路201が制御信号(例えば、クロック信号等)に応じて選択的に信号を出力する回路の場合には、スイッチ203を必ずしも設ける必要はなく、省略することも可能である。不揮発性の記憶回路10の端子Wには制御信号OSGが入力されている。なお、不揮発性の記憶回路10の端子Cには、一定の電位、例えば、接地電位が入力される構成とことができる。

10

【0042】

(組の構成1の駆動方法)

電源回路131によって信号処理回路111に電源電圧が供給され、図3(B)に示した組220において制御信号SEL0によってスイッチ203が導通状態のとき、フリップフロップ回路200は、演算回路201及び演算回路202でなる帰還ループによってデータを保持する。つまり、図3(B)に示す組において、入力されるデータはフリップフロップ回路200の帰還ループによって保持され、またフリップフロップ回路200の帰還ループからデータが出力される。このようなフリップフロップ回路200の帰還ループによるデータの保持及び出力は、高速に行うことが可能である。

20

【0043】

また、制御信号OSGを第1の電源電位としてトランジスタ11をオン状態とする。こうして、不揮発性の記憶回路10において、オン状態となったトランジスタ11を介して、フリップフロップ回路200に保持されたデータに対応する電位(ノードMの電位)が保持ノードFNに入力される。

【0044】

ここで、トランジスタ11は、エンハンスマント型(ノーマリオフ型)のトランジスタとする。無線タグ101が電源電圧を生成できなくなり、信号処理回路111への電源電圧の供給が停止した際、トランジスタ11のゲートには接地電位(0V、第2の電源電位に相当)が入力される構成とする。つまり、制御信号OSGとして接地電位が入力される構成とする。例えば、トランジスタ11のゲートが抵抗等の負荷を介して接地される構成とする。こうして、信号処理回路111への電源電圧の供給が停止した後、トランジスタ11はオフ状態となり、保持ノードFNの電位を保持し続けることが可能となる。そのため、信号処理回路111の組220を用いて構成される回路(レジスタやキャッシュメモリ)は、電源電圧の供給が停止した後もデータを保持し続けることができる。

30

【0045】

そして、信号処理回路111への電源電圧の供給が再開した後、制御信号SEL0によってスイッチ203を非導通状態とし、且つ制御信号OSGを第1の電源電位とすることによって、不揮発性の記憶回路10のトランジスタ11をオン状態とする。これにより、フリップフロップ回路200のノードMに、不揮発性の記憶回路10の保持ノードFNの電位(またはそれに対応する電荷量)を入力する。その後、制御信号SEL0によってスイッチ203を導通状態とする。こうして、不揮発性の記憶回路10に保持されていたデータを、フリップフロップ回路200に入力し、帰還ループによって保持させることができる。このように、信号処理回路111が有するレジスタやキャッシュメモリは、電源電圧供給停止前の状態に復帰することができ、信号処理回路111は所定のレスポンスを出力可能な状態となる。

40

【0046】

なお、演算回路201を制御信号(例えば、クロック信号等)に応じて選択的に信号を出力する回路(例えば、クロックドインバータやスリーステートバッファ)として、スイッチ203を省略する構成を採用した場合には、上記説明においてスイッチ203が非導通状態となる際に、演算回路201の出力が無い(不定となる)ように演算回路201を

50

制御する。演算回路 201 以外の駆動方法は上記と同様とすることができます。

【0047】

(組の構成 2)

組 220 は、図 3 (B) に示した構成に限定されない。例えば、図 3 (E) に示す構成とすることができる。図 3 (E) において、図 3 (B) と同じ部分は同じ符号を用いて示し、説明は省略する。図 3 (E) における組 220 では、図 3 (B) におけるスイッチ 203 は必ずしも必要ないため、設けられていない。図 3 (E) における不揮発性の記憶回路 10 の端子 F は、図 3 (C) に示すように、容量素子 12 の一对の電極のうちの一方と電気的に接続されている。図 3 (E) では、不揮発性の記憶回路 10 の端子 F は演算回路 204 及びスイッチ 205 を介して、フリップフロップ回路 200 の演算回路 202 の出力端子及び演算回路 201 の入力端子と電気的に接続されている。演算回路 204 として、例えばインバータ 224 を用いることができる。なお、演算回路 204 としてはこれに限定されず、入力された信号の位相を反転させて出力する任意の回路とすることができます。また、スイッチ 205 は制御信号 SELR によって、導通状態または非導通状態が選択される。10

【0048】

(組の構成 2 の駆動方法)

電源回路 131 によって信号処理回路 111 に電源電圧が供給され、図 3 (E) に示した組 220 において制御信号 SELR によってスイッチ 205 が非導通状態のとき、フリップフロップ回路 200 は、演算回路 201 及び演算回路 202 でなる帰還ループによってデータを保持する。つまり、図 3 (E) に示す組 220 において、入力されるデータはフリップフロップ回路 200 の帰還ループによって保持され、またフリップフロップ回路 200 の帰還ループからデータが出力される。このようなフリップフロップ回路 200 の帰還ループによるデータの保持及び出力は、高速に行うことが可能である。20

【0049】

また、制御信号 OSG を第 1 の電源電位とすることによってトランジスタ 11 をオン状態とする。こうして、不揮発性の記憶回路 10 において、オン状態となったトランジスタ 11 を介して、フリップフロップ回路 200 に保持されたデータに対応する電位 (ノード M の電位) が保持ノード FN に入力される。30

【0050】

ここで、トランジスタ 11 は、エンハンスマント型 (ノーマリオフ型) のトランジスタとする。無線タグ 101 が電源電圧を生成できなくなり、信号処理回路 111 への電源電圧の供給が停止した際、トランジスタ 11 のゲートには接地電位 (0V、第 2 の電源電位に相当) が入力される構成とする。つまり、制御信号 OSG として接地電位が入力される構成とする。例えば、トランジスタ 11 のゲートが抵抗等の負荷を介して接地される構成とする。こうして、信号処理回路 111 への電源電圧の供給が停止した後、トランジスタ 11 はオフ状態となり、保持ノード FN の電位を保持し続けることが可能となる。そのため、信号処理回路 111 の組 220 を用いて構成される回路 (レジスタやキャッシュメモリ) は、電源電圧の供給が停止した後もデータを保持し続けることができる。40

【0051】

そして、信号処理回路 111 への電源電圧の供給が再開した後、不揮発性の記憶回路 10 のトランジスタ 11 をオフ状態としたまま、制御信号 SELR によってスイッチ 205 を導通状態とする。これにより、不揮発性の記憶回路 10 の保持ノード FN の電位 (またはそれに対応する電荷量) を演算回路 204 によって所定の電位に変換し、フリップフロップ回路 200 のノード Mb に入力する。こうして、不揮発性の記憶回路 10 に保持されていたデータを、フリップフロップ回路 200 に入力し、帰還ループによって保持させることができる。このように、信号処理回路 111 が有するレジスタやキャッシュメモリは、電源電圧供給停止前の状態に復帰することができ、信号処理回路 111 は所定のレスポンスを出力可能な状態となる。

【0052】

50

なお、演算回路 202 を制御信号（例えば、クロック信号等）に応じて選択的に信号を出力する回路（例えば、クロックドインバータやスリーステートバッファ）として、上記説明においてスイッチ 205 が導通状態となる際に、演算回路 202 の出力が無い（不定となる）ように演算回路 202 を制御することが好ましい。これによって、フリップフロップ回路 200 のノード Mb の電位を、演算回路 204 から出力される電位とすることが容易となる。

【0053】

また、演算回路 204 を制御信号（例えば、クロック信号等）に応じて選択的に信号を出力する回路（例えば、クロックドインバータやスリーステートバッファ）として、スイッチ 205 を省略する構成を採用することもできる。この場合には、上記説明においてスイッチ 205 が非導通状態となる際に、演算回路 204 の出力が無い（不定となる）ように演算回路 204 を制御する。演算回路 204 以外の駆動方法は上記と同様とすることができる。10

【0054】

(組の構成 3)

組 220 は、図 3 (B) や図 3 (E) に示した構成に限定されない。例えば、図 3 (D) に示す構成とすることもできる。図 3 (D) において、図 3 (B) と同じ部分は同じ符号を用いて示し、説明は省略する。図 3 (D) における組 220 では、フリップフロップ回路 200 内に不揮発性の記憶回路 10 が含まれる。図 3 (D) における不揮発性の記憶回路 10 の端子 F は、図 3 (C) に示すように、保持ノード FN と電気的に接続されている20。

【0055】

(組の構成 3 の駆動方法)

電源回路 131 によって信号処理回路 111 に電源電圧が供給され、図 3 (D) に示した組 220 において制御信号 OSG を第 1 の電源電位とすることによってトランジスタ 11 がオン状態のとき、フリップフロップ回路 200 は、演算回路 201 及び演算回路 202 でなる帰還ループによってデータを保持する。つまり、図 3 (D) に示す組において、入力されるデータはフリップフロップ回路 200 の帰還ループによって保持され、またフリップフロップ回路 200 の帰還ループからデータが出力される。このようなフリップフロップ回路 200 の帰還ループによるデータの保持及び出力は、高速に行うことが可能である。30

【0056】

また、不揮発性の記憶回路 10 の保持ノード FN は、フリップフロップ回路 200 に保持されたデータに対応する電位（ノード M の電位）となる。

【0057】

ここで、トランジスタ 11 は、エンハンスマント型（ノーマリオフ型）のトランジスタとする。無線タグ 101 が電源電圧を生成することができなくなり、信号処理回路 111 への電源電圧の供給が停止した際、トランジスタ 11 のゲートには接地電位（0V、第 2 の電源電位に相当）が入力される構成とする。つまり、制御信号 OSG として接地電位が入力される構成とする。例えば、トランジスタ 11 のゲートが抵抗等の負荷を介して接地される構成とする。こうして、信号処理回路 111 への電源電圧の供給が停止した後、トランジスタ 11 はオフ状態となり、保持ノード FN の電位を保持し続けることができる。そのため、信号処理回路 111 の組 220 を用いて構成される回路（レジスタやキャッシュメモリ）は、電源電圧の供給が停止した後もデータを保持し続けることができる。40

【0058】

そして、信号処理回路 111 への電源電圧の供給が再開した後、御信号 OSG を第 1 の電源電位とすることによって不揮発性の記憶回路 10 のトランジスタ 11 をオン状態とする。これにより、不揮発性の記憶回路 10 に保持されていたデータを、フリップフロップ回路 200 の帰還ループによって保持させることができる。このように、信号処理回路 111 が有するレジスタやキャッシュメモリは、電源電圧供給停止前の状態に復帰すること50

ができ、信号処理回路 111 は所定のレスポンスを出力可能な状態となる。

【0059】

以上が、信号処理回路 111 が有する複数の組 220 の構成についての説明である。なお、信号処理回路 111 が有する複数の組 220 としては、上記した構成 1 乃至構成 3 の組 220 を自由に組み合わせて用いることができる。例えば、信号処理回路 111 は、異なる構成の組 220 を有していてもよい。また、信号処理回路 111 が有する複数の組 220 において、フリップフロップ回路 200 の構成は同じであってもよいし異なっていてもよい。

【0060】

上記のような通信システム 100 を用いることによって、無線タグ 101 が有する信号処理回路 111 のレジスタやキャッシュメモリは電源電圧の供給が停止した後も、データを保持し続けることができる。よって、無線タグ 101 が電源電圧を生成することができなくなつてコマンドシーケンスが中断した後、再び無線タグ 101 が電源電圧を生成し始めた後に、無線タグ 101 が有する信号処理回路 111 は電源電圧供給停止前の状態に復帰して信号処理を再開することができるため、コマンドシーケンスを途中から再開することができる。つまり、無線タグ 101 の内部回路への電源電圧の供給が一時的に停止（瞬断）した後、コマンドシーケンスを最初からやり直す必要がないため、通信を速く行うことが可能となる。

【0061】

本実施の形態は、他の実施の形態と自由に組み合わせて実施することが可能である。

【0062】

(実施の形態 2)

本実施の形態では、本発明の通信方法の一態様について説明する。なお、当該通信方法を用いる通信システムは、実施の形態 1 に示した構成とすることができる。よって、以下に説明では、図 1 や図 3 も参照し、その符号も用いて説明する。

【0063】

図 2 に、通信方法の一態様を示すタイミングチャートを示す。図 2 において、T は、期間を示し、「タグ」は無線タグ 101 が行う信号処理を示し、「R / W」はリーダ / ライタ 102 が行う信号処理を示し、「V」は無線タグ 101 の電源回路 131 が生成する電源電圧を示す。図 2 (A) では、無線タグ 101 の内部回路への電源電圧の供給の一時的停止（瞬断）が起こらなかった場合のタイミングチャートを示し、図 2 (B) では、瞬断が起こった場合のタイミングチャートを示す。

【0064】

(瞬断が起こらない場合)

瞬断が起こらない場合、コマンドシーケンスを行う期間（図 2 (A) の期間 T1 乃至期間 T9）において、無線タグ 101 の電源回路 131 は所定の電圧を生成し信号処理回路 111 等の内部回路に供給しているため、V は VDD (0V でない所定の電圧) である。

【0065】

図 2 (A) の期間 T1 において、リーダ / ライタ 102 はコマンド C1 を無線タグ 101 に送信し、無線タグ 101 はコマンド C1 を受信し、無線タグ 101 の信号処理回路 111 はコマンド C1 に従って信号処理を行う（図 2 (A) において「C1」と表記）。

【0066】

次いで期間 T2 において、無線タグ 101 の信号処理回路 111 が有する複数の組（フリップフロップ回路 200 と不揮発性の記憶回路 10 との組 220）において、フリップフロップ回路 200 に保持されたデータを不揮発性の記憶回路 10 に保持させる（図 2 (A) において「F1」と表記）。つまり、フリップフロップ回路 200 のノード M の電位を不揮発性の記憶回路 10 の保持ノード FN に入力する。この動作の詳細については、実施の形態 1 において詳述したとおりであるので、説明は省略する。なお、期間 T2 におけるこの動作（フリップフロップ回路 200 のノード M の電位を不揮発性の記憶回路 10 の保持ノード FN に入力する動作）は、信号処理回路 111 がコマンド C1 に従った信号処理

10

20

30

40

50

理を行うのと同時に（並行して）行うこともできる。つまり、図2(A)における期間T2の動作を期間T1中に行うこともできる。

【0067】

期間T3において、無線タグ101は信号処理の結果であるレスポンスR1をリーダ/ライタ102に送信し、リーダ/ライタ102はレスポンスR1を受信し、リーダ/ライタ102がレスポンスR1に従った信号処理を行う（図2(A)において「R1」と表記）。こうして、期間T4において、リーダ/ライタ102は、レスポンスR1に応じたコマンドC2を出力する。

【0068】

図2(A)に示すとおり、期間T4乃至期間T6、及び期間T7乃至期間T9においても、期間T1乃至期間T3と同様の動作を繰り返すことによってコマンドシーケンスを行う。
10

【0069】

（瞬断が起こった場合）

図2(B)に示すように、期間T1乃至期間T5、及び期間T8乃至期間T12においては、無線タグ101の電源回路131は所定の電圧VDDを生成し（VはVDD）、内部回路に供給しているが、期間T6及び期間7において瞬断が起き、内部回路への電源電圧の供給が停止（Vは0V）する場合について説明する。

【0070】

図2(B)の期間T1乃至期間T5までの動作については、図2(A)の期間T1乃至期間T5までの動作と同様であるため説明は省略する。
20

【0071】

期間T6において、瞬断が起きVが0Vとなると、無線タグ101がレスポンスR2をリーダ/ライタ102に送信することができなくなる。そのため、コマンドシーケンスが中断する（図2(B)中、斜線で示す）。

【0072】

期間T7でもVが0Vであるため、無線タグ101はリーダ/ライタ102にレスポンスを送信することができない（図2(B)中、斜線で示す）。

【0073】

期間8において、無線タグ101の電源回路131によって電源電圧の生成が再開しVがVDDとなる。すると、無線タグ101の信号処理回路111が有する複数の組（フリップフロップ回路200と不揮発性の記憶回路10との組220）それぞれにおいて、不揮発性の記憶回路10に保持されたデータをフリップフロップ回路200に入力し、信号処理回路111は当該データを用いて信号処理を行う（図2(B)において「B2」と表記）。つまり、不揮発性の記憶回路10の保持ノードFNの電位（またはそれに対応する電位）を、フリップフロップ回路200のデータを保持するノード（例えば、図3(B)及び図3(D)におけるノードM、図3(E)におけるノードMb）に入力することによって、不揮発性の記憶回路10に保持されたデータをフリップフロップ回路200の帰還ループによって保持させた後、当該データを用いて信号処理回路111は信号処理を行う。この動作の詳細については、実施の形態1において詳述したとおりであるので、説明は省略する。
30
40

【0074】

その信号処理の結果を期間T9において、レスポンスR2としてリーダ/ライタ102に送信し、リーダ/ライタ102はレスポンスR2を受信する。そして、リーダ/ライタ102がレスポンスR2に従った信号処理を行う。こうして、期間T10において、リーダ/ライタ102は、レスポンスR2に応じたコマンドC3を出力する。

【0075】

期間T10以降の動作は、図2(A)における期間T7以降の動作と同様である。

【0076】

このように、瞬断によって中断したコマンドシーケンスを途中（無線タグ101からの
50

レスポンス R 2 の送信) から再開することができる。

【 0 0 7 7 】

(瞬断が起きる場合のバリエーション)

なお、図 2 (B) では、無線タグ 101 がレスポンスを送信する際に瞬断が起きた場合を例示したがこれに限定されない。無線タグ 101 がコマンドを受信する際に瞬断が起きた場合も、同様にコマンドシーケンスを途中から再開することができる。

【 0 0 7 8 】

例えば、図 2 (A) において、無線タグ 101 がコマンド C 3 を受信する際に瞬断が起きた場合を例に説明する。瞬断の後、無線タグ 101 の電源回路 131 によって電源電圧の生成が再開し V が VDD となった後に、図 2 (B) における「 B 2 」と同様の動作を行うことによって、瞬断によって中断したコマンドシーケンスを途中 (無線タグ 101 からのレスポンス R 2 の送信) から再開することができる。
10

【 0 0 7 9 】

上記のような通信方法を用いることによって、無線タグ 101 の内部回路への電源電圧の供給が一時的に停止 (瞬断) した後、コマンドシーケンスを最初からやり直す必要がないため、通信を速く行うことが可能となる。

【 0 0 8 0 】

図 2 では、コマンドと、それに対応するレスポンスを 3 回送受信するコマンドシーケンスの例を示したがこれに限定されない。コマンドとそれに対応するレスポンスを任意の回数送受信するコマンドシーケンスを行う場合に対して、上記通信方法を採用することができる。
20

【 0 0 8 1 】

また、コマンドシーケンスは、任意の規格に対応したものを用いることができる。例えば、 Felic (登録商標) に対応したものを用いることができる。また例えば、 NFC type 3 に対応したものを用いることができる。本発明の通信方法では、上述のとおり、瞬断が起きてもコマンドシーケンスを途中から再開することができるため、長いコマンドシーケンスを必要とする通信において、特に有効である。例えば、コマンドとそれに対応するレスポンスの送受信を行う回数が多いコマンドシーケンスが規定された規格を用いる場合に、特に有効である。

【 0 0 8 2 】

本実施の形態は、他の実施の形態と自由に組み合わせて実施することが可能である。
30

【 0 0 8 3 】

(実施の形態 3)

無線タグ 101 が有する信号処理回路 111 の作製方法について説明する。本実施の形態では、図 3 に示した不揮発性の記憶回路 10 のうち、チャネルが酸化物半導体層に形成されるトランジスタ 11 、容量素子 12 、及びフリップフロップ回路 200 を構成するトランジスタのうちトランジスタ 133 を例に挙げて、信号処理回路 111 の作製方法について説明する。ここで、トランジスタ 133 は、チャネルがシリコン層に形成されるトランジスタである場合を例に挙げる。

【 0 0 8 4 】

なお、信号処理回路 111 の有するその他トランジスタは、トランジスタ 133 と同様に作製することができる。
40

【 0 0 8 5 】

まず、図 4 (A) に示すように、基板 700 上に絶縁膜 701 と、単結晶の半導体基板から分離された半導体膜 702 とを形成する。

【 0 0 8 6 】

基板 700 として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板 700 には、フュージョン法やフロー法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場
50

合には、歪み点が 730 以上のものを用いると良い。

【0087】

また、本実施の形態では、半導体膜 702 が単結晶のシリコンである場合を例に挙げて、以下、トランジスタ 133 の作製方法について説明する。なお、具体的な単結晶の半導体膜 702 の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜 701 が形成された基板 700 とを、間に当該絶縁膜 701 が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板 700 とを重ね合わせた後、ボンド基板と基板 700 の一部に、¹⁰ 1 N / cm² 以上 500 N / cm² 以下、好ましくは 11 N / cm² 以上 20 N / cm² 以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と絶縁膜 701 とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板 700 の歪み点を越えない温度とする。そして、上記単結晶半導体膜をエッティング等により所望の形状に加工することで、半導体膜 702 を形成することができる。

【0088】

²⁰ 半導体膜 702 には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型の導電性を付与する不純物元素、若しくはリン、砒素などの n 型の導電性を付与する不純物元素を添加しても良い。閾値電圧を制御するための不純物元素の添加は、所定の形状にエッティング加工する前の半導体膜に対して行っても良いし、所定の形状にエッティング加工した後の半導体膜 702 に対して行っても良い。また、閾値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、所定の形状にエッティング加工する前の半導体膜に対して、又は所定の形状にエッティング加工した後の半導体膜 702 に対して行っても良い。

【0089】

³⁰ なお、本実施の形態では、単結晶の半導体膜を用いる例について説明しているが、本発明はこの構成に限定されない。例えば、STI (Shallow Trench Isolation) 等により素子分離したバルクの半導体基板を用いてもよい。例えば、絶縁膜 701 上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせて用いることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプ加熱結晶化法、触媒元素を用いる結晶化法、950 度の高温加熱法を組み合わせた結晶化法を用いても良い。

【0090】

次に、図 4 (B) に示すように、半導体膜 702 を用いて半導体層 704 を形成する。そして、半導体層 704 上にゲート絶縁膜として機能する絶縁膜 703 を形成する。

【0091】

絶縁膜 703 は、例えば、プラズマ CVD 法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート ($HfSi_xO_y$ ($x > 0$, $y > 0$))、ハフニウムアルミネート ($HfAl_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート ($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート ($HfAl_xO_y$ ($x > 0$, $y > 0$)) 等を含む膜を、単層で、又⁴⁰

は積層させることで、形成することができる。

【0092】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

【0093】

絶縁膜703の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができます。本実施の形態では、プラズマCVD法を用いて、酸化珪素を含む単層の絶縁膜を、絶縁膜703として用いる。

【0094】

次いで、図4(C)に示すように、ゲート電極707を形成する。

【0095】

ゲート電極707は、導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。上記導電膜の形成にはCVD法、スパッタリング法、蒸着法、スピンドル法等を用いることができる。また、導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることができる。上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。又は、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

【0096】

なお、本実施の形態ではゲート電極707を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。ゲート電極707は積層された複数の導電膜で形成されても良い。

【0097】

2つの導電膜の組み合わせとして、1層目に窒化タンタル又はタンタルを、2層目にタングステンを用いることができる。上記例の他に、2つの導電膜の組み合わせとして、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型の導電性を付与する不純物元素がドーピングされた珪素とニッケルシリサイド、n型の導電性を付与する不純物元素がドーピングされた珪素とタングステンシリサイド等も用いることができる。

【0098】

3つの導電膜を積層する3層構造の場合は、例えば、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用することができる。

【0099】

また、ゲート電極707に酸化インジウム、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、又は酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【0100】

なお、マスクを用いずに、液滴吐出法を用いて選択的にゲート電極707を形成しても良い。液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出又は噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0101】

また、ゲート電極707は、導電膜を形成後、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッティング法を用い、エッティング条件(コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等)を適宜調節することにより、所望のテーパー形状を有するようにエッティングすることができる。また、テーパー形状は、マスクの形状によっても角度等を制御するこ

10

20

30

40

50

とができる。なお、エッティング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

【0102】

次に、図4(D)に示すように、ゲート電極707をマスクとして一導電性を付与する不純物元素を半導体層704に添加することで、ゲート電極707と重なるチャネル形成領域710と、チャネル形成領域710を間に挟む一対の不純物領域709とが、半導体層704に形成される。

【0103】

本実施の形態では、半導体層704にp型の導電性を付与する不純物元素(例えは硼素)を添加する場合を例に挙げる。10

【0104】

次いで、図5(A)に示すように、絶縁膜703、ゲート電極707を覆うように、絶縁膜712、絶縁膜713を形成する。具体的に、絶縁膜712、絶縁膜713は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、絶縁膜712、絶縁膜713に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜712、絶縁膜713に、上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線の重なりに起因する寄生容量を更に低減することが可能である。20

【0105】

本実施の形態では、絶縁膜712として酸化窒化珪素、絶縁膜713として窒化酸化珪素を用いる場合を例に挙げる。また、本実施の形態では、ゲート電極707上に絶縁膜712、絶縁膜713を形成している場合を例示しているが、本発明はゲート電極707上に絶縁膜を1層だけ形成していても良いし、3層以上の複数の絶縁膜を積層するように形成していくても良い。

【0106】

次いで、図5(B)に示すように、絶縁膜713にCMP(化学的機械研磨)処理やエッティング処理を行うことにより、絶縁膜713の上面を平坦化する。なお、後に形成されるトランジスタ11の特性を向上させるために、絶縁膜713の表面は可能な限り平坦にしておくことが好ましい。30

【0107】

以上の工程により、トランジスタ133を形成することができる。

【0108】

次いで、トランジスタ11の作製方法について説明する。まず、図5(C)に示すように、絶縁膜713上に酸化物半導体層716を形成する。

【0109】

酸化物半導体層716としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体層を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

【0110】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロビウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、4050

ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【 0 1 1 1 】

例えは、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In - Zn 系酸化物、 Sn - Zn 系酸化物、 Al - Zn 系酸化物、 Zn - Mg 系酸化物、 Sn - Mg 系酸化物、 In - Mg 系酸化物、 In - Ga 系酸化物、三元系金属の酸化物である In - Ga - Zn 系酸化物(I G Z O とも表記する)、 In - Al - Zn 系酸化物、 In - Sn - Zn 系酸化物、 Sn - Ga - Zn 系酸化物、 Al - Ga - Zn 系酸化物、 Sn - Al - Zn 系酸化物、 In - Hf - Zn 系酸化物、 In - La - Zn 系酸化物、 In - Ce - Zn 系酸化物、 In - Pr - Zn 系酸化物、 In - Nd - Zn 系酸化物、 In - Sm - Zn 系酸化物、 In - Eu - Zn 系酸化物、 In - Gd - Zn 系酸化物、 In - Tb - Zn 系酸化物、 In - Dy - Zn 系酸化物、 In - Ho - Zn 系酸化物、 In - Er - Zn 系酸化物、 In - Tm - Zn 系酸化物、 In - Yb - Zn 系酸化物、 In - Lu - Zn 系酸化物、四元系金属の酸化物である In - Sn - Ga - Zn 系酸化物、 In - Hf - Ga - Zn 系酸化物、 In - Al - Ga - Zn 系酸化物、 In - Sn - Al - Zn 系酸化物、 In - Sn - Hf - Zn 系酸化物、 In - Hf - Al - Zn 系酸化物を用いることができる。
10

【 0 1 1 2 】

なお、ここで、例えは、 In - Ga - Zn 系酸化物とは、 In と Ga と Zn を主成分として有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。
20

【 0 1 1 3 】

また、酸化物半導体として、 $InMO_3 (ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5 (ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【 0 1 1 4 】

例えは、 $In : Ga : Zn = 1 : 1 : 1$ (= 1 / 3 : 1 / 3 : 1 / 3) あるいは $In : Ga : Zn = 2 : 2 : 1$ (= 2 / 5 : 2 / 5 : 1 / 5) の原子数比の In - Ga - Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$ (= 1 / 3 : 1 / 3 : 1 / 3) 、 $In : Sn : Zn = 2 : 1 : 3$ (= 1 / 3 : 1 / 6 : 1 / 2) あるいは $In : Sn : Zn = 2 : 1 : 5$ (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の In - Sn - Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。
30

【 0 1 1 5 】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。

【 0 1 1 6 】

例えは、 In - Sn - Zn 系酸化物では比較的容易に高い移動度が得られる。しかしながら、 In - Ga - Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。
40

【 0 1 1 7 】

なお、例えは、 In 、 Ga 、 Zn の原子数比が $In : Ga : Zn = a : b : c$ ($a + b + c = 1$) である酸化物の組成が、原子数比が $In : Ga : Zn = A : B : C$ ($A + B + C = 1$) の酸化物の組成の近傍であるとは、 a 、 b 、 c が、
 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$

を満たすことをいい、 r は、例えは、 0.05 とすればよい。他の酸化物でも同様である。
。

【 0 1 1 8 】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結
50

晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0119】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0120】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができ。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(R_a)が 1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下の表面上に形成するとよい。
10

【0121】

なお、 R_a は、JIS B 0601で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0122】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

20

【0123】

なお、上記において、 S_0 は、測定面(座標(x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2)の4点で表される四角形の領域)の面積を指し、 Z_0 は測定面の平均高さを指す。 R_a は原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。

【0124】

なお、酸化物半導体層716は、電子供与体(ドナー)となる水分又は水素などの不純物が低減されことが好ましい。具体的には、酸化物半導体層716は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)による水素濃度の測定値が、 $5 \times 10^{-9}/\text{cm}^3$ 以下、好ましくは $5 \times 10^{-8}/\text{cm}^3$ 以下、より好ましくは $5 \times 10^{-7}/\text{cm}^3$ 以下、更に好ましくは $1 \times 10^{-6}/\text{cm}^3$ 以下である。
30

【0125】

ここで、酸化物半導体層716中の、水素濃度の分析について触れておく。酸化物半導体層中の水素濃度測定は、二次イオン質量分析法で行う。SIMS分析は、その原理上、試料表面近傍や、材質が異なる層との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、層中における水素濃度の厚さ方向の分布をSIMSで分析する場合、対象となる層が存在する範囲において、値に極端な変動がなく、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる層の厚さが小さい場合、隣接する層内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該層が存在する領域における、水素濃度の極大値又は極小値を、当該層中の水素濃度として採用する。更に、当該層が存在する領域において、極大値を有する山型のピーク、極小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。
40

【0126】

酸化物半導体層716は、絶縁膜713上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、 2 nm 以上 200 nm 以下、好ましくは 3 nm 以上 50 nm 以下、更に好ましくは 3 nm 以上 20 nm 以下
50

とする。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタリング法により成膜する。また、酸化物半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタリング法により形成することができる。

【0127】

スパッタリング法によってIn-Sn-Zn-O系の材料を用いて酸化物半導体層716を作製する場合には、原子数比でIn:Sn:Znが、1:2:2、2:1:3、1:1:1、または20:45:35などとなる酸化物ターゲットを用いることができる。

【0128】

ここで、スパッタリング法を用いて酸化物半導体層716を作製する場合には、ターゲット中の水素濃度のみならず、チャンバー内に存在する水、水素を極力低減しておくことが重要である。具体的には、当該形成以前にチャンバー内をベークする、チャンバー内に導入されるガス中の水、水素濃度を低減する、及びチャンバーからガスの排気する排気系における逆流を防止するなどを行うことが効果的である。10

【0129】

また、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、絶縁膜713の表面に付着している塵埃を除去してもよい。逆スパッタリングとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。20

【0130】

また、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁膜712及び絶縁膜713までが形成された基板700を予備加熱し、基板700に吸着した水分又は水素などの不純物を脱離し排気してもよい。なお、予備加熱の温度は、100以上400以下、好ましくは150以上300以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、後に行われる絶縁膜717の成膜前に基板700にも同様に行ってもよい。30

【0131】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含むターゲットを用いたスパッタリング法により得られる膜厚30nmのIn-Ga-Zn-O系酸化物半導体の薄膜を、酸化物半導体膜として用いる。上記ターゲットとして、例えば、各金属の組成比がIn:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1、又はIn:Ga:Zn=1:1:2であるターゲットを用いることができる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0132】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、上記ターゲットを用いて酸化物半導体膜を成膜する。成膜時に、基板温度を100以上600以下、好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水(H₂O)など水素原子を含む化合物（より好ましくは40

炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0133】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【0134】

また、スパッタリング装置の処理室のリーコレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として上述した吸着型の真空ポンプを用いることで、排気系からのアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。10

【0135】

また、ターゲットの純度を、99.99%以上とすることで、酸化物半導体膜に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体膜において、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。

【0136】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウム(Na)のようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている(神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol.44、pp.621-633.)。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体層に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na^+ となる。また、Naは、酸化物半導体層内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体層中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体層中の水素濃度が $1 \times 10^{-8} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{-7} / \text{cm}^3$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{-6} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{-6} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{-5} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{-5} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{-5} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{-5} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{-5} / \text{cm}^3$ 以下とするとよい。2030

【0137】

酸化物半導体膜は、単結晶、多結晶(ポリクリスタルともいう。)または非晶質などの状態をとる。

【0138】

好ましくは、酸化物半導体膜は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

【0139】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Micro4050

o s c o p e) による観察像では、 C A A C - O S 膜に含まれる非晶質部と結晶部との境界は明確ではない。また、 T E M によって C A A C - O S 膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、 C A A C - O S 膜は、粒界に起因する電子移動度の低下が抑制される。

【 0 1 4 0 】

C A A C - O S 膜に含まれる結晶部は、 c 軸が C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ a b 面に垂直な方向から見て三角形状または六角形状の原子配列を有し、 c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -5° 以上 5° 以下の範囲も含まれることとする。10

【 0 1 4 1 】

なお、 C A A C - O S 膜において、結晶部の分布が一様でなくともよい。例えば、 C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、 C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【 0 1 4 2 】

C A A C - O S 膜に含まれる結晶部の c 軸は、 C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、 C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、 C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。20

【 0 1 4 3 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【 0 1 4 4 】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。30

【 0 1 4 5 】

C A A C - O S 膜に含まれる結晶部の結晶構造の一例について図 7 乃至図 9 を用いて詳細に説明する。なお、特に断りがない限り、図 7 乃至図 9 は上方向を c 軸方向とし、 c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、 a b 面を境にした場合の上半分、下半分をいう。また、図 7 において、丸で囲まれた O 原子は 4 配位の O 原子を示し、二重丸で囲まれた O 原子は 3 配位の O 原子を示す。

【 0 1 4 6 】

図 7 (A) に、 1 個の 6 配位の I n 原子と、 I n 原子に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O 原子）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 7 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 7 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O 原子がある。図 7 (A) に示す小グループは電荷が 0 である。40

【 0 1 4 7 】

図 7 (B) に、 1 個の 5 配位の G a 原子と、 G a 原子に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O 原子）と、 G a 原子に近接の 2 個の 4 配位の O 原子と、を有する構造を示す。3 配位の O 原子は、いずれも a b 面に存在する。図 7 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O 原子がある。また、 I n 原子も 5 配位をとるため、図 7 (B) に示す構造をとりうる。図 7 (B) に示す小グループは電荷が 0 である。

【 0 1 4 8 】

10

20

30

40

50

図7(C)に、1個の4配位のZn原子と、Zn原子に近接の4個の4配位のO原子と、を有する構造を示す。図7(C)の上半分には1個の4配位のO原子があり、下半分には3個の4配位のO原子がある。または、図7(C)の上半分に3個の4配位のO原子があり、下半分に1個の4配位のO原子があつてもよい。図7(C)に示す小グループは電荷が0である。

【0149】

図7(D)に、1個の6配位のSn原子と、Sn原子に近接の6個の4配位のO原子と、を有する構造を示す。図7(D)の上半分には3個の4配位のO原子があり、下半分には3個の4配位のO原子がある。図7(D)に示す小グループは電荷が+1となる。

【0150】

図7(E)に、2個のZn原子を含む小グループを示す。図7(E)の上半分には1個の4配位のO原子があり、下半分には1個の4配位のO原子がある。図7(E)に示す小グループは電荷が-1となる。

【0151】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ(ユニットセルともいう。)と呼ぶ。

【0152】

ここで、これらの小グループ同士が結合する規則について説明する。図7(A)に示す6配位のIn原子の上半分の3個のO原子は、下方向にそれぞれ3個の近接In原子を有し、下半分の3個のO原子は、上方向にそれぞれ3個の近接In原子を有する。図7(B)に示す5配位のGa原子の上半分の1個のO原子は、下方向に1個の近接Ga原子を有し、下半分の1個のO原子は、上方向に1個の近接Ga原子を有する。図7(C)に示す4配位のZn原子の上半分の1個のO原子は、下方向に1個の近接Zn原子を有し、下半分の3個のO原子は、上方向にそれぞれ3個の近接Zn原子を有する。この様に、金属原子の上方向の4配位のO原子の数と、そのO原子の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のO原子の数と、そのO原子の上方向にある近接金属原子の数は等しい。O原子は4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のO原子の数と、別の金属原子の下方向にある4配位のO原子の数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のO原子を介して結合する場合、4配位のO原子が3個であるため、5配位の金属原子(GaまたはIn)、4配位の金属原子(Zn)のいずれかと結合することになる。

【0153】

これらの配位数を有する金属原子は、c軸方向において、4配位のO原子を介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0154】

図8(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図8(B)に、3つの中グループで構成される大グループを示す。なお、図8(C)は、図8(B)の層構造をc軸方向から観察した場合の原子配列を示す。

【0155】

図8(A)においては、簡単のため、3配位のO原子は省略し、4配位のO原子は個数のみ示し、例えば、Sn原子の上半分および下半分にはそれぞれ3個ずつ4配位のO原子があることを丸括の3として示している。同様に、図8(A)において、In原子の上半分および下半分にはそれぞれ1個ずつ4配位のO原子があり、丸括の1として示している。また、同様に、図8(A)において、下半分には1個の4配位のO原子があり、上半分には3個の4配位のO原子があるZn原子と、上半分には1個の4配位のO原子があり、下半分には3個の4配位のO原子があるZn原子とを示している。

【0156】

10

20

30

40

50

図8(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のO原子が3個ずつ上半分および下半分にあるSn原子が、4配位のO原子が1個ずつ上半分および下半分にあるIn原子と結合し、そのIn原子が、上半分に3個の4配位のO原子があるZn原子と結合し、そのZn原子の下半分の1個の4配位のO原子を介して4配位のO原子が3個ずつ上半分および下半分にあるIn原子と結合し、そのIn原子が、上半分に1個の4配位のO原子があるZn原子2個からなる小グループと結合し、この小グループの下半分の1個の4配位のO原子を介して4配位のO原子が3個ずつ上半分および下半分にあるSn原子と結合している構成である。この中グループが複数結合して大グループを構成する。

【0157】

10

ここで、3配位のO原子および4配位のO原子の場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位または5配位)原子、Zn(4配位)原子、Sn(5配位または6配位)原子の電荷は、それぞれ+3、+2、+4である。従って、Sn原子を含む小グループは電荷が+1となる。そのため、Sn原子を含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図7(E)に示すように、2個のZn原子を含む小グループが挙げられる。例えば、Sn原子を含む小グループが1個に対し、2個のZn原子を含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができます。

【0158】

20

具体的には、図8(B)に示した大グループとすることで、In-Sn-Zn-O系の結晶($In_2SnZn_3O_8$)を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、 $In_2SnZn_2O_7(ZnO)_m$ (mは0または自然数。)とする組成式で表すことができる。

【0159】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系酸化物や、三元系金属の酸化物であるIn-Ga-Zn-O系酸化物(IGZOとも表記する。)、In-Al-Zn-O系酸化物、Sn-Ga-Zn-O系酸化物、Al-Ga-Zn-O系酸化物、Sn-Al-Zn-O系酸化物や、In-Hf-Zn-O系酸化物、In-La-Zn-O系酸化物、In-Ce-Zn-O系酸化物、In-Pr-Zn-O系酸化物、In-Nd-Zn-O系酸化物、In-Sm-Zn-O系酸化物、In-Eu-Zn-O系酸化物、In-Gd-Zn-O系酸化物、In-Tb-Zn-O系酸化物、In-Dy-Zn-O系酸化物、In-Ho-Zn-O系酸化物、In-Er-Zn-O系酸化物、In-Tm-Zn-O系酸化物、In-Yb-Zn-O系酸化物、In-Lu-Zn-O系酸化物や、二元系金属の酸化物であるIn-Zn-O系酸化物、Sn-Zn-O系酸化物、Al-Zn-O系酸化物、Zn-Mg-O系酸化物、Sn-Mg-O系酸化物、In-Mg-O系酸化物や、In-Ga-O系酸化物、一元系金属の酸化物であるIn-O系酸化物、Sn-O系酸化物、Zn-O系酸化物などを用いた場合も同様である。

30

【0160】

例えば、図9(A)に、In-Ga-Zn-O系の層構造を構成する中グループのモデル図を示す。

40

【0161】

図9(A)において、In-Ga-Zn-O系の層構造を構成する中グループは、上から順に4配位のO原子が3個ずつ上半分および下半分にあるIn原子が、4配位のO原子が1個上半分にあるZn原子と結合し、そのZn原子の下半分の3個の4配位のO原子を介して、4配位のO原子が1個ずつ上半分および下半分にあるGa原子と結合し、そのGa原子の下半分の1個の4配位のO原子を介して、4配位のO原子が3個ずつ上半分および下半分にあるIn原子と結合している構成である。この中グループが複数結合して大グループを構成する。

【0162】

50

図9(B)に3つの中グループで構成される大グループを示す。なお、図9(C)は、図9(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0163】

ここで、In(6配位または5配位)原子、Zn(4配位)原子、Ga(5配位)原子の電荷は、それぞれ+3、+2、+3であるため、In原子、Zn原子およびGa原子のいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0164】

また、In-Ga-Zn-O系の層構造を構成する中グループは、図9(A)に示した中グループに限定されず、In原子、Ga原子、Zn原子の配列が異なる中グループを組み合わせた大グループも取りうる。

10

【0165】

具体的には、図9(B)に示した大グループとすることで、In-Ga-Zn-O系の結晶を得ることができる。なお、得られるIn-Ga-Zn-O系の層構造は、 $InGaO_3(ZnO)_n$ (nは自然数。)とする組成式で表すことができる。

【0166】

$n = 1$ ($InGaZnO_4$)の場合は、例えば、図10(A)に示す結晶構造を取りうる。なお、図10(A)に示す結晶構造において、図7(B)で説明したように、Ga原子及びIn原子は5配位をとるため、Ga原子がIn原子に置き換わった構造も取りうる。

20

【0167】

また、 $n = 2$ ($InGaZn_2O_5$)の場合は、例えば、図10(B)に示す結晶構造を取りうる。なお、図10(B)に示す結晶構造において、図7(B)で説明したように、Ga原子及びIn原子は5配位をとるため、Ga原子がIn原子に置き換わった構造も取りうる。

【0168】

CAAC-OS膜は、スパッタリング法によって作製することができる。ターゲット材料は上述のとおりの材料を用いることができる。スパッタリング法を用いてCAAC-OS膜を成膜する場合には、雰囲気中の酸素ガス比が高い方が好ましい。例えば、アルゴン及び酸素の混合ガス雰囲気中でスパッタリング法を行う場合には、酸素ガス比を30%以上することが好ましく、40%以上とすることがより好ましい。雰囲気中からの酸素の補充によって、CAAC-OS膜の結晶化が促進されるからである。

30

【0169】

また、スパッタリング法を用いてCAAC-OS膜を成膜する場合には、CAAC-OS膜が成膜される基板を150℃以上に加熱しておくことが好ましく、170℃以上に加熱しておくことがより好ましい。基板温度の上昇に伴って、CAAC-OS膜の結晶化が促進されるからである。

【0170】

また、CAAC-OS膜に対して、窒素雰囲気中又は真空中において熱処理を行った後には、酸素雰囲気中又は酸素と他のガスとの混合雰囲気中において熱処理を行うことが好ましい。先の熱処理で生じる酸素欠損を後の熱処理における雰囲気中からの酸素供給によって復元することができるからである。

40

【0171】

また、CAAC-OS膜が成膜される膜表面(被成膜面)は平坦であることが好ましい。CAAC-OS膜は、当該被成膜面に概略垂直となるc軸を有するため、当該被成膜面に存在する凹凸は、CAAC-OS膜における結晶粒界の発生を誘発することになるからである。よって、CAAC-OS膜が成膜される前に当該被成膜表面に対して化学機械研磨(Chemical Mechanical Polishing: CMP)などの平坦化処理を行うことが好ましい。また、当該被成膜面の平均ラフネスは、0.5nm以下であることが好ましく、0.3nm以下であることがより好ましい。

50

【0172】

なお、スパッタリング等で成膜された酸化物半導体膜中には、不純物としての水分又は水素（水酸基を含む）が含まれていることがある。本発明の一態様では、酸化物半導体膜中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（C R D S（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20 ppm（露点換算で-55）以下、好ましくは1 ppm以下、好ましくは10 ppb以下の空気）雰囲気下で、酸化物半導体膜に加熱処理を施す。

【0173】

酸化物半導体膜に加熱処理を施すことによって、酸化物半導体膜中の水分又は水素を脱離させることができる。具体的には、250以上750以下、好ましくは400以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3分間以上6分間以下で行えればよい。加熱処理にRTA法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0174】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

【0175】

なお、加熱処理装置は電気炉に限らず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、G R T A（Gas Rapid Thermal Annealing）装置、L R T A（Lamp Rapid Thermal Annealing）装置等のRTA（Rapid Thermal Annealing）装置を用いることができる。L R T A装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。G R T A装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

【0176】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1 ppm以下、好ましくは0.1 ppm以下）とすることが好ましい。

【0177】

以上の工程により、酸化物半導体膜中の水素の濃度を低減することができる。

【0178】

こうして酸化物半導体膜中の水分又は水素を脱離させた後、酸化物半導体膜（または、これを用いて形成した酸化物半導体層）に酸素を添加（供給）する。こうして、酸化物半導体膜（酸化物半導体層）中やその界面等における酸素欠陥を低減し、酸化物半導体層をi型化又はi型に限りなく近くすることができる。

【0179】

酸素の添加は、例えば、酸化物半導体膜（または、これを用いて形成した酸化物半導体層）に接して化学量論的組成比より酸素が多い領域を有する絶縁膜を形成し、その後加熱することによって行うことができる。こうして、絶縁膜中の過剰な酸素を酸化物半導体膜（酸化物半導体層）に供給することができる。こうして、酸化物半導体膜（酸化物半導体層）を酸素を過剰に含む状態とすることができます。過剰に含まれる酸素は、例えば、酸化物半導体膜（酸化物半導体層）を構成する結晶の格子間に存在する。

【0180】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体膜（酸化物半導体層）に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜の

10

20

30

40

50

うち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体膜（酸化物半導体層）に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体膜（酸化物半導体層）を挟む構成とすることで、上記効果をより高めることができる。

【0181】

ここで、化学量論的組成比より酸素が多い領域を有する絶縁膜は、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。なお、当該絶縁膜は、水分や、水素などの不純物を極力含まないことが望ましい。絶縁膜に水素が含まれると、その水素が酸化物半導体膜（酸化物半導体層）へ侵入し、又は水素が酸化物半導体膜（酸化物半導体層）中の酸素を引き抜き、酸化物半導体膜が低抵抗化（n型化）してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁膜はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。また、絶縁膜には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、酸化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体膜（酸化物半導体層）に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、酸化物半導体膜（酸化物半導体層）と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体膜（酸化物半導体層）内や他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体膜（酸化物半導体層）に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜（酸化物半導体層）に接するのを防ぐことができる。10

【0182】

また、酸化物半導体膜（酸化物半導体層）中の水分又は水素を脱離させた後の酸素添加は、酸素雰囲気下で酸化物半導体膜（酸化物半導体層）に加熱処理を施すことによっておこなってもよい。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち酸素中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。20

【0183】

或いは、酸化物半導体膜（酸化物半導体層）中の水分又は水素を脱離させた後の酸素添加は、イオン注入法又はイオンドーピング法などを用い行ってもよい。例えば、2.45GHzのマイクロ波でプラズマ化した酸素を酸化物半導体膜（酸化物半導体層）に添加すれば良い。

【0184】

上述のように形成した酸化物半導体膜をエッティングして酸化物半導体層716を形成する。または、上述のように形成した酸化物半導体層によって酸化物半導体層716を形成する。30

【0185】

次いで、図5(D)に示すように、酸化物半導体層716上に絶縁膜717を形成する。なお、上述した化学量論的組成比より酸素が多い領域を有する絶縁膜として絶縁膜717を用いてもよい。そして、絶縁膜717上において、酸化物半導体層716と重なる位置にゲート電極722を形成する。そして、ゲート電極722上に絶縁膜721を形成する。40

【0186】

また、ゲート電極722は、絶縁膜717上に導電膜を形成した後、該導電膜をエッティング加工することで形成することができる。ゲート電極722は、ゲート電極707と同様の材料を用いて形成することが可能である。

【0187】

50

20

30

40

50

ゲート電極 722 の膜厚は、10 nm ~ 400 nm、好ましくは100 nm ~ 200 nmとする。本実施の形態では、タングステンターゲットを用いたスパッタリング法により150 nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工することで、ゲート電極 722 を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0188】

次いで、異方性の高いエッチング方法により基板 700 の表面に垂直な方向のエッチング処理を行うことによって、図 6 (A) に示すように、ゲート電極 722 の側面に設けられサイドウォールとして機能する絶縁物 721a 及び絶縁物 721b と、ゲート電極 722、絶縁物 721a 及び絶縁物 721b と重なる部分に残存しゲート絶縁膜として機能する絶縁層 718 と、が形成される。
10

【0189】

そして、図 6 (B) に示すように、ゲート電極 722、絶縁物 721a 及び絶縁物 721b をマスクとして酸化物半導体層 716 に n 型の導電性を付与するドーパントを添加し、一対の高濃度領域 908 と、その間の領域 909 とを形成する。なお、領域 909 のうち、絶縁層 718 を間に挟んでゲート電極 722 と重なる領域がチャネル形成領域となる。高濃度領域 908 を形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの 15 族原子などを用いることができる。例えば、窒素をドーパントとして用いた場合、高濃度領域 908 中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。n 型の導電性を付与するドーパントが添加されている高濃度領域 908 は、酸化物半導体層 716 中の他の領域に比べて導電性が高くなる。
20

【0190】

なお、図 6 (B) では、絶縁物 721a 及び絶縁物 721b と重なる部分の酸化物半導体層 716 には導電性を付与するドーパントが添加されない構成を示したがこれに限定されない。図 5 (D) において、ゲート電極 722 を形成した後、導電性を付与するドーパントを添加することによって、絶縁物 721a 及び絶縁物 721b と重なる部分の酸化物半導体層 716 に不純物領域を形成してもよい。また、図 5 (D) において、ゲート電極 722 を形成した後、導電性を付与するドーパントを添加（第 1 の添加）し、更に、図 6 (B) において、絶縁物 721a 及び絶縁物 721b を形成した後、導電性を付与するドーパントを添加（第 2 の添加）することによって、絶縁物 721a 及び絶縁物 721b と重なる部分に低濃度領域を形成してもよい。当該低濃度領域は、高濃度領域 908 よりも導電性を付与する不純物元素の濃度が低い。
30

【0191】

そして、図 6 (C) に示すように、高濃度領域 908 と接する導電層 719 及び導電層 720 を形成する。導電層 719 及び導電層 720 は、ソース電極又はドレイン電極として機能する。
40

【0192】

具体的に、導電層 719 及び導電層 720 は、スパッタリング法や真空蒸着法で導電膜を形成した後、該導電膜を所定の形状に加工することで、形成することができる。

【0193】

導電層 719 及び導電層 720 となる導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクステンから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タンクステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タンクステン、ネオジム
50

、スカンジウム、イットリウム等を用いることができる。

【0194】

また、導電層719及び導電層720となる導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する3層構造などが挙げられる。また、Cu-Mg-Al合金、Mo-Ti合金、Ti、Mo、は、酸化膜との密着性が高い。よって、下層にCu-Mg-Al合金、Mo-Ti合金、Ti、或いはMoで構成される導電膜、上層にCuで構成される導電膜を積層し、上記積層された導電膜を導電層719及び導電層720に用いることで、絶縁膜713、絶縁物721a、及び絶縁物721bと、導電層719及び導電層720との密着性を高めることができる。
10

【0195】

また、導電層719及び導電層720となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛又は前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【0196】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることができが好ましい。

【0197】

本実施の形態では、導電膜にチタン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、選択的に導電膜をウェットエッティングすることができる。具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比5:2:2で混合したアンモニア過水を用いる。或いは、塩素(Cl₂)、塩化硼素(BCl₃)などを含むガスを用いて、導電膜をドライエッティングしても良い。
20

【0198】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッティング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッティングを行うことで更に形状を変形することができるため、異なるパターンに加工する複数のエッティング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。
30

【0199】

こうしてトランジスタ11が形成される。トランジスタ11では、高濃度領域908を設けることで、ソース電極とドレイン電極（導電層719と導電層720）の間の抵抗を下げることができる。

【0200】

そして、ソース電極とドレイン電極（導電層719と導電層720）の間の抵抗を下げることで、トランジスタ11の微細化を進めて、高いオン電流と、高速動作を確保することができる。
40

【0201】

また、In-Ga-Zn-O系酸化物半導体を酸化物半導体層716に用いた場合、窒素を添加した後、300以上600以下で1時間程度加熱処理を施すことにより、高濃度領域908中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。高濃度領域908中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域908の導電性を高め、ソース電極とドレイン電極（導電層719と導電層720）の間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極とドレイン電極（導電層719と導電層720）の間の抵抗を効果的に下
50

げるためには、窒素をドーパントとして用いた場合、高濃度領域 908 中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上 7 atom % 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

【0202】

また、高濃度領域 908 と、ソース電極又はドレイン電極として機能する導電層 719 及び導電層 720 との間に、ソース領域及びドレイン領域として機能する酸化物導電膜を設けるようにしても良い。酸化物導電膜の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜として、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。10

【0203】

例えば、酸化物導電膜を形成する場合、酸化物導電膜を形成するためのエッチング加工と、導電層 719 及び導電層 720 を形成するためのエッチング加工とを一括で行うようにしても良い。

【0204】

ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、高濃度領域 908 と導電層 719 及び導電層 720 の間の抵抗を下げるができるので、トランジスタ 11 の高速動作を実現させることができる。また、ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、トランジスタ 11 の耐圧を高めることができます。20

【0205】

トランジスタ 11 は、ソース電極及びドレイン電極（導電層 719 及び導電層 720）と、ゲート電極 722 とが重なっていない。すなわち、ソース電極及びドレイン電極（導電層 719 及び導電層 720）とゲート電極 722 との間には、絶縁層 718 の膜厚よりも大きい間隔が設けられている。よって、トランジスタ 11 は、ソース電極及びドレイン電極とゲート電極との間に形成される寄生容量を小さく抑えることができるので、高速動作を実現することができる。

【0206】

なお、トランジスタ 11 として、チャネルが酸化物半導体層に形成されるトランジスタに限定されず、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を、チャネル形成領域に含むトランジスタを用いることもできる。このような半導体材料としては、酸化物半導体の他に、例えば、炭化シリコン、窒化ガリウムなどが挙げられる。このような半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低いトランジスタを実現することができる。30

【0207】

また、トランジスタ 11 はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電気的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【0208】

なお、酸化物半導体層 716 に接する絶縁膜（本実施の形態においては、絶縁層 718 が該当する。）は、第 13 族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体材料には第 13 族元素を含むものが多く、第 13 族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁膜に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。40

【0209】

第 13 族元素を含む絶縁材料とは、絶縁材料に一又は複数の第 13 族元素を含むことを意味する。第 13 族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子%）よりアルミニウムの含有量（原50

子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

【0210】

例えば、ガリウムを含有する酸化物半導体層に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体層と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体層と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。10

【0211】

また、酸化物半導体層716に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドープなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドープとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドープには、プラズマ化した酸素をバルクに添加する酸素プラズマドープが含まれる。また、酸素ドープは、イオン注入法又はイオンドーピング法を用いて行ってもよい。20

【0212】

例えば、酸化物半導体層716に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムの組成を Ga_2O_x ($X = 3 + , 0 < X < 1$)とすることができる。20

【0213】

また、酸化物半導体層716に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化アルミニウムの組成を Al_2O_x ($X = 3 + , 0 < X < 1$)とすることができる。

【0214】

また、酸化物半導体層716に接する絶縁膜として酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムアルミニウム(酸化アルミニウムガリウム)の組成を $Ga_xAl_2-O_{3+}$ ($0 < X < 2 , 0 < X < 1$)とすることができる。30

【0215】

酸素ドープ処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体層が接することにより、絶縁膜中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、又は酸化物半導体層と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体層を*i*型化又は*n*型に限りなく近くすることができる。

【0216】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体層716に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体層716に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体層716を挟む構成とすることで、上記効果をより高めることができる。40

【0217】

また、酸化物半導体層716の上層又は下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例えば、上層と下層とも、組成が Ga_2O_x ($X = 3 + , 0 < X < 1$)の酸化ガリウムとしても良いし、上層と下層の一方を組成が Ga_2O_x ($X = 3 + , 0 < X < 1$)の酸化ガリウムとし、一方を組成が Al_2O_x ($X = 3 + , 0 < X < 1$)の酸化アルミニウムとする構成としても良い。50

リウムとし、他方を組成が Al_2O_x ($X = 3 + , 0 < X < 1$) の酸化アルミニウムとしても良い。

【0218】

また、酸化物半導体層716に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体層716の上層に組成が Ga_2O_x ($X = 3 + , 0 < X < 1$) の酸化ガリウムを形成し、その上に組成が $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+}$ ($0 < X < 2 , 0 < X < 1$) の酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を形成してもよい。なお、酸化物半導体層716の下層を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体層716の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。10

【0219】

次に、図6(D)に示すように、絶縁膜724を形成する。絶縁膜724は、PVD法やCVD法などを用いて形成することができる。また、酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁膜724には、誘電率の低い材料や、誘電率の低い構造(多孔性の構造など)を用いることが望ましい。絶縁膜724の誘電率を低くすることにより、配線や電極などの間に生じる寄生容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁膜724を単層構造としているが、本発明の一態様はこれに限定されず、2層以上の積層構造としても良い。20

【0220】

次に、絶縁膜724に開口部を形成し、導電層720の一部を露出させる。その後、絶縁膜724上に、上記開口部において導電層720と接する配線726を形成する。

【0221】

配線726は、PVD法や、CVD法を用いて導電膜を形成した後、当該導電膜をエッチング加工することによって形成される。また、導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクスチタンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニアム、ベリリウム、ネオジム、スカンジウムのいずれか、又はこれらを複数組み合わせた材料を用いてもよい。30

【0222】

より具体的には、例えば、絶縁膜724の開口を含む領域にPVD法によりチタン膜を薄く形成し、PVD法によりチタン膜を薄く(5nm程度)形成した後に、開口部に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜(自然酸化膜など)を還元し、下部電極など(ここでは導電層720)との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0223】

次に、配線726を覆うように絶縁膜727を形成する。更に絶縁膜727上に導電膜を形成し、当該導電膜をエッチング加工することによって導電層7301を形成する。その後、導電層7301を覆うように絶縁膜7302を形成し、絶縁膜7302上に導電膜7303を形成する。こうして容量素子12を形成することができる。容量素子12の一対の電極のうちの一方が導電層7301に対応し、一対の電極のうちの他方が導電膜7303に対応し、誘電体層が絶縁膜7302に対応する。ここで、絶縁膜727、導電層7301、絶縁膜7302、導電膜7303の材料は、その他絶縁膜や導電層と同様の材料を用いることができる。40

【0224】

上述した一連の工程により、信号処理回路111を作製することができる。

【0225】

10

20

30

40

50

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0226】

(実施の形態4)

本実施の形態では、酸化物半導体層にチャネルが形成されるトランジスタの特性について説明する。

【0227】

In、Sn、Znを主成分とする酸化物半導体層にチャネルが形成されるトランジスタは、該酸化物半導体層となる酸化物半導体膜を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5 atomic %以上含まれる元素をいう。

10

【0228】

In、Sn、Znを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることができるとなる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリオフ化させることができるとなる。

【0229】

例えは、図11(A)乃至図(C)は、In、Sn、Znを主成分とし、チャネル長Lが3 μm、チャネル幅Wが10 μmである酸化物半導体膜と、厚さ100 nmのゲート絶縁膜を用いたトランジスタの特性である。なお、V_dは10 Vとした。

【0230】

図11(A)は基板を意図的に加熱せずにスパッタリング法でIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は18.8 cm²/Vsecが得られている。一方、基板を意図的に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることができるとなる。図11(B)は基板を200℃に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は32.2 cm²/Vsecが得られている。

20

【0231】

電界効果移動度は、In、Sn、Znを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図11(C)は、In、Sn、Znを主成分とする酸化物半導体膜を200℃でスパッタリング成膜した後、650℃で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は34.5 cm²/Vsecが得られている。

30

【0232】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減することができる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には100 cm²/Vsecを超える電界効果移動度を実現することも可能になると推定される。

40

【0233】

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0234】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリオフ化を図ることにも寄与している。基板を意図的に加熱しないで形成されたIn、Sn、Znを主成分とする酸化物半

50

導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリオフとなる方向に動き、このような傾向は図11(A)と図11(B)の対比からも確認することができる。

【0235】

なお、しきい値電圧は I_n 、 S_n 及び Z_n の比率を変えることによっても制御することが可能であり、組成比として $I_n : S_n : Z_n = 2 : 1 : 3$ とすることでトランジスタをノーマリオフ化することができる。また、ターゲットの組成比を $I_n : S_n : Z_n = 2 : 1 : 3$ とすることで結晶性の高い酸化物半導体膜を得ることができる。

10

【0236】

意図的な基板加熱温度若しくは熱処理温度は、150以上、好ましくは200以上、より好ましくは400以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリオフ化を図ることが可能となる。

【0237】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2MV/cm、150、1時間印加の条件において、ドリフトがそれぞれ±1.5V未満、好ましくは1.0V未満を得ることができる。

20

【0238】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、650の加熱処理を行った試料2のトランジスタに対してBT試験を行った。

【0239】

まず基板温度を25とし、 V_d を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行った。なお、 V_d はドレイン電圧(ドレインとソースの電位差)を示す。次に、基板温度を150とし、 V_d を0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が2MV/cmとなるように V_g に20Vを印加し、そのまま1時間保持した。次に、 V_g を0Vとした。次に、基板温度25とし、 V_d を10Vとし、トランジスタの $V_g - I_d$ 測定を行った。これをプラスBT試験と呼ぶ。

【0240】

30

同様に、まず基板温度を25とし、 V_d を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を150とし、 V_d を0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が-2MV/cmとなるように V_g に-20Vを印加し、そのまま1時間保持した。次に、 V_g を0Vとした。次に、基板温度25とし、 V_d を10Vとし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナスBT試験と呼ぶ。

【0241】

試料1のプラスBT試験の結果を図12(A)に、マイナスBT試験の結果を図12(B)に示す。また、試料2のプラスBT試験の結果を図13(A)に、マイナスBT試験の結果を図13(B)に示す。

【0242】

40

試料1のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ1.80Vおよび-0.42Vであった。また、試料2のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ0.79Vおよび0.76Vであった。試料1および試料2のいずれも、BT試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【0243】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体

50

膜に注入する方法を適用しても良い。

【0244】

酸化物半導体中及び該酸化物半導体と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

【0245】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比 $\text{In : Sn : Zn} = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折(XRD : X-Ray Diffraction)でハローパタンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば650の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0246】

実際に、 In-Sn-Zn-O 膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

【0247】

XRD分析を行った試料として、試料Aおよび試料Bを用意した。以下に試料Aおよび試料Bの作製方法を説明する。

【0248】

脱水素化処理済みの石英基板上に In-Sn-Zn-O 膜を100nmの厚さで成膜した。

【0249】

In-Sn-Zn-O 膜は、スパッタリング装置を用い、酸素雰囲気で電力を100W(DC)として成膜した。ターゲットは、原子数比で、 $\text{In : Sn : Zn} = 1 : 1 : 1$ の In-Sn-Zn-O ターゲットを用いた。なお、成膜時の基板加熱温度は200とした。このようにして作製した試料を試料Aとした。

【0250】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を650の温度で行った。加熱処理は、はじめに窒素雰囲気で1時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。

【0251】

図14に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、2が35deg近傍および37deg～38degに結晶由来のピークが観測された。

【0252】

このように、In、Sn、Znを主成分とする酸化物半導体は成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0253】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリオフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を $1 \text{aA} / \mu\text{m}$ 以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅 $1 \mu\text{m}$ あたりの電流値を示す。

10

20

30

40

50

【0254】

図15に、トランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に1000を掛けた数値（1000/T）を横軸としている。

【0255】

具体的には、図15に示すように、基板温度が125 の場合には $0.1\text{aA}/\mu\text{m}$ ($1 \times 10^{-19}\text{A}/\mu\text{m}$)以下、85 の場合には $10\text{zA}/\mu\text{m}$ ($1 \times 10^{-20}\text{A}/\mu\text{m}$)以下であった。電流値の対数が温度の逆数に比例することから、室温(27)の場合には $0.1\text{zA}/\mu\text{m}$ ($1 \times 10^{-22}\text{A}/\mu\text{m}$)以下あると予想される。従って、オフ電流を125において $1\text{aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{A}/\mu\text{m}$)以下に、85において $100\text{zA}/\mu\text{m}$ ($1 \times 10^{-19}\text{A}/\mu\text{m}$)以下に、室温において $1\text{zA}/\mu\text{m}$ ($1 \times 10^{-21}\text{A}/\mu\text{m}$)以下にすることができる。これらのオフ電流値は、Siを半導体膜として用いたトランジスタに比べて、極めて低いものであることは明らかである。
10

【0256】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点-70以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。
20 In、Sn、Znを主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Znを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0257】

また、酸化物半導体膜成膜後に650 の加熱処理を行った試料Bを用いたトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0258】

測定に用いたトランジスタは、チャネル長Lが $3\mu\text{m}$ 、チャネル幅Wが $10\mu\text{m}$ 、LoVが $0\mu\text{m}$ 、dWが $0\mu\text{m}$ である。なお、V_dは 10V とした。なお、基板温度は-40、-25、25、75、125 および150 で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畳する幅をLoVと呼び、酸化物半導体膜に対する一対の電極のはみ出しをdWと呼ぶ。
30

【0259】

図16に、I_d（実線）および電界効果移動度（点線）のV_g依存性を示す。また、図17(A)に基板温度としきい値電圧の関係を、図17(B)に基板温度と電界効果移動度の関係を示す。

【0260】

図17(A)より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は-40 ~ 150 で $1.09\text{V} \sim -0.23\text{V}$ であった。

【0261】

また、図17(B)より、基板温度が高いほど電界効果移動度が低くなることがわかる。
40 なお、その範囲は-40 ~ 150 で $36\text{cm}^2/\text{Vs} \sim 32\text{cm}^2/\text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0262】

上記のようなIn、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1\text{aA}/\mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30\text{cm}^2/\text{Vsec}$ 以上、好ましくは $40\text{cm}^2/\text{Vsec}$ 以上、より好ましくは $60\text{cm}^2/\text{Vsec}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33\text{nm}/40\text{nm}$ のFETで、ゲート電圧 2.7V 、ドレイン電圧 1.0V のとき $12\mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。
50

【0263】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0264】

(実施の形態5)

一般に、不揮発性のランダムアクセスメモリとして磁気トンネル接合素子(MTJ素子)が知られている。MTJ素子は、絶縁膜を介して上下に配置している強磁性体膜の磁化の向きが平行であれば低抵抗状態、反平行であれば高抵抗状態となることで情報を記憶する素子である。一方、上記実施の形態で示す不揮発性の記憶回路は、チャネルが酸化物半導体層に形成されるトランジスタを利用したものであって、原理が全く異なっている。表1はMTJ素子(表中、「スピントロニクス(MTJ素子)」で示す。)と、上記実施の形態で示す酸化物半導体を用いた不揮発性の記憶回路(表中、「OS/Si」で示す。)との対比を示す。
10

【0265】

【表1】

	スピントロニクス(MTJ素子)	OS/Si
1) 耐熱性	キュリー温度	プロセス温度500°C (信頼性150°C)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性体の磁化の向きを変える	FETのオン／オフ
4) Si LSI	バイポーラLSI向き (バイポーラは高集積化には不向きなため、高集積化回路ではMOSの方が好ましい。ただし、Wが大きくなる。)	MOSLSI向き
5) オーバーヘッド	大きい (ジュール熱が大きいため)	MTJ素子よりも2~3桁以上小さい (寄生容量の充放電)
6) 不揮発性	磁化を利用	オフ電流が小さいことを利用
7) 読み出し回数	無制限	無制限
8) 3D化	難(できても二層まで)	容易(何層でも可)
9) 集積化度(F^2)	$4F^2 \sim 15F^2$	3D化の積層数で決まる (上層OSFET工程のプロセス耐熱性の確保が必要)
10) 材料	磁性を有する希土類	OS材料
11) ビットコスト	高い	低い (OSを構成する材料によっては(Inなど)、多少コスト高の可能性有り)
12) 磁界耐性	弱い	強い

【0266】

MTJ素子は磁性材料を使用するためキュリー温度以上にすると磁性が失われてしまうという欠点がある。また、MTJ素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に向きである。そして、MTJ素子
50

は書き込み電流が微少とはいえメモリの大容量化によって消費電力が増大してしまうといった問題がある。

【0267】

原理的にMTJ素子は磁界耐性に弱く強磁界にさらされると磁化の向きが狂いやすい。また、MTJ素子に用いる磁性体のナノスケール化によって生じる磁化揺らぎを制御する必要がある。

【0268】

さらに、MTJ素子は希土類元素を使用するため、金属汚染を嫌うシリコン半導体のプロセスに組み入れるには相当の注意を要する。MTJ素子はビット当たりの材料コストから見ても高価である。

10

【0269】

一方、上記実施の形態で示す不揮発性の記憶回路が有する、酸化物半導体層にチャネルが形成されるトランジスタは、チャネルが形成される領域が金属酸化物でなること以外は、素子構造や動作原理がシリコンMOSFETと同様である。また、酸化物半導体層にチャネルが形成されるトランジスタは磁界の影響を受けず、ソフトエラーも生じ得ないといった特質を有する。このことからシリコン集積回路と非常に整合性が良いといえる。

【実施例1】

【0270】

本実施例では、In-Sn-Zn-O膜を用いて形成した酸化物半導体層にチャネルが形成されるトランジスタの一例について、図18を用いて説明する。

20

【0271】

図18は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図18(A)にトランジスタの上面図を示す。また、図18(B)は図18(A)の一点鎖線A1-A2に対応する断面図である。

【0272】

図18(B)に示すトランジスタは、基板500と、基板500上に設けられた下地絶縁膜502と、下地絶縁膜502の周辺に設けられた保護絶縁膜504と、下地絶縁膜502および保護絶縁膜504上に設けられた高抵抗領域506aおよび低抵抗領域506bを有する酸化物半導体膜506と、酸化物半導体膜506上に設けられたゲート絶縁膜508と、ゲート絶縁膜508を介して酸化物半導体膜506と重畠して設けられたゲート電極510と、ゲート電極510の側面と接して設けられた側壁絶縁膜512と、少なくとも低抵抗領域506bと接して設けられた一対の電極514と、少なくとも酸化物半導体膜506、ゲート電極510および一対の電極514を覆って設けられた層間絶縁膜516と、層間絶縁膜516に設けられた開口部を介して少なくとも一対の電極514の一方と接続して設けられた配線518と、を有する。

30

【0273】

なお、図示しないが、層間絶縁膜516および配線518を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜516の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

40

【0274】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

【実施例2】

【0275】

本実施例では、上記とは異なるIn-Sn-Zn-O膜を用いて形成した酸化物半導体層にチャネルが形成されるトランジスタの一例について示す。

【0276】

図19は、本実施例で作製したトランジスタの構造を示す上面図および断面図である。図19(A)はトランジスタの上面図である。また、図19(B)は図19(A)の一点鎖線B1-B2に対応する断面図である。

50

【0277】

図19(B)に示すトランジスタは、基板600と、基板600上に設けられた下地絶縁膜602と、下地絶縁膜602上に設けられた酸化物半導体膜606と、酸化物半導体膜606と接する一対の電極614と、酸化物半導体膜606および一対の電極614上に設けられたゲート絶縁膜608と、ゲート絶縁膜608を介して酸化物半導体膜606と重畠して設けられたゲート電極610と、ゲート絶縁膜608およびゲート電極610を覆って設けられた層間絶縁膜616と、層間絶縁膜616に設けられた開口部を介して一対の電極614と接続する配線618と、層間絶縁膜616および配線618を覆って設けられた保護膜620と、を有する。

【0278】

基板600としてはガラス基板を、下地絶縁膜602としては酸化シリコン膜を、酸化物半導体膜606としてはIn-Sn-Zn-O膜を、一対の電極614としてはタンゲステン膜を、ゲート絶縁膜608としては酸化シリコン膜を、ゲート電極610としては窒化タンタル膜とタンゲステン膜との積層構造を、層間絶縁膜616としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線618としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜620としてはポリイミド膜を、それぞれ用いた。

【0279】

なお、図19(A)に示す構造のトランジスタにおいて、ゲート電極610と一対の電極614との重畠する幅をL_{ov}と呼ぶ。同様に、酸化物半導体膜606に対する一対の電極614のはみ出しをd_Wと呼ぶ。

【0280】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

【符号の説明】

【0281】

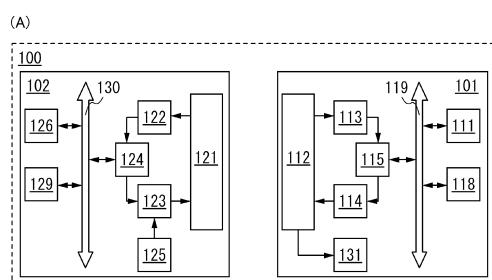
1 0	記憶回路	
1 1	トランジスタ	
1 2	容量素子	
1 0 0	通信システム	
1 0 1	無線タグ	30
1 0 2	リーダ／ライタ	
1 0 a	記憶回路	
1 0 b	記憶回路	
1 1 1	信号処理回路	
1 1 2	アンテナ	
1 1 3	復調回路	
1 1 4	変調回路	
1 1 5	符号・復号回路	
1 1 8	メモリ部	
1 1 9	バス	40
1 2 1	アンテナ	
1 2 2	復調回路	
1 2 3	変調回路	
1 2 4	符号・復号回路	
1 2 5	発振回路	
1 2 6	信号処理回路	
1 2 9	メモリ部	
1 3 0	バス	
1 3 1	電源回路	
1 3 3	トランジスタ	50

2 0 0	フリップフロップ回路	
2 0 1	演算回路	
2 0 2	演算回路	
2 0 3	スイッチ	
2 0 4	演算回路	
2 0 5	スイッチ	
2 2 0	組	
2 2 4	インバータ	
5 0 0	基板	
5 0 2	下地絶縁膜	10
5 0 4	保護絶縁膜	
5 0 6	酸化物半導体膜	
5 0 8	ゲート絶縁膜	
5 1 0	ゲート電極	
5 1 2	側壁絶縁膜	
5 1 4	電極	
5 1 6	層間絶縁膜	
5 1 8	配線	
6 0 0	基板	
6 0 2	下地絶縁膜	20
6 0 6	酸化物半導体膜	
6 0 8	ゲート絶縁膜	
6 1 0	ゲート電極	
6 1 4	電極	
6 1 6	層間絶縁膜	
6 1 8	配線	
6 2 0	保護膜	
7 0 0	基板	
7 0 1	絶縁膜	
7 0 2	半導体膜	30
7 0 3	絶縁膜	
7 0 4	半導体層	
7 0 7	ゲート電極	
7 0 9	不純物領域	
7 1 0	チャネル形成領域	
7 1 2	絶縁膜	
7 1 3	絶縁膜	
7 1 6	酸化物半導体層	
7 1 7	絶縁膜	
7 1 8	絶縁層	40
7 1 9	導電層	
7 2 0	導電層	
7 2 1	絶縁膜	
7 2 2	ゲート電極	
7 2 4	絶縁膜	
7 2 6	配線	
7 2 7	絶縁膜	
9 0 8	高濃度領域	
9 0 9	領域	
2 0 0 a	フリップフロップ回路	50

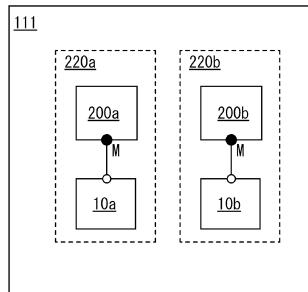
2 0 0 b フリップフロップ回路
 2 2 0 a 組
 2 2 0 b 組
 5 0 6 a 高抵抗領域
 5 0 6 b 低抵抗領域
 7 2 1 a 絶縁物
 7 2 1 b 絶縁物
 7 3 0 1 導電層
 7 3 0 2 絶縁膜
 7 3 0 3 導電膜

10

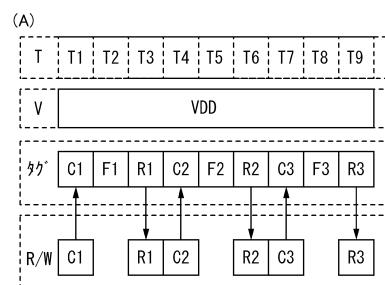
【図1】



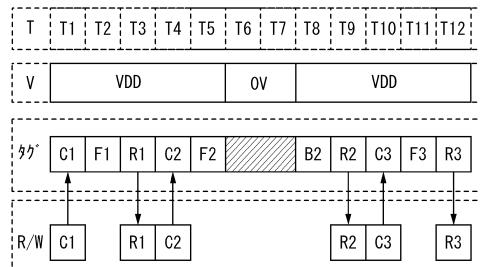
(B)



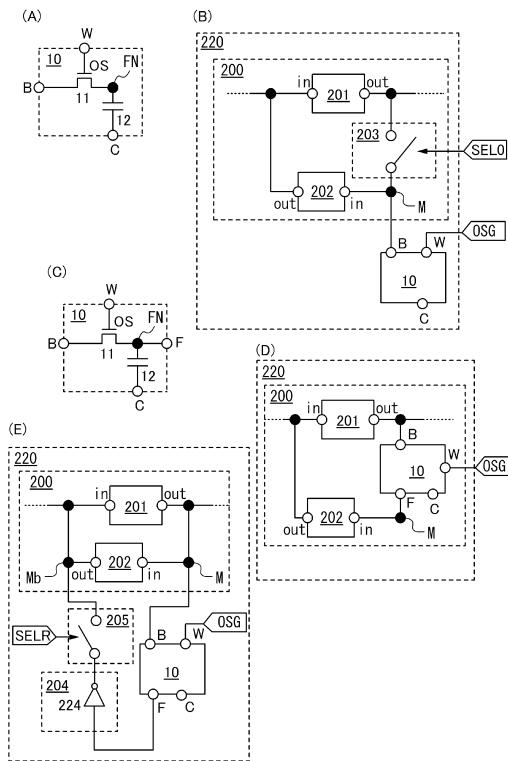
【図2】



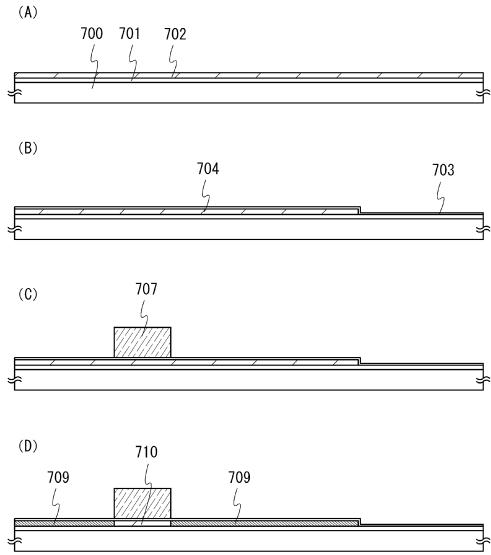
(B)



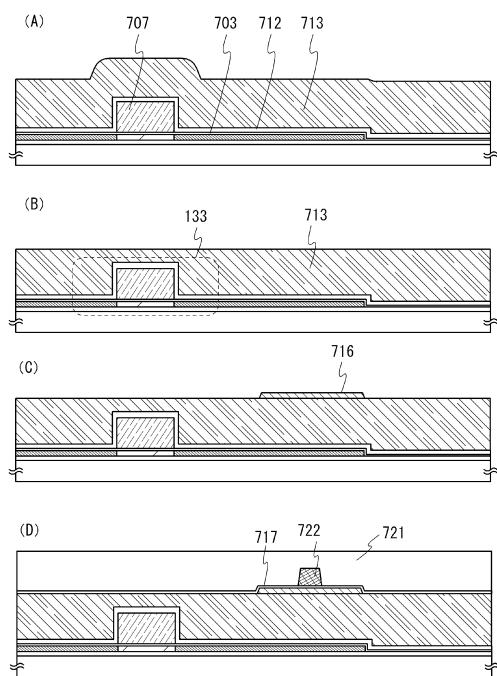
【図3】



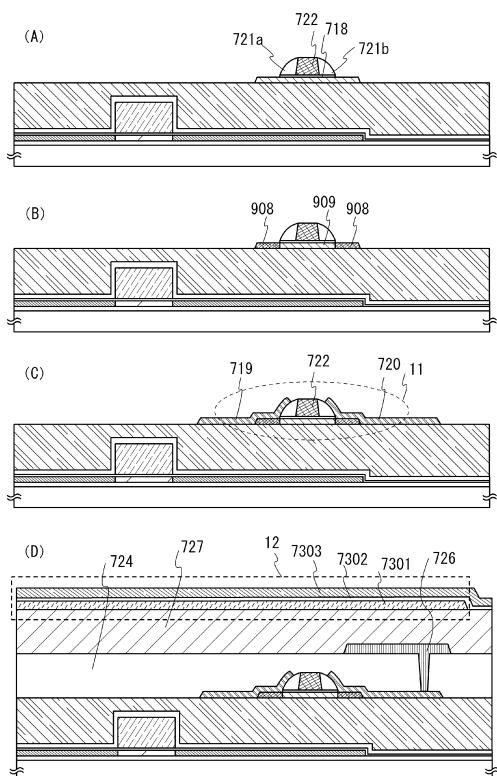
【図4】



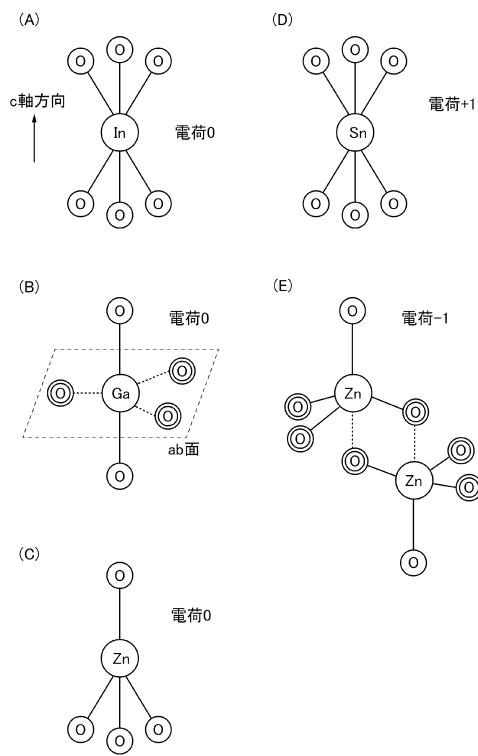
【図5】



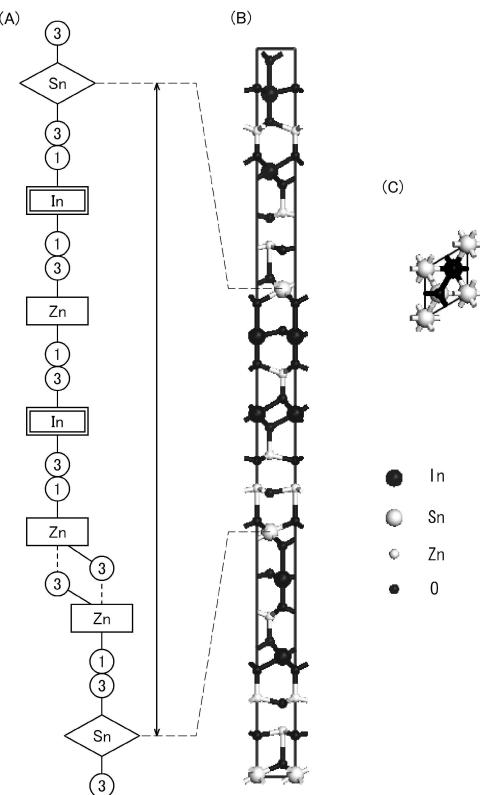
【図6】



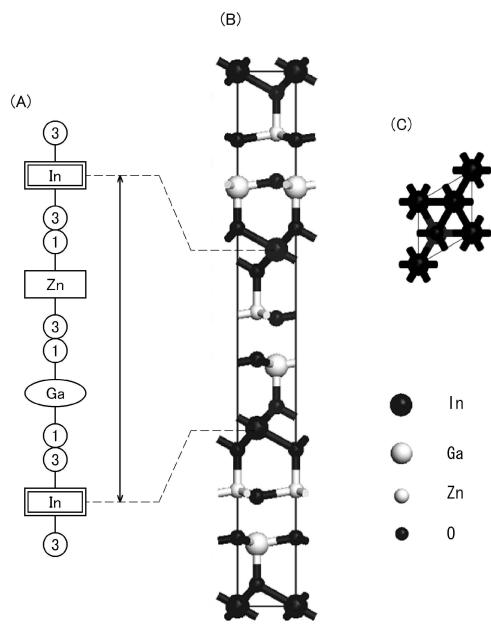
【図7】



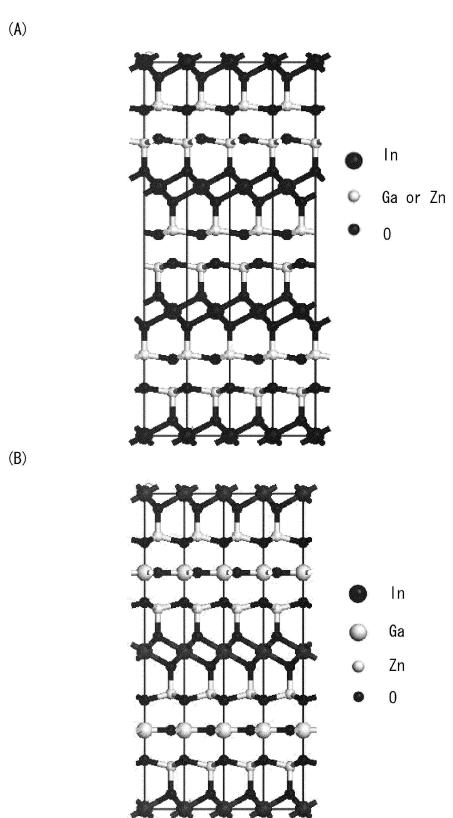
【図8】



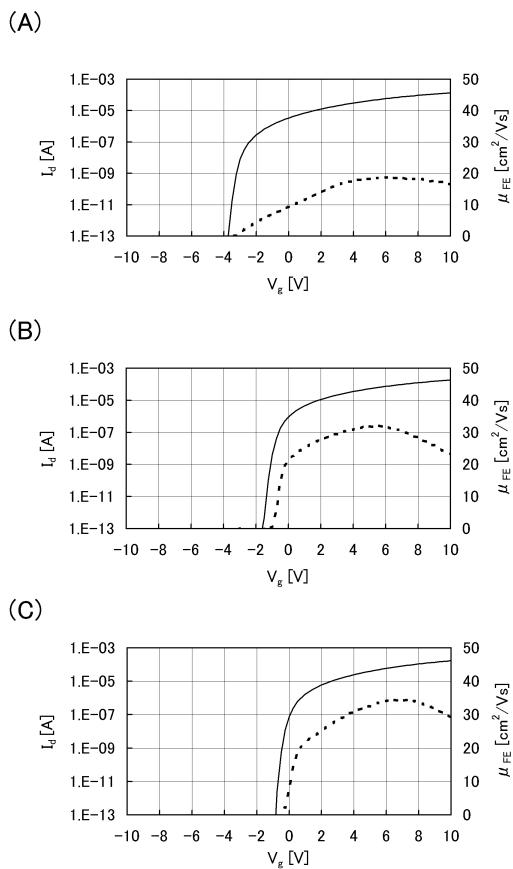
【図9】



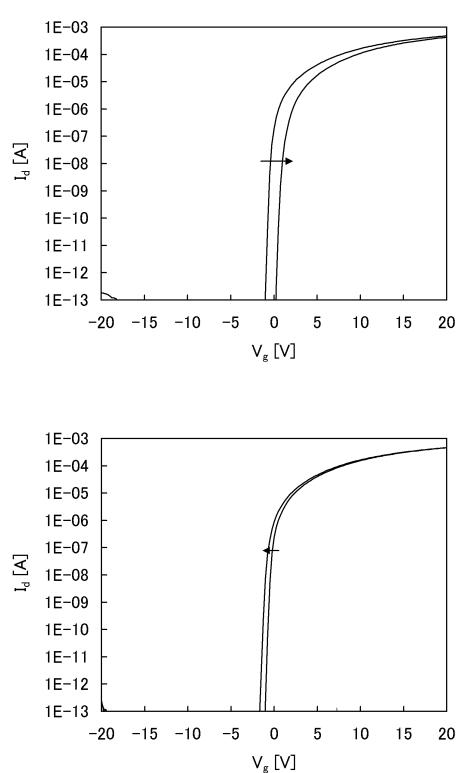
【図10】



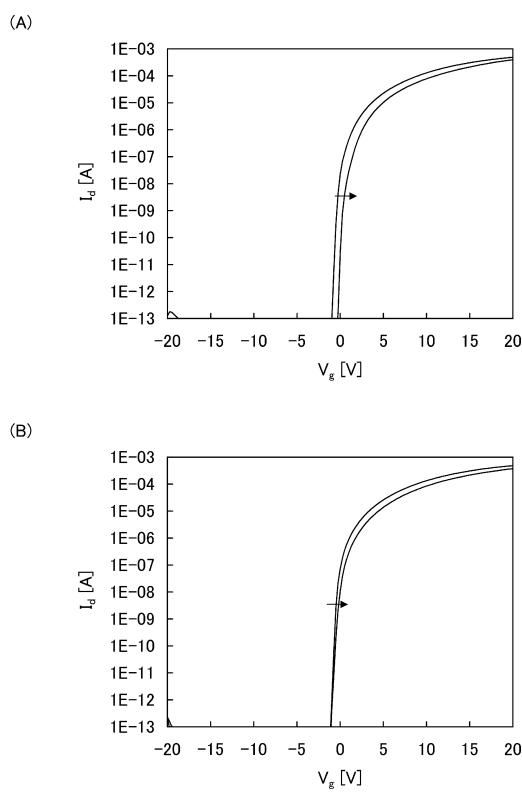
【図 1 1】



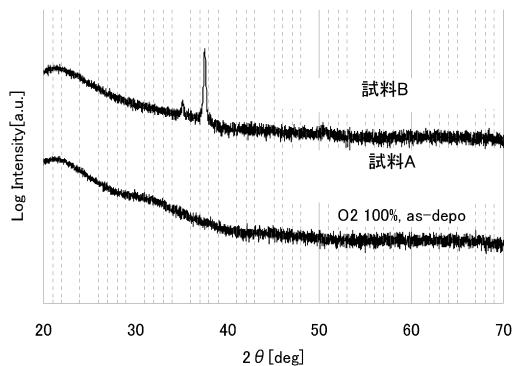
【図 1 2】



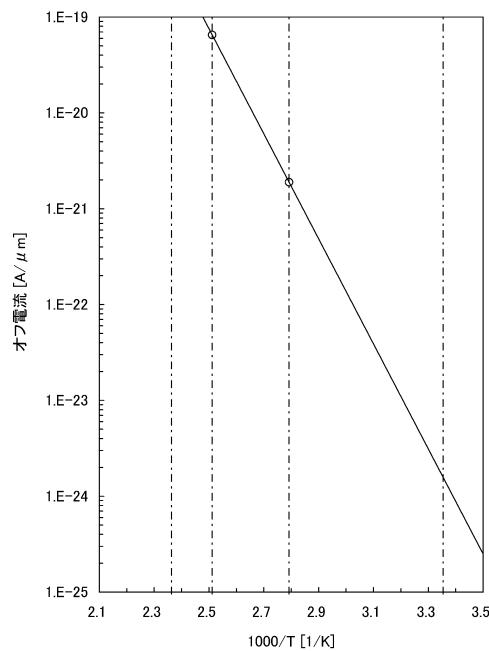
【図 1 3】



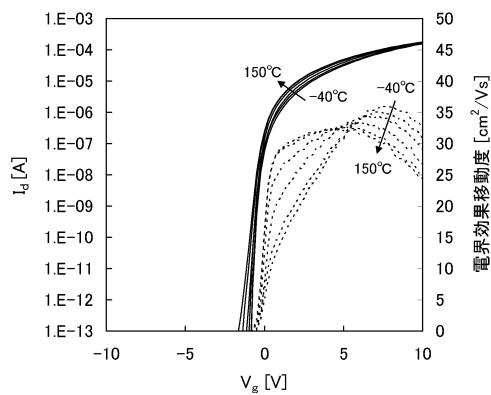
【図 1 4】



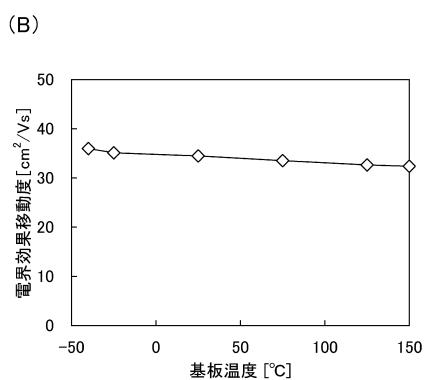
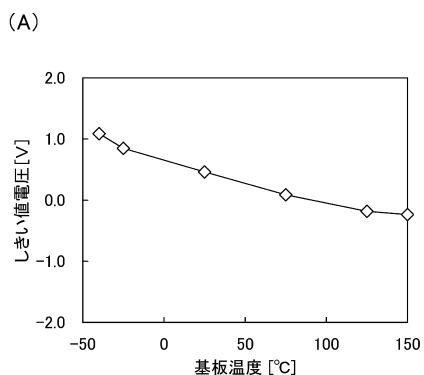
【図15】



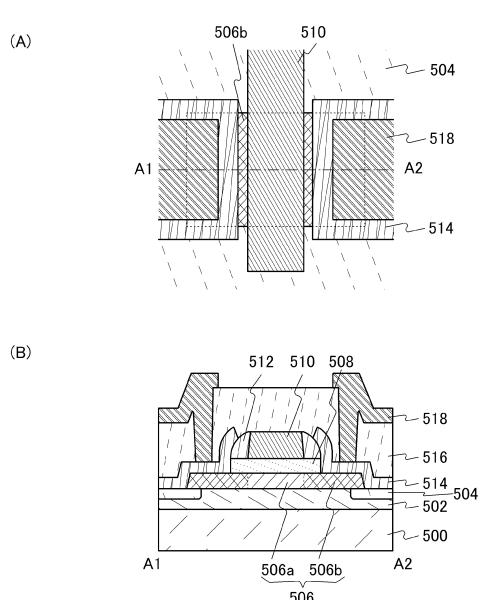
【図16】



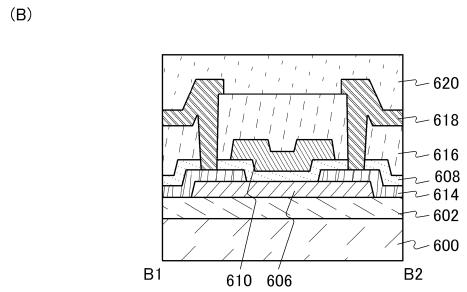
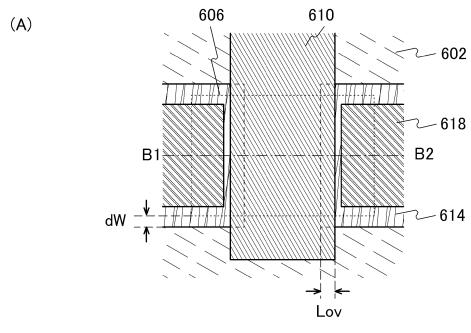
【図17】



【図18】



【図19】



フロントページの続き

(56)参考文献 特開2000-293388(JP,A)
特開2007-201437(JP,A)
特開2010-040815(JP,A)
特開2011-109032(JP,A)
特開2010-135778(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242, 27/108, 29/786
G06K 7/10, 19/07