



(12) 发明专利申请

(10) 申请公布号 CN 103700705 A

(43) 申请公布日 2014. 04. 02

(21) 申请号 201310657960. 0

(22) 申请日 2013. 12. 09

(71) 申请人 深圳市华星光电技术有限公司  
地址 518132 广东省深圳市光明新区塘明大道 9-2 号

(72) 发明人 石龙强 曾志远

(74) 专利代理机构 深圳汇智容达专利商标事务所 (普通合伙) 44238  
代理人 潘中毅 熊贤卿

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 21/77(2006. 01)

H01L 27/12(2006. 01)

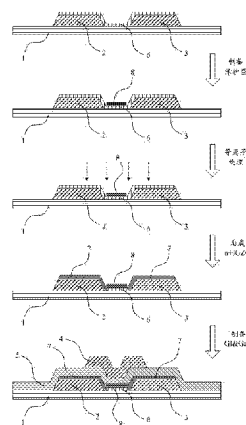
权利要求书1页 说明书4页 附图4页

(54) 发明名称

一种 IGZO 电晶体结构及其制造方法、显示面板

(57) 摘要

本发明提供本发明提供一种 IGZO 电晶体及其制造方法、显示面板,其中 IGZO 电晶体制造方法包括:在基板上制备源/漏极图案层和 IGZO 图案层;在 IGZO 沟道处制备保护层;通过等离子处理对所述源/漏电极与 IGZO 接触区域进行 N 型掺杂,形成 n+IGZO 区域;以及制备栅极绝缘层和栅极图案层。本发明所提供的 IGZO 电晶体及其制造方法、显示面板,能够在通过等离子处理对 IGZO 进行 N 型掺杂过程中损害 IGZO 沟道,有助于改善欧姆接触,提高元件特性。



1. 一种 IGZO 电晶体制造方法,包括:  
在基板上制备源 / 漏极图案层和 IGZO 图案层;  
在 IGZO 沟道处制备保护层;  
通过等离子处理对所述源 / 漏电极与 IGZO 接触区域进行 N 型掺杂,形成 n+IGZO 区域;  
以及  
制备栅极绝缘层和栅极图案层。
2. 根据权利要求 1 所述的制造方法,其特征在于,所述在 IGZO 沟道处制备保护层进一步包括:  
在所述源 / 漏极图案层和 IGZO 图案层上利用化学气相沉积 CVD 沉积形成氧化硅薄膜;  
在所述氧化硅薄膜上进行光阻涂布;  
在掩膜下曝光及显影;  
对光阻未保护的区域进行刻蚀;  
光阻剥离形成保护层图形。
3. 一种 IGZO 电晶体制造方法,包括:  
在基板上制备源 / 漏极图案层;  
在所述源 / 漏极图案层上进行 IGZO 成膜和涂布光阻;  
采用半色调光罩对光阻进行曝光,在 IGZO 沟道处形成保护性光阻;  
通过等离子处理对所述源 / 漏电极与 IGZO 接触区域进行 N 型掺杂,形成 n+IGZO 区域;  
以及  
制备栅极绝缘层和栅极图案层。
4. 根据权利要求 3 所述的制造方法,其特征在于,所述采用半色调光罩对光阻进行曝光,在 IGZO 沟道处形成保护性光阻,进一步包括:  
采用半色调光罩对源 / 漏极与半导体接触区域的光阻部分曝光,而使 IGZO 沟道处光阻不曝光;以及  
用湿刻使 IGZO 形成图形后,用干刻将源 / 漏极与半导体接触区域的光阻刻蚀掉,IGZO 沟道处的光阻变薄,形成保护性光阻。
5. 根据权利要求 4 所述的制造方法,其特征在于,在形成 n+IGZO 区域之后,还包括将所述保护性光阻剥离的步骤。
6. 一种 IGZO 电晶体结构,其特征在于,包括:  
设置在基板(1)上的源极(2)、漏极(3)以及 IGZO (6);  
覆盖在所述 IGZO (6) 沟道上方的保护层(8);  
在所述源极(2)、漏极(3)与所述 IGZO (6)接触区域进行 N 型掺杂而形成的 n+IGZO 区域(7);  
设置在所述保护层(8)以及 n+IGZO 区域(7)上方的栅极绝缘层(5);以及  
设置在所述栅极绝缘层(5)上的栅极(4)。
7. 根据权利要求 6 所述的 IGZO 电晶体结构,其特征在于,所述保护层(8)为氧化硅。
8. 一种显示面板,其特征在于,包括如权利要求 6 或 7 所述的 IGZO 电晶体结构。

## 一种 IGZO 电晶体结构及其制造方法、显示面板

### 技术领域

[0001] 本发明涉及图像显示领域,尤其涉及一种铟镓锌氧化物半导体 IGZO 电晶体制造方法。

### 背景技术

[0002] 基于氧化物半导体的薄膜场效应晶体管(TFT)是未来显示领域的热点,近年来得到了广泛的研究和发展。其中,作为有源沟道层的无定形铟镓锌氧化合物(a-IGZO)薄膜,迁移率可高达  $80\text{cm}^2/\text{Vs}$  (非晶硅 a-Si 迁移率仅  $0.5\sim 0.8\text{cm}^2/\text{Vs}$ ),并且可与 a-Si 大尺寸量产制程兼容。因此,铟镓锌氧化物半导体 IGZO 在下一代液晶显示(LCD)和有机发光二极管(OLED)的潜在应用。

[0003] 金属和 IGZO 相接触时,在界面处半导体能带弯曲,形成势垒。势垒的存在会导致大的界面电阻,即肖特基 Schottky 接触。Schottky 电阻会导致 TFT 元件开态电流不足,亚阈值摆幅(Subthreshold Swing, SS)过大,元件稳定性下降,从而影响画面显示品质。所以,降低金属和 IGZO 的接触电阻,形成欧姆 Ohmic 接触,是决定半导体元件性能好坏的一个重要因素。良好的欧姆接触形成的方法之一是在与金属接触的半导体区域进行重掺杂(n+IGZO),使得界面的空乏区变窄,电子有更多的机会直穿隧(穿隧效应)。图 1 为标准 TFT 的顶栅底接触(Top Gate Bottom Contact)结构示意图,包括基板 1'、源极 2'、漏极 3'、栅极 4'、绝缘层 5' 以及 IGZO 图案层 6'。图 2 为经过重掺杂的顶栅底接触结构示意图,其中在源/漏极与 IGZO 图案层 6' 相接触的区域形成了 n+IGZO 区域 7'。

[0004] 然而,在现有的制造方法中,尤其是在通过等离子处理对 IGZO 进行 N 型掺杂时,忽略了对 IGZO 沟道的保护,极易损害 IGZO 沟道,影响欧姆接触的效能。

### 发明内容

[0005] 本发明所要解决的技术问题在于,提供一种 IGZO 电晶体结构及其制造方法、显示面板,避免在通过等离子处理对 IGZO 进行 N 型掺杂过程中,损害 IGZO 沟道。

[0006] 为了解决上述技术问题,本发明提供一种 IGZO 电晶体制造方法,包括:

在基板上制备源/漏极图案层和 IGZO 图案层;

在 IGZO 沟道处制备保护层;

通过等离子处理对所述源/漏电极与 IGZO 接触区域进行 N 型掺杂,形成 n+IGZO 区域;

以及

制备栅极绝缘层和栅极图案层。

[0007] 其中,所述在 IGZO 沟道处制备保护层进一步包括:

在所述源/漏极图案层和 IGZO 图案层上利用化学气相沉积 CVD 沉积形成氧化硅薄膜;

在所述氧化硅薄膜上进行光阻涂布;

在掩膜下曝光及显影;

对光阻未保护的区域进行刻蚀;

光阻剥离形成保护层图形。

[0008] 本发明还提供一种铟镓锌氧化物半导体 IGZO 电晶体制造方法,包括:  
在基板上制备源 / 漏极图案层;  
在所述源 / 漏极图案层上进行 IGZO 成膜和涂布光阻;  
采用半色调光罩对光阻进行曝光,在 IGZO 沟道处形成保护性光阻;  
通过等离子处理对所述源 / 漏电极与 IGZO 接触区域进行 N 型掺杂,形成 n+IGZO 区域;  
以及  
制备栅极绝缘层和栅极图案层。

[0009] 其中,所述采用半色调光罩对光阻进行曝光,在 IGZO 沟道处形成保护性光阻,进一步包括:

采用半色调光罩对源 / 漏极与半导体接触区域的光阻部分曝光,而使 IGZO 沟道处光阻不曝光;以及

用湿刻使 IGZO 形成图形后,用干刻将源 / 漏极与半导体接触区域的光阻刻蚀掉,IGZO 沟道处的光阻变薄,形成保护性光阻。

[0010] 其中,在形成 n+IGZO 区域之后,还包括将所述保护性光阻剥离的步骤。

[0011] 本发明还提供一种 IGZO 电晶体结构,包括:  
设置在基板上的源极、漏极以及 IGZO;  
覆盖在所述 IGZO 沟道上方的保护层;  
在所述源极、漏极与所述 IGZO 接触区域进行 N 型掺杂而形成的 n+IGZO 区域;  
设置在所述保护层以及 n+IGZO 区域上方的栅极绝缘层;以及  
设置在所述栅极绝缘层上的栅极。

[0012] 其中,所述保护层为氧化硅。

[0013] 本发明还提供一种显示面板,包括所述的 IGZO 电晶体结构。

[0014] 本发明所提供的 IGZO 电晶体结构及其制造方法、显示面板,能够避免在通过等离子处理对 IGZO 进行 N 型掺杂过程中损害 IGZO 沟道,有助于改善欧姆接触,提高元件特性。

## 附图说明

[0015] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0016] 图 1 是标准 TFT 的顶栅底接触结构示意图。

[0017] 图 2 是经重掺杂的顶栅底接触结构示意图。

[0018] 图 3 是本发明实施例一 IGZO 电晶体制造方法的流程示意图。

[0019] 图 4 是本发明实施例二 IGZO 电晶体制造方法的流程示意图。

[0020] 图 5 是本发明实施例三 IGZO 电晶体结构示意图。

## 具体实施方式

[0021] 下面参考附图对本发明的优选实施例进行描述。

[0022] 请参照图 3 所示,本发明实施例一提供一种铟镓锌氧化物半导体 IGZO 电晶体制造方法,包括:

步骤 S21,在基板 1 上制备源极 2 (Source)、漏极 3 (Drain)图案层,以及 IGZO 图案层 6;

步骤 S22,在 IGZO 沟道处制备保护层 8;

步骤 S23,通过等离子处理(Plasma Treatment)对源 / 漏电极与 IGZO 接触区域进行 N 型掺杂,形成 n+IGZO 区域 7;以及

步骤 S24,制备栅极绝缘层 5 (GI)和栅极 4 (Gate)图案层。

[0023] 本实施例增加了保护层(Protect Layer, PL)制程,对 IGZO 沟道进行保护。具体的,步骤 S22 制备保护层进一步包括:

步骤 S221,在源 / 漏极图案层和 IGZO 图案层上利用化学气相沉积(Cheical Vapor Deposition, CVD)沉积形成氧化硅( $\text{SiO}_x$ )薄膜;

步骤 S222,在  $\text{SiO}_x$  薄膜上进行光阻涂布;

步骤 S223,在掩膜下曝光及显影;

曝光及显影后的结果是,IGZO 沟道上面的  $\text{SiO}_x$  薄膜被光阻保护,其他区域则裸露,无光阻保护;

步骤 S224,对光阻未保护的区域进行刻蚀;

步骤 S225,将光阻剥离形成保护层图形。

[0024] 本实施例在制程中引入了制备保护层,防止在等离子处理过程中对 IGZO 沟道的损害,也保证了后续制备 GI 层时,等离子体增强化学气相沉积(Plasma Enhanced Chemical Vapor Deposition, PECVD)成膜也不会损害到 IGZO 沟道。另外,保护层制备完成后,不会被剥离,后续制程中一直可以保护 IGZO 沟道不被损害。同时,由于沟道已经得到保护,后续的钝化层(Passivation Layer)的产线节拍时间(tact time)也将大大降低。

[0025] 再请参照图 4 所示,本发明实施例二提供一种铟镓锌氧化物半导体 IGZO 电晶体制造方法,包括:

步骤 S31,在基板 1 上制备源极 2 (Source)、漏极 3 (Drain)图案层;

步骤 S32,在源 / 漏极图案层上进行 IGZO 6 成膜和涂布光阻 9;

步骤 S33,采用半色调(half-tone)光罩对光阻进行曝光,在 IGZO 沟道处形成保护性光阻 90;

步骤 S34,对源 / 漏极与 IGZO 接触区域进行等离子处理,形成 n+IGZO 区域 7;以及

步骤 S35,制备栅极绝缘层 5 (GI)和栅极 4 (Gate)图案层。

[0026] 具体的,步骤 S33 进一步包括:

步骤 S331,采用半色调光罩对源 / 漏极与半导体接触区域的光阻部分曝光,而使 IGZO 沟道处光阻不曝光;以及

步骤 S332,用湿刻使 IGZO 形成图形后,用干刻将源 / 漏极与半导体接触区域的光阻刻蚀掉,IGZO 沟道处的光阻变薄,形成保护性光阻。

[0027] 上述步骤 S331 中,被曝光的部分光阻减薄,而 IGZO 沟道处光阻未曝光,其厚度相对于被曝光部分较厚。上述步骤 S332 中,在刻蚀时 IGZO 沟道处的光阻变薄,从而形成保护性光阻,起到对 IGZO 沟道进行保护的作用。

[0028] 在步骤 S34 之后,还包括步骤 S341,将光阻剥离。

[0029] 本实施例通过采用半色调光罩曝光,使 IGZO 沟道处的光阻不曝光,在刻蚀时得以形成保护性光阻,在等离子处理过程中对 IGZO 沟道起到保护作用。

[0030] 本发明实施例一采用 SiO<sub>x</sub> 做保护层,需要增加一道保护层制程,才能进行 IGZO 的等离子处理,所以多一道光罩,即多一次的成膜,黄光,刻蚀制程。本发明实施例二与之相比,采用半色调光罩,即部分曝光强,部分曝光弱,剩下的不曝光;强曝光部分没有光阻保护,进行刻蚀形成 IGZO 图形;部分曝光部分由于光阻很薄,进行等离子处理前可用 O<sub>2</sub> Plasma 先将其灰化,裸露出要处理的区域,然后进行等离子处理即可,所以 IGZO 图案层和 IGZO 的等离子处理用一道制程即可完成,少一道光罩,省去一次成膜,黄光,刻蚀过程,大大降低生产成本,增加生产产能。

[0031] 另外,按照本发明实施例二的方法,还可将 IGZO 沟道内侧与金属接触的 IGZO 进行等离子处理,达到改善欧姆接触的目的。

[0032] 请再参照图 5 所示,相应于本发明实施例一,本发明实施例三提供一种 IGZO 电晶体结构,包括:

设置在基板 1 的源极 2、漏极 3 以及 IGZO 6;

覆盖在 IGZO 6 沟道上方的保护层 8;

在源极 2、漏极 3 与 IGZO 6 接触区域进行 N 型掺杂而形成的 n+IGZO 区域 7;

设置在保护层 8 以及 n+IGZO 区域 7 上方的栅极绝缘层 5;以及

设置在栅极绝缘层 5 上的栅极 4。

[0033] 其中,保护层 8 为氧化硅。

[0034] 本实施例中,由于在 IGZO 电晶体结构中的 IGZO 6 沟道上方设置了保护层 8,可以防止在等离子处理过程中对 IGZO 6 沟道的损害,PECVD 成膜也不会损害到 IGZO 6 沟道。另外,保护层 8 制备完成后,不会被剥离,后续制程中一直可以保护 IGZO 6 沟道不被损害。同时,由于沟道已经得到保护,后续的钝化层(Passivation Layer)的产线节拍时间(tact time)也将大大降低。

[0035] 相应于本发明实施例三,本发明实施例四提供一种显示面板,包括本发明实施例三所提供的 IGZO 电晶体结构,其具体结构及有益效果请参见本发明实施例三的描述,此处不再赘述。

[0036] 本发明所提供的 IGZO 电晶体结构及其制造方法、显示面板,能够避免在通过等离子处理对 IGZO 进行 N 型掺杂过程中损害 IGZO 沟道,有助于改善欧姆接触,提高元件特性。

[0037] 以上所揭露的仅为本发明较佳实施例而已,当然不能以此来限定本发明之权利范围,因此依本发明权利要求所作的等同变化,仍属本发明所涵盖的范围。

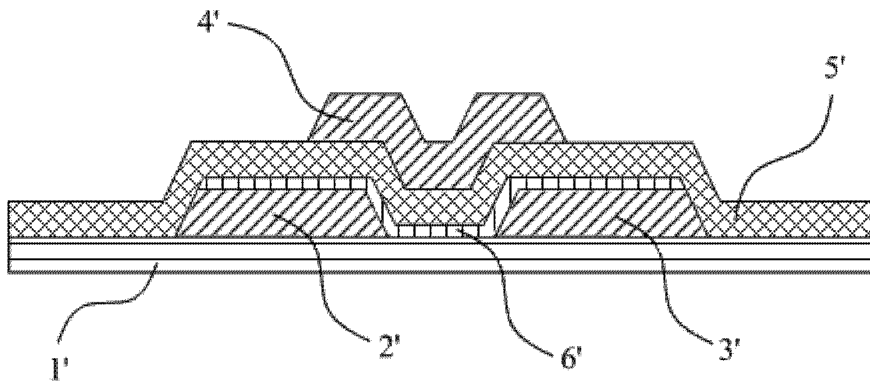


图 1

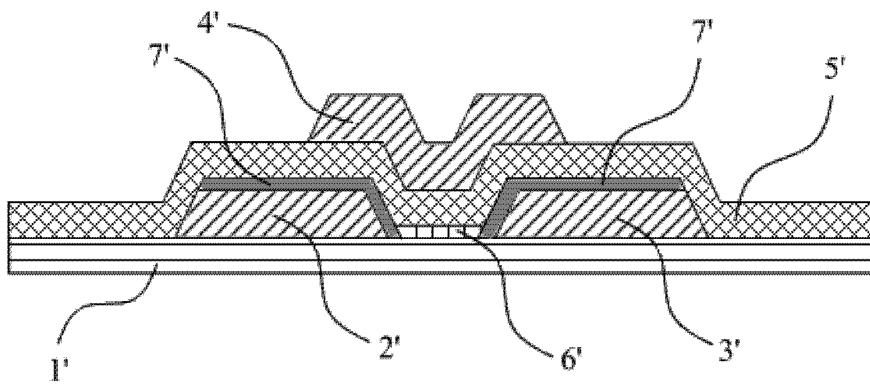


图 2

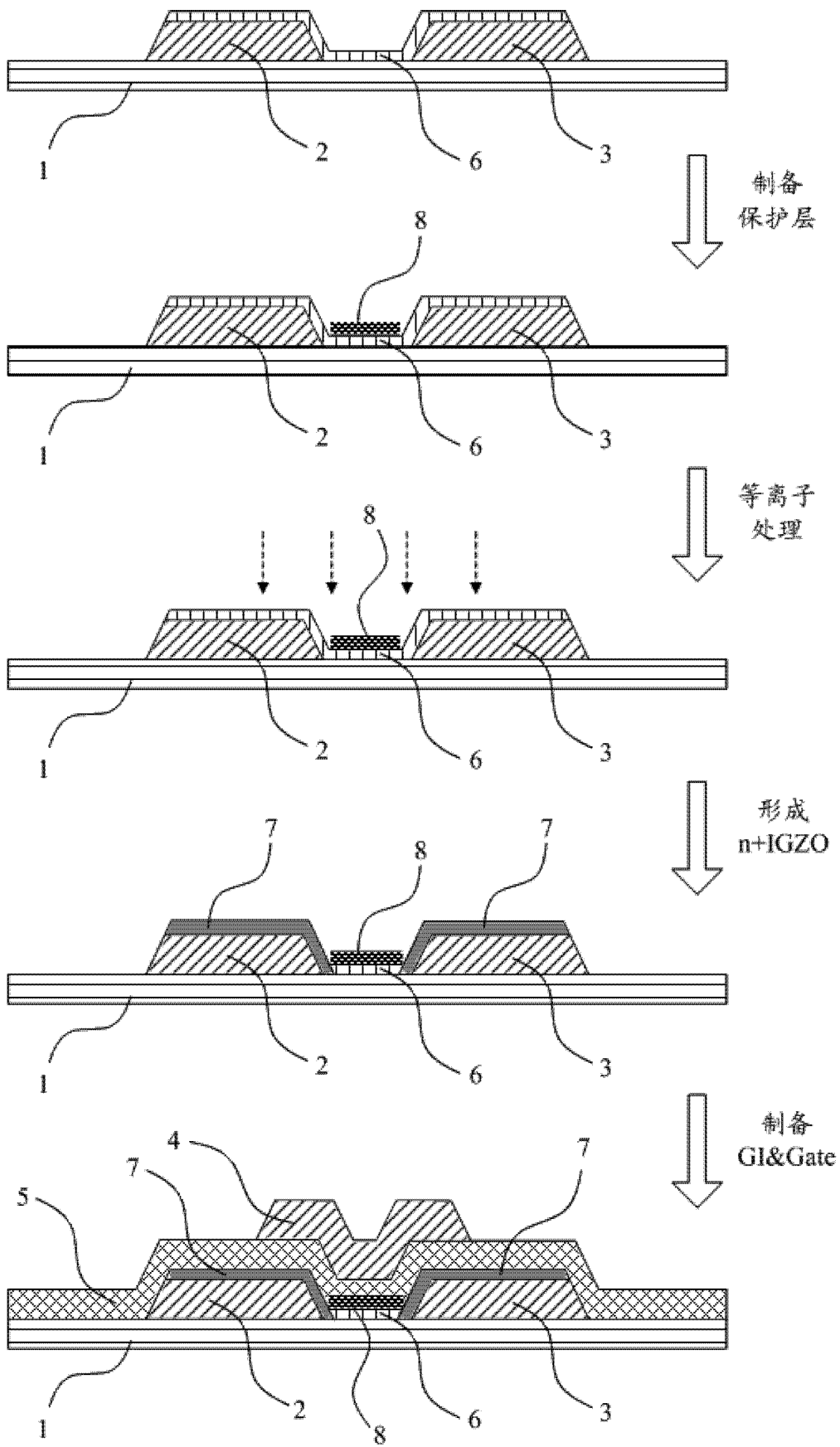


图 3



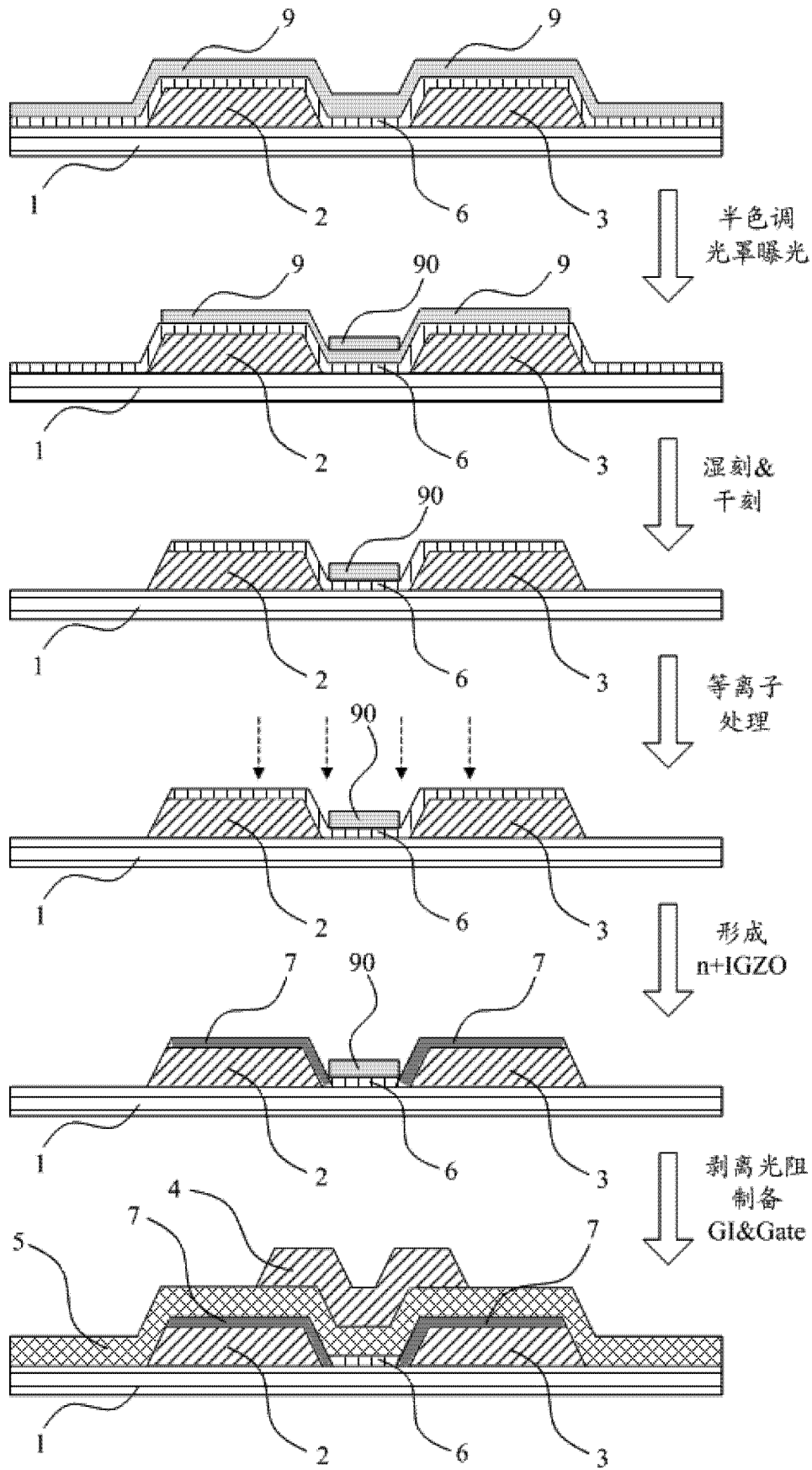


图 4

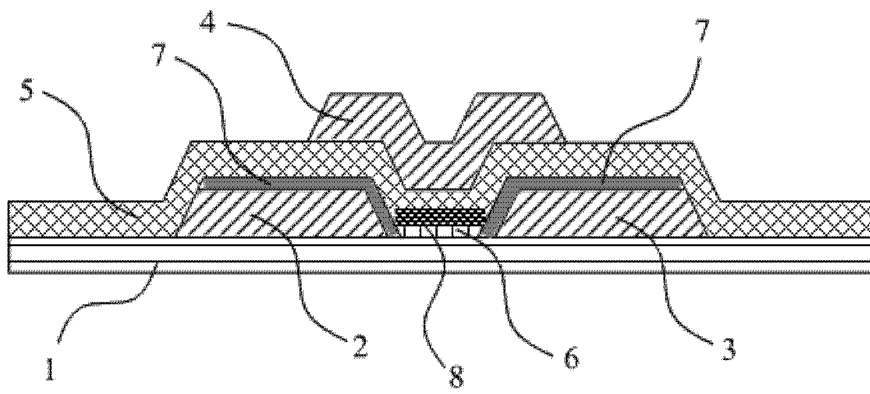


图 5