(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102694029 B
(45)授权公告日 2016.02.03

(21)申请号 201210061291.6

(22)申请日 2012.03.09

(30)优先权数据
064668/2011 2011.03.23 JP

(73)专利权人 株式会社东芝
地址 日本东京都

(72)发明人 斋藤涉 小野升太郎 仲敏行
谷内俊治 渡边美穗 山下浩明

(74)专利代理机构 永新专利商标代理有限公司 72002
代理人 陈萍

(51)Int.Cl.
H01L 29/78(2006.01)
H01L 29/06(2006.01)

(56)对比文件
US 2010/0230750 A1,2010.09.16,说明书第39-102段、附图1-26.
US 2010/0230750 A1,2010.09.16,说明书第39-102段、附图1-26.
US 2008/0315299 A1,2008.12.25,说明书第26-75段、附图1-12.
US 2009/0032851 A1,2009.02.05,全文.

审查员 李静

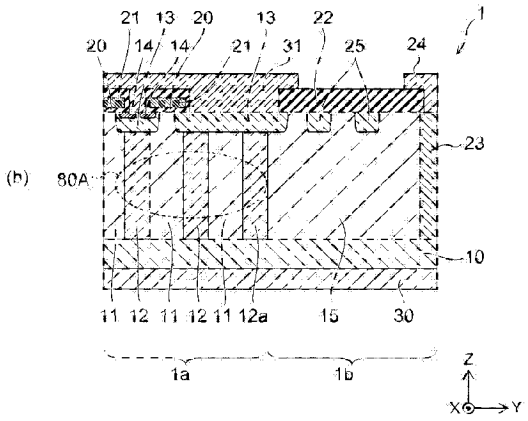
权利要求书1页 说明书11页 附图9页

(54)发明名称

半导体元件

(57)摘要

实施方式的半导体元件,具备:在第1半导体层之上,沿着与第1半导体层的主面平行的方向,分别周期性地排列了第2半导体层和第3半导体层的周期的排列构造;设置在第3半导体层之上的第4半导体层;选择性地设置在第4半导体层的表面的第5半导体层;控制电极;设置在周期的排列构造的外侧的第1半导体层之上、且杂质浓度低于周期的排列构造所含的杂质浓度的第6半导体层;与第1半导体层电连接的第1主电极;与第4半导体层和第5半导体层连接的第2主电极。从与第1半导体层的主面垂直的方向看,第2半导体层和第3半导体层分别呈点状地配置,周期的排列构造的最外周的周期构造不同于最外周以外的周期的排列构造的周期构造。



CN 102694029 B

1. 一种半导体元件，其特征在于，具备：

终端区域 (1b)，具有第 1 导电型的半导体层 (15)，

第 1 导电型的第 1 半导体层 (10)，

第 1 导电型的第 2 半导体层 (11) 和第 2 导电型的第 3 半导体层 (12)，位于上述第 1 半导体层之上，在第 1 方向即 Y 方向、以及与上述第 1 方向正交的第 2 方向即 X 方向上周期性地设置有多个，

第 2 导电型的第 4 半导体层 (13)，设置在上述第 3 半导体层之上，

第 1 导电型的第 5 半导体层 (14)，选择性地设置在上述第 4 半导体层，

第 1 导电型的第 6 半导体层 (11a)，与上述半导体层 (15) 相邻，并使其周期长于上述第 3 半导体层 (12) 的周期地、在上述第 2 方向即 X 方向上周期性地设置有多个，

控制电极 (21)，隔着绝缘膜 (20) 与上述第 4 半导体层连接，

第 1 主电极 (30)，与上述第 1 半导体层电连接，及

元件区域 (1a)，具有与上述第 4 半导体层和上述第 5 半导体层连接的第 2 主电极 (31)，被上述终端区域包围。

2. 如权利要求 1 记载的半导体元件，其中，

上述第 6 半导体层在上述第 2 方向上的周期是上述第 3 半导体层在上述第 2 方向上的周期的 2 倍。

3. 如权利要求 1 或 2 记载的半导体元件，其中，

上述元件区域 (1a) 还具有第 2 导电型的第 7 半导体层 (12a)，该第 2 导电型的第 7 半导体层 (12a) 与上述半导体层 (15) 相邻，并使其周期长于上述第 2 半导体层 (11) 的周期地、在上述第 1 方向即 Y 方向上周期性地设置有多个。

4. 如权利要求 3 记载的半导体元件，其中，

上述第 7 半导体层在上述第 1 方向上的周期是上述第 2 半导体层在上述第 1 方向上的周期的 2 倍。

5. 如权利要求 1 或 2 记载的半导体元件，其中，

上述第 6 半导体层的杂质浓度低于上述第 2 半导体层的杂质浓度。

6. 如权利要求 3 记载的半导体元件，其中，

上述第 7 半导体层的杂质浓度低于上述第 3 半导体层的杂质浓度。

半导体元件

[0001] 关联申请

[0002] 本申请基于并享受于 2011 年 3 月 23 日提交的申请号为 No. 2011-064668 的日本专利申请的优先权，通过引用的方式包含其全部内容。

技术领域

[0003] 本发明涉及半导体元件。

背景技术

[0004] 作为上下电极构造的半导体元件的例子，有上下电极构造的功率 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)。该种功率 MOSFET 的导通电阻较大地依存于作为传导层的漂移层的电阻。决定漂移层电阻的杂质的掺杂浓度，对应于基区和漂移层所形成的 pn 结的耐压而不能增加到界限以上。因此，元件耐压和导通电阻存在权衡(trade-off) 的关系。改善该权衡对于低消耗电力元件变得重要。该权衡存在由元件材料所决定的界限，超越该界限是通向实现超越已有功率 MOSFET 的低导通电阻元件的道路。

[0005] 作为解决该问题的 MOSFET 的一个例子，在漂移层埋入被称作超级结构造（以下记作 SJ 构造）的 p 型柱体层和 n 型柱体层的构造，近年备受瞩目。SJ 构造通过使包含在 p 型柱体层和 n 型柱体层中的充入量（杂质量）大致相同，而虚拟地做成未掺杂层，维持高耐压，通过高掺杂的 n 型柱体层而使电流流过，从而实现超越了材料界限的低导通电阻。

[0006] 但是，在上下电极构造的功率 MOSFET 中，即使对于设置在元件区域外周的终端区域，也需要保持高耐压。为了保持高耐压，而存在如此结构 :通过在终端区域不形成 SJ 构造，来抑制因杂质量的偏差而引起的耐压低下。

[0007] 在该构造中，使 SJ 构造的最外周的柱体层的杂质浓度，为最外周以外的 SJ 构造的柱体层的杂质浓度的大概一半。再者，在 SJ 构造外的终端区域，不形成 SJ 构造，设置低浓度的漂移层。然后，在此种元件中，由于是功率 MOSFET，所以期待耐压变得更高。

发明内容

[0008] 本发明的实施方式提供高耐压的半导体元件。

[0009] 本发明的实施方式的半导体元件，具备 :

[0010] 第 1 导电型的第 1 半导体层，

[0011] 周期的排列构造，在上述第 1 半导体层之上，沿着与上述第 1 半导体层的主面平行的方向，分别周期性地排列了第 1 导电型的第 2 半导体层和第 2 导电型的第 3 半导体层，

[0012] 第 2 导电型的第 4 半导体层，设置在上述第 3 半导体层之上，

[0013] 第 1 导电型的第 5 半导体层，选择性地设置在上述第 4 半导体层的表面，

[0014] 控制电极，隔着绝缘膜与上述第 2 半导体层的一部分、上述第 4 半导体层、及上述第 5 半导体层的一部分连接，

[0015] 第 1 导电型的第 6 半导体层，设置在上述周期的排列构造的外侧的上述第 1 半导

体层之上、且杂质浓度低于上述周期的排列构造中所含的杂质浓度，

[0016] 第 1 主电极，与上述第 1 半导体层电连接，及

[0017] 第 2 主电极，与上述第 4 半导体层和上述第 5 半导体层连接，

[0018] 从与上述第 1 半导体层的主面垂直的方向看，上述第 2 半导体层和上述第 3 半导体层分别呈点状地配置，

[0019] 上述周期的排列构造的最外周的周期构造不同于上述最外周以外的上述周期的排列构造的周期构造。

[0020] 根据本发明的实施方式，可以提供高耐压的半导体元件。

附图说明

[0021] 图 1 是第 1 实施方式涉及的半导体元件的示意图，(a) 是示出半导体元件的全体的概要的平面示意图，(b) 是沿着 (a) 的 α－β 线的位置的剖面示意图。

[0022] 图 2 是参考例涉及的用于形成超级结构造的掩模图形的平面示意图。

[0023] 图 3 是参考例涉及的超级结构造的平面示意图。

[0024] 图 4 是第 1 实施方式涉及的用于形成超级结构造的掩模图形的平面示意图。

[0025] 图 5 是第 1 实施方式涉及的超级结构造的平面示意图。

[0026] 图 6 是第 2 实施方式涉及的用于形成超级结构造的掩模图形的平面示意图。

[0027] 图 7 是第 2 实施方式涉及的超级结构造的平面示意图。

[0028] 图 8 是第 3 实施方式涉及的用于形成超级结构造的掩模图形的平面示意图。

[0029] 图 9 是第 3 实施方式涉及的超级结构造的平面示意图。

具体实施方式

[0030] 以下，参照附图来说明实施方式。

[0031] （第 1 实施方式）

[0032] 图 1 是第 1 实施方式涉及的半导体元件的示意图，(a) 是示出半导体元件的全体的概要的平面示意图，(b) 是沿着 (a) 的 α－β 线的位置的剖面示意图。

[0033] 如图 1(a) 所示，半导体元件 1 具有元件区域（单元区域）1a 和设置在元件区域 1a 周围的终端区域 1b。在元件区域 1a 设有栅极布线 1g。

[0034] 如图 1(b) 所示，在半导体元件 1 中，具有超级结构造（周期的排列构造）80A，该超级结构造 80A 是在 n^+型的漏层（第 1 半导体层）10 之上，沿与漏层 10 的主面平行的方向，n 型柱体层（第 2 半导体层）11 和 p 型柱体层（第 3 半导体层）12 分别周期性地排列而形成的。

[0035] 在半导体元件 1 中，在 p 型柱体层 12 之上，设有 p 型的基层（第 4 半导体层）13。在基层 13 的表面，选择性地设有 n^+型的源层（第 5 半导体层）14。栅电极（控制电极）21 隔着栅极绝缘膜 20 而与 n 型柱体层 11 的一部分、基层（第 4 半导体层）13 和源层 14 的一部分相接。栅电极 21 与上述栅极布线 1g 电连接。

[0036] 在半导体元件 1 中，在终端区域 1b 没有 SJ 构造 80A。n 型或者 p 型的高电阻层（第 6 半导体层）15 与 SJ 构造 80A 的最外周的 p 型柱体层 12a 相接。即，在 SJ 构造 80A 的外侧的漏层 10 之上，设有高电阻层 15。高电阻层 15 所含的杂质浓度低于 SJ 构造 80A 所含

的杂质浓度。例如，为了半导体元件 1 得到高耐压，而优选高电阻层 15 的杂质浓度在 n 型柱体层 11 或者 p 型柱体层 12 的杂质浓度的 1/10 以下。

[0037] 在设置在 SJ 构造 80A 的最外周的 p 型柱体层 12a 之上的 p 型基层 13 中，不设 n^+ 型的源层 14。

[0038] 在高电阻层 15 的表面，选择性设有保护环层 25。通过在高电阻层 15 的表面设有保护环层 25，来抑制基层 13 的端部处的电场集中。由此，半导体元件 1 保持高的终端耐压。在高电阻层 15 和保护环层 25 之上，设有场绝缘层 22。

[0039] 电场终止 (Field stop) 层 23 和与 SJ 构造 80A 相反侧的高电阻层 15 的侧面相接。在电场终止层 23 和场绝缘层 22 的一部分之上，设有电场终止电极 24。漏电极（第 1 主电极）30 与漏层 10 电连接。源电极（第 2 主电极）31 与基层 13 和源层 14 连接。

[0040] 漏层 10、n 型柱体层 11、p 型柱体层 12、12a、基层 13、源层 14、高电阻层 15、电场终止层 23 及保护环层 25 的主成分，例如为硅 (Si)。栅电极 21、栅极布线 1g 的主成分，例如为多晶硅。栅极绝缘膜 20、场绝缘层 22 的材质，例如为氧化硅 (SiO_2)。漏电极 30、源电极 31 及电场终止电极 24 的材质是金属。在实施方式中，也可以设定 n^+ 型、n 型为第 1 导电型，设定 p 型为第 2 导电型。

[0041] 而且，如图中所示的 Z 轴方向（第 1 方向），是从漏层 10 朝向基层 13 的方向，X 轴方向（第 2 方向）是与 Z 轴方向垂直的方向，Y 轴方向（第 3 方向）是与 X 轴方向及 Z 轴方向垂直的方向。半导体元件 1 的平面形状是矩形状的情况下，X 轴方向是矩形的一条边的方向（图中的矩形的纵向的边），Y 轴方向是与 X 轴方向及 Z 轴方向垂直的方向。在漏层 10 的平面形状是矩形状的情况下，与该矩形的相互对置的边平行的方向 (X 轴方向）上的 SJ 构造 80A 的最外周的上述周期构造，不同于与平行于该边的方向正交的方向 (Y 轴方向）上的 SJ 构造 80A 的最外周的上述周期构造。

[0042] 接着，对形成半导体元件 1 的 SJ 构造 80A 的方法进行说明。

[0043] SJ 构造 80A 通过例如反复进行离子注入和结晶生长的工序来形成。这种情况，n 型柱体层 11 的各自的杂质浓度，或者，p 型柱体层 12 各自的杂质浓度，可以通过使离子注入时所使用的掩模的开口面积变化来进行调整。例如，也可以为了选择性地使特定的部分的柱体层的杂质浓度降低，而使与特定的部分的柱体层的位置相对应的掩模的开口部的面积变小。

[0044] 掩模的开口部的面积通过光刻等来调整。例如，也可以为了使 SJ 构造的最外周的柱体层的杂质浓度为其他柱体层的杂质浓度的大概一半，而使与最外周的柱体层的位置相对应的掩模的开口部的面积，为与其他柱体层的位置相对应的掩模的开口部的面积的大概一半。但是，掩模的材质是蚀刻剂，掩模的开口部的面积越小，则开口部的面积的偏差变得越大。即，若通过以前的手法来形成 SJ 构造，则 SJ 构造的最外周的柱体层的杂质浓度可能存在偏差。

[0045] 例如，图 2 是参考例涉及的用于形成超级结构造的掩模图形的平面示意图。如图 2 所例示的掩模图形 400，在形成如图 1 所示的区域 90 时使用。在离子注入时，杂质经由掩模图形 400 的开口部选择性地注入半导体层。并且，在图 2 中，为了便于说明，合并示出用于注入 n 型杂质的开口部 410、410a，以及用于注入 p 型杂质的开口部 420、420a。

[0046] 在掩模图形 400 中，用于形成 p 型柱体层 12 的开口部 420、及用于形成 n 型柱体

层 11 的开口部 410 成周期性点状地设置。开口部 410a 的位置和开口部 420a 的位置对应于 SJ 构造的最外周的柱体层的位置。而且，在图中，示出了元件区域 1a 的单位单元 430 的区域。

[0047] 也可以为了使 SJ 构造的最外周的 p 型柱体层 12a 的杂质浓度为最外周以外的 SJ 构造的 p 型柱体层 12 的杂质浓度的大概一半，而如图 2 所示，而使开口部 420a 的面积为开口部 420 的面积的大概一半。由此，经由开口部 420a 注入的杂质的量，变为经由开口部 420 注入的杂质的量的大概一半。

[0048] 同样，也可以为了使 SJ 构造的最外周的 n 型柱体层的杂质浓度为最外周以外的 SJ 构造的 n 型柱体层 11 的杂质浓度的大概一半，而如图 2 所示，使开口部 410a 的面积为开口部 410 的面积的大概一半。由此，经由开口部 410a 注入的杂质的量成为经由开口部 410 注入的杂质的量的大概一半。

[0049] 而且，通过使开口部 410a、420a 各自的面积为开口部 410、420 各自的面积的一半，而使各自的单位单元 430 内的 n 型柱体层的杂质量及 p 型柱体层的杂质量的合计量为大致相同。

[0050] 若使用这样的掩模图形 400，则可以使 SJ 构造的最外周的 p 型柱体层（或 n 型柱体层）的杂质浓度，为最外周以外的 SJ 构造的 p 型柱体层（或 n 型柱体层）的杂质浓度的大概一半。

[0051] 图 3 示出使用掩模图形 400 形成 SJ 构造时的 SJ 构造的平面形状的示意图。

[0052] 图 3 是参考例涉及的超级结构造的平面示意图。

[0053] 在图 3 中，为了使各柱体层的位置和掩模图形的各开口部的位置的对应清晰，在 n 型柱体层 11、p 型柱体层 12 等之外，还示出了掩模图形 400 涉及的开口部 410、420 等。

[0054] 在参考例涉及的 SJ 构造 100 中，在设置了开口部 420a 的地方，形成 p 型柱体层 12a。p 型柱体层 12a 位于 SJ 构造 100 的最外周。在 SJ 构造 100 侧，n 型柱体层 11 与 p 型柱体层 12a 相邻。而且，在与 SJ 构造 100 侧相反一侧，高电阻层 15 与 p 型柱体层 12a 相邻。

[0055] 在半导体元件截止时，例如，为了使 n 型柱体层 11、11a 的电位变得高于 p 型柱体层 12、12a 的电位，而在 p 型柱体层 12、12a 和 n 型柱体层 11、11a 之间设有电位差。因此，耗尽层从由 p 型柱体层 12 和 n 型柱体层 11 形成的 pn 结界面向 p 型柱体层 12 侧及 n 型柱体层 11 侧延伸，各 p 型柱体层 12 和各 n 型柱体层 11 因规定的电压而完全耗尽。

[0056] 例如，在图中，用箭头 P1 来表示从由 p 型柱体层 12 和 n 型柱体层 11 形成的 pn 结界面向 p 型柱体层 12 侧延伸的耗尽层的方向，用箭头 N1 来表示从该 pn 结界面向 n 型柱体层 11 侧延伸的耗尽层的方向。

[0057] 但是，位于 SJ 构造 100 最外周的 p 型柱体层 12a，与杂质浓度低于 p 型柱体层 12a 的杂质浓度的高电阻层 15 相邻。因此，耗尽层难以从由 p 型柱体层 12a 和高电阻层 15 形成的 pn 结界面延伸到 p 型柱体层 12a 侧。

[0058] 例如，在图中，用箭头 P2 来表示从由 p 型柱体层 12a 和高电阻层 15 形成的 pn 结界面向 p 型柱体层 12a 侧延伸的耗尽层的方向，用箭头 N2 来表示从该 pn 结界面向高电阻层 15 侧延伸的耗尽层的方向。

[0059] 有关高电阻层 15，由于高电阻层 15 自体的杂质浓度低，所以从 pn 结界面开始的耗尽层容易延伸。因此，表示耗尽的延伸的箭头 N2 的长度，表记为比箭头 N1、P1 的长度还

长。但是，存在从由 p 型柱体层 12a 和高电阻层 15 形成的 pn 结界面向 p 型柱体层 12a 侧延伸的耗尽层，变得比向 p 型柱体层 12 内延伸的耗尽层难以延伸的可能性。同样的现象，也可以在位于 SJ 构造 100 最外周的 n 型柱体层 11a 内发生。

[0060] 为了消除该现象，在参考例中，使开口部 420a、410a 的面积小于开口部 420、410 的面积，来形成杂质浓度低于 p 型柱体层 12（或 n 型柱体层 11）的 p 型柱体层 12a（或 n 型柱体层 11a）。由此，在 p 型柱体层 12a 及 n 型柱体层 11a 中，耗尽层变得也容易延伸，半导体元件的终端区域成为高耐压。

[0061] 例如，将 SJ 构造的最外周的 p 型柱体层 12a（或 n 型柱体层 11a）的杂质浓度调整为 p 型柱体层 12（或 n 型柱体层 11）的杂质浓度的大概一半，而调整成在 p 型柱体层 12a（或 n 型柱体层 11a）中，耗尽层也变得容易延伸。

[0062] 但是，掩模的开口部的面积变得越小，则开口部的面积的偏差变得越大。例如，将开口部的“宽度”，定义为从与漏层 10 的主面垂直的方向看时的开口部的宽度。

[0063] 在开口部的宽度的偏差为 ±0.1μm 的情况下，开口部的一边的长度为 2μm 时的开口部的面积的偏差约为 ±10％左右，与之相对，若开口部的一边的长度为 1μm 时，则开口部的面积的偏差变为 ±20％左右。

[0064] 因此，在参考例中，存在 p 型柱体层 12a 的杂质量的偏差及 n 型柱体层 11a 的杂质量的偏差变大，在 SJ 构造的最外周，耐压下降的可能性。

[0065] 与之相对，在第 1 实施方式中，通过以下所示的方法，形成 SJ 构造 80A。

[0066] 图 4 是第 1 实施方式涉及的用于形成超级结构造的掩模图形的平面示意图。

[0067] 第 1 实施方式涉及的掩模图形 40 在形成如图 1 所示的区域 90 时使用。在图 4 中，示出掩模图形 40 的最外周附近的样子。在离子注入时，杂质经由掩模图形 40 的开口部选择性地注入半导体层。在图 4 中，为了便于说明，合并示出用于注入 n 型杂质的开口部 41、41a 和用于注入 p 型杂质的开口部 42、42a。在实际的掩模中，向半导体层注入 n 型杂质时，仅设有开口部 41、41a，在向半导体层注入 p 型杂质时，仅设有开口部 42、42a。

[0068] 在掩模图形 40 中，开口部 41、41a、42、42a 分别呈点状地周期性配置。开口部 41a 的位置对应于在 SJ 构造 80A 的最外周配置的 n 型柱体层的位置。开口部 42a 的位置对应于在 SJ 构造 80A 的最外周配置的 p 型柱体层的位置。开口部 41、42 分别对应于在 SJ 构造 80A 的最外周以外配置的 n 型柱体层、p 型柱体层。开口部 41、41a、42、42a 各自的面积大致相同。

[0069] 掩模图形 40 的最外周的周期构造对应于 SJ 构造 80A 的最外周。掩模图形 40 的最外周以外的周期构造对应于 SJ 构造 80A 的最外周以外的周期构造。掩模图形 40 的最外周的周期构造不同于掩模图形 40 的最外周以外的周期构造。

[0070] 例如，在 X 轴方向上，开口部 41a 的周期是开口部 42 的周期的 2 倍。在 Y 轴方向上，开口部 42a 的周期是开口部 41 的周期的 2 倍。而且，在 X 轴方向上，开口部 41a 的一部分被插入相互对置的开口部 42 之间。在 Y 轴方向上，开口部 42a 的一部分被插入相互对置的开口部 41 之间。

[0071] 开口部 41a 及其内侧的开口部 41 的间隔设置得窄于在 Y 轴方向上相邻的开口部 41 的间隔。而且，开口部 42a 及其内侧的开口部 42 的间隔设置得窄于 X 轴方向上相邻的开口部 41 的间隔。

[0072] 而且，在图 4 中，示出元件区域 1a 中的单位单元 43 的区域和最外周单位单元 44X、44Y 的区域。在掩模图形 40 中，单位单元 43 内的开口部 41 的面积和开口部 42 的面积大致相同。而且，在掩模图形 40 中，X 轴方向上的最外周单位单元 44X 内的开口部 41a 的面积和开口部 42 的面积大致相同。而且，在掩模图形 40 中，Y 轴方向上的最外周单位单元 44Y 内的开口部 42a 的面积和开口部 41 的面积大致相同。

[0073] 在第 1 实施方式中，将单位单元 43 和最外周单位单元 44X、44Y 进行组合，而使最外周的开口部 41a、42a 各自的面积和最外周以外的开口部 41、42 各自的面积大致相同。由此，在第 1 实施方式涉及的掩模图形 40 中，各个开口部的面积的偏差被抑制。

[0074] 若使用这样的掩模图形 40 实施离子注入，则在单位单元 43 内及最外周单位单元 44X、44Y 内，n 型柱体层的杂质浓度和 p 型柱体层的杂质量变得大致相同。

[0075] 图 5 示出使用掩模图形 40 形成 SJ 构造 80A 时的示意性平面形状。

[0076] 图 5 是第 1 实施方式涉及的超级结构造的平面示意图。

[0077] 图 1(b) 的剖面示意图对应于例如图 5 的 α’-β’的位置。

[0078] 在图 5，为了使各柱体层的位置和掩模图形的各开口部的位置的对应清晰，而在 n 型柱体层 11、p 型柱体层 12 等之外，还示出掩模图形 40 涉及的开口部 41、42 等。而且，在图 5 中，示出元件区域 1a 中的单位单元 43 和最外周单位单元 44X、44Y。

[0079] 如图 5 所示，单位单元 43 内的 n 型柱体层 11 的面积和 p 型柱体层 12 的面积大致相同。再者，在最外周单位单元 44X 内，n 型柱体层 11a 的面积和 p 型柱体层 12 的面积也大致相同，在最外周单位单元 44Y 内，p 型柱体层 12a 的面积和 n 型柱体层 11 的面积也大致相同。即，在各单位单元 43 及各最外周单位单元 44X、44Y 中，n 型柱体层的杂质量和 p 型柱体层的杂质量大致相同。

[0080] 在第 1 实施方式涉及的 SJ 构造 80A 中，从与漏层 10 的主面垂直的方向看，n 型柱体层 11、11a 和 p 型柱体层 12、12a 呈点状地配置。SJ 构造 80A 的最外周的周期构造不同于最外周以外的 SJ 构造 80A 的周期构造。例如，X 轴方向上的 SJ 构造 80A 的最外周的周期构造不同于 Y 轴方向上的 SJ 构造 80A 的最外周的周期构造。

[0081] 具体而言，在 X 轴方向上，在设有开口部 41a 的地方，形成 n 型柱体层 11a。n 型柱体层 11a 位于 SJ 构造 80A 的最外周。在 SJ 构造 80A 侧，p 型柱体层 12 与 n 型柱体层 11a 相邻。n 型柱体层 11a 被设置在相互对置的 p 型柱体层 12 之间。而且，在与 SJ 构造 80A 侧相反一侧，高电阻层 15 与 n 型柱体层 11a 和 p 型柱体层 12a 相邻。

[0082] 在 Y 轴方向上，在设有开口部 42a 的地方，形成 p 型柱体层 12a。p 型柱体层 12a 位于 SJ 构造 80A 的最外周。在 SJ 构造 80A 侧，n 型柱体层 11 与 p 型柱体层 12a 相邻。p 型柱体层 12a 设置在相互对置的 n 型柱体层 11 之间。而且，在与 SJ 构造 80A 侧相反一侧，高电阻层 15 与 p 型柱体层 12a 和 n 型柱体层 11 相邻。

[0083] 而且，在第 1 实施方式中，X 轴方向的最外周单位单元 44X 的图形不同于 Y 轴方向的最外周单位单元 44Y 的图形。例如，SJ 构造 80A 的最外周的 n 型柱体层 11a 及 p 型柱体层 12a 的任意一方的周期，为沿着该最外周的最外周以外的 SJ 构造 80A 中的 n 型柱体层 11 及 p 型柱体层 12 的任意另一方的周期的 2 倍。而且，各最外周单位单元 44X、44Y 的杂质量大致相同。

[0084] 在半导体元件 1 截止时，例如，为了使 n 型柱体层 11、11a 的电位变得高于 p 型柱体

层 12、12a 的电位，而在 p 型柱体层 12、12a 和 n 型柱体层 11、11a 之间设置电位差。然后，单位单元 43 内的 n 型柱体层 11 的杂质浓度和 p 型柱体层 12 的杂质量大致相同。因此，耗尽层分别从由 p 型柱体层 12 和 n 型柱体层 11 形成的 pn 结界面，向 p 型柱体层 12 侧及 n 型柱体层 11 侧延伸，各个 p 型柱体层 12 和各个 n 型柱体层 11 因规定的电压而完全耗尽。

[0085] 例如，在图中，用箭头 P1 来表示从由 p 型柱体层 12 和 n 型柱体层 11 形成的 pn 结界面向 p 型柱体层 12 侧延伸的耗尽层的方向，用箭头 N1 来表示从该 pn 结界面向 n 型柱体层 11 侧延伸的耗尽层的方向。由此，半导体元件 1 的元件区域 1a 保持高耐压。

[0086] 而且，如上所述，最外周单位单元 44X、44Y 内的 n 型柱体层的杂质浓度和 p 型柱体层的杂质量大致相同。因此，耗尽层也从由位于 SJ 构造 80A 最外周的 n 型柱体层 11a 和与 n 型柱体层 11a 相邻的 p 型柱体层 12 形成的 pn 结界面，分别向 p 型柱体层 12 侧及 n 型柱体层 11a 侧延伸，各个 p 型柱体层 12 和各个 n 型柱体层 11a 因规定的电压而完全耗尽。

[0087] 例如，在图中，用箭头 P1 来表示从由 p 型柱体层 12 和 n 型柱体层 11a 形成的 pn 结界面向 p 型柱体层 12 侧延伸的耗尽层的方向，用箭头 N1 来表示从该 pn 结界面向 n 型柱体层 11a 侧延伸的耗尽层的方向。同样的现象，也在位于 SJ 构造 80A 最外周的 p 型柱体层 12a 内发生。由此，半导体元件 1 的元件区域 1a 的终端 (SJ 构造 80A 的最外周) 保持高耐压。

[0088] 并且，若实际使用掩模图形 40 对半导体层实施离子注入，则，n 型柱体层 11a 和 p 型柱体层 12 之间的距离变得还短于 n 型柱体层 11 和 p 型柱体层 12 之间的距离。这是因为在掩模图形 40 中，开口部 41a 和开口部 42 之间的距离短于开口部 41 和开口部 42 之间的距离。即，n 型柱体层 11a 的杂质分布和 p 型柱体层 12 的杂质分布相互重叠。

[0089] 换而言之，位于最外周的 n 型柱体 11a 和在 Y 轴方向上相邻的 n 型柱体 11 的间隔，窄于 SJ 构造 80A 中的 n 型柱体 11 的排列节距。而且，位于最外周的 p 型柱体 12a 和在 X 轴方向上相邻的 p 型柱体 12 的间隔，窄于 SJ 构造 80A 中的 p 型柱体 11 的排列节距。

[0090] 在此，n 型柱体 11、11a 和 p 型柱体 12 及 12a 各自的位置，为各自的杂质浓度的峰值位置。另外，各柱体的杂质浓度的峰值位置分别对应于掩模图形 40 的开口部的位置。

[0091] 由此，有效的 n 型柱体层 11a 的杂质浓度比 n 型柱体层 11 减少。同样，与 n 型柱体层 11 和 p 型柱体层 12 之间的距离相比较，n 型柱体层 11 和 p 型柱体层 12a 之间的距离变短。由此，有效的 p 型柱体层 12a 的杂质浓度比 p 型柱体层 12 减少。其结果，SJ 构造 80A 的最外周与最外周以外的 SJ 构造 80A 相比较，容易完全耗尽，SJ 构造 80A 的最外周处的耐压变高。

[0092] 即，在 SJ 构造 80A 中，使位于最外周的 n 型柱体 11a 和位于其内侧的 n 型柱体 11 的间隔比 n 型柱体 11 的排列节距窄，使位于最外周的 p 型柱体 12a 和位于其内侧的 p 型柱体 12 的间隔比 p 型柱体 11 的排列节距窄。由此，可以使位于最外周的 n 型柱体 11a 及 p 型柱体 12a 的有效的杂质浓度降低，使耐压提高。

[0093] 在此，所谓“有效的杂质浓度”，是在 n 型半导体层中，从 n 型杂质浓度中抵消了 p 型杂质浓度的浓度，或者，在 p 型半导体层中，从 p 型杂质浓度中抵消了 n 型杂质浓度的浓度。

[0094] 并且，在图 4 中，虽然示出了在 X 轴方向上，开口部 41a 的一部分被插入相互对置的开口部 42 之间，在 Y 轴方向上，开口部 42a 的一部分被插入相互对置的开口部 41 之间的

形态，但也可以是开口部 41a 被夹在相互对置的开口部 42 之间、开口部 42a 被夹在相互对置的开口部 41 之间的掩模图形。使用这样的掩模图形，也可以得到同样的效果。

[0095] 这样，在掩模图形 40 中，由于开口部 41、41a、42、42a 各自的面积大致相同，所以 n 型柱体层 11a 的杂质浓度及 p 型柱体层 12a 的杂质浓度不易有偏差。因此，半导体元件 1 的耐压变得高于参考例。

[0096] （第 2 实施方式）

[0097] 图 6 是第 2 实施方式涉及的用于形成超级结构造的掩模图形的平面示意图。

[0098] 第 2 实施方式涉及的掩模图形 50 在形成如图 1 所示的区域 90 时使用。在图 6 中，为了便于说明，合并示出用于注入 n 型杂质的开口部 51、51a 和用于注入 p 型杂质的开口部 52、52a。在实际的掩模中，在向半导体层注入 n 型杂质时，仅设有开口部 51、51a，在向半导体层注入 p 型杂质时，仅设有开口部 52、52a。

[0099] 而且，在图 6 中，相同面积的开口部为一组，按每个组来分群。各组用虚线分群。括号内所示的数字为属于各群的开口部的面积的规格值。

[0100] 在掩模图形 50 中，从 SJ 构造的最外周的内侧向 SJ 构造的最外周侧（图中的箭头 91 的方向），开口部 51 的面积和开口部 52 的面积阶段性变小。例如，开口部 51 的面积和开口部 52 的面积，在 X 轴方向及 Y 轴方向上分别阶段性地变化。

[0101] 具体而言，在开口部 51 中，每个群以面积变为 1.0、0.9、0.8、0.7、0.6、0.5 那样地阶段性变小。在开口部 52 中，每个群以面积变为 1.0、0.9、0.8、0.7、0.6、0.5 那样地阶段性变小。最外周的开口部 51a、52a 的面积是 0.5。

[0102] 若使用这样的掩模图形 50 形成 SJ 构造，则为如图 7 那样。

[0103] 图 7 是第 2 实施方式涉及的超级结构造的平面示意图。

[0104] 在图 7 中，为了使各柱体层的位置和掩模图形的各开口部的对应清晰，而在 n 型柱体层 11、p 型柱体层 12 等之外，还示出掩模图形 50 涉及的开口部 51、52 等。之外，在图 7 中，使出了元件区域 1a 中的单位单元 53 的区域和最外周处的最外周单位单元 54X、54Y 的区域。

[0105] 在第 2 实施方式涉及的 SJ 构造 80B 中，各个 n 型柱体层 11 和各个 p 型柱体层 12 呈点状而周期性地配置。如上所述，掩模图形 50 的开口部的面积，从 SJ 构造 80B 的最外周的内侧向 SJ 构造 80B 的最外周侧阶段性地变小。因此，n 型柱体层 11 的杂质浓度和 p 型柱体层 12 的杂质浓度沿着 X 轴方向及 Y 轴方向而阶段性地变化。例如，从 SJ 构造 80B 的最外周的内侧向 SJ 构造 80B 的最外周侧（图中的箭头 91 的方向），n 型柱体层 11 的杂质浓度和 p 型柱体层 12 的杂质浓度阶段性地变低。

[0106] 而且，在第 2 实施方式涉及的 SJ 构造 80B 中，单位单元 53 内的 n 型柱体层 11 的面积和 p 型柱体层 12 的面积大致相同。再者，在最外周单位单元 54X 内，n 型柱体层 11a 的面积和 p 型柱体层 12 的面积大致相同，最外周单位单元 54Y 内，p 型柱体层 12a 的面积和 n 型柱体层 11 的面积也大致相同。即，在各单位单元 53 及各最外周单位单元 54X、54Y 中，n 型柱体层的杂质量和 p 型柱体层的杂质量大致相同。

[0107] 如上所述，在掩模图形 50 中，单位单元 53 内的开口部 51 和开口部 52 的面积变得大致相同。由此，在 SJ 构造 80B 中，单位单元 53 内的 n 型柱体层 11 的杂质量和 p 型柱体层 12 的杂质量变得大致相同。而且，在掩模图形 50 中，最外周单位单元 54X 内的开口部 51a

和开口部 52 的面积大致相同，最外周单位单元 54Y 内的开口部 51 和开口部 52a 的面积大致相同。由此，在 SJ 构造 80B 中，最外周单位单元 54X 内的 n 型柱体层 11a 的杂质量和 p 型柱体层 12 的杂质量变得大致相同，最外周单位单元 54Y 内的 n 型柱体层 11 的杂质量和 p 型柱体层 12a 的杂质量变得大致相同。

[0108] 即，在第 2 实施方式涉及的 SJ 构造 80B 中，在各个单位单元 53 内及各个最外周单位单元 54X、54Y 内，n 型柱体层的杂质量和 p 型柱体层的杂质量大致相同。由此，在各个单位单元 53 内及各个最外周单位单元 54X、54Y 内，n 型柱体层和 p 型柱体层被完全耗尽成为可能。其结果，第 2 实施方式涉及的 SJ 构造 80B 保持高耐压。

[0109] 而且，在第 2 实施方式涉及的 SJ 构造 80B 中，单位单元 53 内及最外周单位单元 54X、54Y 内的 n 型柱体层的杂质量和 p 型柱体层的杂质量的平衡不被打破，单位单元 53 内的杂质量从 SJ 构造 80B 的最外周的内侧向最外周侧（图中的箭头 91 的方向）阶段性地变低。由此，SJ 构造 80B 的端部的耐压变高。

[0110] 一般而言，SJ 构造 80B 的最外周越接近基层 13 的端部，SJ 构造 80B 的最外周的电场分布就越容易通过基层 13 的端部处的电场集中而被调制。若 SJ 构造 80B 的最外周的电场分布被调制，则存在 SJ 构造 80B 的端部的耐压降低的情形。

[0111] 但是，在第 2 实施方式中，预先将 SJ 构造 80B 的端部的耐压设定为高，即使 SJ 构造 80B 的最外周接近基层 13 的端部，也难以引起 SJ 构造 80B 的端部的耐压降低。从由此，可以缩短 SJ 构造 80B 的最外周到基层 13 的端部为止的多余的偏移区域，元件面积变得更小。

[0112] 而且，由于如图 7 所示的各群中所属的各个开口部的面积大致相同，所以每个群的开口部的宽度的偏差变得大致相同。其结果，SJ 构造 80B 的端部处的柱体层的杂质浓度难以存在偏差，SJ 构造 80B 的端部处的耐压降低被抑制。

[0113] （第 3 实施方式）

[0114] 图 8 是第 3 实施方式涉及的用于形成超级结构造的掩模图形的平面示意图。在图 8 中，示出元件区域 1a 中的单位单元 63 的区域和最外周单位单元 64X、64Y 的区域。

[0115] 第 3 实施方式涉及的掩模图形 60 在形成如图 1 所示的区域 90 的 SJ 构造时使用。在图 8 中，示出掩模图形 60 的最外周附近的样子。在离子注入时，杂质经由掩模图形 60 的开口部向半导体层选择性地注入。在图 8 中，为了便于说明，合并示出用于注入 n 型杂质的开口部 61、61a 和用于注入 p 型杂质的开口部 62、62a。在实际的掩模中，对半导体层注入 n 型杂质时，仅设有开口部 61、61a，对半导体层注入 p 型杂质时，仅设有开口部 62、62a。

[0116] 在掩模图形 60 中，开口部 61 配置成蜂巢状，开口部 62 被开口部 61 包围。掩模图形 60 的最外周的周期构造对应于 SJ 构造的最外周。掩模图形 60 的最外周以外的周期构造对应于 SJ 构造的最外周以外。掩模图形 60 的最外周的周期构造不同于掩模图形 60 的最外周以外的周期构造。

[0117] 例如，在掩模图形 60 的最外周，在 X 轴方向的最外周单位单元 64X 中，开口部 62a 被开口部 61 夹着。在 X 轴方向上，2 个开口部 61 和 1 个开口部 62a 形成为列。而且，在掩模图形 60 的最外周，在 Y 轴方向的最外周单位单元 64Y 中，开口部 61a 为终端，开口部 61a 形成为列。

[0118] 而且，在掩模图形 60 中，在 X 轴方向上，开口部 62a 的周期与开口部 62 的周期大

致相同。而且，在掩模图形 60 中，在 Y 轴方向上，开口部 61a 的周期与开口部 62 的周期大致相同。

[0119] 在掩模图形 60 中，单位单元 63 内的开口部 61 的面积为开口部 62 的面积的大致 2 倍。而且，在掩模图形 60 中，X 轴方向上的最外周单位单元 64X 内的开口部 61 的面积是开口部 62 的面积的大致 2 倍。而且，在掩模图形 60 中，Y 轴方向上的最外周单位单元 64Y 内的开口部 61 的面积是开口部 62 的面积的 2 倍。

[0120] 在第 3 实施方式中，将单位单元 63 和最外周单位单元 64X、64Y 进行组合，使各个最外周的开口部 61、62 的面积和各个最外周以外的开口部 61、62 的面积大致相同。由此，在第 3 实施方式涉及的掩模图形 60，各个开口部的面积的偏差被抑制。

[0121] 在使用掩模图形 60 实施离子注入时，使从开口部 62 注入到半导体层中的掺杂量 (atoms/cm^2)，为从开口部 61 注入到半导体层中的掺杂量 (atoms/cm^2) 的大致 2 倍。由此，在单位单元 63 内及最外周单位单元 64X、64Y 内，n 型柱体层 11 的杂质浓度和 p 型柱体层 12 的杂质量变得大致相同。

[0122] 若使用这样的掩模图形 60 形成 SJ 构造，则变得如图 9 所示。

[0123] 图 9 是第 3 实施方式涉及的超级结构造的平面示意图。

[0124] 在图 9 中，为了使各柱体层的位置和掩模图形的各开口部的对应变得清晰，而在 n 型柱体层 11、p 型柱体层 12 等之外，还示出掩模图形 60 涉及的开口部 61、62 等。之外，在图 9 中，示出元件区域 1a 中的单位单元 63 的区域和最外周的最外周单位单元 64X、64Y 的区域。

[0125] 在第 3 实施方式涉及的 SJ 构造 80C 中，从与漏层 10 的主面垂直的方向看，n 型柱体层 11 配置成蜂巢状。p 型柱体层 12 被 n 型柱体层 11 包围。SJ 构造 80C 的最外周的周期构造不同于最外周以外的 SJ 构造 80C 的周期构造。

[0126] 而且，SJ 构造 80C 的最外周处的 X 轴方向的 p 型柱体层 12a 的周期，与最外周以外的 SJ 构造 80C 中的 X 轴方向的 p 型柱体层 12 的周期相同。SJ 构造 80C 的最外周处的 Y 轴方向的 n 型柱体层 11a 的周期，与最外周以外的 SJ 构造 80C 中的 Y 轴方向的 p 型柱体层 12 的周期相同。

[0127] n 型柱体层 11 的配置即使为蜂巢状，也通过将 X 轴方向的最外周单位单元 64X 和 Y 轴方向的最外周单位单元 64Y 配置在 SJ 构造 80C 的最外周，而使各最外周单位单元 64X、64Y 内的杂质量大致相同，而且，掩模图形的开口面积，在元件区域 1a 和终端区域 1b，大致相同。

[0128] 在第 3 实施方式中也可以如第 2 实施方式那样，使柱体层的杂质浓度阶段性地变化，使 SJ 构造 80C 的端部的耐压变高。

[0129] 以上，参照具体例来说明实施方式。但是，实施方式不限于这些具体例。即，在这些具体例中，本领域的技术人员加以适当设计变更而成的，只要具备实施方式的特征，就包含在实施方式的范围内。如上所述的各具体例所具备的各要素及其配置、材料、条件、形状、尺寸等，不限于例示出的，还可以适当变更。

[0130] 例如，在实施方式中，说明了将第 1 导电型设为 n 型、将第 2 导电型设为 p 型的情况，但将第 1 导电型设为 p 型，将第 2 导电型设为 n 型的构造也包含在实施方式中。

[0131] 而且，虽然使用平面型栅极构造进行了说明，但使用沟槽型栅极构造形成为同样

的柱体配置，也可以得到同样的效果。

[0132] 而且，虽然示出了在终端区域表面形成保护环层的构造，但不限于终端构造，也能使用 RESURF、场板电极等其它构造来实施。

[0133] 而且，虽然使用反复进行离子注入和埋入结晶生长的工艺进行说明，但不限于 SJ 构造的形成工艺，也能使用使加速电压变化的工艺等其它工艺来实施。

[0134] 而且，如上所述的各实施方式所具备的各要素，能在技术上可能的情况下进行复合，只要是组合了这些的包含实施方式的特征就包含在实施方式的范围内。另外，实施方式的思想的范畴内，对于本领域的技术人员而言，当然明白从各种变更例及修正例所想到的，这些变更例及修正例也属于实施方式的范围。

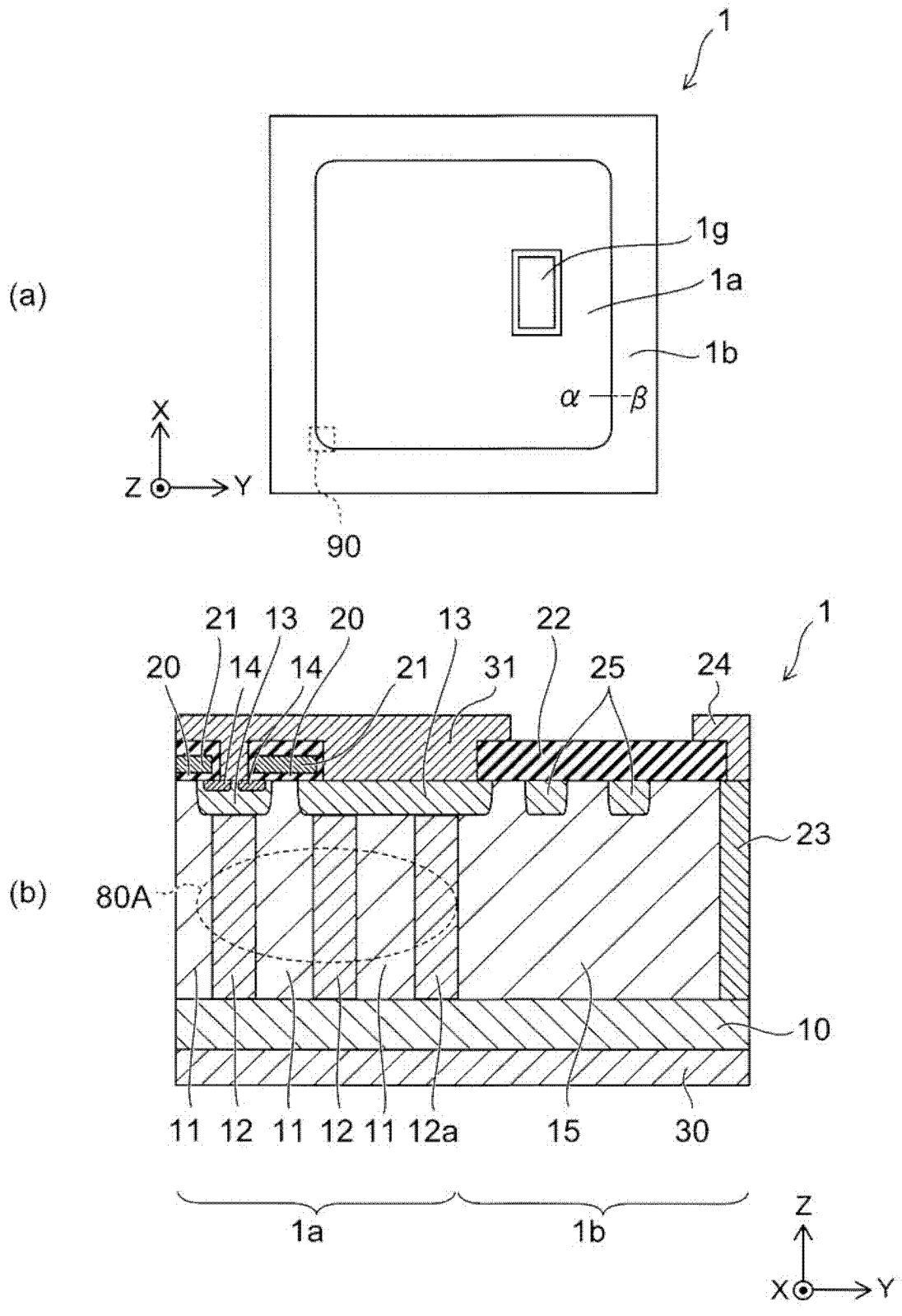

(a)
1
1g
1a
1b
α
β
X
Z
Y
90
(b)
1
21
13
20
13
22
20
14
14
21
31
25
24
23
80A
10
11
12
11
12
11
12a
15
30
1a
1b
Z
X
Y

图 1

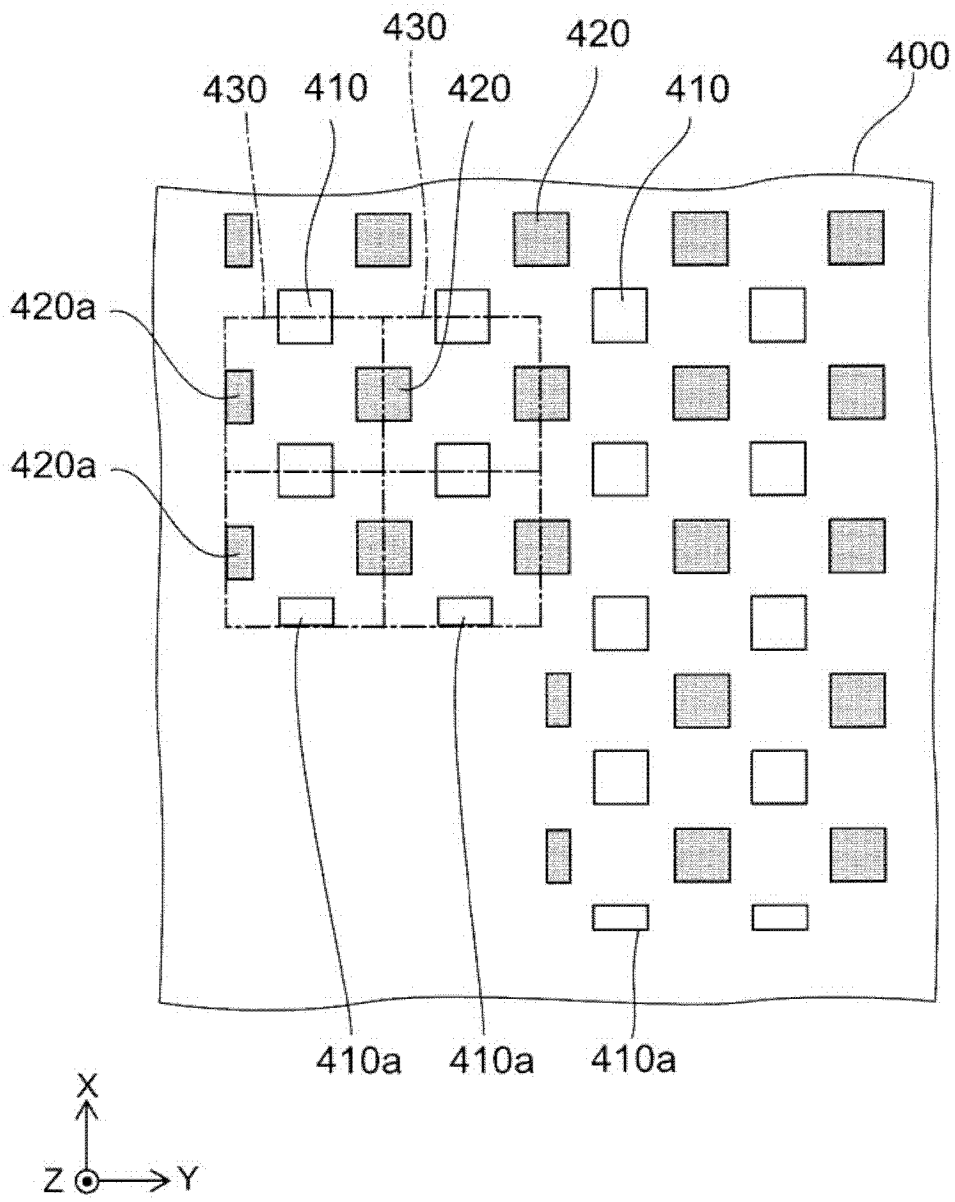


图 2

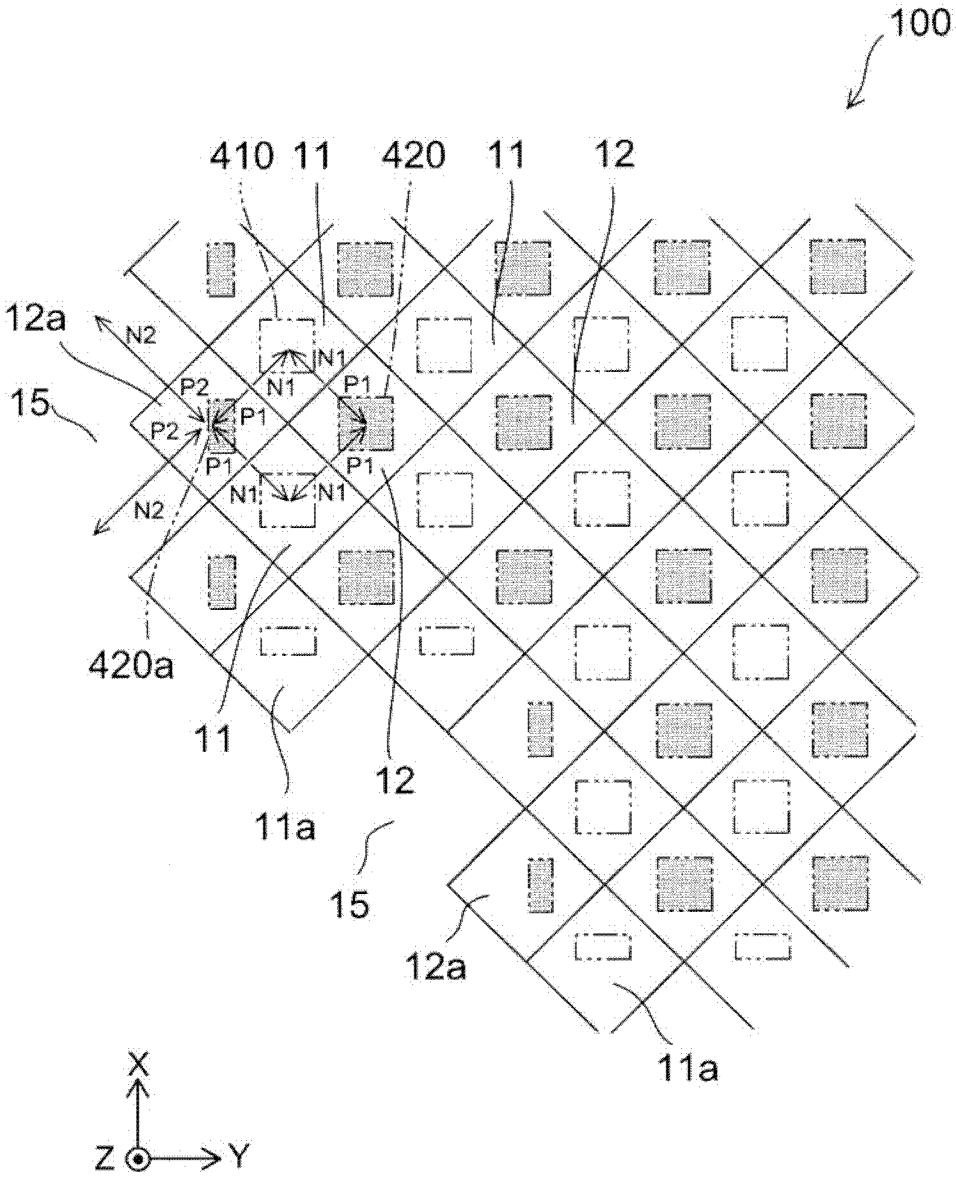

100
410
11
420
11
12
12a
N2
15
P2
P1
N1
420a
11
11a
12
15
12a
11a
X
Z
Y

图 3

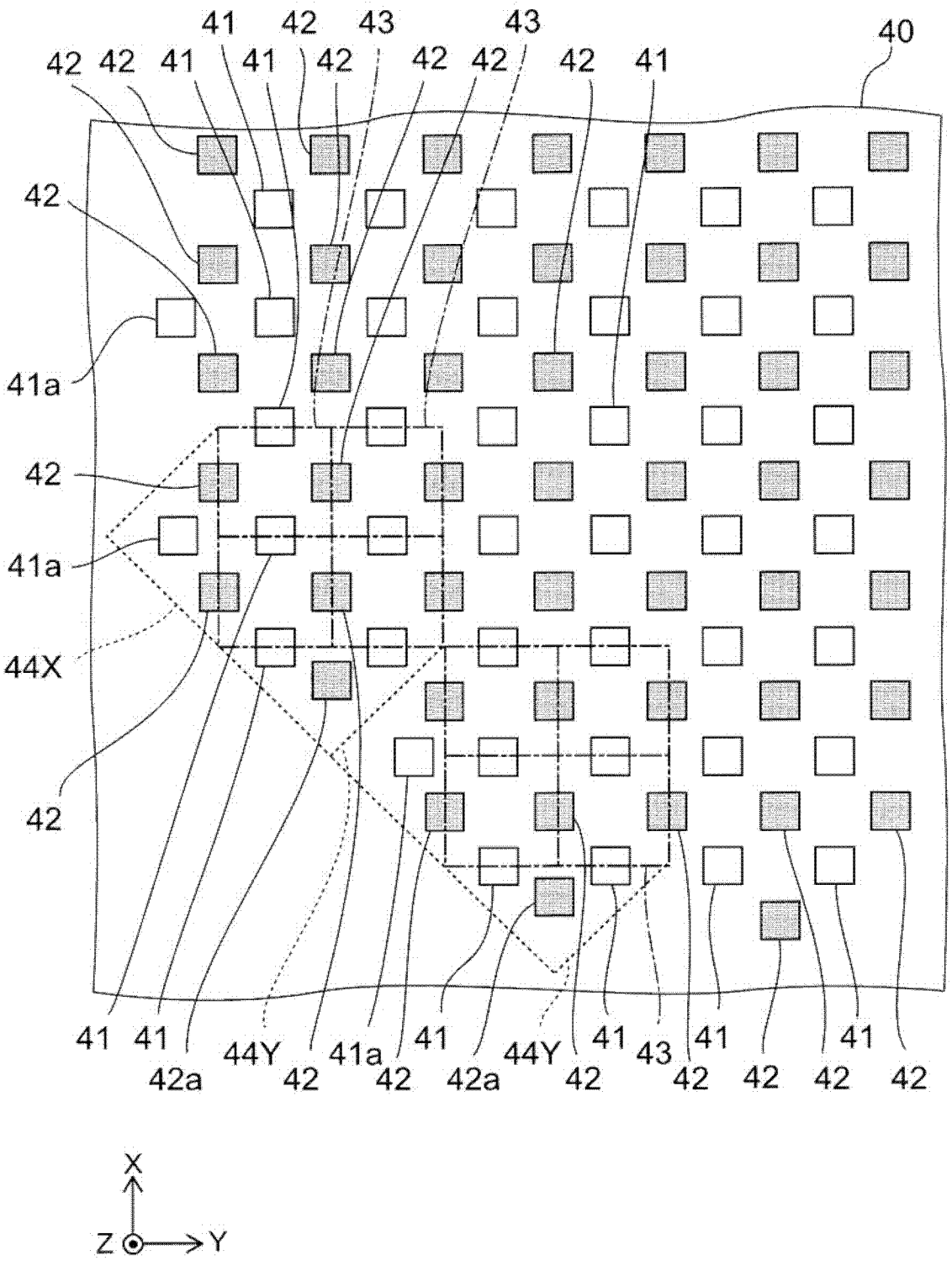

41
42
43
43
40
42
42
41
41
42
42
42
42
41
42
41a
42
41a
44X
42
41
41
42a
44Y
42
41a
42
41
42a
44Y
42
41
43
42
41
42
41
42
X
Z
Y

图 4

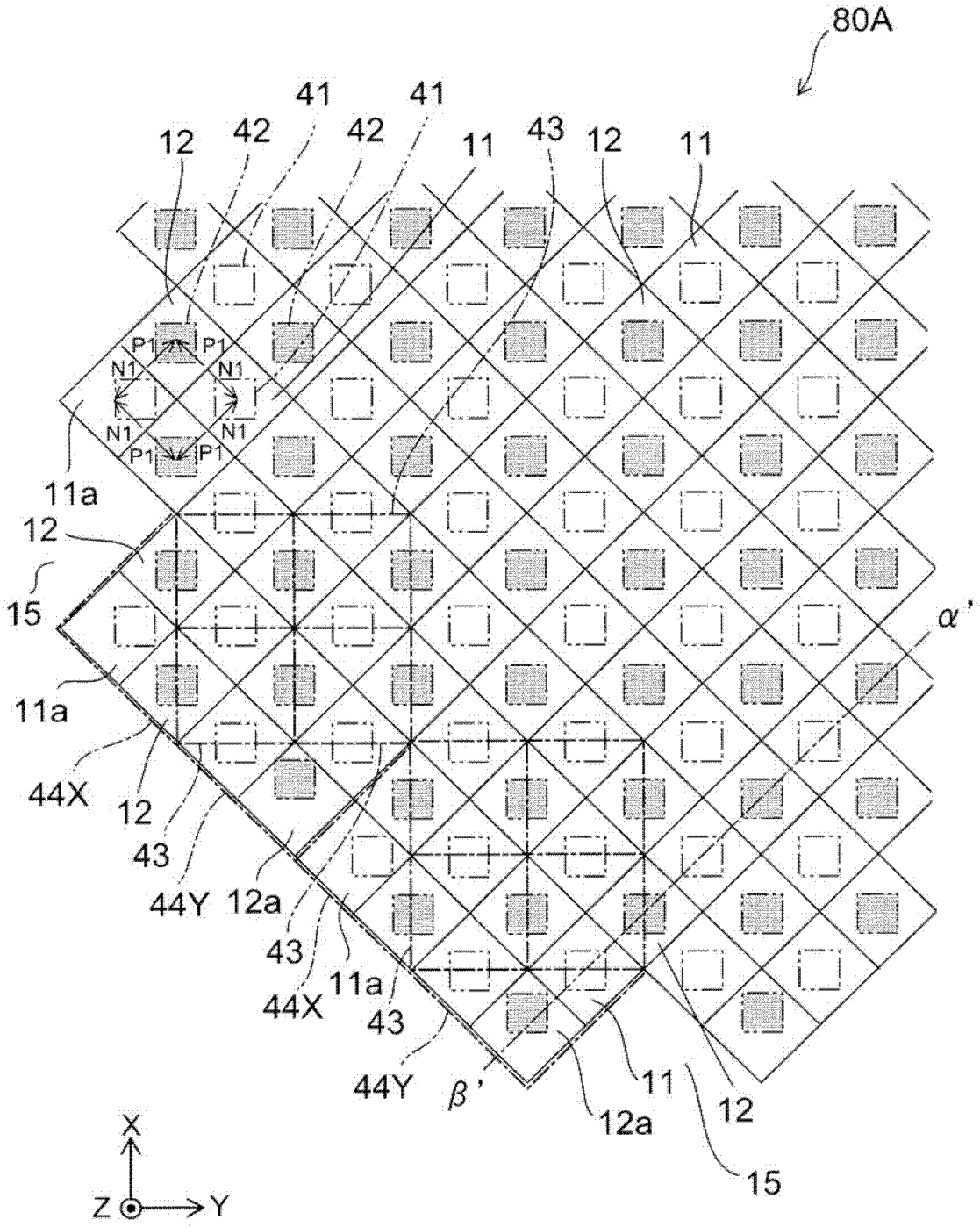

80A
41
41
12
42
42
11
43
12
11
P1
P1
N1
N1
N1
N1
P1
P1
11a
12
15
α'
11a
44X
12
43
44Y
12a
43
44X
11a
43
44Y
β'
11
12a
12
15
X
Z
Y

图 5

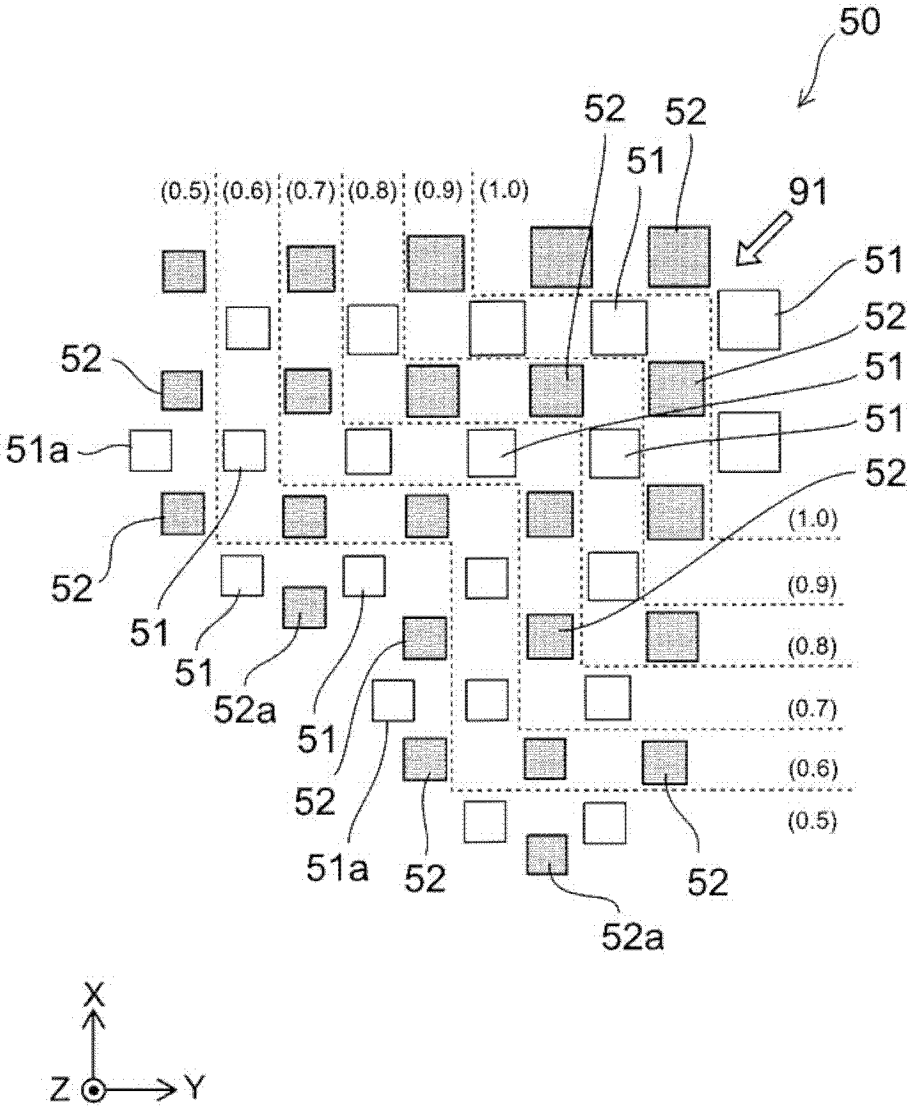

50
52
52
51
91
(0.5)
(0.6)
(0.7)
(0.8)
(0.9)
(1.0)
51
52
52
51
51
52
51a
52
51
51
52a
51
52
51a
52
52
52a
(1.0)
(0.9)
(0.8)
(0.7)
(0.6)
(0.5)
X
Z
Y

图 6

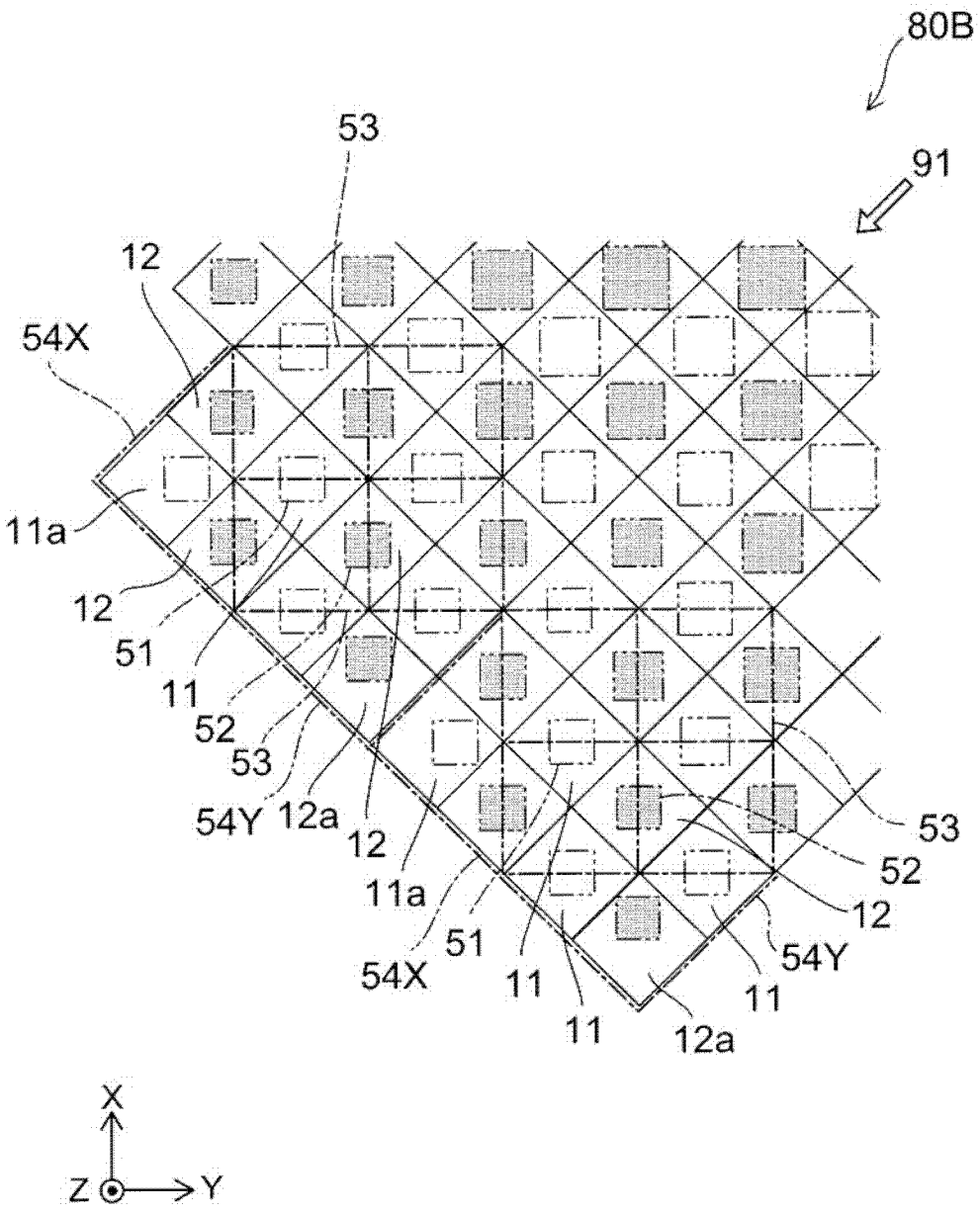

80B
91
53
12
54X
11a
12
51
11
52
53
54Y
12a
12
11a
54X
51
11
11
12a
53
52
12
54Y
11
X
Z
Y

图 7

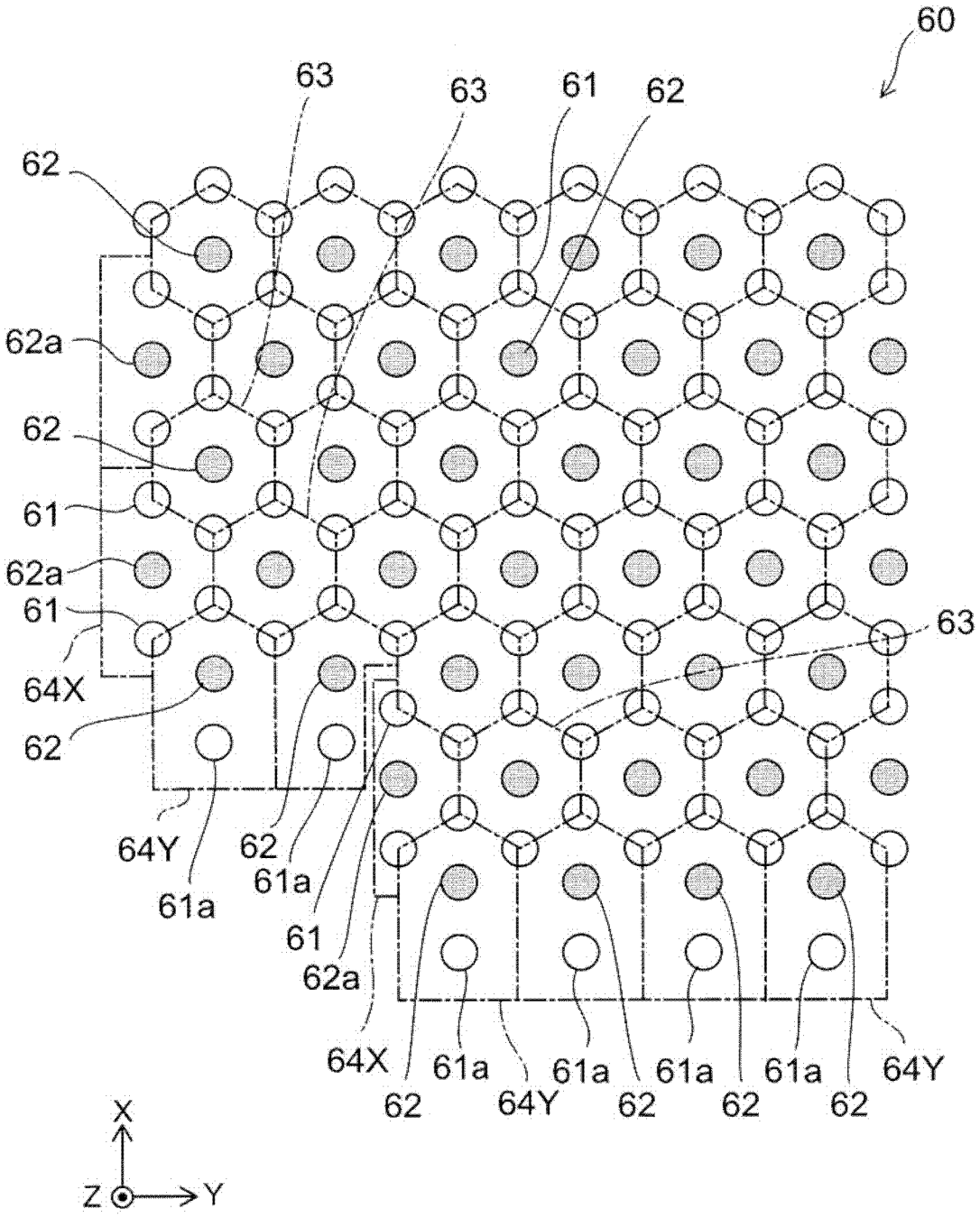

60
63
63
61
62
62
62a
62
61
62a
61
64X
62
63
64Y
62
61a
61a
61
62a
64X
61a
62
64Y
61a
62
61a
62
64Y
X
Z
Y

图 8

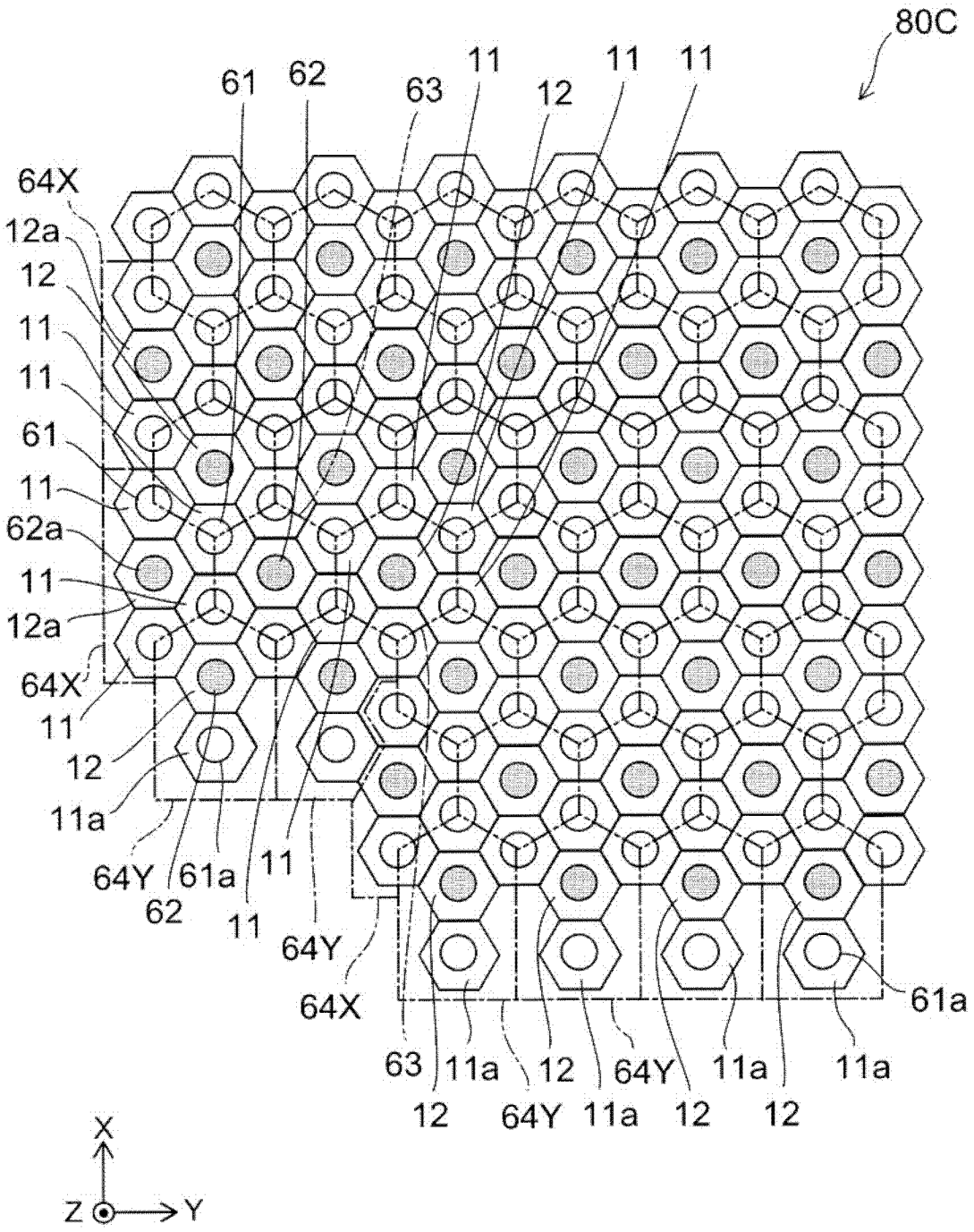

80C
61
62
63
11
12
11
11
64X
12a
12
11
11
61
11
62a
11
12a
64X
11
12
11a
64Y
61a
62
11
11
64Y
64X
61a
63
11a
12
64Y
11a
11a
12
64Y
11a
12
12
X
Z
Y

图 9