

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成23年7月21日(2011.7.21)

【公開番号】特開2009-64526(P2009-64526A)

【公開日】平成21年3月26日(2009.3.26)

【年通号数】公開・登録公報2009-012

【出願番号】特願2007-233001(P2007-233001)

【国際特許分類】

G 11 C 11/4076 (2006.01)

H 03 K 5/135 (2006.01)

G 11 C 11/407 (2006.01)

【F I】

G 11 C 11/34 354 C

H 03 K 5/135

G 11 C 11/34 362 S

【手続補正書】

【提出日】平成23年6月3日(2011.6.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の周期を有する第1のクロック信号と、

第2の周期を有し位相が互いに所定の間隔で離間している複数の第2のクロック信号からなる第2のクロック信号群と、

活性化信号と、

遅延量を設定する選択信号と、

を入力し、

前記活性化信号が活性化された時点における、前記第1のクロック信号の有効エッジを基準として、前記選択信号によって規定される、前記第1の周期の所定倍の遅延時間と、前記第2のクロック信号群の隣接クロック信号間の位相間隔に対応する時間の所定倍の遅延時間と、を合成した遅延量を遅延させたタイミング信号を出力するデジタル遅延回路を備え、前記第1の周期の所定倍は前記第1の周期の2倍以上である、ことを特徴とするタイミング制御回路。

【請求項2】

前記第1の周期をT1とし、前記第2の周期をT2として前記第2のクロック信号群を、隣接する第2のクロック信号間の位相がT2/L(但し、Lは所定の正整数)離間しているL相クロックとし、第1、第2の前記選択信号でそれぞれ規定される値を非負の整数m、nとし、前記活性化信号が活性化された時点における前記第1のクロック信号の有効エッジから前記タイミング信号の有効エッジまでの遅延時間をtdとすると、前記tdは、T1のm倍の時間m·T1と、(T2/L)のn倍の時間n·(T2/L)との和で規定される、ことを特徴とする請求項1記載のタイミング制御回路。

【請求項3】

前記デジタル遅延回路において、

前記活性化信号が活性化された時点における前記第1のクロック信号の有効エッジから、m·T1の遅延量で疎調タイミング信号を出力する疎調遅延回路と、

前記活性化信号の活性化されたタイミングでの前記第1のクロック信号の有効エッジと、同時または直後のタイミングに有効エッジを持つ1つの前記第2のクロック信号を前記第2のクロック信号群の中から検出した結果に基づき、前記活性化信号の活性化されたタイミングにおける前記第1のクロック信号の有効エッジから、mサイクル目に前記疎調タイミング信号の有効エッジと同一タイミングの有効エッジを持つ2つ目の前記第2のクロック信号を前記第2のクロック信号群の中から選択し、

前記第2のクロック信号群の中から選択された前記2つ目の前記第2のクロック信号が、L相の微調クロック群におけるL相クロック信号の第1相クロック信号に位置するよう前記第2のクロック信号群を並び替えることで、L相の微調クロック群を生成し、

前記生成されたL相の微調クロック群に基づき、前記疎調タイミング信号の有効エッジから、n・(T2/L)の遅延量の微調タイミング信号を出力する微調遅延回路と、

を備えている、ことを特徴とする請求項2記載のタイミング制御回路。

#### 【請求項4】

前記m、nは、レジスタにそれぞれ可変自在に記録される、ことを特徴とする請求項2または3に記載のタイミング制御回路。

#### 【請求項5】

前記第1の周期(=T1)の第1のクロック信号と、前記活性化信号と、前記レジスタからの前記第1の選択信号(値=m)とを入力し、前記活性化信号が活性化された時点における前記第1のクロック信号の有効エッジから、m・T1の遅延量にて、疎調タイミング信号を出力する前記疎調遅延回路と、

前記第2の周期(=T2)を有し位相がT2/L(ただし、Lは2以上の所定の整数)で離間しているL個の第2のクロック信号からなる前記第2のクロック信号群と、前記疎調遅延回路から出力される前記疎調タイミング信号と、前記レジスタからの前記第1の選択信号(値=m)、及び、前記レジスタからの第2の選択信号(値=n)と、を入力とし、

前記第2のクロック信号群の中から選択し、

前記L相の微調クロック群を生成し、

前記微調タイミング信号を出力する前記微調遅延回路と、

を備えている、ことを特徴とする請求項3記載のタイミング制御回路。

#### 【請求項6】

前記疎調遅延回路は、

入力されるシフトクロックに応答して固定値を順次後方に転送するシフトレジスタと、前記第1のクロック信号と前記活性化信号を入力し、前記活性化信号が活性状態のとき、前記第1のクロック信号を伝達出力し、前記活性化信号が非活性状態のとき、前記第1のクロック信号をマスクするゲート回路と、

を備え、

前記ゲート回路から出力されるクロック信号が、前記シフトクロックのシフトクロックとして用いられ、

前記ゲート回路からのクロック信号が入力端に共通に接続され、出力端が1つのノードに共通に接続され、前記レジスタからの前記第1の選択信号に対応して設けられた複数のスイッチを備え、

前記複数のスイッチのうち、前記レジスタからの前記第1の選択信号の値mに対応して選択されたスイッチは、前記シフトレジスタの出力に基づき、前記シフトレジスタの前記第1の選択信号に対応するm段まで前記固定値がシフトされた時点でオンとされ、

前記活性化信号が活性化された時点における前記第1のクロック信号の有効エッジから、前記第1の選択信号で選択されたmサイクル後に、前記ゲート回路からのクロック信号を前記ノードに出力し、前記疎調タイミング信号を出力する、ことを特徴とする請求項5記載のタイミング制御回路。

#### 【請求項7】

前記疎調遅延回路は、

前記第1の選択信号に対応するスイッチを、前記第1の選択信号が活性化されているとき、前記シフトレジスタの出力に基づき、前記シフトレジスタの前記第1の選択信号の値mに対応するm段まで前記固定値がシフトされた時点でオフからオンに設定し、

前記シフトレジスタにおいて前記m+1段まで前記固定値がシフトされた時点で、オンからオフに設定し、

前記第1の選択信号が非活性化状態のとき、オフとする回路を備えている、ことを特徴とする請求項6記載のタイミング制御回路。

#### 【請求項8】

前記疎調遅延回路は、

前記複数のスイッチの出力端が共通に接続される前記ノードの信号をバッファして前記疎調タイミング信号を出力するバッファ回路を備え、

前記バッファ回路は、前記ノードの信号を入力する反転回路を備え、前記反転回路の出力が第1の論理値のとき、前記ノードを第2の論理値に対応する電位の端子に接続するスイッチを備えている、ことを特徴とする請求項6又は7記載のタイミング制御回路。

#### 【請求項9】

前記疎調遅延回路において、前記シフトレジスタには、前記ゲート回路から出力されるクロック信号を反転した信号が、前記シフトクロックとして用いられる、ことを特徴とする請求項6記載のタイミング制御回路。

#### 【請求項10】

前記微調遅延回路は、

前記第2のクロック信号群を入力し、前記第2のクロック信号群のうち、前記活性化信号が活性状態のときに入力される前記第1のクロック信号の有効エッジと同時又は直後に遷移する有効エッジを持つ前記1つの前記第2のクロック信号を前記第2のクロック信号群から検出するエッジ検出回路と、

前記エッジ検出回路からの検出信号を受け、前記第1の選択信号(値m)に基づき、前記活性化信号の活性化されたタイミングにおける前記第1のクロック信号の有効エッジからmサイクル目に前記疎調タイミング信号と同一タイミングの有効エッジを持つ前記2つの前記第2のクロック信号を前記第2のクロック信号群から選択し、前記第2のクロック信号群から選択された前記2つの第2のクロック信号が前記L相の微調クロック群におけるL相クロックの第1相クロックに位置するように位相選択信号を生成し、前記位相選択信号に基づき、前記第2のクロック信号群を並び替えて、L相の微調クロック群を生成する位相選択回路と、

前記微調クロック群に基づき(T2/L)毎に互いに異なる位相で、前記疎調タイミング信号をサンプルして得た信号から、(T2/L)のn倍の遅延に対応する信号を選択して前記微調タイミング信号として出力する遅延生成回路と、

を備えている、ことを特徴とする請求項3又は5記載のタイミング制御回路。

#### 【請求項11】

前記微調遅延回路において、前記エッジ検出回路は、

前記第2のクロック信号群を前記活性化信号が活性状態のときに入力される前記第1のクロック信号でサンプルする複数のフリップフロップと、

前記複数のフリップフロップに対応して設けられ、隣接フリップフロップの出力同士の一致を検出する、複数の一致検出回路と、

前記一致検出回路と隣の一致検出回路の出力とを受け、前記一致検出回路が一致を示し、且つ、前記隣の一致検出回路が不一致を示しているとき、活性化した検出信号を出力するゲート回路と、

を備えている、ことを特徴とする請求項10記載のタイミング制御回路。

#### 【請求項12】

前記微調遅延回路において、前記位相選択回路は、

前記エッジ検出回路からの検出信号を受け、前記第1の選択信号(値m)に基づき、前記活性化信号の活性化されたタイミングにおける前記第1のクロック信号の有効エッジ

から m サイクル目に、前記疎調タイミング信号と同一タイミングの有効エッジを持つ前記 2 つ目の第 2 のクロック信号を前記第 2 のクロック信号群から選択し、前記選択された前記 2 つ目の第 2 のクロック信号が、前記 L 相の微調クロック群における L 相クロックの第 1 相クロックとなるように位相選択信号を生成する位相演算回路と、

前記第 2 のクロック信号群の中から、前記位相選択信号に基づき、第 1 乃至第 L 相のクロック信号をそれぞれ選択する第 1 乃至第 L のセレクタと、

を備えている、ことを特徴とする請求項 1 0 記載のタイミング制御回路。

#### 【請求項 1 3】

前記微調遅延回路において、前記遅延生成回路は、

前記疎調タイミング信号を共通に入力し、入力した前記疎調タイミング信号を前記微調クロック群のそれぞれのクロック信号でサンプルするフリップフロップ群と、

前記フリップフロップ群の出力のうち前記レジスタからの前記第 2 の選択信号の値 n に対応するフリップフロップ群の出力を前記微調タイミング信号として出力する選択回路と、

を備えている、ことを特徴とする請求項 1 0 記載のタイミング制御回路。

#### 【請求項 1 4】

前記微調遅延回路において、前記遅延生成回路は、

前記フリップフロップ群のそれぞれの出力を入力し、それぞれ前記微調クロック群の各クロック信号でサンプルする別のフリップフロップ群を備え、

前記選択回路は、前記フリップフロップ群と前記別のフリップフロップ群の出力のうち前記レジスタからの前記第 2 の選択信号の値 n に対応するフリップフロップの出力を前記微調タイミング信号として出力する、ことを特徴とする請求項 1 3 記載のタイミング制御回路。

#### 【請求項 1 5】

前記微調遅延回路の前記エッジ検出回路において、

前記一致検出回路の 1 つは、対応するフリップフロップの出力信号と、隣接するフリップフロップの出力の反転信号とを入力する、ことを特徴とする請求項 1 1 記載のタイミング制御回路。

#### 【請求項 1 6】

前記微調遅延回路の前記位相選択回路において、

前記第 1 乃至第 L のセレクタの各第 1 の入力には、前記第 2 のクロック信号群の第 1 乃至第 L 相のクロック信号がそれぞれ入力され、

前記第 1 乃至第 L のセレクタの各第 2 の入力は、前記第 2 のクロック信号群の第 2 乃至第 L 相、第 1 相のクロック信号が入力され、

以下、前記第 1 乃至第 L のセレクタの各第 L の入力には、前記第 2 のクロック信号群の第 L 、第 1 乃至第 L - 1 相のクロック信号が入力され、

前記第 1 乃至第 L のセレクタは、前記位相選択信号に基づき、第 1 乃至第 L の入力の 1 つを選択して出力する、ことを特徴とする請求項 1 2 記載のタイミング制御回路。

#### 【請求項 1 7】

請求項 1 乃至 1 6 のいずれか一に記載のタイミング制御回路を有し、チップ内部のタイミングを制御する半導体記憶装置。

#### 【請求項 1 8】

請求項 1 7 に記載の半導体記憶装置において、半導体記憶装置は D R A M ( ダイナミックランダムアクセスメモリ ) であり、

前記タイミング制御回路で発生したタイミングを、

ビット線イコライズの解除、

ワード線の活性化、

センスアンプの活性化、

列選択線の活性化、

メインアンプの活性化のうちの少なくとも一つに用いることを特徴とする半導体記憶装

置。

【請求項 1 9】

チップ内部のタイミングを制御する回路として、

請求項 1 乃至 1 6 のいずれか一に記載のタイミング制御回路を有する半導体装置。

【請求項 2 0】

第 1 の周期の第 1 のクロック信号と、活性化信号と、遅延を設定する第 1 の選択信号(値 = m)とを入力し、前記活性化信号が活性化された時点における前記第 1 のクロック信号の有効エッジから、 $m \cdot$  (前記第 1 の周期)の遅延量にて第 1 のタイミング信号を出力し、

第 2 の周期を有し位相が(第 2 の周期 / L) (ただし、L は 2 以上の所定の整数)で離間している L 個の第 2 のクロック信号からなる第 2 のクロック信号群と、前記第 1 の遅延ユニットから出力される前記第 1 のタイミング信号と、前記第 1 の選択信号(値 = m)、及び、遅延を設定する第 2 の選択信号(値 = n)と、を入力とし、前記活性化信号の活性化されたタイミングでの前記第 1 のクロック信号の有効エッジと同時または直後に位置する有効エッジを持つ 1 つの前記第 2 のクロック信号を第 2 のクロック信号群の中から検出した結果に基づき、前記第 1 のクロック信号の有効エッジから m サイクル目に前記第 1 のタイミング信号の有効エッジと同一タイミングの有効エッジを持つ 2 つ目の前記第 2 のクロック信号を前記第 2 のクロック信号群の中から選択し、

前記第 2 のクロック信号群の中から選択された前記 2 つ目の前記第 2 のクロック信号が L 相の微調クロック信号群における L 相クロック信号の第 1 相クロック信号に位置するように、前記第 2 のクロック信号群を並び替えることで L 相の微調クロック群を生成し、

前記生成された L 相の微調クロック群に基づき、前記第 1 のタイミング信号の有効エッジから、 $n \cdot$  (第 2 の周期 / L) の遅延量の第 2 のタイミング信号を出力する、ことを特徴とするタイミング生成方法。

【請求項 2 1】

前記第 2 のクロック信号群から選択された前記 1 つの前記第 2 のクロック信号が、前記第 2 のクロック信号群から検出された前記 2 つ目の前記第 2 のクロック信号と同一である、請求項 3 又は 5 記載のタイミング制御回路。

【請求項 2 2】

前記第 2 のクロック信号群から選択された前記 1 つの前記第 2 のクロック信号が、前記第 2 のクロック信号群から検出された前記 2 つ目の前記第 2 のクロック信号と同一である、請求項 2 0 記載のタイミング生成方法。