

申請日期: <u>88.4.27</u>	案號: <u>88/06803</u>
類別: <u>G11C 1/06</u> , <u>G11C 1/409</u>	

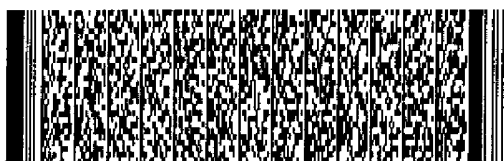
(以上各欄由本局填註)

公告本

發明專利說明書

422988

一、 發明名稱	中文	非揮發性半導體記憶裝置
	英文	NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE
二、 發明人	姓名 (中文)	1. 上久保 雅規
	姓名 (英文)	1. MASAKI UEKUBO
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人 姓名 (中文)	1. 西垣 浩司
	代表人 姓名 (英文)	1. Koji Nishigaki



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1998/04/27 特願平10-116595

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明之技術領域】

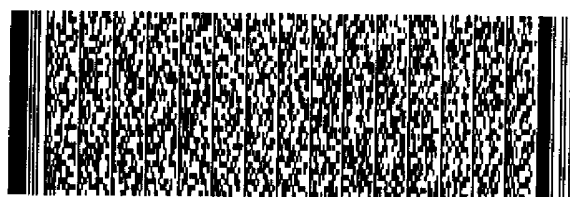
本發明係關於一種非揮發性半導體記憶裝置，尤其有關於一種電性可抹除及可程式之非揮發性半導體記憶裝置，例如快閃EEPROM。

【發明背景】

近年來，使用紫外線將儲存之資料抹除的UVPROM以及使用特殊設備將儲存之資料抹除的EEPROM(electrically erasable and programmable ROM)被廣泛的使用。因為其使用者可以電子的將其程式化，EEPROM較為容易且方便；而傳統的ROM(例如資料在製造時被當作遮罩而內建的遮罩(mask)ROM)則使用結構程式技術。然而，其程式化與抹除的可靠度一般而言低於ROM。亦即可輕易的進行程式確認，在將電荷充到浮動閘以程式化後，不會發生輸出現象；而進行抹除確認以確定安全時，在將電荷從浮動閘放電時，存在特定的輸出，此為重要因素。

圖1顯示一此等非揮發性半導體記憶裝置的習知範例。此非揮發性半導體記憶裝置揭露於日本特開平5-36288的專利案中(1993)。記憶單元電晶體TC00等的讀出透過一Y閘電晶體段落B2被引到一負載電晶體段落B4，而一虛電晶體TRD0等透過連接部B3被引到一虛負載電晶體段落B5。

負載電晶體段落B4、虛負載電晶體段落B5、及一微分放大器B6構成一感應放大器。當降壓信號線PD(power-down signal line)在操作中變成"L"時，來自

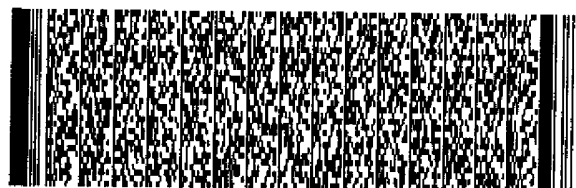
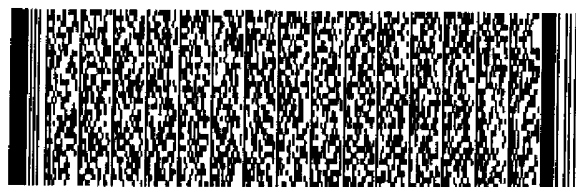


五、發明說明 (2)

負載電晶體段落B4的輸入IN1以及來自虛負載電晶體段落B5的輸入IN2之間的差值被微分放大器B6輸出放大。在虛負載電晶體段落B5中，虛負載電晶體TL1與TL2平行連接於電源電壓Vcc與虛電晶體TRD0等輸出之間。因此，虛負載電晶體TL1與TL2的等值電阻值相當於負載電晶體段落B4側之虛電晶體TL0之等值電阻值的一半。此處因為記憶單元電晶體TC00與虛電晶體TRD0的閘極連接到一相同的字元線X0，其具有相同的電流驅動電壓。此外，因為在閘極電壓控制電路B7中，讀取棒信號線#R為"L"，同樣適用於一參考電晶體TR。因此，在IN1被讀出為"1"與IN1被讀出為"0"之間，輸入IN2輸出一中間電壓，此代表一適當的參考電壓被施加於微分放大器B6。同時，"0"代表程式化而"1"代表抹除。

接下來，在程式辨認時，因為讀取棒信號線#R為"H"，由電晶體TG0與下降側TG1等的比例所定義之低電壓被供應到一參考電晶體閘極線XR。因此，因為其具有比記憶單元電晶體TC00更低的閘極電壓，參考電晶體TR具有較低的電流驅動電壓。因此，輸入IN2的值較上述在IN1被讀出為"1"與IN1被讀出為"0"之間的中間電壓更為接近當讀出為"0"時的電壓。因此，判斷資料被程式化為"0"的判斷非常嚴苛，因而需要確認已執行足夠的程式化。

然而，在上述習知非揮發性半導體記憶裝置中，參考電晶體TR的臨限電壓並非於製造過程中精確的內建，在程式確認時，參考電晶體閘極線XR的電壓係依據多項元件而



五、發明說明 (3)

定，例如電晶體TR0、TG1等。此外，因為即使在確認時，虛負載電晶體TL1與TL2仍然維持並聯，其電阻為負載電晶體TL0的一半。另外，在確認時的參考電流值仍小。因此，如圖2(由1993年日本特開平5-36288之圖2而得)所示，其適用於一參考電晶體TR的電流對電壓曲線斜率和緩的區域，且具有較大離散(dispersion)的操作點。因此，在程式確認時的判斷條件較讀取時更為粗略，而缺乏精細度，成為一問題。

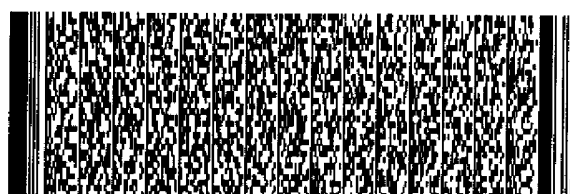
對於一般以紫外光支援進行抹除動作的EEPROM而言，上述並非重大的問題。然而，對應用於日漸普遍的個人電腦及行動電話的快閃EEPROM而言，此係一嚴重的問題。亦即此等快閃EEPROM僅能在缺乏紫外光輔助的狀況下以電子裝置進行抹除動作，因而必須使用能夠符合此等需求的裝置結構。因此，抹除動作出現不均一的情況，此在紫外光抹除中並不會發生。因而必須非常精細的進行程式。因此，除了抹除確認以外，亦須進行全面抹除確認。

【發明概述】

因此，本發明之目的在提出一種非揮發性半導體記憶裝置，其用來確認EEPROM的參考階級能夠被精確的設定。

本發明之另一目的在提出一種非揮發性半導體記憶裝置，其能夠精確的進行快閃EEPROM所需之嚴格確認。

本發明之又一目的在提出一種非揮發性半導體記憶裝置，其能夠利用簡單的裝置組成達到上述目標。



五、發明說明 (4)

依據本發明提出一種電子可抹除及程式化之非揮發性半導體記憶裝置，藉由一感應放大器比較記憶單元之輸出與一參考單元之輸出而讀出資料，其中：

該參考單元係內建，其具有一給定之臨限電壓值，及記憶單元的開電壓與參考單元的開電壓可以分別設定。

於本發明中，參考單元之臨限電壓係內建，因而在參考單元的製造過程中其具有一精確值。此值被設定為相同晶片上記憶單元進行抹除時臨限電壓的上限。此外，僅製造一個參考單元，因而其開電壓可以對於記憶單元之開電壓單獨設定。感應放大器的靈敏度在確認時係對稱的製造。因而以簡單的構造便可達到精細的確認，而有助於快閃EEPROM的可靠性。

【圖示之簡單說明】

接下來配合附圖對本發明做更詳盡的說明，其中：

圖1之電路簡圖顯示一習知非揮發性半導體記憶裝置，

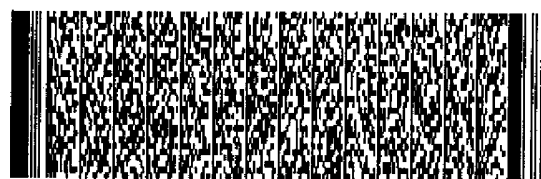
圖2顯示圖1所示之裝置中一參考電晶體在讀取與確認時電流-到-開極的電壓曲線，

圖3係用來說明本發明的概念，

圖4係用來說明快閃EEPROM之臨限電壓分布圖，

圖5之流程圖係用來說明EEPROM之程式確認，

圖6之流程圖係用來說明快閃EEPROM之抹除確認及過度抹除確認，



五、發明說明 (5)

圖7顯示本發明參考電晶體在讀取與確認時電流-到-開極的電壓曲線，

圖8之電路簡圖顯示本發明第一實施例之非揮發性半導體記憶裝置，

圖9之電路簡圖顯示圖8所示裝置中主要部分的一例，及

圖10之電路簡圖顯示圖8所示裝置中主要部分的另一範例。

【符號之說明】

- 101 記憶單元陣列
- 102 列解碼器
- 103 行解碼器
- 104 行選擇器
- 105 參考單元陣列
- 106 參考電壓產生電路
- 107 感應放大器
- 108 時間電路
- 109 比較器
- 110 確認控制電路
- 111 確認電壓轉換電路
- 112 高電壓產生電路
- 401 微分放大器
- 412 NMOS 電晶體



五、發明說明 (6)

- 417 PMOS 電 晶 體
- 431 記 憶 電 壓 產 生 電 路
- 441 記 憶 單 元
- 442 電 晶 體
- 443 電 晶 體
- 445 參 考 單 元
- 446 記 憶 單 元
- 447 電 晶 體
- 448 電 晶 體
- 451~454 PMOS 電 晶 體
- 461~464 電 阻
- 471, 472 NAND 閘
- 473 反 相 器
- 474 NAND 閘

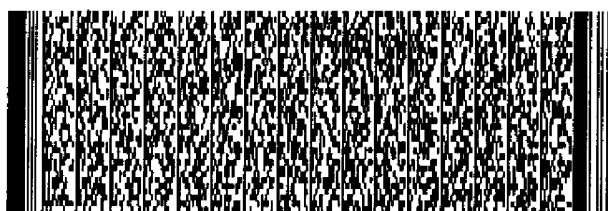
【較佳實施例之說明】

接下來針對本發明的較佳實施例進行說明。

依據本發明的非揮發性半導體記憶裝置其特徵在於其參考單元係內建，因而其具有一給定的臨限電壓值，且記憶單元的閘電壓與參考單元的閘電壓可以分開設定。

接下來參照附圖對本發明的較佳實施例進行說明。

首先初步解釋EEPROM之程式確認及抹除確認，及快閃EEPROM的過度抹除確認。在EEPROM中，程式化係藉由將電荷充電入浮動閘，而抹除係藉由從浮動閘將電荷放電而進行。然而因為製程的關係，程式化中的記憶單元(OFF單

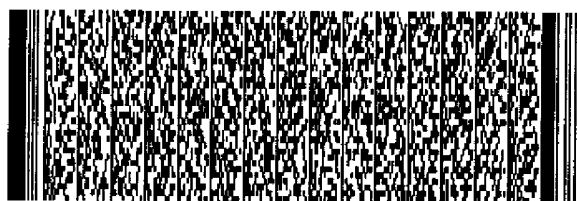


五、發明說明 (7)

元)以及抹除中的記憶單元(ON單元)之臨限電壓表現出如圖4所示之常態分布的離散現象。圖4之橫軸代表記憶單元的數目。會發生此等離散現象的原因主要在於注入或從浮動閘取出之電子的數目因為施加到控制閘之電壓或施加時間的散亂而離散，或是因為閘氧化物薄膜的薄膜厚度與閘極尺寸的散亂。

因此，為得到一高可靠度之EEPROM，必須進行程式確認，以確定程式化中之記憶單元的臨限電壓高於最低值(程式確認值)，並須進行抹除確認，以確認抹除後記憶單元的臨限電壓低於一最高值(抹除確認值)。對近年廣泛使用之快閃EEPROM而言，其程式確認及抹除確認所要求的精確度較傳統EEPROM更高，如前文所述。此外，對快閃EEPROM而言，過度抹除確認亦為必要。所謂過度抹除代表過度的抹除，因為從浮動閘過度放電，而導致即使記憶單元已經耗盡，亦即閘電壓為0伏特，汲極電流仍然流動，因而此記憶單元會被偵測為被選定，即使實際上並未被選定。因此，過度抹除確認必須確定在抹除之後記憶單元的臨限電壓高於最低值(過度抹除確認值)。

圖5係程式確認之流程圖，而圖6係抹除確認及過度抹除確認之流程圖。圖6中，在抹除之前，必須將所有的記憶單元暫時程式化。這是因為儲存"0"的記憶單元與儲存"1"的記憶單元之間注入浮動閘內之電子數量不同，當此等單元一次抹除時，其中一個單元會被過度抹除。之後，進行抹除，然後進行確認。當過度抹除確認發現到過度抹



五、發明說明 (8)

除時，藉由將少量電荷充入浮動閘以修復，而進行再程式化。

如前文所述，在快閃EEPROM中，需要三種確認階級。在各種確認中，記憶單元的開電壓與參考單元的開電壓之間的比例非常重要。假設記憶單元中用來程式確認、抹除確認、及過度抹除確認所使用的電壓分別以 V_{MW} 、 V_{ME} 、 V_{MR} 來代表，而參考單元中用來程式確認、抹除確認、及過度抹除確認所使用的電壓分別以 V_{RW} 、 V_{RE} 、 V_{RR} 來代表，假設 $V_{MW}=V_{ME}=V_{MR}$ ，參照上述各種確認的定義，可以得知 $V_{RW}<V_{RE}<V_{RR}$ 。亦即當參考記憶單元之開電壓，則記憶單元開電壓與參考單元開電壓之間的相差依照程式確認、抹除確認、及過度抹除確認的順序而增加。當以參考單元開電壓為依據時，則為相反的順序。

在許多範例中，需要三種與記憶單元之間電壓不同的參考單元。然而，因為必須花費很長的時間，不容易在製造過程中精確的內建臨限電壓。因此，在本發明中僅提供一實際的參考單元，其餘二種則為虛擬的提供於實際參考單元之上。因此，記憶單元與參考單元之開電壓得以分別設定。另外，實際參考單元之臨限電壓設定於需要非常精確的抹除確認階級。

此外，在本發明中，從上述原因中，感應放大器設計為在確認時為對稱，其中其不執行虛負載電晶體TL1與TL2同時操作，如圖1所示。因此，並不會出現參考單元電晶體之電流對開電壓曲線的斜率並不會比記憶單元者更為和

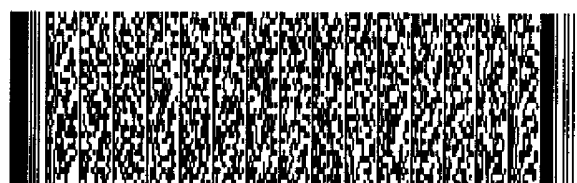
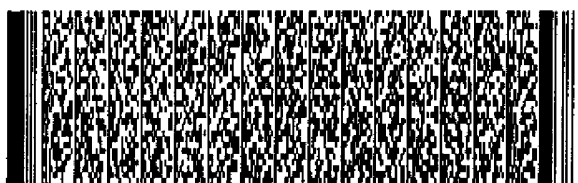


五、發明說明 (9)

緩，如圖2所示。圖7顯示在抹除確認時記憶單元電晶體之電流對閘電壓曲線(點線)及參考單元電晶體之電流對閘電壓曲線(右側之實線)，以及程式確認時參考單元電晶體之電流對閘電壓曲線(左側之實線)。圖7中所有的斜率均相同，因此可以了解在記憶單元側或參考單元側之感應放大器的靈敏度亦相同。

在上述情況下，當抹除確認時，記憶單元之閘電壓可以相等於參考單元的閘電壓。此係因為臨限電壓係精確的內建成為抹除確認階級，而從具有如圖4所示之常態分布的0N記憶單元得到，並且因為感應放大器的靈敏度亦相同。

圖8之方塊圖顯示依據本發明較佳實施例之非揮發性半導體記憶裝置。此裝置包含由一群快閃記憶單元構成之記憶單元陣列101、一列解碼器102以從記憶單元陣列101中選擇一特定記憶單元、一行解碼器103、一行選擇器104、一單一參考單元構成之參考單元陣列105、一感應放大器107以比較記憶單元之輸出與參考單元之輸出、一時間電路108以控制感應放大器107、一比較器109對於感應放大器107的輸出DOUT進行確認判斷並輸出確認判斷的結果、一確認電壓轉換電路111依據操作狀態轉換確認電壓並將其提供給列解碼器102與參考單元105、一高電壓產生電路112將一內部高電壓VPP提供給確認電壓轉換電路111、以及一確認控制電路110以控制確認電壓轉換電路111及時間電路108。同時，圖8顯示對記憶單元陣列101進



五、發明說明 (10)

行確認所需之電路，而僅使用於一般操作的電路則未顯示。

在進行記憶單元陣列101的確認時，確認控制電路110依據確認程式輸出如一確認信號、一程式模式信號、一抹除模式信號、一過度抹除模式信號等等。同時，程式化必然在程式確認之前進行，而抹除會在抹除確認與過度抹除確認之前進行，如圖5及6所示。確認電壓轉換電路111受到此等信號控制，而產生一各種確認所需要之確認信號，從高電壓產生電路112產生一內部高電壓VPP並供應到列解碼器102與參考單元陣列105。列解碼器102將確認電壓施加於一選定記憶單元閘極，而參考單元陣列105將其施加於一參考單元閘極。

雖然圖8未顯示，藉由將位址信號轉換到列解碼器102、行解碼器103、及行選擇器104，在記憶單元陣列101內所有記憶單元均進行記憶單元的選擇。另一方面，對所有記憶單元而言，參考單元則僅有一個。

感應放大器107依據來自時間電路108的感應放大器控制信號來比較記憶單元的輸出及參考單元的輸出，感應放大器輸出DOUT在比較器109進行確認判斷。在程式確認中，當記憶單元陣列101中特定記憶單元(對應到預先指定欲程式化的位址)的電流低於參考單元中的電流，確認判斷的結果為良好。同時，當判斷為不良時，則進行再程式化，且重複過度抹除確認直至高於過度抹除階級。

此確認判斷的結果輸入到確認控制電路110，而確認



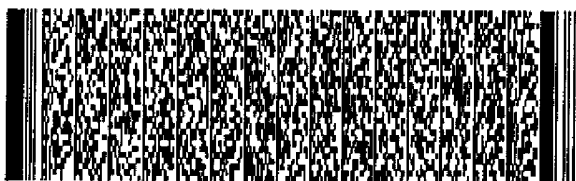
五、發明說明 (11)

控制電路110儲存此確認判斷的結果，並可顯示在CRT並輸出到印表機。

圖9顯示圖8中主要部分一特殊範例的詳細構成。記憶單元陣列101係由一 $(m+1)$ 列 $\times$ $(n+1)$ 行的記憶單元441陣列所構成，其中記憶單元為快閃記憶單元。為從字元線WL0至WLM中選擇其一，來自列解碼器102之閘電壓被提供。同時，參照數號442與443代表將確認電壓從確認電壓轉換電路111供應到字元線WL0至WLM之電晶體，並為列解碼器102之最終階段。行選擇器104從位元線BL0至BLN選擇其中之一。最後，被半選定之字元線與位元線所全選之記憶單元441的輸出被輸入到感應放大器107。

另一方面，參考單元陣列105由一內建有精確的臨限電壓之參考單元445、 m 個其汲極連接到參考單元與閘極用以接地之導線的記憶單元446、以及將確認電壓從確認電壓轉換電路111供應到參考單元445閘極的電晶體447與448所構成。同時， m 個記憶單元446使得位元線BL0到BLN與參考單元445的參考線具有相同的浮動特性，以改良讀取操作。

感應放大器107由一將記憶單元441之輸出電流在微分放大器401的左側轉換為電壓之記憶電壓產生電路431，以及一將參考單元445之輸出電流在微分放大器401的右側轉換為電壓之參考電壓產生電路106所構成。微分放大器401將記憶電壓產生電路431的電流電壓轉換器輸出VDI與參考電壓產生電路106的電流電壓轉換器輸出VREF之間的電壓



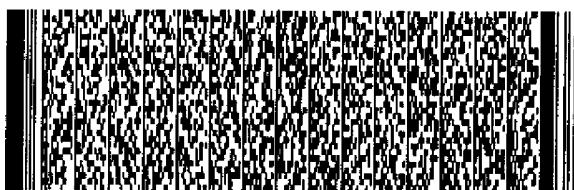
五、發明說明 (12)

差放大，然後將其做為感應放大器的輸出DOUT輸出。

此處，在一般操作時，來自參考電壓產生電路106之確認信號VERIFY並未致能(低階)，一PMOS電晶體417變成ON，藉此使二NMOS電晶體412形成並聯。當確認信號被致能時，PMOS電晶體417變成OFF，藉此使得記憶電壓產生電路431的組成變成相等於參考電壓產生電路106，且感應放大器107變成對稱。

結果，在一般操作時感應放大器107的參考電壓VREF變成在確認時電壓的一半。因此，藉由將記憶單元441與參考單元445的閘電壓設為相等，在一般操作下，感應放大器107的參考階級被設定為讀取值為"1"時記憶單元輸出與讀取值為"0"時記憶單元輸出的中間值。另一方面，在確認時，則判斷記憶單元的臨限是否高於一特定值。因為臨限電壓不易測量，故比較一特定電壓施加到閘極的電流。舉例而言，若通過記憶單元的電流(圖7之點線)少於(圖7之點線"0"， ΔIb)參考電流(圖7中右側的實線)，則判定為大於一特定臨限(ΔVb)。若電流大於(圖7之點線"1"， ΔIa)參考電流，則判定為小於一特定臨限(ΔVa)。當如同本實施例使用電壓感應型感應放大器時，可以藉由將記憶電壓產生電路431與參考電壓產生電路106設定為具有相同的電流-電壓轉換比，而達到如上文所述之藉由比較電流而進行的判斷。

圖7中左側的實線係為參考單元設定的抹除確認之參考特性曲線。當施加VWref的電壓到參考單元445的閘極



五、發明說明 (13)

時，會有IREF的電流。當施加VW的電壓到記憶單元441的閘極時，若記憶單元處於程式確認階級，會有IREF的電流通。此處電壓VW係設定為使得：

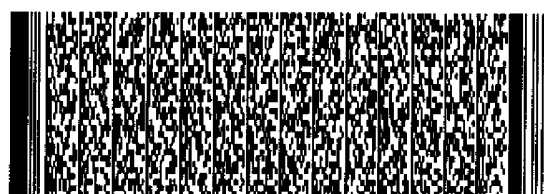
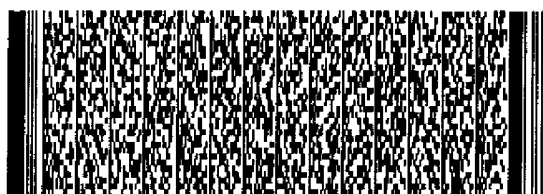
$$VW - VW_{ref} = (\text{程式確認階級}) - (\text{抹除確認階級})$$

藉由如此的設定，即使並未提供程式確認用的參考單元，程式確認階級可以利用抹除確認階級所使用之參考單元進行判斷。

同時，感應放大器107依據來自時間電路108之感應放大器致能信號SAE而開動，參照數號420與421的部份為供應固定低電壓至記憶單元陣列101與參考單元陣列105的電路。

辨認電壓開關電路111由四個用來把來自高電壓產生電路112之內部高電壓VPP分割成為 V_1 、 V_2 ，及 V_3 的電阻461到464、三個NAND閘471、472，及474、一反相器473、以及四個PMOS電晶體451到454所構成。當確認信號VERIFY被致能，電壓 V_2 被反相器473與PMOS電晶體453供應到參考單元陣列105。

此外，當程式確認信號PG被致能，電壓 V_3 被供應到記憶單元陣列101；當抹除狀態信號ER被致能，電壓 V_2 被供應；當過度抹除狀態信號DP被致能，則供應電壓 V_1 。亦即在各種確認狀態下，會有相同的電壓 V_2 供應到參考單元陣列105，而三種電壓 V_1 、 V_2 ，及 V_3 則依據狀態供應到記憶單元陣列101。在抹除確認時，電壓 V_2 被供應到記憶單元陣列101與參考單元陣列105。



五、發明說明 (14)

此處假設參考單元445之臨限電壓為 V_{TM} ，且圖4中ON與OFF單元的臨限電壓分別為 V_F 與 V_N ，在程式確認、抹除確認、過度抹除確認中，下列方程式成立：

$$f(V_1 - V_F) < f(V_2 - V_{TM})$$

$$f(V_2 - V_N) > f(V_2 - V_{TM})$$

$$f(V_3 - V_N) < f(V_2 - V_{TM})$$

其中 $f(x)$ 定義為 $I_D = f(V_C - V_{TM})$

假設 $V_{TM} = 3[V]$ ，臨限電壓 V_F (程式確認階級)最小值為 $6[V]$ ，且臨限電壓 V_N (抹除確認階級)最大值與最小值分別為 $3[V]$ 與 $1[V]$ ，可計算下列各式：

$$V_1 - 6 = V_2 - 3 \setminus V_1 = V_2 + 3$$

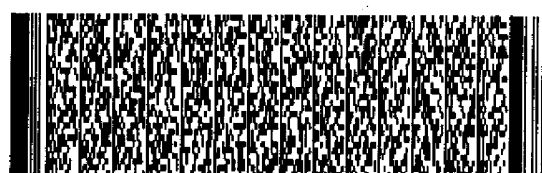
$$V_2 - 3 = V_2 - 3$$

$$V_3 - 1 = V_2 - 3 \setminus V_3 = V_2 - 2$$

因此，當 $V_2 = 5[V]$ ，可得到 $V_1 = 8[V]$ ， $V_3 = 3[V]$ 。

在本例中，當抹除確認時，記憶單元441的閘電壓 V_2 被設為 $4[V]$ ，與參考單元445相同。這是因為依據較臨限電壓 $V_{TM} = 3[V]$ 高 $1[V]$ 之閘電壓被供應到參考單元445，必須確認ON單元之臨限電壓 V_N 是否較抹除確認階級($=V_{TM}$)更低。

在程式確認時，記憶單元441的閘電壓 V_2 被設為 $4[V]$ ，參考單元445的閘電壓 V_3 被設為 $1[V]$ 。相差的 $3[V]$ 等於程式確認階級 $6[V]$ 與抹除確認階級 $3[V]$ 之間的差異。這是因為即使對於最常實施程式化且臨限電壓 V_F 為最小的OFF單元而言，仍需確保轉換到ON單元時仍有 $3[V]$ 之



五、發明說明 (15)

界限。

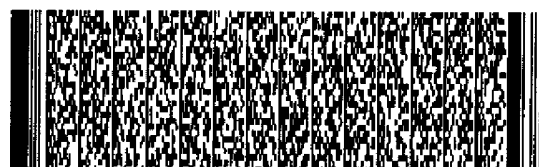
在過度抹除確認時，記憶單元441的開電壓 V_2 被設為4[V]，參考單元445的開電壓 V_1 被設為6[V]。相差的2[V]等於抹除確認階級3[V]與過度抹除確認階級1[V]之間的差異。這是因為參考單元445所輸出的電流大於所有記憶單元441，包括從抹除確認階級臨限電壓為3[V]等於參考單元445臨限電壓之ON單元，到過度抹除確認階級臨限電壓為1[V]小於抹除臨限分布寬度之ON單元。

雖然圖9之範例中參考單元445的開電壓在所有確認狀態均為常數，本發明並非限定於本實施例。若可得到上述記憶單元441之開電壓與參考單元445之開電壓之間的相對關係，電壓 V_1 、 V_2 ，及 V_3 可以為不同值。

同時，雖然為簡化圖示而未顯示，其尚包含用來轉換的裝置，以便在普通操作時將相同的開電壓供應到記憶單元441與參考單元445。

圖10顯示另一範例。在抹除確認時，記憶單元441與參考單元445的開電壓設定為 $V_3=4[V]$ 。在程式確認時，記憶單元441的開電壓設定為 $V_1=7[V]$ 且參考單元445的開電壓設定為 $V_1=4[V]$ 。在過度抹除確認時，記憶單元441的開電壓設定為 $V_3=4[V]$ 且參考單元445的開電壓設定為 $V_2=6[V]$ 。

在本範例中，類似於圖9所示的範例，在抹除確認時，記憶單元441的開電壓與參考單元445的開電壓相等。在程式確認時，記憶單元441的開電壓較參考單元445的開



五、發明說明 (16)

電壓高出程式確認階級與抹除確認階級之間的差異。在過度抹除確認時，參考單元445的開電壓較記憶單元441的開電壓高出抹除臨限分布寬度。

圖3總結此第二範例。參照圖3與顯示ON單元與OFF單元之臨限電壓分布的圖4，開電壓值的意義當能更容易明瞭。

雖然於實施例中僅顯示正電壓的電路組合，本發明可適用於正或負電壓電源的非揮發性半導體記憶裝置。

雖然本發明以實施例進行說明以及描述，然本發明專利範圍並非受限於實施例，熟習本技藝者當可輕易做出種種修改及變化。

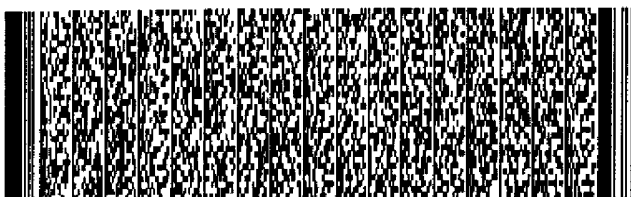


四、中文發明摘要 (發明之名稱：非揮發性半導體記憶裝置)

一種電性可抹除及可程式之非揮發性半導體記憶裝置，其中資料係藉由一感應放大器比較記憶單元的輸出與參考單元的輸出而讀出。在本裝置中，參考單元為內建，使得其具有一特定臨限電壓值，而記憶單元的開電壓與參考單元的開電壓可以分別設定。

英文發明摘要 (發明之名稱：NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE)

An electrically erasable and programmable non-volatile semiconductor storage device that data is read out comparing the output of a memory cell and the output of a reference cell by a sense amplifier. In this device, the reference cell is built in so that it has a given threshold voltage value, and the gate voltage of the memory cell and the gate voltage of the reference cell are allowed to be set independently.



六、申請專利範圍

1. 一種電性可抹除及可程式之非揮發性半導體記憶裝置，其中資料係藉由一感應放大器比較記憶單元的輸出與參考單元的輸出而讀出，其中：

該參考單元為內建，使得其具有一給定臨限電壓值，且

該記憶單元的開電壓與該參考單元的開電壓可以分別設定。

2. 如申請專利範圍第1項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

該參考單元之該臨限電壓被設定為相同晶片上記憶單元進行抹除時臨限電壓的上限值。

3. 如申請專利範圍第1項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

於確認時，該感應放大器對於記憶單元側以及參考單元側具有相同的靈敏度。

4. 如申請專利範圍第1項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

在抹除確認時，該記憶單元之開電壓被設定為相等於該參考單元之開電壓。

5. 如申請專利範圍第1項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

在程式確認時，該記憶單元之開電壓設定為相對高於該參考單元之開電壓。

6. 如申請專利範圍第1項所述之電性可抹除及可程式



六、申請專利範圍

之非揮發性半導體記憶裝置，其中：

該裝置為快閃EEPROM，且

在過度抹除確認時，該參考單元之閘電壓設定為相對高於該記憶單元之閘電壓。

7. 如申請專利範圍第5項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

該記憶單元與該參考單元之閘電壓的相對差異，可以使得在抹除確認與過度抹除確認時改變該參考單元之閘電壓而維持記憶單元閘電壓為常數。

8. 如申請專利範圍第6項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

該記憶單元與該參考單元之閘電壓的相對差異，可以使得在抹除確認與過度抹除確認時改變該參考單元之閘電壓而維持記憶單元閘電壓為常數。

9. 如申請專利範圍第5項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

該記憶單元與該參考單元之閘電壓的相對差異，可以使得在抹除確認與過度抹除確認時改變該記憶單元之閘電壓而維持參考單元閘電壓為常數。

10. 如申請專利範圍第6項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

該記憶單元與該參考單元之閘電壓的相對差異，可以使得在抹除確認與過度抹除確認時改變該記憶單元之閘電壓而維持參考單元閘電壓為常數。



六、申請專利範圍

11. 如申請專利範圍第5項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

該開電壓之間的相對差異相當於程式化時記憶單元臨限電壓的下限值與抹除時記憶單元臨限電壓的上限值之間的差異。

12. 如申請專利範圍第6項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

該開電壓之間的相對差異相當於抹除臨限分布的寬度。

13. 如申請專利範圍第2項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

該記憶單元與該參考單元之間電壓係藉由電阻分割相同電源電壓而得。

14. 如申請專利範圍第4項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

該記憶單元與該參考單元之間電壓係藉由電阻分割相同電源電壓而得。

15. 如申請專利範圍第5項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

該記憶單元與該參考單元之間電壓係藉由電阻分割相同電源電壓而得。

16. 如申請專利範圍第6項所述之電性可抹除及可程式之非揮發性半導體記憶裝置，其中：

該記憶單元與該參考單元之間電壓係藉由電阻分割相



六、申請專利範圍

同電源電壓而得。



圖式

圖 1

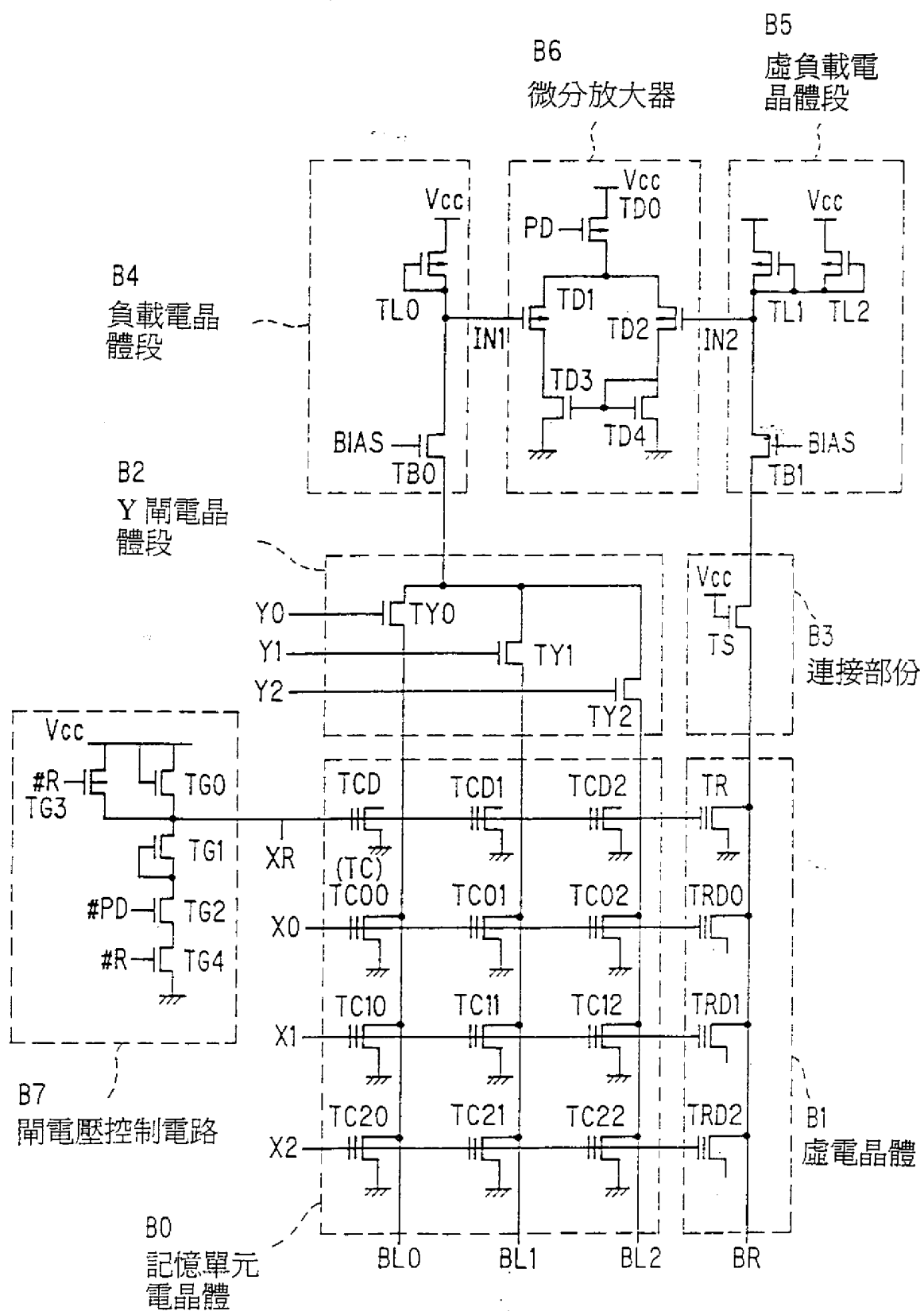
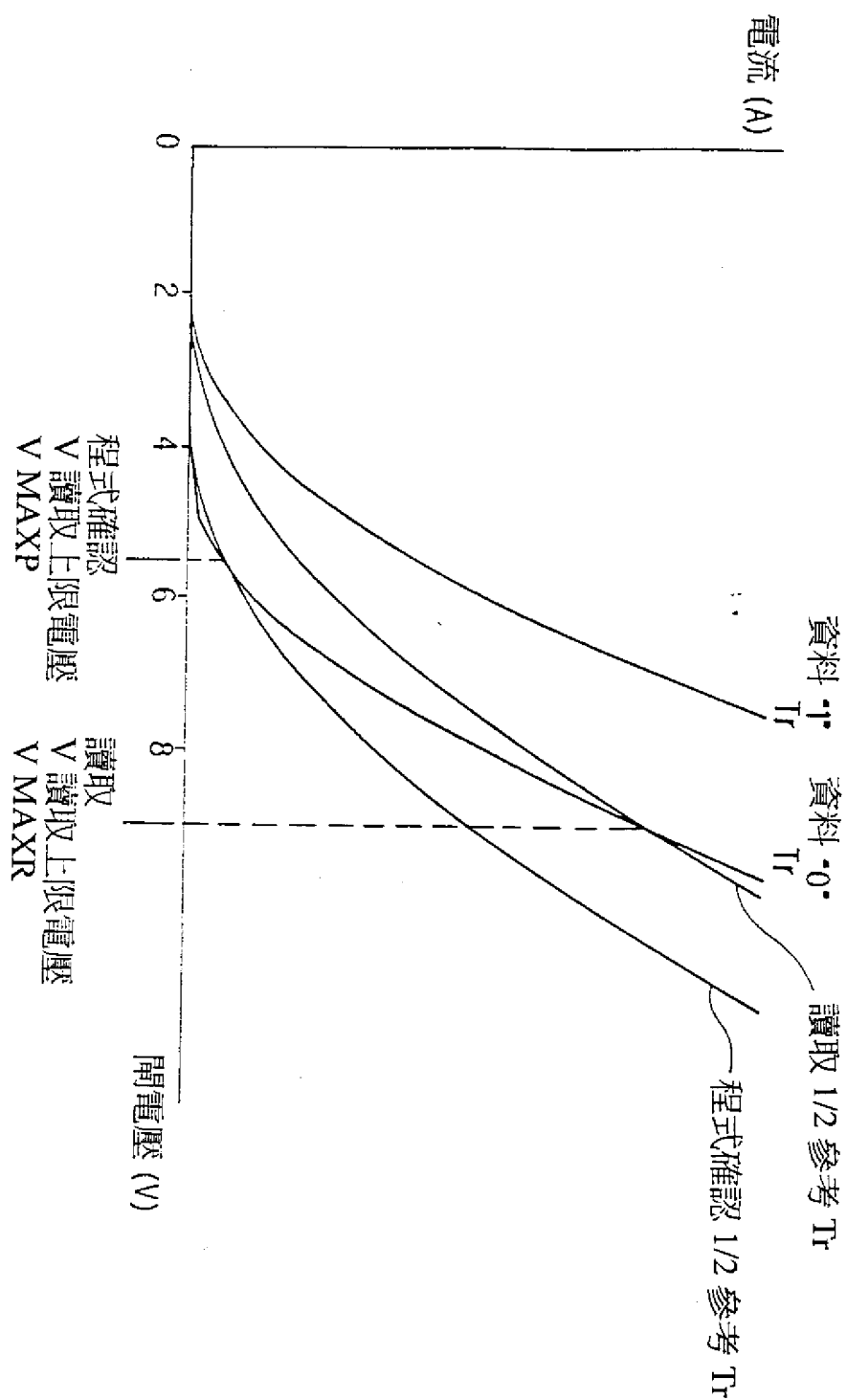
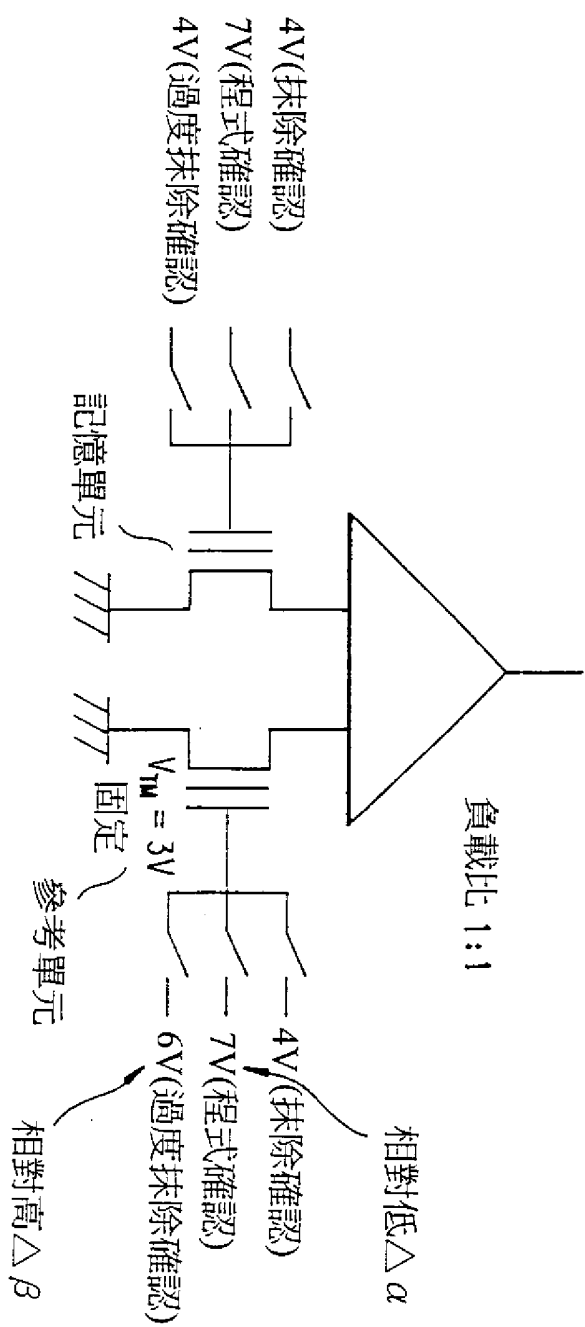


圖 2



圖式

圖 3



圖式

圖式

圖 4

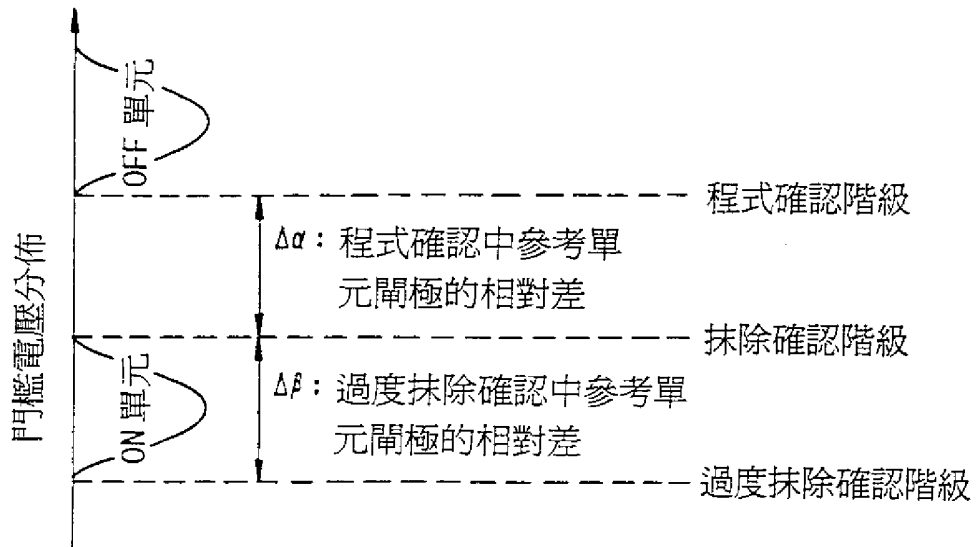
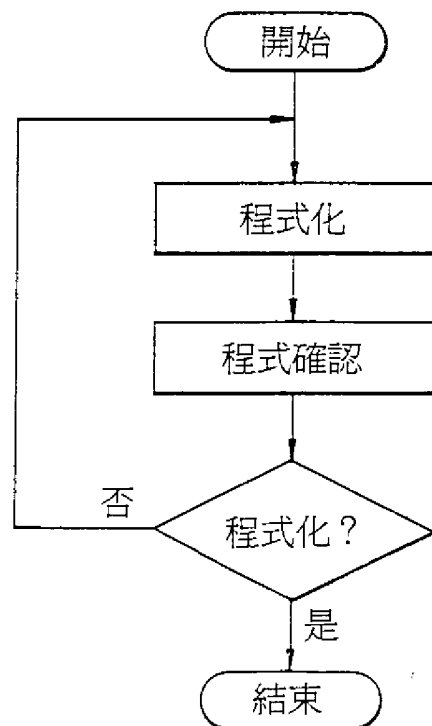
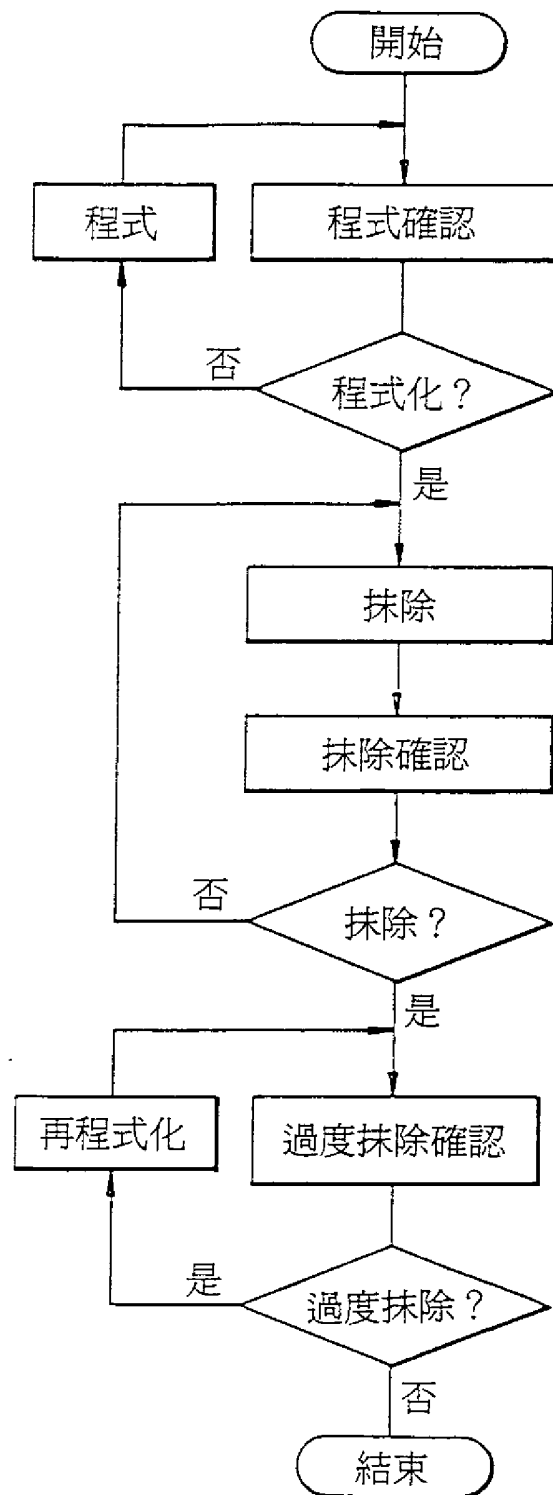


圖 5



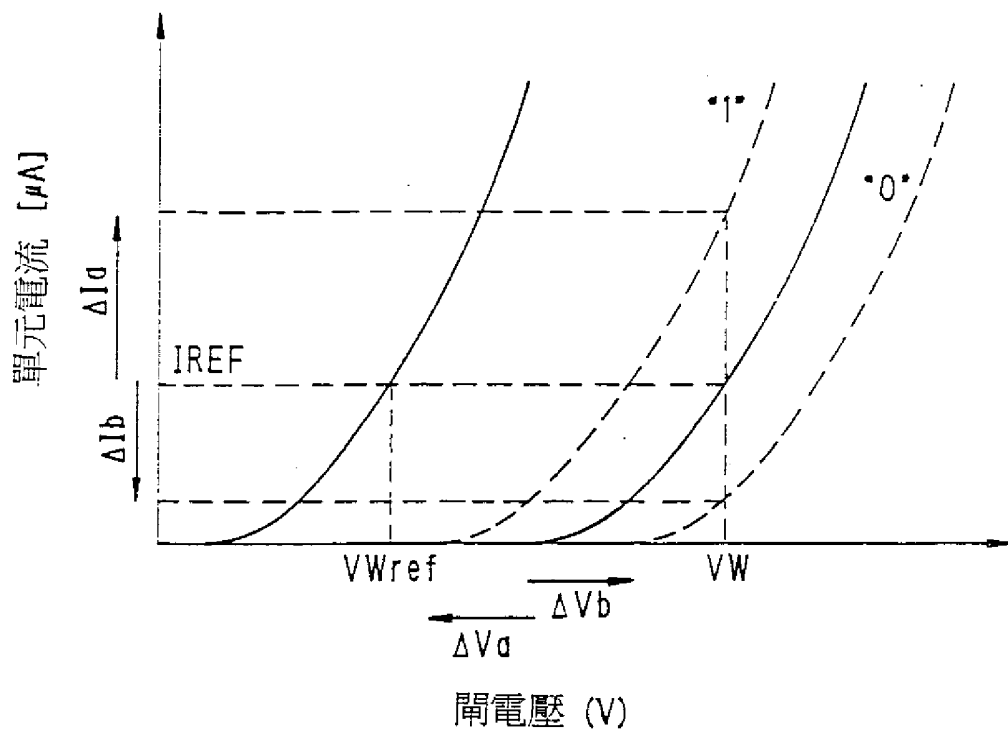
圖式

圖 6



圖式

圖 7



圖式

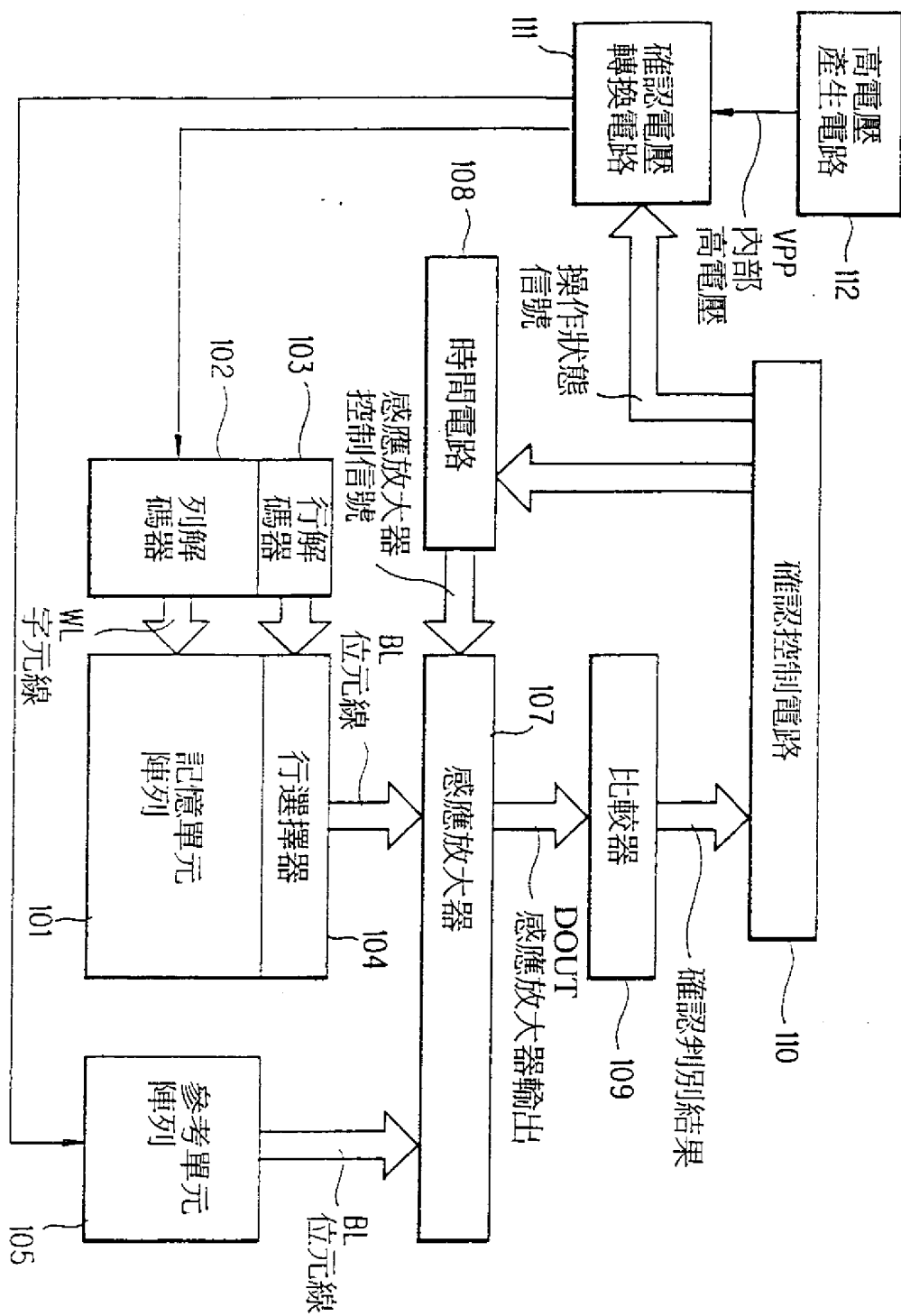


圖 8

圖式

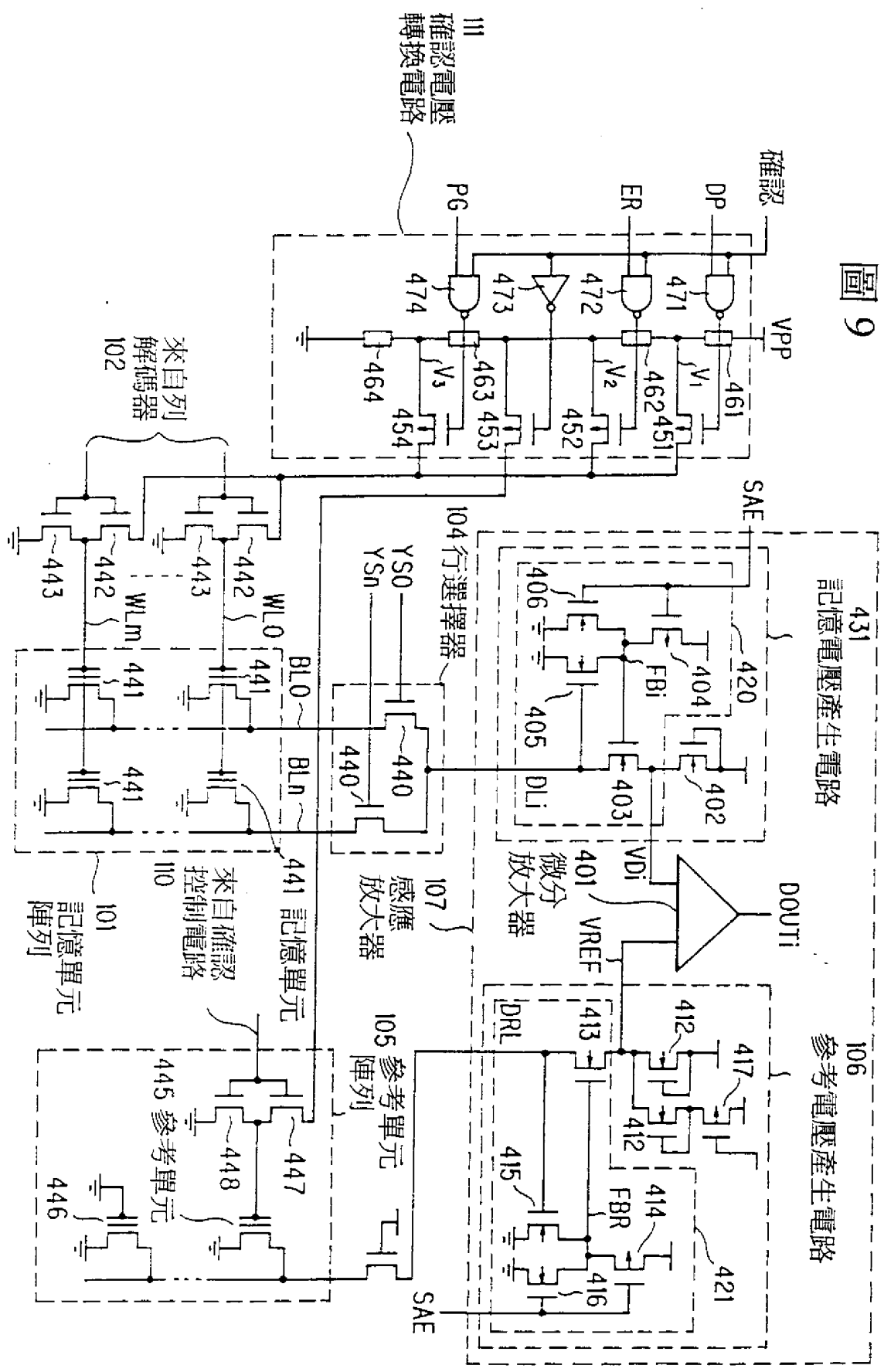


圖 9

圖式

