



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0108423
(43) 공개일자 2016년09월19일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) *G01R 31/28* (2006.01)
H04B 17/00 (2015.01) *H04L 25/02* (2006.01)
H04M 1/02 (2006.01)

(52) CPC특허분류
H04L 25/4917 (2013.01)
G01R 31/2848 (2013.01)
(21) 출원번호 10-2016-7021576
(22) 출원일자(국제) 2015년01월13일
심사청구일자 없음
(85) 번역문제출일자 2016년08월05일
(86) 국제출원번호 PCT/US2015/011142
(87) 국제공개번호 WO 2015/108847
국제공개일자 2015년07월23일
(30) 우선권주장
14/156,329 2014년01월15일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

(72) 벌명자
리상
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
미다나콜
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인코리아나

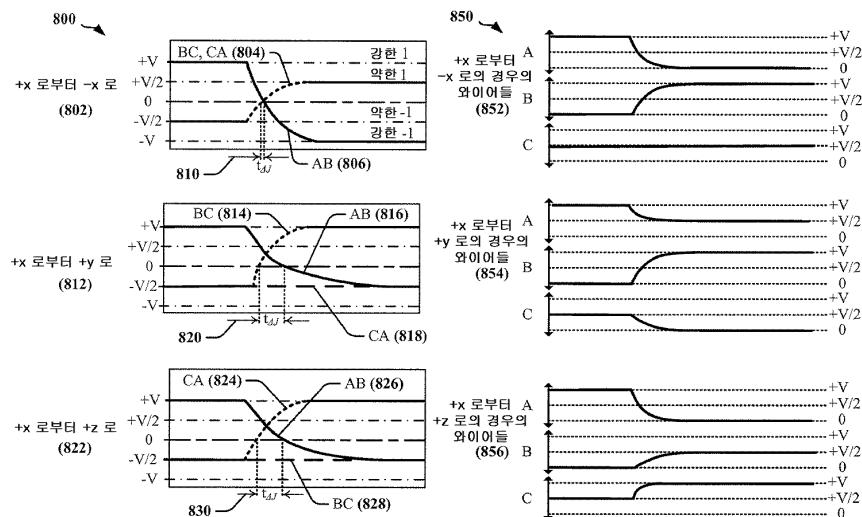
전체 청구항 수 : 총 48 항

(54) 발명의 명칭 3-위상 시그널링을 위한 아날로그 거동 모델링

(57) 요약

멀티-와이어, 멀티-위상 통신 링크에서 아날로그 거동을 모델링하는 시스템, 방법들 및 장치가 설명된다. 통신 링크에서의 물리적 연결을 표현하는 디지털 신호 및 물리적 연결을 통해 송신되는 3-위상 신호를 특성화하는 가상 신호가 생성된다. 가상 신호는 물리적 연결의 하나 이상의 아날로그 특성들을 모델링하도록 구성될 수도 있다. 아날로그 특성들은 3-위상 신호를 정의하는 전압 상태들을 포함할 수도 있다. 물리적 연결의 아날로그 특성들은 3-위상 신호의 시그널링 상태들에 대응하는 적어도 3 개의 전압 상태들을 포함한다.

대 표 도



(52) CPC특허분류

H04B 17/00 (2013.01)

H04L 25/0272 (2013.01)

H04M 1/0266 (2013.01)

(72) 발명자

라다크리쉬난 바룬

미국 92121-1714 캘리포니아주 샌디에고 모어하우

스 드라이브 5775

이 철규

미국 92121-1714 캘리포니아주 샌디에고 모어하우
스 드라이브 5775

명세서

청구범위

청구항 1

통신 링크에서의 물리적 연결을 표현하는 디지털 신호 및 상기 물리적 연결을 통해 송신되는 3-위상 신호 (three-phase signal) 를 특성화하는 가상 신호를 생성하도록 구성된 적어도 하나의 프로세싱 회로를 포함하고, 상기 가상 신호는 상기 물리적 연결의 하나 이상의 아날로그 특성들을 표현하고, 상기 아날로그 특성들은 상기 3-위상 신호를 정의하는 전압 상태들을 포함하는, 장치.

청구항 2

제 1 항에 있어서,

상기 전압 상태들은 적어도 3 개의 유효 전압 상태들을 포함하고, 각각의 전압 상태는 상기 물리적 연결과 연관된 전압 레벨에 대응하는, 장치.

청구항 3

제 2 항에 있어서,

상기 적어도 3 개의 유효 전압 상태들 중 하나는 미구동된 (undriven) 상태를 포함하고, 상기 통신 링크가 액티브 (active) 동작 모드에 있을 때 상기 통신 링크에서의 하나의 물리적 연결만이 상기 미구동된 상태에 있는, 장치.

청구항 4

제 2 항에 있어서,

상기 가상 신호는 상기 물리적 연결의 하나 이상의 동작 모드들 간에서 선택하고, 상기 물리적 연결은 인액티브 (inactive) 동작 모드가 선택될 때 하이-임피던스 상태 또는 미정의된 상태에 있는, 장치.

청구항 5

제 4 항에 있어서,

상기 통신 링크는 3 개의 물리적 연결들을 포함하고, 액티브 동작 모드가 선택될 때 각각의 물리적 연결은 상기 3-위상 신호의 상이한 위상을 통신하고, 상기 3 개의 물리적 연결들 각각은 상기 인액티브 동작 모드에서 상기 하이-임피던스 상태에 있는, 장치.

청구항 6

제 4 항에 있어서,

상기 하나 이상의 동작 모드들은 고속 모드 및 저속 모드를 포함하는, 장치.

청구항 7

제 1 항에 있어서,

상기 디지털 신호는 제 1 전압 상태와 제 2 전압 상태 사이에서 선택하는 제 1 바이너리 비트를 포함하는, 장치.

청구항 8

제 7 항에 있어서,

상기 제 2 전압 상태의 전압 레벨은 상기 가상 신호에 의해 선택되는, 장치.

청구항 9

제 7 항에 있어서,

상기 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭하고;

상기 제 1 전압 상태는 상기 최소 전압 레벨로서 정의되며;

상기 제 2 전압 상태의 전압 레벨은, 상기 최소 전압 레벨보다 더 크고 상기 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 상기 최대 전압 레벨 중 어느 하나로서 상기 가상 신호에 의해 선택되는, 장치.

청구항 10

제 7 항에 있어서,

상기 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭하고;

상기 제 1 전압 상태는 상기 최대 전압 레벨로서 정의되며;

상기 제 2 전압 상태의 전압 레벨은, 상기 최소 전압 레벨보다 더 크고 상기 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 상기 최소 전압 레벨 중 어느 하나로서 상기 가상 신호에 의해 선택되는, 장치.

청구항 11

제 1 항에 있어서,

상기 가상 신호는, 상기 통신 링크가 저속 동작 모드들에서 동작될 때의 상기 물리적 연결의 상이한 아날로그 거동들인, 상기 통신 링크가 고속 모드에서 동작될 때의 상기 물리적 연결의 아날로그 거동들을 특성화하는, 장치.

청구항 12

제 11 항에 있어서,

상기 물리적 연결의 아날로그 거동들은 상기 물리적 연결에 대한 신호 상태들 간의 상승 시간 또는 상승 시간의 레이트를 포함하는, 장치.

청구항 13

디지털 시스템들을 시뮬레이션하는 방법으로서,

통신 링크에서의 물리적 연결을 표현하는 디지털 신호를 생성하는 단계;

상기 물리적 연결을 통해 송신되는 3-위상 신호를 특성화하는 가상 신호를 생성하는 단계; 및

상기 가상 신호가 상기 물리적 연결의 하나 이상의 아날로그 특성들을 모델링하도록 구성하는 단계를 포함하고,

상기 아날로그 특성들은 상기 3-위상 신호를 정의하는 전압 상태들을 포함하고,

상기 물리적 연결의 아날로그 특성들은 상기 3-위상 신호의 시그널링 상태들에 대응하는 적어도 3 개의 전압 상태들을 포함하는, 디지털 시스템들을 시뮬레이션하는 방법.

청구항 14

제 13 항에 있어서,

상기 전압 상태들은 적어도 3 개의 유효 전압 상태들을 포함하고, 각각의 전압 상태는 상기 물리적 연결과 연관된 전압 레벨에 대응하는, 디지털 시스템들을 시뮬레이션하는 방법.

청구항 15

제 14 항에 있어서,

상기 적어도 3 개의 유효 전압 상태들 중 하나는 미구동된 상태를 포함하고, 상기 통신 링크가 액티브 동작 모드에 있을 때 상기 통신 링크에서의 하나의 물리적 연결만이 상기 미구동된 상태에 있는, 디지털 시스템들을 시

뮬레이션하는 방법.

청구항 16

제 14 항에 있어서,

상기 가상 신호는 상기 물리적 연결의 하나 이상의 동작 모드를 간에서 선택하고, 인액티브 동작 모드가 선택될 때 상기 물리적 연결은 하이-임피던스 상태 또는 미정의된 상태에 있는, 디지털 시스템들을 시뮬레이션하는 방법.

청구항 17

제 16 항에 있어서,

상기 통신 링크는 3 개의 물리적 연결들을 포함하고, 액티브 동작 모드가 선택될 때 각각의 물리적 연결은 상기 3-위상 신호의 상이한 위상을 통신하고, 상기 3 개의 물리적 연결들 각각은 상기 인액티브 동작 모드에서 상기 하이-임피던스 상태에 있는, 디지털 시스템들을 시뮬레이션하는 방법.

청구항 18

제 16 항에 있어서,

상기 하나 이상의 동작 모드들은 고속 모드 및 저속 모드를 포함하는, 디지털 시스템들을 시뮬레이션하는 방법.

청구항 19

제 13 항에 있어서,

상기 디지털 신호는 제 1 전압 상태와 제 2 전압 상태 사이에서 선택하는 제 1 바이너리 비트를 포함하는, 디지털 시스템들을 시뮬레이션하는 방법.

청구항 20

제 19 항에 있어서,

상기 제 2 전압 상태의 전압 레벨은 상기 가상 신호에 의해 선택되는, 디지털 시스템들을 시뮬레이션하는 방법.

청구항 21

제 19 항에 있어서,

상기 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭하고;

상기 제 1 전압 상태는 상기 최소 전압 레벨로서 정의되며;

상기 제 2 전압 상태의 전압 레벨은, 상기 최소 전압 레벨보다 더 크고 상기 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 상기 최대 전압 레벨 중 어느 하나로서 상기 가상 신호에 의해 선택되는, 디지털 시스템들을 시뮬레이션하는 방법.

청구항 22

제 19 항에 있어서,

상기 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭하고;

상기 제 1 전압 상태는 상기 최대 전압 레벨로서 정의되며;

상기 제 2 전압 상태의 전압 레벨은, 상기 최소 전압 레벨보다 더 크고 상기 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 상기 최소 전압 레벨 중 어느 하나로서 상기 가상 신호에 의해 선택되는, 디지털 시스템들을 시뮬레이션하는 방법.

청구항 23

제 13 항에 있어서,

상기 가상 신호는, 상기 통신 링크가 저속 동작 모드들에서 동작될 때의 상기 물리적 연결의 상이한 아날로그 거동들인, 상기 통신 링크가 고속 모드에서 동작될 때의 상기 물리적 연결의 아날로그 거동들을 특성화하는, 디지털 시스템들을 시뮬레이션하는 방법.

청구항 24

제 23 항에 있어서,

상기 물리적 연결의 아날로그 거동들은 상기 물리적 연결에 대한 신호 상태들 간의 상승 시간 또는 상승 시간의 레이트를 포함하는, 디지털 시스템들을 시뮬레이션하는 방법.

청구항 25

통신 링크에서의 물리적 연결을 표현하는 디지털 신호를 생성하는 수단;

상기 물리적 연결을 통해 송신되는 3-위상 신호를 특성화하는 가상 신호를 생성하는 수단; 및

상기 가상 신호가 상기 물리적 연결의 하나 이상의 아날로그 특성들을 모델링하도록 구성하는 수단을 포함하고,

상기 아날로그 특성들은 상기 3-위상 신호를 정의하는 전압 상태들을 포함하고,

상기 물리적 연결의 아날로그 특성들은 상기 3-위상 신호의 시그널링 상태들에 대응하는 적어도 3 개의 전압 상태들을 포함하는, 장치.

청구항 26

제 25 항에 있어서,

상기 전압 상태들은 적어도 3 개의 유효 전압 상태들을 포함하고, 각각의 전압 상태는 상기 물리적 연결과 연관된 전압 레벨에 대응하는, 장치.

청구항 27

제 26 항에 있어서,

상기 적어도 3 개의 유효 전압 상태들 중 하나는 미구동된 상태를 포함하고, 상기 통신 링크가 액티브 동작 모드에 있을 때 상기 통신 링크에서의 하나의 물리적 연결만이 상기 미구동된 상태에 있는, 장치.

청구항 28

제 26 항에 있어서,

상기 가상 신호는 상기 물리적 연결의 하나 이상의 동작 모드들 간에서 선택하고, 인액티브 동작 모드가 선택될 때 상기 물리적 연결은 하이-임피던스 상태 또는 미정의된 상태에 있는, 장치.

청구항 29

제 28 항에 있어서,

상기 통신 링크는 3 개의 물리적 연결들을 포함하고, 액티브 동작 모드가 선택될 때 각각의 물리적 연결은 상기 3-위상 신호의 상이한 위상을 통신하고, 상기 3 개의 물리적 연결들 각각은 상기 인액티브 동작 모드에서 상기 하이-임피던스 상태에 있는, 장치.

청구항 30

제 28 항에 있어서,

상기 하나 이상의 동작 모드들은 고속 모드 및 저속 모드를 포함하는, 장치.

청구항 31

제 25 항에 있어서,

상기 디지털 신호는 제 1 전압 상태와 제 2 전압 상태 사이에서 선택하는 제 1 바이너리 비트를 포함하는,

장치.

청구항 32

제 31 항에 있어서,

상기 제 2 전압 상태의 전압 레벨은 상기 가장 신호에 의해 선택되는, 장치.

청구항 33

제 31 항에 있어서,

상기 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭하고;

상기 제 1 전압 상태는 상기 최소 전압 레벨로서 정의되며;

상기 제 2 전압 상태의 전압 레벨은, 상기 최소 전압 레벨보다 더 크고 상기 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 상기 최대 전압 레벨 중 어느 하나로서 상기 가장 신호에 의해 선택되는, 장치.

청구항 34

제 31 항에 있어서,

상기 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭하고;

상기 제 1 전압 상태는 상기 최대 전압 레벨로서 정의되며;

상기 제 2 전압 상태의 전압 레벨은, 상기 최소 전압 레벨보다 더 크고 상기 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 상기 최소 전압 레벨 중 어느 하나로서 상기 가장 신호에 의해 선택되는, 장치.

청구항 35

제 25 항에 있어서,

상기 가장 신호는, 상기 통신 링크가 저속 동작 모드들에서 동작될 때의 상기 물리적 연결의 상이한 아날로그 거동들인, 상기 통신 링크가 고속 모드에서 동작될 때의 상기 물리적 연결의 아날로그 거동들을 특성화하는, 장치.

청구항 36

제 35 항에 있어서,

상기 물리적 연결의 아날로그 거동들은 상기 물리적 연결에 대한 신호 상태들 간의 상승 시간 또는 상승 시간의 레이트를 포함하는, 장치.

청구항 37

디지털 시스템들을 시뮬레이션하기 위한 장치로서,

적어도 하나의 프로세싱 회로; 및

프로세서와 전자 통신하는 프로세서 판독가능 저장 매체를 포함하고,

상기 프로세서 판독가능 저장 매체는 하나 이상의 명령들을 가지며,

상기 명령들은, 상기 적어도 하나의 프로세싱 회로에 의해 실행될 때, 상기 적어도 하나의 프로세싱 회로로 하여금,

통신 링크에서의 물리적 연결을 표현하는 디지털 신호를 생성하게 하고;

상기 물리적 연결을 통해 송신되는 3-위상 신호를 특성화하는 가장 신호를 생성하게 하며;

상기 물리적 연결의 하나 이상의 아날로그 특성들을 모델링하도록 상기 가장 신호를 구성하게 하고,

상기 아날로그 특성들은 상기 3-위상 신호를 정의하는 전압 상태들을 포함하고,

상기 물리적 연결의 아날로그 특성들은 상기 3-위상 신호의 시그널링 상태들에 대응하는 적어도 3 개의 전압 상태들을 포함하는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

청구항 38

제 37 항에 있어서,

상기 전압 상태들은 적어도 3 개의 유효 전압 상태들을 포함하고, 각각의 전압 상태는 상기 물리적 연결과 연관된 전압 레벨에 대응하는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

청구항 39

제 38 항에 있어서,

상기 적어도 3 개의 유효 전압 상태들 중 하나는 미구동된 상태를 포함하고, 상기 통신 링크가 액티브 동작 모드에 있을 때 상기 통신 링크에서의 하나의 물리적 연결만이 상기 미구동된 상태에 있는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

청구항 40

제 38 항에 있어서,

상기 가상 신호는 상기 물리적 연결의 하나 이상의 동작 모드들 간에서 선택하고, 인액티브 동작 모드가 선택될 때 상기 물리적 연결은 하이-임피던스 상태 또는 미정의된 상태에 있는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

청구항 41

제 40 항에 있어서,

상기 통신 링크는 3 개의 물리적 연결들을 포함하고, 액티브 동작 모드가 선택될 때 각각의 물리적 연결은 상기 3-위상 신호의 상이한 위상을 통신하고, 상기 3 개의 물리적 연결들 각각은 상기 인액티브 동작 모드에서 상기 하이-임피던스 상태에 있는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

청구항 42

제 40 항에 있어서,

상기 하나 이상의 동작 모드들은 고속 모드 및 저속 모드를 포함하는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

청구항 43

제 37 항에 있어서,

상기 디지털 신호는 제 1 전압 상태와 제 2 전압 상태 사이에서 선택하는 제 1 바이너리 비트를 포함하는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

청구항 44

제 43 항에 있어서,

상기 제 2 전압 상태의 전압 레벨은 상기 가상 신호에 의해 선택되는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

청구항 45

제 43 항에 있어서,

상기 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭하고;

상기 제 1 전압 상태는 상기 최소 전압 레벨로서 정의되며;

상기 제 2 전압 상태의 전압 레벨은, 상기 최소 전압 레벨보다 더 크고 상기 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 상기 최대 전압 레벨 중 어느 하나로서 상기 가상 신호에 의해 선택되는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

청구항 46

제 43 항에 있어서,

상기 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭하고;

상기 제 1 전압 상태는 상기 최대 전압 레벨로서 정의되며;

상기 제 2 전압 상태의 전압 레벨은, 상기 최소 전압 레벨보다 더 크고 상기 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 상기 최소 전압 레벨 중 어느 하나로서 상기 가상 신호에 의해 선택되는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

청구항 47

제 37 항에 있어서,

상기 가상 신호는, 상기 통신 링크가 저속 동작 모드들에서 동작될 때의 상기 물리적 연결의 상이한 아날로그 거동들인, 상기 통신 링크가 고속 모드에서 동작될 때의 상기 물리적 연결의 아날로그 거동들을 특성화하는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

청구항 48

제 47 항에 있어서,

상기 물리적 연결의 아날로그 거동들은 상기 물리적 연결에 대한 신호 상태들 간의 상승 시간 또는 상승 시간의 레이트를 포함하는, 디지털 시스템들을 시뮬레이션하기 위한 장치.

발명의 설명

기술 분야

[0001]

관련 출원들에 대한 상호 참조

[0002]

본 출원은 2014년 1월 15일자로 미국 특허청에 출원된 미국 정규 특허 출원 제14/156,329호에 대한 우선권 및 그 이익을 주장하고, 이 미국 정규 특허 출원의 전체 내용은 본 명세서에 참조로 포함된다.

[0003]

분야

[0004]

본 개시물은 일반적으로 고속 데이터 통신 인터페이스들에 관한 것으로, 더 구체적으로는, 멀티-와이어, 멀티-위상 (multi-wire, multi-phase) 데이터 통신 링크들에서의 시그널링의 모델링에 관한 것이다.

배경 기술

[0005]

셀룰러 폰들과 같은 모바일 디바이스들의 제조자들은, 상이한 제조자들을 포함하여, 다양한 소스들로부터 모바일 디바이스들의 컴포넌트들을 획득할 수도 있다. 예를 들어, 셀룰러 폰 내의 애플리케이션 프로세서는 제 1 제조자로부터 획득될 수도 있는 한편, 셀룰러 폰용 디스플레이는 제 2 제조자로부터 획득될 수도 있다. 애플리케이션 프로세서 및 디스플레이 또는 다른 디바이스는 표준-기반의 또는 사유 (proprietary) 의 물리적 인터페이스를 이용하여 상호연결될 수도 있다. 예를 들어, 디스플레이에는 MIPI (Mobile Industry Processor Interface Alliance) 에 의해 특정된 디스플레이 시스템 인터페이스 (Display System Interface; DSI) 표준에 순응하는 인터페이스를 제공할 수도 있다.

[0006]

멀티-위상에서의 시그널링의 시뮬레이션은 문제가 있을 수 있다. 특히, 멀티-위상 신호의 소정의 거동들은 와이어 또는 다른 커넥터 상의 물리적 신호의 아날로그 특성들과 관련된다. 와이어의 아날로그 상태를 표현하기 위한 실수들이 이용은, 와이어 상의 신호를 표현하기 위한 다량의 데이터의 생성과 함께, 전압 상태들의 실수 표현들을 이용하여 계산들을 수행하기 위한 결과적인 과도한 프로세싱 오버헤드를 초래할 수도 있다.

발명의 내용

과제의 해결 수단

- [0007] 본 명세서에 개시된 실시형태들은 멀티-와이어 및/또는 멀티-위상 통신 링크에 대한 개선된 아날로그 거동 모델링을 가능하게 하는 시스템들, 방법들 및 장치를 제공한다. 본 명세서에서 설명된 소정의 양태들은 디지털 시뮬레이션 및 아날로그 시뮬레이션에서 응용을 찾을 수도 있다.
- [0008] 본 개시물의 일 양태에서, 디지털 시스템들을 시뮬레이션하는 방법은, 통신 링크에서의 물리적 연결을 표현하는 디지털 신호를 생성하는 단계, 물리적 연결을 통해 송신되는 3-위상 신호를 특성화하는 가상 신호를 생성하는 단계, 및 물리적 연결의 하나 이상의 아날로그 특성들을 모델링하도록 가상 신호를 구성하는 단계를 포함한다. 아날로그 특성들은 3-위상 신호를 정의하는 전압 상태들을 포함할 수도 있다. 물리적 연결의 아날로그 특성들은 3-위상 신호의 시그널링 상태들에 대응하는 적어도 3 개의 전압 상태들을 포함할 수도 있다.
- [0009] 본 개시물의 일 양태에서, 전압 상태들은 적어도 3 개의 유효 전압 상태들을 포함하고, 전압 상태들 각각은 물리적 연결과 연관된 전압 레벨에 대응한다. 적어도 3 개의 유효 전압 상태들 중 하나는 미구동된 (undriven) 상태를 포함한다. 통신 링크가 액티브 (active) 동작 모드에 있을 때 통신 링크에서 하나의 물리적 연결만이 미구동된 상태에 있다. 가상 신호는 물리적 연결의 하나 이상의 동작 모드들 간에서 선택할 수도 있다. 물리적 연결은 인액티브 (inactive) 동작 모드가 선택될 때 하이-임피던스 상태 또는 미정의된 상태에 있을 수도 있다. 하나 이상의 동작 모드들은 고속 모드 및 저속 모드를 포함한다.
- [0010] 본 개시물의 일 양태에서, 디지털 신호는 제 1 전압 상태와 제 2 전압 상태 사이에서 선택하는 제 1 바이너리 비트를 포함한다. 제 2 전압 상태의 전압 레벨은 가상 신호에 의해 선택될 수도 있다. 하나의 예에서, 통신 링크는 3 개의 물리적 연결들을 포함하고, 각각의 물리적 연결은 액티브 동작 모드가 선택될 때 3-위상 신호의 상이한 위상을 통신한다. 3 개의 물리적 연결들 각각은 인액티브 동작 모드에서 하이-임피던스 상태에 있을 수도 있다.
- [0011] 본 개시물의 일 양태에서, 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭한다. 제 1 전압 상태는 최소 전압 레벨로서 정의될 수도 있다. 제 2 전압 상태의 전압 레벨은, 최소 전압 레벨보다 더 크고 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 최대 전압 레벨 중 어느 하나로서 가상 신호에 의해 선택될 수도 있다.
- [0012] 본 개시물의 일 양태에서, 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭한다. 제 1 전압 상태는 최대 전압 레벨로서 정의될 수도 있다. 제 2 전압 상태의 전압 레벨은, 최소 전압 레벨보다 더 크고 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 최소 전압 레벨 중 어느 하나로서 가상 신호에 의해 선택될 수도 있다.
- [0013] 본 개시물의 일 양태에서, 가상 신호는, 통신 링크가 저속 동작 모드들에서 동작될 때의 물리적 연결의 상이한 아날로그 거동들인, 통신 링크가 고속 모드에서 동작될 때의 물리적 연결의 아날로그 거동들을 특성화한다. 물리적 연결의 아날로그 거동들은 물리적 연결에 대한 신호 상태들 간의 상승 시간 또는 상승 시간의 레이트를 포함할 수도 있다.
- [0014] 본 개시물의 일 양태에서, 장치는, 통신 링크에서의 물리적 연결을 표현하는 디지털 신호를 생성하는 수단, 물리적 연결을 통해 송신되는 3-위상 신호를 특성화하는 가상 신호를 생성하는 수단, 및 물리적 연결의 하나 이상의 아날로그 특성들을 모델링하도록 가상 신호를 구성하는 수단을 포함한다. 전압 상태들을 포함하는 아날로그 특성들은 3-위상 신호를 정의할 수도 있다. 물리적 연결의 아날로그 특성들은 3-위상 신호의 시그널링 상태들에 대응하는 적어도 3 개의 전압 상태들을 포함할 수도 있다.
- [0015] 본 개시물의 일 양태에서, 장치는, 통신 링크에서의 물리적 연결을 표현하는 디지털 신호 및 물리적 연결을 통해 송신되는 3-위상 신호를 특성화하는 가상 신호를 생성하도록 구성된 적어도 하나의 프로세싱 회로를 포함한다. 가상 신호는 물리적 연결의 하나 이상의 아날로그 특성들을 표현할 수도 있다. 아날로그 특성들은 3-위상 신호를 정의하는 전압 상태들을 포함할 수도 있다.
- [0016] 본 개시물의 일 양태에서, 디지털 시스템들을 시뮬레이션하기 위한 장치는 적어도 하나의 프로세싱 회로 및 프로세서와 전자 통신하는 프로세서 판독가능 저장 매체를 포함한다. 프로세서 판독가능 저장 매체는 하나 이상의 명령들을 유지 또는 저장할 수도 있다. 명령들은, 프로세싱 회로에 의해 실행될 때, 프로세싱 회로로

하여금, 통신 링크에서의 물리적 연결을 표현하는 디지털 신호를 생성하게 하고, 물리적 연결을 통해 송신되는 3-위상 신호를 특성화하는 가상 신호를 생성하게 하며, 물리적 연결의 하나 이상의 아날로그 특성들을 모델링하도록 가상 신호를 구성하게 할 수도 있다. 아날로그 특성들은 3-위상 신호를 정의하는 전압 상태들을 포함할 수도 있다. 물리적 연결의 아날로그 특성들은 3-위상 신호의 시그널링 상태들에 대응하는 적어도 3 개의 전압 상태들을 포함할 수도 있다.

도면의 간단한 설명

[0017]

도 1 은 복수의 이용가능한 표준들 중 하나에 따라 선택적으로 동작하는 IC 디바이스들 간에 데이터 링크를 채용하는 장치를 도시한다.

도 2 는 복수의 이용가능한 표준들 중 하나에 따라 선택적으로 동작하는 IC 디바이스들 간에 데이터 링크를 채용하는 장치에 대한 시스템 아키텍처를 예시한다.

도 3 은 N-위상 극성 인코더를 예시한다.

도 4 는 N-위상 극성 인코딩된 인터페이스에서의 시그널링을 예시한다.

도 5 는 M-와이어, N-위상 극성 디코더에서의 천이 검출을 예시한다.

도 6 은 M-와이어 N-위상 극성 디코더에서의 천이 검출에 대한 신호 상승 시간들의 영향들의 단순화된 예이다.

도 7 은 M-와이어, N-위상 극성 디코더에서의 잠재 상태 천이들을 예시하는 상태 다이어그램이다.

도 8 은 다수의 천이들이 심볼들 간에서 발생할 때 N-위상 극성 인코딩에서의 심볼 천이 영역들의 가변성을 예시하는 타이밍 차트들을 포함한다.

도 9 는 통신 링크에서 커넥터들의 아날로그 거동들을 모델링하고 시뮬레이션하도록 구성된 프로세싱 회로를 예시하는 블록 다이어그램이다.

도 10 은 디지털 디바이스들을 시뮬레이션하기 위한 방법의 플로우 차트이다.

도 11 은 본 명세서에 개시된 소정의 양태들에 따른, 디지털 디바이스들을 시뮬레이션하도록 구성된 장치의 하나의 예를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0018]

다양한 양태들이 이제 도면들을 참조하여 설명된다. 다음의 설명에서, 설명의 목적들을 위해, 다수의 특정 상세들이 하나 이상의 양태들의 완전한 이해를 제공하기 위해 제시된다. 그러나, 이러한 양태(들)는 이들 특정 상세들 없이 실시될 수도 있다는 것이 자명할 수도 있다.

[0019]

본 출원에서 사용되는 바와 같이, 용어들 "컴포넌트", "모듈", "시스템" 등은 하드웨어, 펌웨어, 하드웨어와 소프트웨어의 조합, 소프트웨어, 또는 실행중인 소프트웨어와 같은 컴퓨터 관련 엔티티를 포함하도록 의도되지만, 이들로 제한되지 않는다. 예를 들어, 컴포넌트는 프로세서 상에서 실행되는 프로세스, 프로세서, 오브젝트, 실행가능물, 실행 스레드, 프로그램 및/또는 컴퓨터일 수도 있지만 이들인 것으로 제한되지 않는다. 예시에 의해, 컴퓨팅 디바이스 상에서 실행하는 애플리케이션과 컴퓨팅 디바이스 양쪽은 컴포넌트일 수 있다. 하나 이상의 컴포넌트들은 프로세스 및/또는 실행 스레드 내에 상주할 수 있으며 컴포넌트는 하나의 컴퓨터 상에 로컬화되거나 및/또는 2 개 이상의 컴퓨터들 사이에 분산될 수도 있다. 또한, 이를 컴포넌트들은 다양한 데이터 구조들을 저장하고 있는 다양한 컴퓨터 관독가능 매체들로부터 실행할 수 있다. 컴포넌트들은 신호에 의해 다른 시스템들과 인터넷과 같은 네트워크에 걸쳐, 및/또는 로컬 시스템, 분산 시스템에서 다른 컴포넌트와 상호작용하는 하나의 컴포넌트로부터의 데이터와 같은 하나 이상의 데이터 패킷들을 갖는 신호에 따라서와 같이 로컬 및/또는 원격 프로세스들에 의해 통신할 수도 있다.

[0020]

더욱이, 용어 "또는 (or)" 은 배타적 "또는" 보다는 포괄적 "또는" 을 의미하도록 의도된다. 즉, 다르게 특정하거나, 또는 문맥으로부터 명백하지 않는 한, 어구 "X 는 A 또는 B 를 채용한다" 는 자연 포괄적 순열 (natural inclusive permutation) 들 중 임의의 것을 의미하도록 의도된다. 즉, 어구 "X 는 A 또는 B 를 채용한다" 는 다음의 경우들 중 임의의 것에 의해 충족된다: X 는 A 를 채용한다; X 는 B 를 채용한다; 또는 X 는 A 와 B 양쪽을 채용한다. 또한, 본 출원 및 첨부된 청구항들에서 사용되는 바와 같이 관사들 "a" 및 "an" 은 일반적으로, 다르게 특정하거나 또는 문맥으로부터 단수 형태를 지칭하는 것이 명백하지 않는 한, "하

나 이상" 을 의미하는 것으로 해석되어야 한다.

[0021]

본 발명의 소정의 양태들은 전화기, 모바일 컴퓨팅 디바이스, 어플라이언스, 자동차 일렉트로닉스, 항공전자 시스템들 등과 같은 장치의 서브컴포넌트들을 포함할 수도 있는 전자 디바이스들 간에 전개된 통신 링크들에 적용 가능할 수도 있다. 도 1은 IC 디바이스들 간에 통신 링크를 채용할 수도 있는 장치를 도시한다. 하나의 예에서, 장치 (100)는 RF 트랜시버를 통해 무선 액세스 네트워크 (RAN), 코어 액세스 네트워크, 인터넷 및/또는 다른 네트워크와 통신하는 무선 통신 디바이스를 포함할 수도 있다. 장치 (100)는 프로세싱 회로 (102)에 동작가능하게 커플링된 통신 트랜시버 (106)를 포함할 수도 있다. 프로세싱 회로 (102)는 주문형 IC (application-specific IC; ASIC) (108)와 같은 하나 이상의 IC 디바이스들을 포함할 수도 있다. ASIC (108)은 하나 이상의 프로세싱 디바이스들, 로직 회로들 등을 포함할 수도 있다. 프로세싱 회로 (102)는 프로세싱 회로 (102)에 의해 실행될 수도 있는 명령들 및 데이터를 유지할 수도 있는 메모리 (112)와 같은 프로세서 판독가능 스토리지를 포함하거나 및/또는 그 프로세서 판독가능 스토리지에 커플링될 수도 있다. 프로세싱 회로 (102)는 무선 디바이스의 메모리 디바이스 (112)와 같은 저장 매체들에 상주하는 소프트웨어 모듈들의 실행을 지원하고 가능하게 하는 애플리케이션 프로그래밍 인터페이스 (application programming interface; API) (110) 계층 및 오퍼레이팅 시스템 중 하나 이상에 의해 제어될 수도 있다. 메모리 디바이스 (112)는 판독 전용 메모리 (ROM) 또는 랜덤 액세스 메모리 (RAM), 전기적으로 소거가능한 프로그래밍가능 ROM (EEPROM), 플래시 카드들, 또는 프로세싱 시스템들 및 컴퓨팅 플랫폼들에서 이용될 수 있는 임의의 메모리 디바이스를 포함할 수도 있다. 프로세싱 회로 (102)는 장치 (100)를 구성하고 동작시키는데 이용되는 동작 파라미터들 및 다른 정보를 유지할 수 있는 로컬 데이터베이스 (114)를 포함하거나 또는 그로컬 데이터베이스 (114)에 액세스할 수도 있다. 로컬 데이터베이스 (114)는 데이터베이스 모듈, 플래시 메모리, 자기 매체들, EEPROM, 광 매체들, 테이프, 소프트 또는 하드 디스크 등 중 하나 이상을 이용하여 구현될 수도 있다. 프로세싱 회로 (102)는 또한 외부 디바이스들, 예컨대 안테나 (122), 디스플레이 (124), 오퍼레이터 컨트롤러들, 예컨대 다른 컴포넌트들 중에서도 버튼 (128) 및 키패드 (126)에 동작가능하게 커플링될 수도 있다.

[0022]

도 2는 무선 모바일 디바이스, 모바일 전화기, 모바일 컴퓨팅 시스템, 무선 전화기, 노트북 컴퓨터, 태블릿 컴퓨팅 디바이스, 미디어 플레이어, 게이밍 디바이스 등과 같은 장치의 소정의 양태들을 예시하는 블록 개략도 (200)이다. 장치 (200)는 통신 링크 (220)를 통해 데이터 및 제어 정보를 교환하는 복수의 IC 디바이스들 (202 및 230)을 포함할 수도 있다. 통신 링크 (220)는, 서로 아주 근접하여 위치되거나 또는 장치 (200)의 상이한 부분들에 물리적으로 위치되는 IC 디바이스들 (202, 230)의 쌍을 연결하는데 이용될 수도 있다. 하나의 예에서, 통신 링크 (220)는 IC 디바이스들 (202 및 230)을 지니는 칩 캐리어, 기판 또는 회로판 상에 제공될 수도 있다. 다른 예에서, 제 1 IC 디바이스 (202)는 플립-폰 (flip-phone)의 키패드 섹션에 위치될 수도 있는 한편 제 2 IC 디바이스 (230)는 플립-폰의 디스플레이 섹션에 위치될 수도 있다. 다른 예에서, 통신 링크 (220)의 일부는 케이블 또는 광 연결을 포함할 수도 있다.

[0023]

통신 링크 (220)는 다수의 채널들 (222, 224 및 226)을 포함할 수도 있다. 하나 이상의 채널 (226)은 양방향성일 수도 있고, 하프-듀플렉스 (half-duplex) 모드 및/또는 풀-듀플렉스 (full-duplex) 모드에서 동작할 수도 있다. 하나 이상의 채널 (222 및 224)은 단방향성일 수도 있다. 통신 링크 (220)는 비대칭적이어서, 하나의 방향에서 더 높은 대역폭을 제공할 수도 있다. 본 명세서에서 설명된 하나의 예에서, 제 1 통신 채널 (222)은 순방향 링크 (222)라고 지칭될 수도 있는 한편 제 2 통신 채널 (224)은 역방향 링크 (224)라고 지칭될 수도 있다. 제 1 IC 디바이스 (202)가 호스트 시스템 또는 송신기로서 지정될 수도 있는 한편, 제 2 IC 디바이스 (230)가 클라이언트 시스템 또는 수신기로서 지정될 수도 있는데, 양쪽의 IC 디바이스들 (202 및 230)이 통신 링크 (222)상에서 송신 및 수신하도록 구성되더라도 그러하다. 하나의 예에서, 순방향 링크 (222)는 제 1 IC 디바이스 (202)로부터의 데이터를 제 2 IC 디바이스 (230)로 통신할 때 보다 높은 데이터 레이트에서 동작할 수도 있는 한편, 역방향 링크 (224)는 제 2 IC 디바이스 (230)로부터의 데이터를 제 1 IC 디바이스 (202)로 통신할 때 보다 낮은 데이터 레이트에서 동작할 수도 있다.

[0024]

IC 디바이스들 (202 및 230)은 각각 프로세서 또는 다른 프로세싱 및/또는 컴퓨팅 회로 또는 디바이스 (206, 236)를 포함할 수도 있다. 하나의 예에서, 제 1 IC 디바이스 (202)는 무선 트랜시버 (204) 및 안테나 (214)를 통해 무선 통신을 유지하는 것을 포함하는, 장치 (200)의 코어 기능들을 수행할 수도 있는 한편, 제 2 IC 디바이스 (230)는 디스플레이 제어기 (232)를 관리하거나 또는 동작시키는 사용자 인터페이스를 지원할 수도 있고, 카메라 제어기 (234)를 이용하여 카메라 또는 비디오 입력 디바이스의 동작들을 제어할 수도 있다. IC 디바이스들 (202 및 230) 중 하나 이상에 의해 지원되는 다른 피처들은 키보드, 음성-인식 컴포넌트, 및

다른 입력 또는 출력 디바이스들을 포함할 수도 있다. 디스플레이 제어기 (232)는 액정 디스플레이 (LCD) 패널, 터치-스크린 디스플레이, 표시자들 등과 같은 디스플레이들을 지원하는 회로들 및 소프트웨어 드라이버들을 포함할 수도 있다. 저장 매체들 (208 및 238)은 각각의 프로세서들 (206 및 236) 및/또는 IC 디바이스들 (202 및 230)의 다른 컴포넌트들에 의해 이용되는 명령들 및 데이터를 유지하도록 적응된 일시적 및/또는 비일시적 저장 디바이스들을 포함할 수도 있다. 각각의 프로세서 (206, 236)와 그의 대응하는 저장 매체들 (208 및 238) 및 다른 모듈들 및 회로들 간의 통신은 하나 이상의 버스 (212 및 242)에 의해 각각 용이해질 수도 있다.

[0025] 역방향 링크 (224)는 순방향 링크 (222)와 동일한 방식으로 동작될 수도 있고, 순방향 링크 (222) 및 역방향 링크 (224)는 비슷한 속도들로 또는 상이한 속도들로 송신하는 것이 가능할 수도 있는데, 여기서 속도는 데이터 전송 레이트 및/또는 클록킹 레이트들로서 표현될 수도 있다. 순방향 및 역방향 데이터 레이트들은, 애플리케이션에 따라, 실질적으로 동일할 수도 있거나 또는 몇 자릿수 만큼 상이할 수도 있다. 일부 애플리케이션들에서, 단일의 양방향성 링크 (226)는 제 1 IC 디바이스 (202)와 제 2 IC 디바이스 (230) 사이의 통신들을 지원할 수도 있다. 순방향 링크 (222) 및/또는 역방향 링크 (224)는, 예를 들어, 순방향 및 역방향 링크들 (222 및 224)이 동일한 물리적 연결들을 공유하고 하프-듀플렉스 방식으로 동작할 때, 양방향성 모드에서 동작하도록 구성가능할 수도 있다. 하나의 예에서, 통신 링크 (220)는 산업 또는 다른 표준에 따라 제 1 IC 디바이스 (202)와 제 2 IC 디바이스 (230) 사이에서 제어, 커맨드 및 다른 정보를 통신하도록 동작될 수도 있다.

[0026] 산업 표준들은 특수 용도일 수도 있다. 하나의 예에서, MIPI 표준은 모바일 디바이스에서 카메라 또는 디스플레이를 지원하는 IC 디바이스 (230)와 애플리케이션 프로세서 IC 디바이스 (202) 사이에 동기 인터페이스 명세 (D-PHY)를 포함하는 물리 계층 인터페이스들을 정의한다. D-PHY 규격은 모바일 디바이스들에 대한 MIPI 규격들을 준수하는 제품들의 동작 특성을 지배한다. D-PHY 인터페이스는 모바일 디바이스 내의 컴포넌트들 (202 및 230) 사이를 상호연결하는 플렉서블한, 저가의, 고속 직렬 인터페이스를 이용하여 데이터 전송들을 지원할 수도 있다. 이를 인터페이스들은 전자기 간섭 (EMI) 이슈들을 회피하기 위해 슬로우 에지들과 함께 비교적 낮은 비트 레이트들을 제공하는 상보형 금속-산화물-반도체 (CMOS) 병렬 버스들을 포함할 수도 있다.

[0027] 도 2의 통신 링크 (220)는 복수의 신호 와이어 (wire)들 (M 개의 와이어들로서 표시됨)을 포함하는 유선 버스로서 구현될 수도 있다. M 개의 와이어들은 모바일 디스플레이 디지털 인터페이스 (mobile display digital interface; MDDI)와 같은 고속 디지털 인터페이스에서 N -위상 (N -phase) 인코딩된 데이터를 반송하도록 구성될 수도 있다. M 개의 와이어들은 하나 이상의 채널들 (222, 224 및 226) 상에서 N -위상 극성 인코딩을 용이하게 할 수도 있다. 물리 계층 드라이버들 (210 및 240)은 통신 링크 (220) 상의 송신을 위해 N -위상 극성 인코딩된 데이터를 생성하도록 구성 또는 적응될 수도 있다. N -위상 극성 인코딩의 이용은 고속 데이터 전송을 제공하고, 보다 적은 드라이버들이 N -위상 극성 인코딩된 데이터 링크들 (220)에서 액티브 (active)하기 때문에 다른 인터페이스들의 전력의 절반 이하를 소비할 수도 있다.

[0028] N -위상 극성 인코딩 디바이스들 (210 및/또는 240)은 통상적으로 통신 링크 (220) 상에서 천이 당 다수의 비트들을 인코딩할 수 있다. 하나의 예에서, 3-위상 인코딩 및 극성 인코딩의 조합이 프레임 버퍼 없이 제 2 LCD 드라이버 IC 당 와이드 비디오 그래픽스 어레이 (wide video graphics array; WVGA) 80 프레임들을 지원하는데 이용되어, 디스플레이 리프레시를 위해 810 Mbps로 픽셀 데이터를 전달할 수도 있다.

[0029] 도 3은 도 2에 도시된 통신 링크 (220)의 소정의 양태들을 구현하는데 이용될 수도 있는 M -와이어, N -위상 극성 인코더를 예시하는 개략적 다이어그램 (300)이다. 도시된 예에서, M -와이어, N -위상 극성 인코더 송신기는 $M=3$ 와이어 및 $N=3$ 위상 시그널링을 이용하여 정보를 송신하도록 구성된다. 3-와이어, 3-위상 인코딩의 예는 오로지 본 발명의 소정의 양태들의 설명들을 단순화하는 목적을 위해서만 선택된다. 3-와이어, 3-위상 인코더들에 대해 개시된 원리들 및 기법들은 M -와이어, N -위상 극성 인코더들의 다른 구성들에 응용될 수 있다.

[0030] M -와이어, N -위상 극성 인코딩 스킴에서의 M 개의 와이어들 각각에 대해 정의된 시그널링 상태들은 포지티브로 구동된 (driven) 상태, 네거티브로 구동된 상태 및 미구동된 (undriven) 상태를 포함할 수도 있다. 3-와이어, 3-위상 극성 인코딩 스킴에서, 포지티브로 구동된 상태 및 네거티브로 구동된 상태는 신호 와이어들 (310a, 310b 및/또는 310c) 중 2 개 사이의 전압 차분 (voltage differential)을 제공함으로써 및/또는 직렬로 연결된 신호 와이어들 (310a, 310b 및/또는 310c) 중 2 개를 통해 전류를 구동하여 그 전류가 2 개의 신호 와이어들 (310a, 310b 및/또는 310c)에서 상이한 방향들로 흐르도록 함으로써 획득될 수도 있다. 통상적으로, 미구

동된 신호 와이어 (310a, 310b 또는 310c) 를 통한 유의한 전류 흐름이 없다. 3-와이어, 3-위상 극성 인코딩 스킴에 대해 정의된 시그널링 상태들은 3개 전압 또는 전류 상태들 (+1, -1, 및 0) 을 이용하여 표시될 수도 있다.

[0031] 미구동된 상태 (즉, 0 상태) 는, 수동으로 또는 능동으로 "미구동된" 신호 와이어 (310a, 310b 또는 310c) 로 하여금, 구동된 신호 와이어들 (310a, 310b 및/또는 310c) 상에 제공된 포지티브와 네거티브 전압 레벨들 사이에서 실질적으로 중간에 놓인 전압 레벨을 가지게 함으로써 신호 와이어 (310a, 310b 또는 310c) 상에서 획득될 수도 있다. 하나의 예에서, 미구동된 상태는 신호 와이어 (310a, 310b 또는 310c) 의 드라이버의 출력을 하이-임피던스 모드에 놓이게 함으로써 실현될 수도 있다. 3-위상 0 상태, 미구동된 상태, 및 하이-임피던스 상태는 단일의 신호 와이어 (310a, 310b 또는 310c) 의 관점에서 3-위상 시그널링 스킴에서 전기적으로 등가일 수도 있다. 그러나, 신호 와이어들 (310a, 310b 또는 310c) 중 하나만이 심볼에서 미구동된 상태에 있을 수 있다. 이에 따라, 심볼은 3 개의 신호 와이어들 (310a, 310b, 310c) 중 2 개가 하이-임피던스 상태에 있는 경우 예러 심볼인 것으로 고려될 수도 있다. 3 개의 신호 와이어들 (310a, 310b, 310c) 모두가 하이-임피던스 상태에 있는 경우, 통신 링크 (220) 는 인액티브 (inactive) 한 것으로 고려될 수도 있다.

[0032] 3-와이어, 3-위상 극성 인코더는 커넥터들 (310a, 310b 및 310c) 의 시그널링 상태를 제어하기 위해 드라이버들 (308) 을 채용할 수도 있다. 드라이버들 (308) 은 유닛-레벨 전류-모드 또는 전압-모드 드라이버들로서 구현될 수도 있다. 하나의 예에서, 각각의 드라이버 (308) 는 대응하는 커넥터들 (310a, 310b 또는 310c) 의 출력 상태를 결정하는 2 개 이상의 신호들의 세트들 (316a, 316b 및 316c) 을 수신할 수도 있다. 신호들의 세트들 (316a, 316b 및 316c) 각각이 한 쌍의 신호들을 포함할 때, 대응하는 커넥터들 (310a, 310b 및 310c) 에 대해 4 개의 상태들이 정의될 수도 있다. 신호들의 세트들 (316a, 316b 및 316c) 각각이 3 개의 신호들을 포함할 때, 대응하는 커넥터들 (310a, 310b 및 310c) 에 대해 8 개의 상태들이 정의될 수도 있다.

[0033] M -와이어, N -위상 극성 인코딩 스킴에서의 각각의 송신된 심볼 간격에 대해, 적어도 하나의 신호 와이어 (310a, 310b 또는 310c) 는 미구동된 (0) 전압 또는 전류 상태에 있는 한편, 포지티브로 구동된 (+1 전압 또는 전류 상태) 신호 와이어들 (310a, 310b 또는 310c) 의 수는 네거티브로 구동된 (-1 전압 또는 전류 상태) 신호 와이어들 (310a, 310b 또는 310c) 의 수와 동일하여, 수신기로 흐르는 전류의 합이 항상 제로가 되도록 한다. 각각의 심볼에 대해, 적어도 하나의 신호 와이어 (310a, 310b 또는 310c) 의 상태는 선행하는 송신 간격에서 송신된 심볼로부터 변화된다.

[0034] 동작시, 맵퍼 (mapper; 302) 는 16 비트 데이터 (310) 를 수신하여 이 16 비트 데이터를 7 개의 심볼들 (312) 에 맵핑시킬 수도 있다. 3-와이어 예에서, 7 개의 심볼들 각각은 하나의 심볼 간격에 대한 신호 와이어들 (310a, 310b 및 310c) 의 상태들을 정의한다. 7 개의 심볼들 (312) 은 각각의 와이어 (310a, 310b 및 310c) 에 대한 상태들 (314) 의 타이밍된 시퀀스를 제공하는 병렬-직렬 컨버터 (parallel-to-serial converter; 304) 들을 이용하여 직렬화될 수도 있다. 상태들 (314) 의 시퀀스는 통상적으로 송신 클록을 이용하여 타이밍된다. M -와이어 위상 인코더 (306) 는 한번에 하나의 심볼씩 맵퍼에 의해 생성된 7 개의 심볼들 (314) 의 시퀀스를 수신하고 각각의 심볼 간격에 대한 각각의 신호 와이어 (310a, 310b 및 310c) 의 상태를 컴퓨팅한다. 3-와이어 인코더 (306) 는 신호 와이어들 (310a, 310b 및 310c) 의 이전 상태들 및 현재 입력 심볼 (314) 에 기초하여 신호 와이어들 (310a, 310b 및 310c) 의 상태들을 선택한다.

[0035] M -와이어, N -위상 인코딩의 이용은 복수의 심볼들에서 다수의 비트들이 인코딩되는 것을 가능하게 하는데 여기서 심볼 당 비트들은 정수가 아니다. 3-와이어 통신 링크의 단순한 예에서, 동시에 구동될 수도 있는 2 개의 와이어들의 3 개의 이용가능한 조합들, 및 구동되는 와이어들의 쌍에 대한 극성의 2 개의 가능한 조합들이 존재하여, 6 개의 가능한 상태들이 산출된다. 현재 상태로부터 각각의 천이가 발생하므로, 6 개의 상태들 중 5 개가 매 천이마다 이용가능하다. 적어도 하나의 와이어의 상태는 각각의 천이에서 변화하도록 요구된다. 5 개의 상태들의 경우, $\log_2(5) \approx 2.32$ 비트들이 심볼 당 인코딩될 수도 있다. 이에 따라, 맵퍼는 심볼 당 2.32 비트들을 반송하는 7 개의 심볼들이 16.24 비트들을 인코딩할 수 있기 때문에 16-비트 워드를 수용하고 그것을 7 개의 심볼들로 컴퓨팅할 수도 있다. 다시 말해, 5 개의 상태들을 인코딩하는 7 개의 심볼들의 조합은 ⁷ (78,125) 순열들을 갖는다. 이에 따라, 7 개의 심볼들은 16 비트들의 ¹⁶ (65,536) 순열들을 인코딩하는데 이용될 수도 있다.

[0036] 도 4 는 원형 상태 다이어그램 (450) 에 기초하는 3-위상 변조 데이터-인코딩 스ქ임을 이용하여 인코딩된 신호들에 대한 타이밍 차트 (400) 의 예를 포함한다. 정보는, 예를 들어, 와이어 또는 커넥터가 상태 다이어그램

(450)에 의해 정의된 3 개의 위상 상태들 S_1 , S_2 및 S_3 중 하나에 있는 시그널링 상태들의 시퀀스에서 인코딩될 수도 있다. 각각의 상태는 120° 위상 시프트만큼 다른 상태들로부터 분리될 수도 있다. 하나의 예에서, 데이터는 와이어 또는 커넥터에 대한 위상 상태들의 회전의 방향으로 인코딩될 수도 있다. 신호에서의 위상 상태들은 시계 방향 (452 및 452') 또는 반시계 방향 (454 및 454')으로 회전할 수도 있다. 예를 들어 시계 방향 (452 및 454')에서, 위상 상태들은 S_1 로부터 S_2 로, S_2 로부터 S_3 으로 그리고 S_3 으로부터 S_1 로의 천이들 중 하나 이상을 포함하는 시퀀스로 나아갈 수도 있다. 반시계 방향 (454 및 454')에서, 위상 상태들은 S_1 로부터 S_3 으로, S_3 으로부터 S_2 로 그리고 S_2 로부터 S_1 로의 천이들 중 하나 이상을 포함하는 시퀀스로 나아갈 수도 있다. 3 개의 와이어들 (310a, 310b 및 310c)은 동일한 신호의 상이한 베전들을 반송하는데, 여기서 그 베전들은 서로에 대해 120° 만큼 위상 시프트된다. 각각의 시그널링 상태는 와이어 또는 커넥터에 대한 상이한 전압 레벨 및/또는 와이어 또는 커넥터를 통한 전류 흐름의 방향으로서 표현될 수도 있다. 3-와이어 시스템에서의 시그널링 상태들의 시퀀스 각각 동안에, 각각의 와이어 (310a, 310b 및 310c)는 다른 와이어들과는 상이한 시그널링 상태들에 있다. 3 개를 초과하는 와이어들 (310a, 310b 및 310c)이 3-위상 인코딩 시스템에서 이용될 때, 2 개 이상의 와이어들 (310a, 310b 및/또는 310c)은 각각의 시그널링 간격에서 동일한 시그널링 상태에 있을 수 있지만, 각각의 상태는 매 시그널링 간격마다 적어도 하나의 와이어 (310a, 310b 및/또는 310c)에 대해 존재한다.

[0037] 정보는 각각의 위상 천이 (410)에서의 회전의 방향으로 인코딩될 수도 있고, 3-위상 신호는 각각의 시그널링 상태에 대한 방향을 변화시킬 수도 있다. 회전의 방향은, 미구동된 와이어 (310a, 310b 및/또는 310c)가, 회전의 방향에 상관없이, 회전하는 3-위상 신호에서 매 시그널링 상태마다 변화하기 때문에, 어느 와이어들 (310a, 310b 및/또는 310c)이 위상 천이의 전과 후에 '0' 상태에 있는지를 고려함으로써 결정될 수도 있다.

[0038] 인코딩 스킴은 또한 능동으로 구동되는 도체들 (310a, 310b 및 310c) 중 2 개의 도체의 극성 (408)에서의 정보를 인코딩할 수도 있다. 3-와이어 구현에서 임의의 시간에, 도체들 (310a, 310b, 310c) 중 정확히 2 개는 반대 방향의 전류들로 및/또는 전압 차분으로 구동된다. 단순한 구현에서, 데이터 (412)는 2 비트 값들 (412)을 이용하여 인코딩될 수도 있는데, 여기서 하나의 비트는 위상 천이들 (410)의 방향으로 인코딩되고 두 번째 비트는 현재 상태에 대한 극성 (408)으로 인코딩된다.

[0039] 타이밍 차트 (400)는 위상 회전 방향과 극성 양쪽 모두를 이용하는 데이터 인코딩을 예시한다. 곡선들 (402, 404 및 406)은, 다수의 위상 상태들에 대한, 3 개의 와이어들 (310a, 310b 및 310c) 상에서 반송된 신호들 각각에 관한 것이다. 초기에는, 위상 천이들 (410)은 시계 방향으로 있고, 최상위 비트는, 그 최상위 비트의 바이너리 '0'에 의해 표현된 바와 같이, 위상 천이들 (410)의 회전이 시간 414에서 반시계 방향으로 스위칭할 때까지 바이너리 '1'로 설정된다. 최하위 비트는 각각의 상태에서 신호의 극성 (408)을 반영한다.

[0040] 본 명세서에 개시된 소정의 양태들에 따르면, 데이터의 1 비트는 3-와이어, 3-위상 인코딩 시스템에서의 회전, 또는 위상 변화로 인코딩될 수도 있고, 부가적인 비트는 2 개의 구동된 와이어들의 극성으로 인코딩될 수도 있다. 부가적인 정보는 현재 상태로부터 가능한 상태들 중 임의의 상태로의 천이를 가능하게 함으로써 3-와이어, 3-위상 인코딩 시스템의 각각의 천이에서 인코딩될 수도 있다. 3 개의 회전 위상들 및 각각의 위상에 대한 2 개의 극성들을 고려하면, 6 개의 상태들이 3-와이어, 3-위상 인코딩 시스템에서 이용가능하다. 이에 따라, 5 개의 상태들이 임의의 현재 상태로부터 이용가능하다. 이에 따라, 심볼 (천이) 당 인코딩된 $\log_2(5) \approx 2.32$ 비트들이 존재할 수도 있고, 이는 맵퍼 (302)가 16-비트 워드를 수용하고 그것을 7 개의 심볼들로 인코딩하게 한다.

[0041] N-위상 데이터 전송은 버스와 같은, 통신 매체에 제공된 3 개를 초과하는 와이어들을 이용할 수도 있다. 동시에 구동될 수 있는 부가적인 신호 와이어들의 이용은 상태들과 극성들의 더 많은 조합들을 제공하고, 데이터의 더 많은 비트들이 상태들 간의 각각의 천이에서 인코딩되게 한다. 이것은, 증가된 대역폭을 제공하면서, 데이터 비트들을 송신하기 위해 다수의 차분 쌍들을 이용하는 접근법들에 의해 시스템의 스루풋을 현저히 개선시키고 전력 소비를 감소시킬 수 있다.

[0042] 하나의 예에서, 인코더는 각각의 상태에 대해 구동된 와이어들의 2 개의 쌍들을 가진 6 개의 와이어들을 이용하여 심볼들을 송신할 수도 있다. 6 개의 와이어들은 A 내지 F로 라벨링될 수도 있어서, 하나의 상태에서, 와이어들 A 및 F는 포지티브 구동되고, 와이어들 B 및 E는 네거티브 구동되며, C 및 D는 미구동 (전류를 나르지 않음) 된다. 6 개의 와이어들에 대해, 다음과 같이 능동으로 구동된 와이어들의:

$$[0043] C(6,4) = \frac{6!}{(6-4)! \cdot 4!} = 15$$

[0044] 개의 가능한 조합들이 존재할 수도 있고, 여기서 각각의 위상 상태에 대한 극성의:

$$[0045] C(4,2) = \frac{4!}{(4-2)! \cdot 2!} = 6$$

[0046] 개의 상이한 조합들이 존재한다.

[0047] 능동으로 구동된 와이어들의 15 개의 상이한 조합들은 다음을 포함할 수도 있다:

$$\begin{array}{ccccc} A B C D & A B C E & A B C F & A B D E & A B D F \\ A B E F & A C D E & A C D F & A C E F & A D E F \\ B C D E & B C D F & B C E F & B D E F & C D E F \end{array}$$

[0048] [0049] 구동된 4 개의 와이어들 중, 2 개의 와이어들의 가능한 조합들이 포지티브 구동된다 (그리고 나머지 2 개는 네 거티브이어야 한다). 극성의 조합들은 다음을 포함할 수도 있다:

$$[0050] + + - - \quad + - + + \quad + - + - \quad - + - + \quad - + + - \quad - - + +$$

[0051] 이에 따라, 상이한 상태들의 총 수는 $15 \times 6 = 90$ 으로서 계산될 수도 있다. 심볼들 간의 천이를 보장하기 위해, 89 개의 상태들이 임의의 현재 상태로부터 이용가능하며, 각각의 심볼에서 인코딩될 수도 있는 비트들의 수는 심볼 당 $\log_2(89) \approx 6.47$ 비트들로서 계산될 수도 있다. 이 예에서, 32-비트 워드는, $5 \times 6.47 = 32.35$ 비트들이 주어진다면, 5 개의 심볼들로 맵퍼에 의해 인코딩될 수 있다.

[0052] 임의의 사이즈의 버스에 대해 구동될 수 있는 와이어들의 조합들의 수에 대한 일반식은, 버스에서의 와이어들의 수 및 동시에 구동된 와이어들의 수의 함수로서, 다음과 같다:

$$[0053] C(N_{wires}, N_{driven}) = \frac{N_{wires}!}{(N_{wires} - N_{driven})! \cdot N_{driven}!}$$

[0054] 구동되는 와이어들에 대한 극성의 조합들의 수에 대한 식은 다음과 같다:

$$[0055] C\left(N_{driven}, \frac{N_{driven}}{2}\right) = \frac{N_{driven}!}{\left(\left(\frac{N_{driven}}{2}\right)!\right)^2}$$

[0056] 심볼 당 비트들의 수는 다음과 같다:

$$[0057] \log_2 \left(C(N_{wires}, N_{driven}) \cdot C\left(N_{driven}, \frac{N_{driven}}{2}\right) - 1 \right)$$

[0058] 도 5 는 3-와이어, 3-위상 디코더에서의 수신기의 소정의 양태들을 예시하는 블록 개략도 (500) 를 포함한다. 차동 수신기들 (502a, 502b 및 502c) 의 세트는 3 개의 와이어들 (510a, 510b 및 510c) 각각을 3 개의 와이어들 (510a, 510b 및 510c) 중 다른 것과 비교하도록 구성된다. 도시된 예에서, 차동 수신기 (502a) 는 와이어들 (510a 및 510b) 의 상태들을 비교하고 A-B 차이 신호 (504a) 를 출력하고, 차동 수신기 (502b) 는 와이어들 (510b 및 510c) 의 상태들을 비교하고 B-C 차이 신호 (504b) 를 출력하며, 차동 수신기 (502c) 는 와이어들 (510a 및 510c) 의 상태들을 비교하고 C-A 차이 신호 (504c) 를 출력한다. 이에 따라, 위상 변화 검출 회로 (506) 는 차동 수신기들 (502a, 502b 및 502c) 중 적어도 하나의 차동 수신기의 출력 (504a, 504b 및/또는 504c) 이 각각의 위상 간격의 끝에서 변화하기 때문에 위상 변화의 발생을 검출하도록 구성될 수 있다.

[0059] 소정의 위상 천이들은 단일의 차동 수신기 (502a, 502b 또는 502c) 에 의해 검출가능할 수도 있는 한편, 다른 위상 천이들은 차동 수신기들 (502a, 502b 및 502c) 중 2 개 이상에 의해 검출될 수도 있다. 하나의

예에서, 상태들, 또는 2 개의 와이어들의 상대적 상태들은 천이 후에 변화되지 않을 수도 있고, 대응하는 차동 수신기 (502a, 502b 또는 502c) 의 출력이 또한 위상 천이 후에 변화되지 않을 수도 있다. 다른 예에서, 한 쌍의 와이어들 (510a, 510b 및/또는 510c) 에서의 양쪽의 와이어들은 제 1 시간 간격에서 동일한 상태에 있을 수도 있고 양쪽의 와이어들은 제 2 시간 간격에서 동일한 제 2 상태에 있을 수도 있고, 와이어들의 쌍을 비교하는 차동 수신기 (502a, 502b 또는 502c) 는 위상 천이 후에 변화되지 않을 수도 있다. 이에 따라, 클록 생성 회로는 수신 (Rx) 위상 천이가 발생한 때를 결정하기 위해 모든 차동 수신기들 (502a, 502b 및 502c) 의 출력들을 모니터링하는 위상 변화 검출 회로들 및 로직 (506) 을 포함할 수도 있다. 클록 생성 회로는 신호들 (508a, 508b 및 508c) 로서 각각 출력되는 검출된 위상 천이들 Rx_AB, Rx_BC 및/또는 Rx_CA 에 기초하여 수신 클록 (512) 을 생성할 수도 있다.

[0060] 위상 상태들의 변화들은 와이어들 (510a, 510b 및/또는 510c) 의 상이한 조합들에 대한 상이한 시간들에서 검출될 수도 있다. 위상 상태 변화들의 검출의 타이밍은 발생한 위상 상태 변화의 타입에 따라 가변할 수도 있다. 이 가변성의 결과는 도 5 의 단순화된 타이밍 차트 (520) 에 예시된다. 위상 변화 검출 회로들 (506) 및/또는 차동 수신기들 (502a, 502b 및 502c) 의 출력들을 표현하는 마커들 (522, 524 및 526) 은 단지 예시의 명료함을 위해 상이한 높이들을 할당받는다. 마커들 (522, 524 및 526) 의 상대적 높이들은 클록 생성 또는 데이터 디코딩을 위해 이용된 전압 또는 전류 레벨들, 극성 또는 가중 값들에 대해 어떤 특정 관계도 갖지 않는다. 타이밍 차트 (520) 는 3 개의 와이어들 (510a, 510b 및 510c) 상의 위상 및 극성에 있어서의 송신된 심볼들과 연관된 천이들의 타이밍의 영향을 예시한다. 타이밍 차트 (520) 에서, 일부 심볼들 간의 천이들은 심볼들이 신뢰성있게 캡처될 수도 있는 가변 캡처 윈도우들 (530a, 530b, 530c, 530d, 530e, 530f 및/또는 530g) (통칭하여 심볼 캡처 윈도우들 (530)) 을 발생시킬 수도 있다. 검출된 상태 변화들의 수 및 그들의 상대적 타이밍은 클록 신호 (512) 상에 지터를 발생시킬 수 있다.

[0061] 3-와이어, 3-위상 통신 링크를 시뮬레이션할 때, 와이어들의 소정의 아날로그 특성들은 심볼 윈도우들 (530) 에서의 가변성, 및 이러한 가변성으로부터 발생할 수도 있는 지터를 고려하도록 모델링될 수도 있다. 심볼 윈도우들 (530) 의 사이즈들에서의 가변성 및 지터는, 도 6 에 도시된 단순 예 (600) 에 예시한 바와 같이, 와이어들 (510a, 510b 및 510c) 의 아날로그 전기적 특성들에 의해 부분적으로 야기될 수도 있다. 더 구체적으로는, 상승 및 하강 시간들에 영향을 미치는 와이어들 (510a, 510b 및 510c) 의 아날로그 전기 특성들은 저항, 커패시턴스, 인덕턴스, 라인 드라이버들에 의해 제공된 전압들 및 전류들, 라인 수신 회로들에서 설정된 임계치, 및 다른 팩터들을 포함할 수도 있다. 심볼 윈도우들 (530) 의 사이즈들에서의 가변성은 제조 프로세스 허용오차들, 전압 및 전류 소스들의 변동들 및 안정성 및 오퍼레이팅 온도에 의해 야기되는 검출 회로들에서의 가변성 및/또는 신호 천이 시간들에서의 가변성에 의해 영향을 받을 수도 있다.

[0062] 신호 천이 시간들에서의 큰 가변성은 3-위상 시그널링에서의 상이한 전압 또는 전류 레벨들의 존재에 기인할 수 있다. 단순화된 "전압-레벨" 예는 단일의 와이어 (510a, 510b 또는 510c) 에서의 천이 시간들을 예시하는 도 6 에 도시된다. 제 1 심볼 (Sym_n) 간격 (602) 은 시간 622에서 종료할 수도 있고, 제 2 심볼 (Sym_{n+1}) 간격은 시간 624에서 종료할 수도 있으며 제 3 심볼 (Sym_{n+2}) 간격 (606) 은 시간 626에서 종료할 수도 있고, 그 때 제 4 심볼 (Sym_{n+3}) 간격 (608) 이 시작된다. 제 1 심볼 (602) 에 의해 결정된 상태로부터 제 2 심볼 (604) 에 대응하는 상태로의 천이는 와이어 (510a, 510b 또는 510c) 에서의 전압이 임계 전압 (618 및/또는 620) 에 도달하는데 걸리는 시간에 기인하는 딜레이 (612) 후에 검출될 수도 있다. 임계 전압들은 와이어 (510a, 510b 또는 510c) 의 상태를 결정하는데 이용될 수도 있다. 제 2 심볼 (604) 에 의해 결정된 상태로부터 제 3 심볼 (606) 에 대한 상태로의 천이는 와이어 (510a, 510b 또는 510c) 에서의 전압이 임계 전압들 (618 및/또는 620) 중 하나에 도달하는데 걸리는 시간에 기인하는 딜레이 (614) 후에 검출될 수도 있다. 제 3 심볼 (606) 에 의해 결정된 상태로부터 제 4 심볼 (608) 에 대한 상태로의 천이는 와이어 (510a, 510b 또는 510c) 에서의 전압이 임계 전압 (618 및/또는 620) 에 도달하는데 걸리는 시간에 기인하는 딜레이 (616) 후에 검출될 수도 있다.

[0063] 가변 딜레이들 (612, 614, 616) 은 상태들 사이의 전압 차분 및 예를 들어 풀-업 또는 풀-다운 저항기에 의해 신호가 상태를 향해 구동되는지 또는 상태를 향해 풀링되는지 여부에 기인할 수도 있다.

[0064] 도 7 은 3-와이어, 3-위상 통신 링크의 하나의 예에서 6 개의 상태들 및 30 개의 가능한 상태 천이들을 예시하는 상태 다이어그램 (700) 이다. 상태 다이어그램 (700) 에서의 가능한 상태들 (702, 704, 706, 712, 714 및 716) 은 도 4 의 다이어그램 (450) 에 도시된 상태들을 포함하고 그 상태들에 대해 확장된다. 예시적인 상태 엘리먼트 (720) 에 도시한 바와 같이, 상태 다이어그램 (700) 에서의 각각의 상태 (702, 704, 706, 712,

714 및 716)는 (각각 와이어들 (610a, 610b 및 610c) 상에 송신된) 신호들 (A, B 및 C)의 전압 상태를 나타내는 필드 (722), 차동 수신기들 (502a, 502b, 502c) (도 5 참조) 각각에 의한 와이어 전압들의 감산의 결과를 나타내는 필드 (724) 및 회전의 방향을 나타내는 필드 (726)를 포함한다. 예를 들어, 상태 (702) (+x)에서 와이어 A=+1, 와이어 B=-1 및 와이어 C=0이며, 이는 차동 수신기 (502a) (A-B)=+2, 차동 수신기 (502b) (B-C)=-1 및 차동 수신기 (502c) (C-A)=+1의 출력을 산출한다. 정의된 상태들 {+1, 0, -1}은 하나의 예에서 전압 세트 {+V, +V/2, 0}에 의해, 다른 예에서 전압 세트 {+V, 0, -V}에 의해, 또는 일부 다른 표현에 의해 510a, 510b 및 510c에 대해 표현될 수도 있다. 상태 다이어그램에 의해 예시된 바와 같이, 위상 변화 검출 회로 (506)에 의해 취해진 천이 관정들은 차동 수신기들 (502a, 502b 및 502c)에 의한 감산에 의해 생성된 5개의 가능한 레벨들에 기초하며, 이 5개의 가능한 레벨들은 -2, -1, 0, +1 및 +2 전압 상태들을 포함한다.

[0065]

테이블 1은 3-와이어 3-위상 인코딩 스킵에 대한 시그널링 상태들을 예시하는데, 여기서 와이어들 (A, B, C) (510a, 510b 및 510c)은 3개의 전압 레벨들 {+V, +V/2, 0}을 스위칭할 수 있다. 차동 수신기들 (502a, 502b, 502c) 각각의 차이 출력들 (504a, 504b 또는 504c)은 한 쌍의 와이어들 (510a, 510b 및 510c)의 입력 전압들에서의 차이를 표현한다.

와이어 상태	와이어 진폭			Rx 차이 입력 전압			Rx 디지털 출력		
	A	B	C	A-B	B-C	C-A	Rx AB	Rx BC	Rx CA
+x	+V	0	+V/2	+V	-V/2	-V/2	1	0	0
-x	0	+V	+V/2	-V	+V/2	+V/2	0	1	1
+y	+V/2	+V	0	-V/2	+V	-V/2	0	1	0
-y	+V/2	0	+V	+V/2	-V	+V/2	1	0	1
+z	0	+V/2	+V	-V/2	-V/2	+V	0	0	1
-z	+V	+V/2	0	+V/2	+V/2	-V	1	1	0

[0066]

테이블 1

[0067]

도 8은 테이블 1의 인코딩/디코딩 스킵을 그래프으로 도시한다. 위상 변화 검출 회로는 차이 출력 (504a, 504b 또는 504c)이 포지티브 전압을 갖는 경우에는 로직 '1' 값을 그리고 차이 출력 (504a, 504b 또는 504c)이 네거티브 전압을 가질 때에는 로직 '0' 값을 갖는 바이너리 신호를 생성하도록 차이 출력들 (504a, 504b 및 504c)을 프로세싱할 수도 있다.

[0068]

도 8은 제 1 상태로부터 제 2 상태로의 천이들의 단순화된 예들을 표현하는 타이밍 차트들 (800)을 제공하고, 신호 와이어들 (504a, 504b 및 504c)의 아날로그 특성들에 기인하는 타이밍 가변성을 예시한다. 타이밍 차트 (800)는 3-와이어, 3-위상 통신 링크의 예와 관련된 것으로, 트리오의 와이어들의 3개의 신호들 사이의 상승 및 하강 시간에서의 약간의 차이들로 인해 그리고 수신된 신호 쌍들 (예를 들어, A-B, B-C, 및 C-A)의 조합들 사이의 신호 전파 시간들에서의 약간의 차이들로 인해 다수의 수신기 출력 천이들이 각각의 UI 경계에서 발생할 수도 있다. 이 설명의 목적들을 위해, 도 8에 도시된 신호들은 어떤 위상 지터 또는 ISI도 갖지 않는다고 가정한다. 와이어의 초기 상태는, 와이어를 +V/2 볼트 레벨로 수동으로 폴링되게 하거나 또는 플로팅하게 함으로써 +V/2 볼트 상태가 획득되는 경우, 다른 구동된 상태 또는 미구동된 상태로의 가능한 천이들을 갖는, 구동된 상태 (0 볼트들 또는 +V 볼트들)일 수도 있다. 일부 경우들에서, 모든 3개의 상태들은 구동된 상태들일 수도 있다. 와이어의 초기 상태는, 구동된 상태로의 가능한 천이들을 갖는, 미구동된 상태일 수도 있다.

[0069]

타이밍 차트들 (802, 812 및 822)은 신호 그래프들 (850)의 세트에 도시된 신호 천이들 전과 후에 차동 수신기들 (502a, 502b 및 502c)에서 측정가능한 신호 와이어들 (510a, 510b 및 510c) (각각, 신호들 A, B 및 C) 간의 차이들을 예시한다. 도 8에 도시된 예들에서, -1 상태는 0 볼트들의 전압 레벨에 의해 표현되고, +1 상태는 포지티브 전압 (+V 볼트들)에 의해 표현되며, 중간 상태는 +V/2 볼트들에서 정의된다. 많은 경우들에서, 차동 수신기들 (502a, 502b 및 502c)의 세트는 2개의 신호 와이어들 (510a, 510b 및 510c)에 대한 상이한 조합들을 비교함으로써 천이들을 캡처하도록 구성될 수도 있다. 하나의 예에서, 이를 차동 수신기들 (502a, 502b 및 502c)은 이들의 각각의 입력 전압들의 (예를 들어 감산에 의한) 차이를 결정함으로써 출력들을 생성하도록 구성될 수도 있다. 클록은 차동 수신기들 (502a, 502b 및 502c) 중 하나 이상의 차동 수신기의 출력들의 제로-크로싱들에 기초하여 생성될 수도 있다. +1 상태를 표현하는 전압과 -1 상태를 표현하는 전압 사이의 전압 범위 내의 중간점에서의 전압에 의해 표현되는 0 상태를 통해 신호가 천이할 때 제로-크로싱이 발생할 수도 있다. 하나의 예에서, -1 상태가 네거티브 전압 (-V)에 의해 표현되고 +1 상태가 포지티브 전

암 (+V) 에 의해 표현될 때 제로-크로싱은 0 볼트들에서 발생한다.

[0071] 타이밍 차트들 (802 및 852) 은 신호 A 가 +1 상태로부터 -1 상태로 천이하고, 신호 B 가 -1 상태로부터 +1 상태로 천이하며 신호 C 가 0 상태에 남아있는 심볼 (+x) (702) 로부터 심볼 (-x) (712) 로의 천이 (도 7 참조) 와 관련된다. 이에 따라, 차동 수신기 (502a) 는 AB 천이 (806) 전에 +2 차이 및 AB 천이 (806) 후에 -2 차이를 측정할 수도 있고, 차동 수신기들 (502b 및 502c) 은 각각 BC 및 CA 천이들 (804) 전에 -1 차이 및 BC 및 CA 천이들 (804) 후에 +1 차이를 측정할 수도 있다. 이 예에서, BC 및 CA 천이들 (804 및 806) 양쪽은 제로-크로싱들을 갖는다. 제로-크로싱들은 양쪽 천이들이 구동된 상태들을 향하기 때문에 시간적으로 아주 근접하게 (810) 발생할 수도 있다.

[0072] 타이밍 차트들 (812 및 854) 은 신호 A 가 +1 상태로부터 0 상태로 천이하고, 신호 B 가 -1 상태로부터 +1 상태로 천이하며 신호 C 가 0 상태로부터 -1 상태로 천이하는 심볼 (+x) (702) 로부터 심볼 (+y) (704) 로의 천이와 관련된다. 이에 따라, 차동 수신기 (502a) 는 AB 천이 (816) 전에 +2 차이 및 AB 천이 (816) 후에 -1 차이를 측정할 수도 있고, 차동 수신기 (502b) 는 BC 천이 (814) 전에 -1 차이 및 BC 천이 (814) 후에 +2 차이를 측정할 수도 있으며, 차동 수신기 (502c) 는 CA "비-천이" (818) 를 통해 -1 차이에 남아있을 수도 있다. 이 예에서, BC 및 AB 천이들 (814 및 816) 양쪽은 제로-크로싱들을 갖는다. 이들 제로-크로싱들은 상당한 시간 간격 (820) 에 의해 분리될 수도 있다. 하나의 예에서, BC 천이 (814) 가 최종의 구동된 상태를 갖는 2 개의 신호들을 수반하지만 AB 천이 (816) 는 최종의 미구동된 상태를 갖는 하나의 신호와 관련되기 때문에 차이가 발생할 수도 있다.

[0073] 타이밍 차트들 (822 및 856) 은 신호 A 가 +1 상태로부터 -1 상태로 천이하고, 신호 B 가 -1 상태로부터 0 상태로 천이하며 신호 C 가 0 상태로부터 +1 상태로 천이하는 심볼 (+x) (702) 로부터 심볼 (+z) (706) 로의 천이와 관련된다. 이에 따라, 차동 수신기 (502a) 는 AB 천이 (826) 전에 +2 차이 및 AB 천이 (826) 후에 -1 차이를 측정할 수도 있고, 차동 수신기 (602b) 는 BC 비-천이 (828) 전과 후에 -1 차이를 측정할 수도 있으며, 차동 수신기 (502c) 는 CA 천이 (824) 전에 -1 차이 및 CA 천이 (824) 후에 +2 차이를 측정할 수도 있다. 이 예에서, CA 및 AB 천이들 (824 및 826) 양쪽은 제로-크로싱들을 갖는다. 이들 제로-크로싱들은 상당한 시간 기간 (period of time; 830) 에 의해 분리될 수도 있다. 하나의 예에서, 차이는 CA 천이 (824) 가 양쪽이 최종의 구동된 상태를 갖는 신호들 (A 및 C) 을 수반하는 한편 AB 천이 (826) 가 최종의 미구동된 상태를 갖는 하나의 신호 (B 신호) 를 수반하는 것에 기인할 수도 있다.

[0074] 제로-크로싱들 간의 시간 간격들 (810, 820 및 830) 은 상태들의 상이한 조합들 간의 천이 시간들의 차이들로부터 발생할 수도 있다. 예를 들어, 구동된 상태로의 천이들에 대한 천이 시간들은 미구동된 상태로의 천이들 보다 더 짧다. 상승 시간들의 증가된 또는 감소된 차이들을 생성하는 다른 회로 구현들이 채용될 수도 있다. 예를 들어, 차동 수신기들 (502a, 502b 및 502c) 의 입력들에서의 신호들의 상대적 시간 관계는 제로 상태가 미구동된 레벨보다는 구동된 레벨일 때, 또는 미구동된 신호 와이어가 폴-업 및/또는 폴-다운 저항기들에 의해 종단되는 곳에서 영향을 받을 수도 있다. 따라서, 상이한 타이밍 관계들은 수신기 입력들에서 수신된 신호들에 대해 예상될 수 있다.

[0075] 도 8 에 예시된 예들은 +x 로부터 -x 로, +x 로부터 +y 로 및 +x 로부터 +z 로의 3 개의 상태 천이들에 대한 천이들의 정렬을 설명하고, 타이밍 차트들 (852, 854 및 856) 에 도시된 바와 같이, 제로-크로싱들이 신호 와이어들 (510a, 510b 및 510c) 중 적어도 2 개 상에서 발생한다. 이들 3 개의 상태 천이들에서 발생하는 조건들은 도 7 에 도시된 30 개의 가능한 상태 천이들 중 18 개에 존재할 수도 있다.

[0076] 본 명세서에서 설명된 소정의 양태들에 따르면, 신호들 및 통신 채널에서 그 신호들을 반송하는 와이어들의 특성들은 시뮬레이션 목적들을 위해 모델링될 수도 있다. 본 명세서에서 설명된 기법들 및 방법들은 3-위상 통신 링크의 동작에 영향을 미칠 수도 있는 와이어들의 소정의 아날로그 특성들을 모델링하는데 이용될 수도 있다. 종래의 시뮬레이터들은 특정 신호들 또는 신호 콘텐츠를 모델링하는 것으로 제한되고 링크의 재구성을 수용할 수 없다. 예를 들어, 종래의 시스템들은 상이한 전력 버짓들을 수용하기 위해 3-위상 시그널링과 바이너리 싱글-엔드형 (single-ended) 또는 차분 시그널링 사이에서 재구성될 수 있는 통신 링크들을 쉽게 시뮬레이션할 수 없다.

[0077] 본 명세서에서 설명된 소정의 양태들에 따르면, 통신 링크에서의 커넥터는 아날로그 특성들의 실수 모델링에 대한 의존 없이 모델링될 수 있다. 커넥터를 통해 송신된 신호는 커넥터 상에 송신된 신호의 공칭 "액티브/비-액티브" 조건을 나타내기 위해 제 1 바이너리를 비트를 이용하여 표현될 수도 있다. 따라서, 바이너리 신호에 대해, 제 1 바이너리 비트는 로직 '1' 및 로직 '0' 상태들에 직접적으로 맵핑될 수도 있다. 2 개를 초

과하는 상태들이 신호에 대해 정의될 때, 커넥터 상의 로직 '1' 및 로직 '0' 상태들을 표현하는 상이한 전압 진폭들을 나타내는 가상 디지털 신호를 제공하기 위해 부가적인 비트들이 이용될 수도 있다. 3-위상 신호의 예에서, 도 8 의 신호 그래프들 (850) 에 그리고 테이블 1 에 예시된 +V/2 볼트 상태와 같은 중간 상태들을 나타내기 위해 비트들의 부가적인 쌍이 이용될 수도 있다. 비트들의 부가적인 쌍의 제 1 비트는 중간 전압 상태들이 이용 가능함을 나타낼 수도 있고, 제 2 비트가 그 후에, +V/2 볼트 상태를 포함할 수도 있는 중간 상태들과 최대 상태 (+V 볼트들) 사이에서 선택될 수도 있다.

와이어 구동 상태	실제 진폭 (하나의 와이어에서)	모델 와이어: 가상 신호 및 디지털 신호 (하나의 와이어에서)		
		HS_en	HS_mid_level	비트 P
HS	0		0	0
HS	+V/2	1	1	1
HS	+V		0	1
LP	LP 로직 0 (0 볼트들)		무정의	0
LP	LP 로직 1 (+V _{LP} 볼트들)	0	무정의	1
하이-Z	Z	무정의	무정의	Z
알지 못함	X	무정의	무정의	X

테이블 2

[0078] 테이블 2 는 본 명세서에 개시된 소정의 양태들에 따라 멀티-위상 신호들을 시뮬레이션하는데 이용될 수 있는 코딩 스킴의 예를 예시한다. 코딩 스킴은 커넥터를 통해 송신된 신호들의 거동 뿐만 아니라 커넥터의 아날로그 거동을 모델링하는데 이용될 수 있다. 테이블 2 는 멀티-위상 신호, 저전력 바이너리 신호 또는 다른 타입의 신호를 전도하도록 동적으로 재구성될 수도 있는 신호 와이어 (510a, 510b 또는 510c) 를 모델링하기 위한 코딩 스킴의 적용과 관련된다. 테이블 2 에서 상세화된 예는 3-위상 신호, 저전력 바이너리 디지털 신호를 반송하거나, 또는 하이-임피던스 또는 "무정의 (don't care)" 상태에 놓일 수 있는 신호 와이어 (510a, 510b 또는 510c) 와 관련된다.

[0080] 디지털 신호는 아날로그 와이어의 물리적 연결을 표현하기 위해 바이너리 프라이머리 비트 ('P') 로 인코딩될 수도 있고, 가상 신호는 HS_mid_level 및 고속 인에이블 (HS_en) 비트들로 인코딩될 수도 있다. 예를 들어, P 는 시뮬레이션된 신호 와이어 (510a, 510b 또는 510c) 에 대한 액티브 또는 인액티브 시그널링 상태들을 인코딩하는데 이용될 수도 있다. 인액티브 상태는 제로-볼트 상태에 대응할 수도 있는 한편, 액티브 상태는 비-제로 전압 레벨들을 갖는 복수의 전압 상태들 (V_{signal}) 을 포함할 수도 있다. 시뮬레이션된 신호 와이어 (510a, 510b 또는 510c) 는 상이한 시그널링 스Kim들에 따라 구동될 수도 있고, V_{signal} 의 전압 레벨은, 중간-레벨 상태가 고속 모드에서 요구되는지 여부, 및 이용 가능한 중간-레벨 상태들 중 어떤 것이 선택되는지를 각각 결정하는 HS_en 및 하나 이상의 HS_mid_level 비트들을 포함하여, 다른 비트들에 의해 결정된, 복수의 상이한 레벨들 중 하나일 수도 있다.

[0081] 하나의 예에서, 링크가 3-위상 링크로서 동작될 때, 가상 신호는 고속, 멀티-위상 동작을 나타내기 위해 로직 '1' 로 설정되는 HS_en 비트를 포함할 수도 있고, 단일의 HS_mid_level 비트는 중간-레벨 전압이 선택될 때를 나타내기 위해 채용될 수도 있다. 테이블 1 에 도시된 예에서, 프라이머리 비트 P = 1 일 때 HS_mid_level=1 은 $V_{signal} = +V/2$ 를 선택하고, 프라이머리 비트 P = 1 일 때 HS_mid_level=0 은 $V_{signal} = +V$ 를 선택한다. 3-위상 동작 모드에서, P = 0 으로 설정된 프라이머리 비트는 $V_{signal} = 0$ 볼트들을 선택한다. 일부 경우들에서, 전압들의 다른 조합들은 전압들의 세트 {-V, 0, +V} 를 포함하여 3-위상 신호를 제공하는데 이용될 수도 있고, 이에 따라 HS_mid_level 비트들 및 프라이머리 비트 'P' 의 상이한 조합들에 의해 선택된 전압들이 시뮬레이터에 의해 해석될 수도 있다.

[0082] 다른 예에서, 링크가 저전력 모드에서 동작될 때, 시뮬레이션된 신호는 2 개의 바이너리 상태들 간에서 스위칭 할 수도 있다. 이 모드에서, HS_en 비트는 저속 바이너리 동작을 나타내기 위해 로직 '0' 으로 설정될 수도 있고, HS_mid_level 비트들은 무시될 수도 있다. 이에 따라, 프라이머리 비트 P 는 바이너리 로직 상태들 '0' 및 '1' 에 대응하는 2 개의 전압 상태들 간에서 선택한다.

[0083] 다른 예에서, 링크가 하이-임피던스 모드에 놓이거나 또는 커넥터들의 상태가 커넥터에 연결된 회로에 의해 모니터링되지 않거나 또는 그렇지 않으면 이용되지 않을 때, 프라이머리 비트의 상태, HS_en 및 HS_mid_level 비트들은 무시될 수도 있거나 및/또는 임의로 할당될 수도 있다.

- [0084] 본 명세서에서 설명된 소정의 양태들에 따르면, 연결 링크에서의 각각의 커넥터와 연관된 가상 신호들 (HS_en 및 HS_mid_level) 의 세트는 시뮬레이션 동안 소스로부터 싱크로 전파될 수도 있다. 3-위상 애플리케이션에서, 디지털 신호 {HS_mid_level, P} 는 세트 {0, +V/2, +V} 의 3 개의 값들을 인코딩하는데 이용될 수도 있지만, 가상 신호들 및 전압 레벨들의 다른 순열들이 채용될 수도 있다.
- [0085] 일부 경우들에서, 가상 신호들은 도 5 에 예시된 수신기 회로에서의 신호들 및 커넥터들의 거동을 모델링하는데 이용될 수도 있다. 예를 들어, 차동 라인 수신기들 (502a, 502b 및 502c) 의 출력들 (504a, 504b 및 504c) 각각은 도 8 의 그래프들 (800) 에 도시된 4 개의 전압 레벨들 (-V, -V/2, +V, +V/2) 간에서 스위칭할 수도 있다.
- [0086] 멀티-위상 신호의 소정 거동들은, 상이한 전압 레벨들 또는 전압 상태들을, 신호 상태로의 또는 신호 상태로부터의 상승 시간 또는 상승 시간의 레이트와 연관시킴으로써 모델링될 수도 있다. 하나의 예에서, 그리고 본 명세서에서 논의된 바와 같이, 미구동된 전압 상태를 향해 천이하는 신호의 전압 레벨은 구동된 전압 상태를 향해 천이하는 신호의 전압 레벨보다 더 느리게 변화할 수도 있다. 시뮬레이션의 목적들을 위해, 상승 시간들은 표준 딜레이들로서 특성화될 수도 있고, 차이들은 표준 딜레이들에 덧셈으로 또는 곱셈으로 적용될 수 있는 파라미터들을 이용하여 모델링될 수도 있다. 다른 예에서, 가상 신호는 물리적 연결들의 상이한 구성들의 시뮬레이션을 허용하기 위해 원한다면 통신 링크에서의 물리적 연결들에 대한 하이-임피던스 및/또는 미정의된 상태들을 특성화할 수도 있다.
- [0087] 도 9 는 통신 링크에서 커넥터들의 아날로그 거동들을 모델링하고 시뮬레이션할 수 있는 프로세싱 회로 또는 시스템 (902) 의 예 (900) 를 예시하는 단순화된 블록 다이어그램이다. 프로세싱 회로 (902) 는 디지털 시스템 또는 디지털 컴포넌트들 (914) 의 거동을 시뮬레이션하는 소프트웨어를 포함하는 시뮬레이션 툴 (904) 을 포함할 수도 있다. 시뮬레이션 툴 (904) 은 기능성을 검증하기 위해 제조 전에 하드웨어를 검증하는데 이용될 수도 있다. 본 명세서에서 설명된 소정의 양태들에 따른 시뮬레이션 툴 (904) 은 커넥터들을 통해 송신된 신호들에 부가적으로 커넥터들의 아날로그 거동을 모델링할 수 있다.
- [0088] 프로세싱 회로 (902) 는 다양한 타입들의 하드웨어 및 오퍼레이팅 시스템들을 포함할 수도 있다. 하나의 예에서, 프로세싱 회로 (902) 는 단일-보드 타입의 컴퓨터, 예컨대 제어기 또는 블레이드 서버, 데스크톱 컴퓨터, 윈도우즈-기반 시스템, 유닉스-기반 시스템, 선 솔라리스 (Sun Solaris) 시스템, 리눅스-기반 시스템, 다수의 컴퓨팅 디바이스들을 갖는 분산 시스템 등으로부터 적응될 수도 있다. 시뮬레이션 툴 (904) 은 하나 이상의 프로세싱 회로들 (902) 과 협력하거나 또는 이 프로세싱 회로들 상에서 실행하는 하드웨어 및 소프트웨어의 일부 조합으로서 구현될 수도 있다. 시뮬레이션 툴 (904) 은 하나 이상의 실행가능한 프로그램들, 라이브러리들 및/또는 데이터의 세트들을 포함할 수도 있다.
- [0089] 시뮬레이션 툴 (904) 은 통신 링크들에 부가적으로 디지털 시스템들 및/또는 디지털 컴포넌트들을 시뮬레이션하는데 이용될 수도 있다. 예를 들어, 시뮬레이션 툴 (904) 은 셀룰러 폰 내의 디지털 회로를 시뮬레이션하는데 이용될 수도 있다. 시뮬레이션 툴 (904) 은 디지털 컴포넌트들 및/또는 블록들 (914) 을 모델링하거나 또는 그렇지 않으면 표현할 수도 있다. 디지털 컴포넌트들 (914) 은 집적 회로 디바이스들, 트랜지스터들, 디지털 로직 빌딩 블록들 예컨대 로직 게이트들 등을 포함할 수도 있다. 시뮬레이션 툴 (904) 은 통신 링크의 하나 이상의 커넥터들 (910) 을 모델링하거나 또는 그렇지 않으면 표현할 수도 있고 또는 소정의 디지털 컴포넌트들 (914) 간에서 상호연결할 수도 있다. 시뮬레이션 툴 (904) 은 통신 링크의 커넥터들 (910) 을 통해 송신되는 신호들을 포함하는 하나 이상의 신호들 (912) 을 모델링하거나 또는 그렇지 않으면 표현할 수도 있고 또는 소정의 디지털 컴포넌트들 (914) 간에서 상호연결할 수도 있다. 시뮬레이션 툴 (904) 은 하나 이상의 클록 신호들 또는 사이클들, 수동 아날로그 컴포넌트들 등을 포함하는 다른 컴포넌트들을 모델링하거나 또는 그렇지 않으면 표현할 수도 있다. 시뮬레이션 툴 (904) 은 디지털 컴포넌트들 (914), 신호들 (912) 및/또는 커넥터들 (910) 에 의해 이용된 클록 신호들 또는 사이클들을 시뮬레이션하는데 이용될 수 있는 하나 이상의 스케줄러들 (916) 을 모델링하거나 또는 그렇지 않으면 표현할 수도 있다.
- [0090] 도 10 은 본 발명의 소정의 양태들에 따른 인코딩 방법을 예시하는 플로우차트이다. 이 방법은 시뮬레이션 툴 또는 테스트 디바이스에 의해 수행될 수도 있다.
- [0091] 단계 1002 에서, 디바이스는 통신 링크에서의 물리적 연결을 표현하는 디지털 신호를 생성할 수도 있다.
- [0092] 단계 1004 에서, 디바이스는 물리적 연결을 통해 송신되는 3-위상 신호를 특성화하는 가상 신호를 생성할 수도 있다. 하나의 예에서, 통신 링크는 3 개의 물리적 연결들을 포함하고, 각각의 물리적 연결은 액티브 동작

모드가 선택될 때 3-위상 신호의 상이한 위상을 통신한다. 3 개의 물리적 연결들 각각은 인액티브 동작 모드에서 하이-임피던스 상태에 있을 수도 있다.

[0093] 단계 1006에서, 디바이스는 물리적 연결의 하나 이상의 아날로그 특성들을 모델링하도록 가상 신호를 구성할 수도 있다. 아날로그 특성들은 3-위상 신호를 정의하는 전압 상태들을 포함할 수도 있다. 물리적 연결의 아날로그 특성들은 3-위상 신호의 시그널링 상태들에 대응하는 적어도 3 개의 전압 상태들을 포함할 수도 있다. 전압 상태들은 적어도 3 개의 유효 전압 상태들을 포함할 수도 있다. 전압 상태 각각은 물리적 연결과 연관된 전압 레벨에 대응할 수도 있다.

[0094] 소정의 양태들에 따르면, 적어도 3 개의 유효 전압 상태들 중 하나는 미구동된 상태를 포함한다. 통신 링크가 액티브 동작 모드에 있을 때 통신 링크에서 하나의 물리적 연결만이 미구동된 상태에 유효하게 있을 수도 있다. 가상 신호는 물리적 연결의 하나 이상의 동작 모드들 간에서 선택할 수도 있다. 물리적 연결은 인액티브 동작 모드가 선택될 때 하이-임피던스 상태 또는 미정의된 상태에 있을 수도 있다. 동작 모드들은 고속 모드 및 저속 모드를 포함한다. 디지털 신호는 제 1 전압 상태와 제 2 전압 상태 사이에서 선택하는 제 1 바이너리 비트를 포함할 수도 있다. 제 2 전압 상태의 전압 레벨은 가상 신호에 의해 선택된다.

[0095] 소정의 양태들에 따르면, 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭할 수도 있다. 제 1 전압 상태는 최소 전압 레벨로서 정의될 수도 있다. 제 2 전압 상태의 전압 레벨은, 최소 전압 레벨보다 더 크고 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 최대 전압 레벨 중 어느 하나로서 가상 신호에 의해 선택될 수도 있다.

[0096] 소정의 양태들에 따르면, 3-위상 신호는 최대 전압 레벨과 최소 전압 레벨에 의해 경계지어진 전압 범위 내에서 스위칭한다. 제 1 전압 상태는 최대 전압 레벨로서 정의될 수도 있다. 제 2 전압 상태의 전압 레벨은, 최소 전압 레벨보다 더 크고 최대 전압 레벨보다 더 작은 중간 전압 레벨 또는 최소 전압 레벨 중 어느 하나로서 가상 신호에 의해 선택될 수도 있다.

[0097] 소정의 양태들에 따르면, 가상 신호는, 통신 링크가 저속 동작 모드들에서 동작될 때의 물리적 연결의 상이한 아날로그 거동들인, 통신 링크가 고속 모드에서 동작될 때의 물리적 연결의 아날로그 거동들을 특성화한다. 물리적 연결의 아날로그 거동들은 물리적 연결에 대한 신호 상태들 간의 상승 시간 또는 상승 시간의 레이트를 포함할 수도 있다.

[0098] 도 11은 프로세싱 시스템 (1102)을 채용한 장치에 대한 하드웨어 구현의 단순화된 예를 예시하는 다이어그램 (1100)이다. 프로세싱 회로 (1102)는 버스 (1120)에 의해 일반적으로 표현되는 버스 아키텍처로 구현될 수도 있다. 버스 (1120)는 프로세싱 회로 (1102)의 특정 애플리케이션 및 전체 설계 계약들에 의존하는 임의의 개수의 상호연결 버스들 및 브리지들을 포함할 수도 있다. 버스 (1120)는 프로세서 (1116), 모듈들 또는 회로들 (1104, 1106, 1108, 1112), 및 컴퓨터 판독가능 저장 매체 (1118)에 의해 표현된 하나 이상의 프로세서들 및/또는 하드웨어 모듈들을 포함하는 다양한 회로들을 함께 링크시킨다. 버스 (1120)는 또한, 당업계에 널리 공지되고 따라서 더 이상 설명되지 않을 타이밍 소스들, 주변기기들, 전압 레귤레이터들, 및 전력 관리 회로들과 같은 다양한 다른 회로들을 링크시킬 수도 있다.

[0099] 프로세서 (1116)는 마이크로프로세서, 제어기, 디지털 신호 프로세서, 시퀀서, 상태 머신 등을 포함할 수도 있다. 프로세서 (1116)는 컴퓨터 판독가능 저장 매체 (1116) 상에 저장된 소프트웨어의 실행을 포함하는 일반 프로세싱을 담당한다. 소프트웨어는, 프로세서 (1116)에 의해 실행될 경우, 프로세싱 회로 (1102)로 하여금 임의의 특정 장치에 대해 상기 설명된 다양한 기능들을 수행하게 한다. 컴퓨터 판독가능 저장 매체 (1118)는 또한, 소프트웨어를 실행할 때 프로세서 (1116)에 의해 조작되는 데이터를 저장하는데 이용될 수도 있다. 프로세싱 회로 (1102)는 모듈들 (1104, 1106 및 1108) 중 적어도 하나를 더 포함한다. 이 모듈들 (1104, 1106 및/또는 1108)은 컴퓨터 판독가능 저장 매체 (1118)에 상주/저장된, 프로세서 (1116)에서 실행하는 소프트웨어 모듈들, 프로세서 (1116)에 커플링된 하나 이상의 하드웨어 모듈들, 또는 이들의 일부 조합일 수도 있다.

[0100] 하나의 구성에서, 장치 (1100)는 통신 링크에서의 물리적 연결을 표현하는 디지털 신호를 생성하기 위한 모듈들 또는 회로 (1104), 물리적 연결을 통해 송신되는 3-위상 신호를 특성화하는 가상 신호를 생성하기 위한 모듈들 또는 회로 (1106), 가상 신호가 물리적 연결의 하나 이상의 아날로그 특성들을 모델링하도록 구성하기 위한 모듈들 또는 회로 (1108)를 포함한다.

[0101] 개시된 프로세스들에서의 단계들의 특정 순서 또는 계층구조가 예시적인 접근법들의 일 예시임이 이해된다.

설계 선호도들에 기초하여, 프로세스들에서의 단계들의 특정 순서 또는 계층구조가 재배열될 수도 있음이 이해된다. 첨부한 방법 청구항들은, 샘플 순서로 다양한 단계들의 엘리먼트들을 제시하며, 제시된 특정 순서 또는 계층구조로 제한되도록 의도되지 않는다.

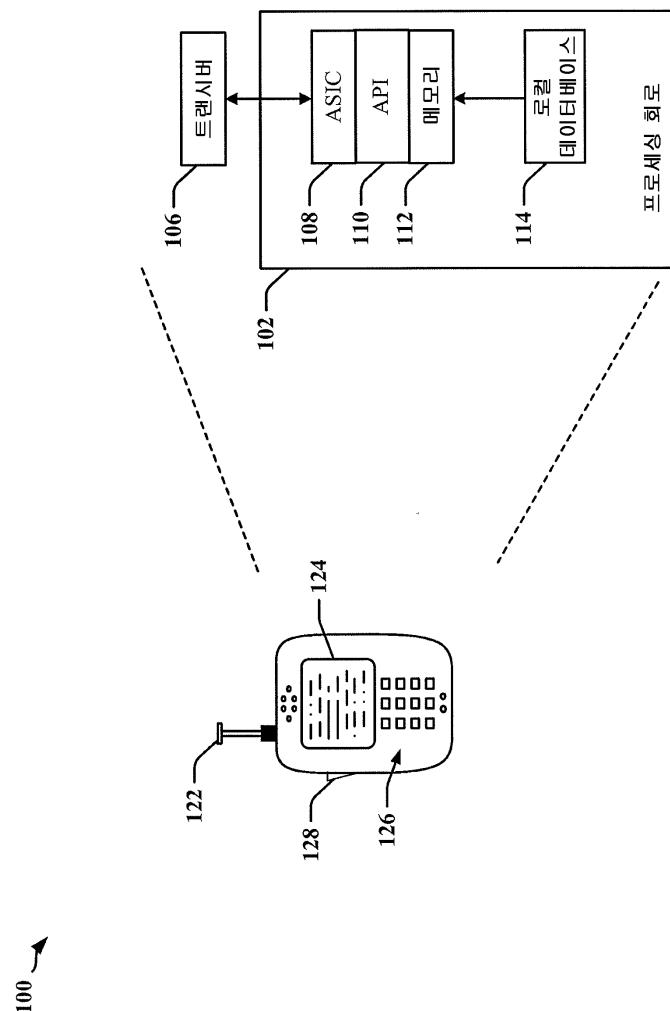
[0102]

이전 설명은 당업자로 하여금 본 명세서에 설명된 다양한 양태들을 실시할 수 있게 하도록 제공된다. 이들 양태들에 대한 다양한 수정들은 당업자들에게 쉽게 명백할 것이며, 본 명세서에 정의된 일반 원리들은 다른 양태들에 적용될 수도 있다. 따라서, 청구항들은 본 명세서에 나타낸 양태들로 제한되도록 의도되지 않지만, 문언적 청구항들과 부합하는 전체 범위를 부여받으려는 것으로, 여기서 단수로의 엘리먼트들에 대한 언급은 구체적으로 그렇게 서술되지 않는다면 "하나 그리고 단지 하나만"을 의미하도록 의도되지 않고 오히려 "하나 이상"을 의미하도록 의도된다. 구체적으로 달리 서술되지 않는다면, 용어 "일부"는 하나 이상을 지칭한다.

당업자들에게 공지되어 있거나 추후에 공지하게 되는 본 개시물 전반에 걸쳐 설명된 다양한 양태들의 엘리먼트들에 대한 모든 구조적 및 기능적 균등물들은 본 명세서에 참조로 명백히 포함되고 청구항들에 의해 포괄되도록 의도된다. 더욱이, 본 명세서에 개시된 어떤 것도, 그러한 개시물이 청구항들에 명시적으로 상술되는지 여부에 상관없이 공중에 받쳐지도록 의도되지 않는다. 어떠한 청구항 요소도, 그 요소가 어구 "하는 수단"을 사용하여 명백히 인용되지 않는다면 기능식 (means plus function)으로서 해석되지 않아야 한다.

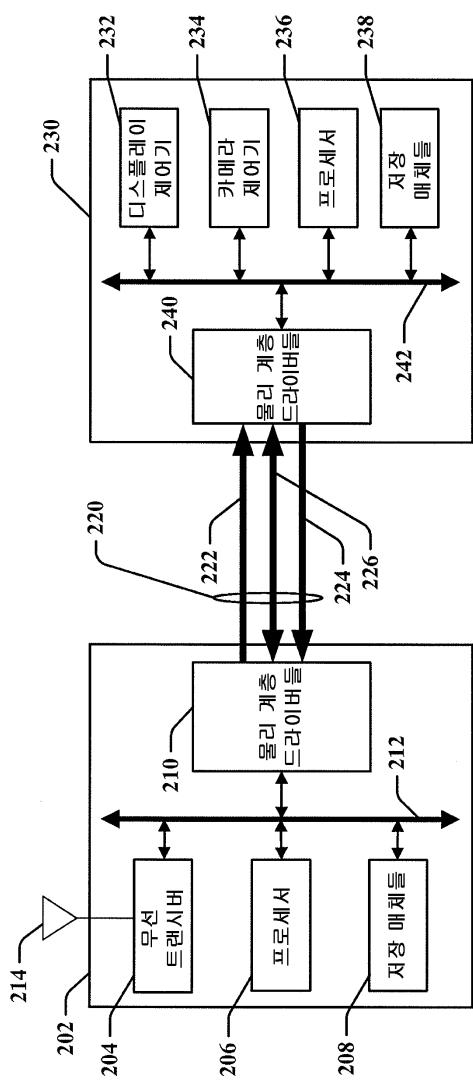
도면

도면1



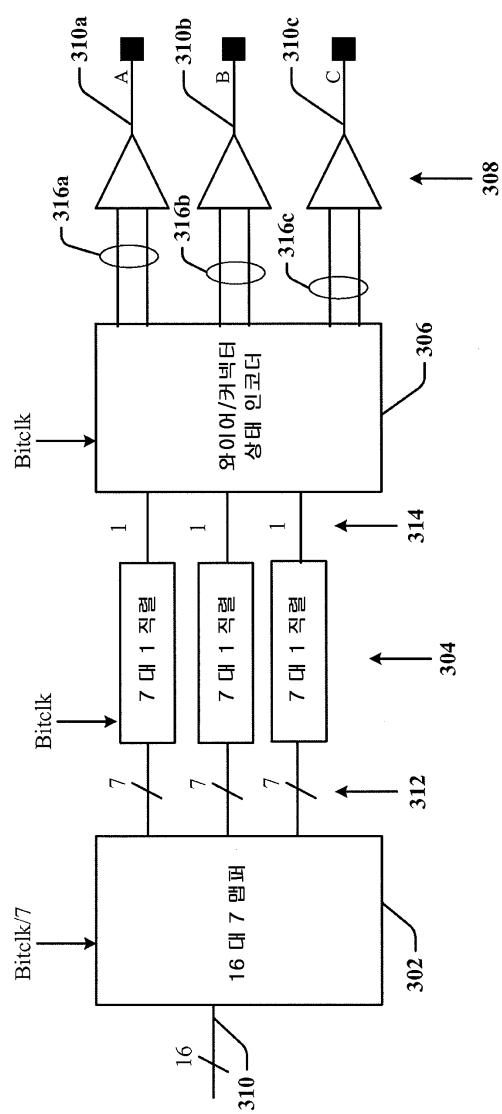
도면2

200 ↗

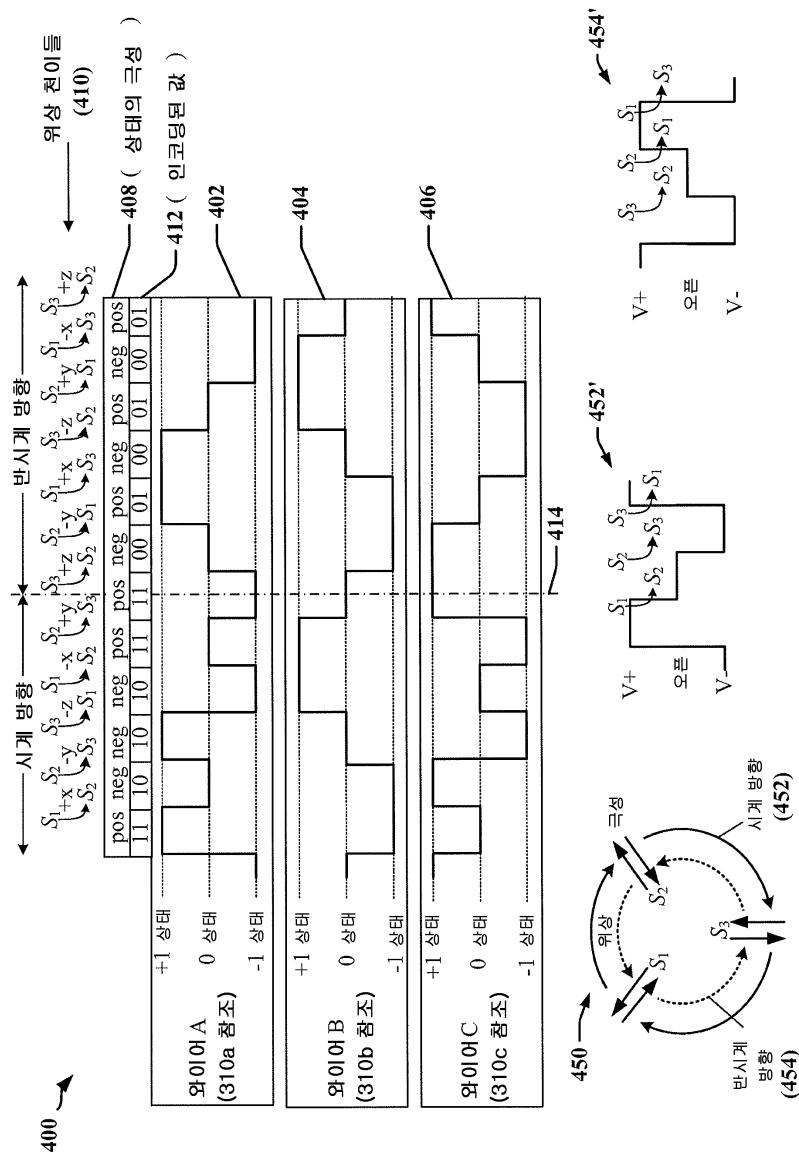


도면3

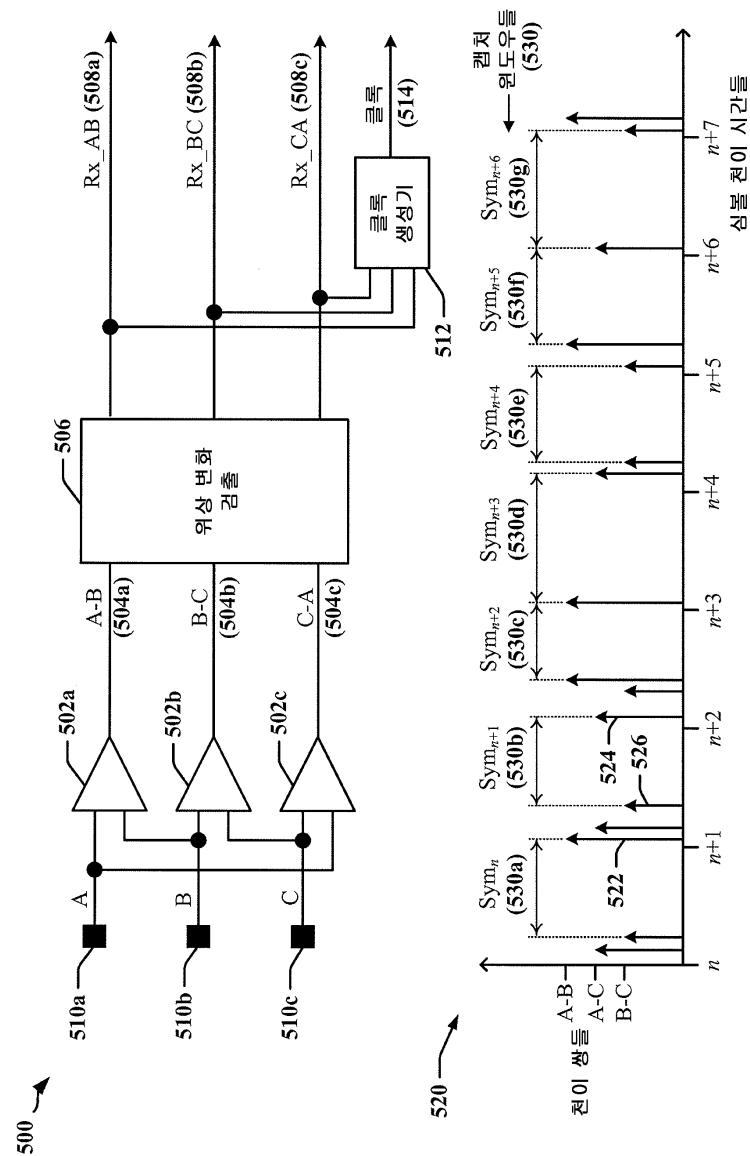
300 ↗



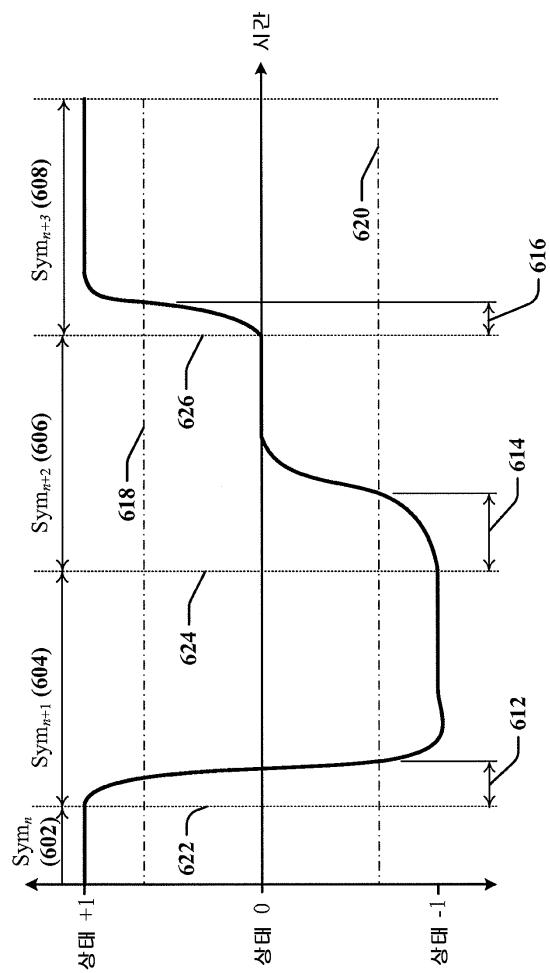
도면4



도면5

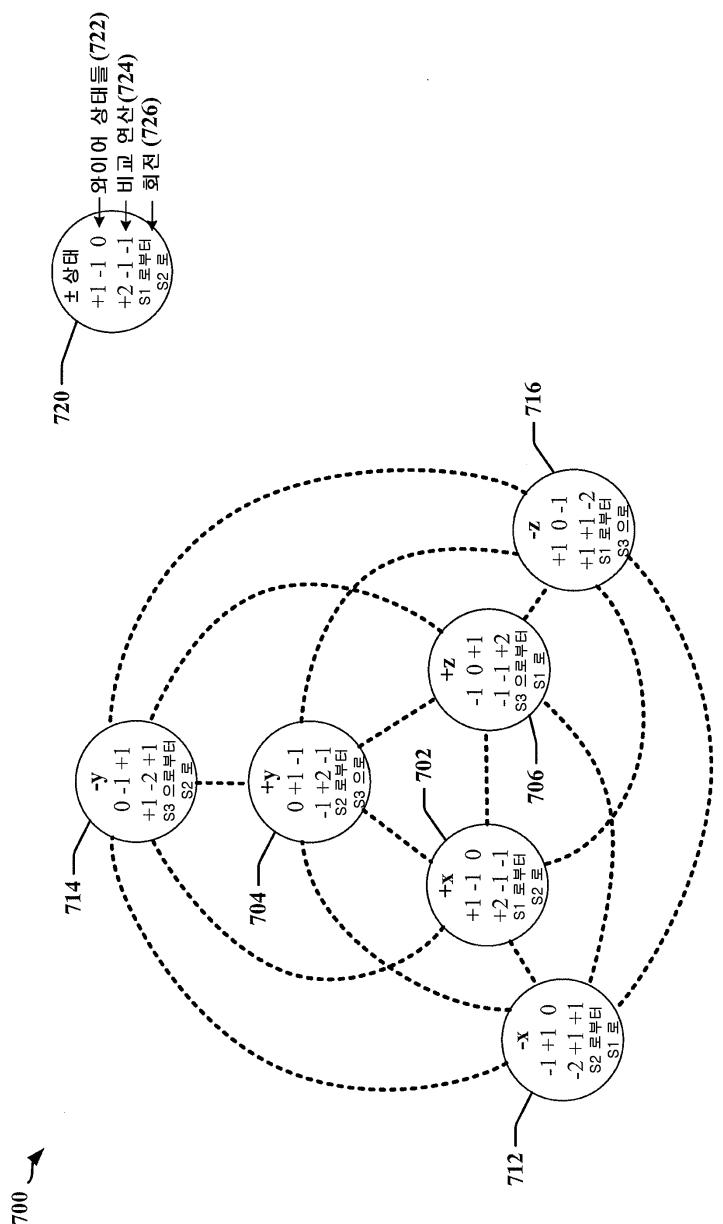


도면6

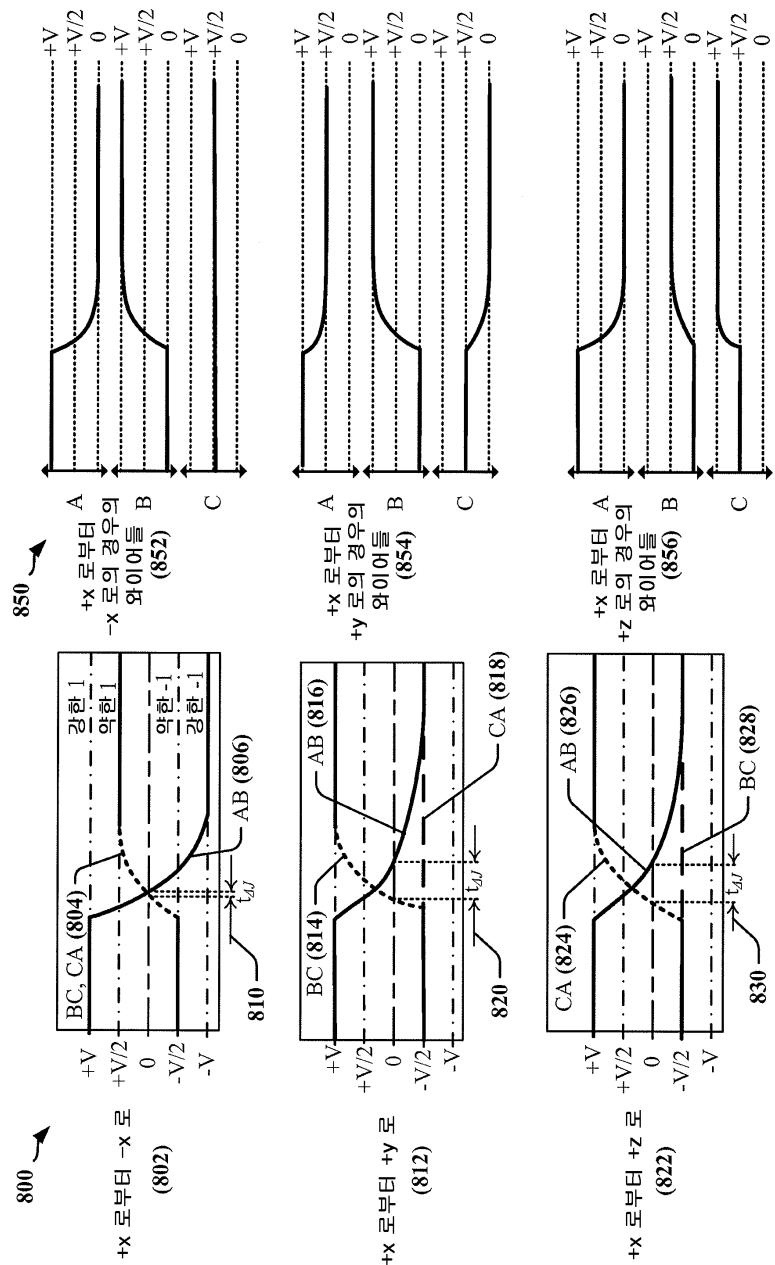


600 ↗

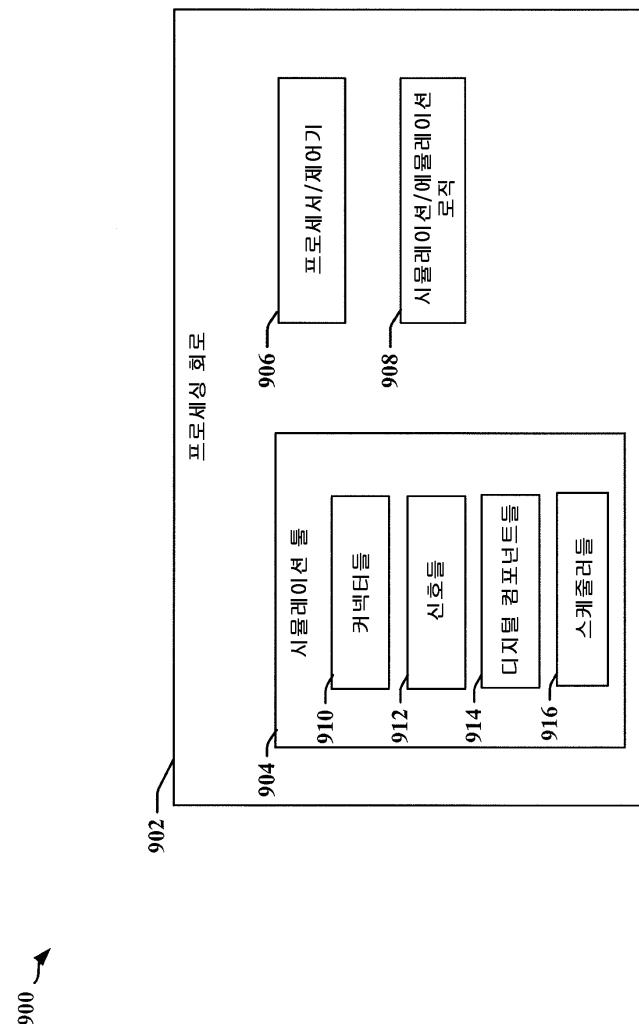
도면7



도면8

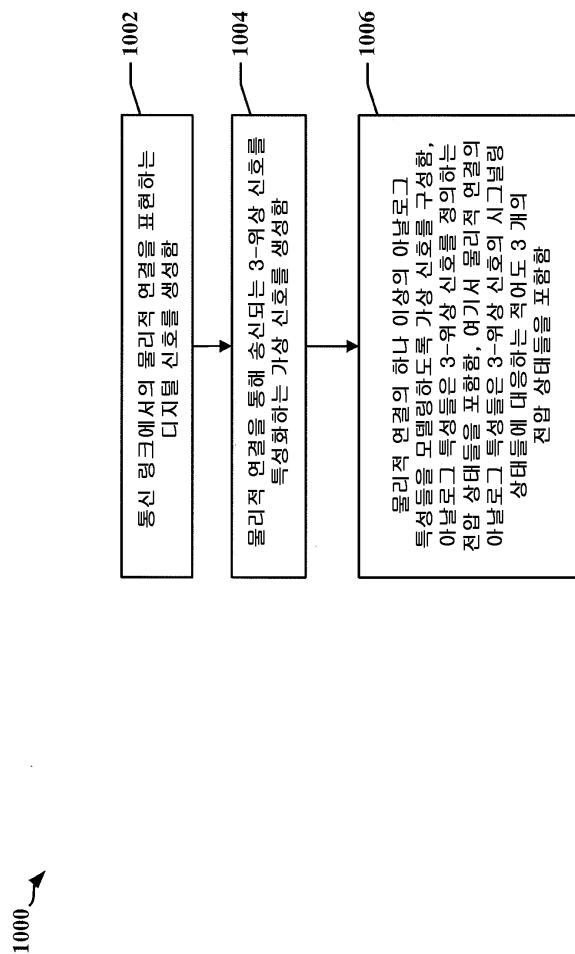


도면9



900 ↗

도면10



도면11

