

(21)申請案號：102142833

(22)申請日：中華民國 102 (2013) 年 11 月 25 日

(51)Int. Cl. : G01R31/28 (2006.01)

G01R31/26 (2006.01)

(30)優先權：2012/11/26 日本

2012-257494

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)  
日本

(72)發明人：松尾幸和 MATSUO, YUKIKAZU (JP)；西垣亮 NISHIGAKI, MAKOTO (JP)；杉本勝 SUGIMOTO, MASARU (JP)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：6 項 圖式數：17 共 57 頁

(54)名稱

測試裝置

TESTING DEVICE

(57)摘要

本發明旨在提供一種測試裝置，可減少配線條數並同時使其可同時測定多數個對象。其中測試裝置包含複數之腳端介面電路基板，與控制基板。控制基板包含：第 1 命令碼記憶體，儲存有命令碼；第 1 程式計數器，使計數同步於時脈而上升；碼分析電路，依計數器值分析自第 1 命令碼記憶體讀出之命令碼；及控制資料輸出控制電路，依命令碼輸出用來控制腳端介面電路基板之控制資料。各腳端介面電路基板包含：第 1 接腳記憶體，儲存有接腳資料；第 2 程式計數器，使計數同步於時脈而上升；及接腳資料輸出控制電路，根據控制資料調整第 2 程式計數器之計數器值，輸出依計數器值自第 1 接腳記憶體讀出之接腳資料。

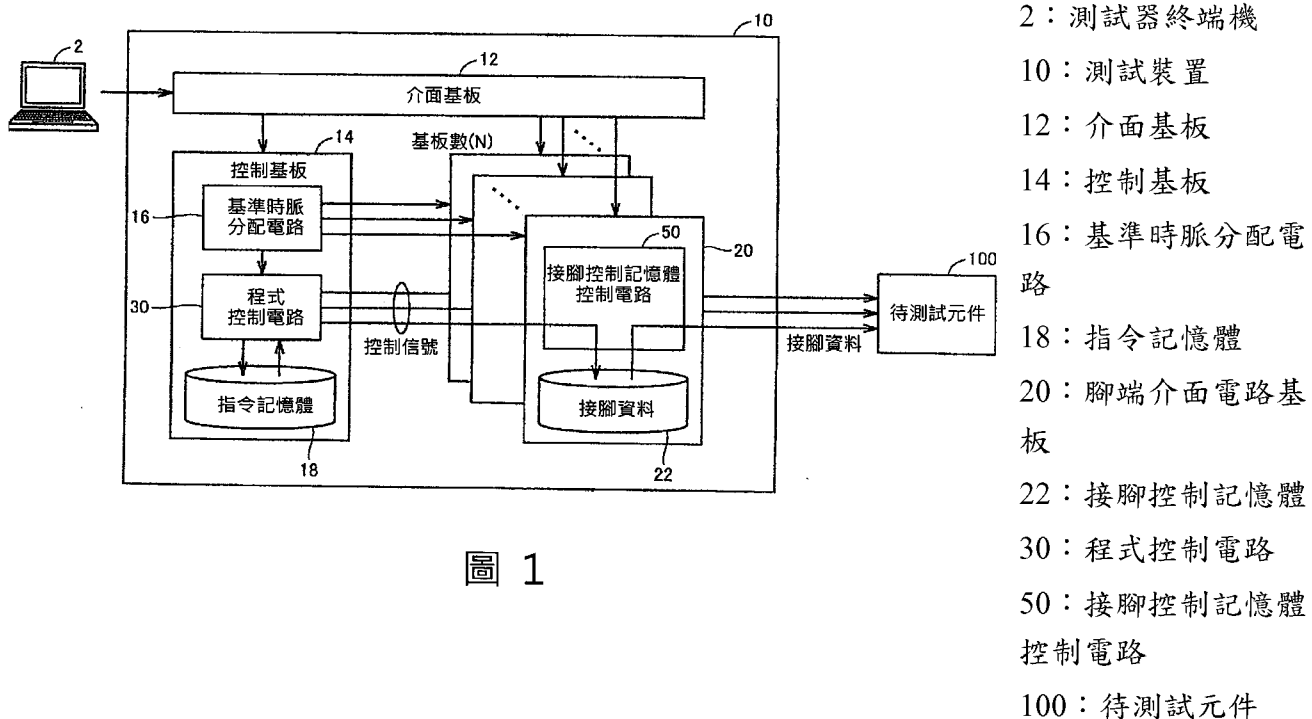


圖 1

(21)申請案號：102142833

(22)申請日：中華民國 102 (2013) 年 11 月 25 日

(51)Int. Cl. : G01R31/28 (2006.01)

G01R31/26 (2006.01)

(30)優先權：2012/11/26 日本

2012-257494

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)  
日本

(72)發明人：松尾幸和 MATSUO, YUKIKAZU (JP)；西垣亮 NISHIGAKI, MAKOTO (JP)；杉本勝 SUGIMOTO, MASARU (JP)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：6 項 圖式數：17 共 57 頁

(54)名稱

測試裝置

TESTING DEVICE

(57)摘要

本發明旨在提供一種測試裝置，可減少配線條數並同時使其可同時測定多數個對象。其中測試裝置包含複數之腳端介面電路基板，與控制基板。控制基板包含：第 1 命令碼記憶體，儲存有命令碼；第 1 程式計數器，使計數同步於時脈而上升；碼分析電路，依計數器值分析自第 1 命令碼記憶體讀出之命令碼；及控制資料輸出控制電路，依命令碼輸出用來控制腳端介面電路基板之控制資料。各腳端介面電路基板包含：第 1 接腳記憶體，儲存有接腳資料；第 2 程式計數器，使計數同步於時脈而上升；及接腳資料輸出控制電路，根據控制資料調整第 2 程式計數器之計數器值，輸出依計數器值自第 1 接腳記憶體讀出之接腳資料。

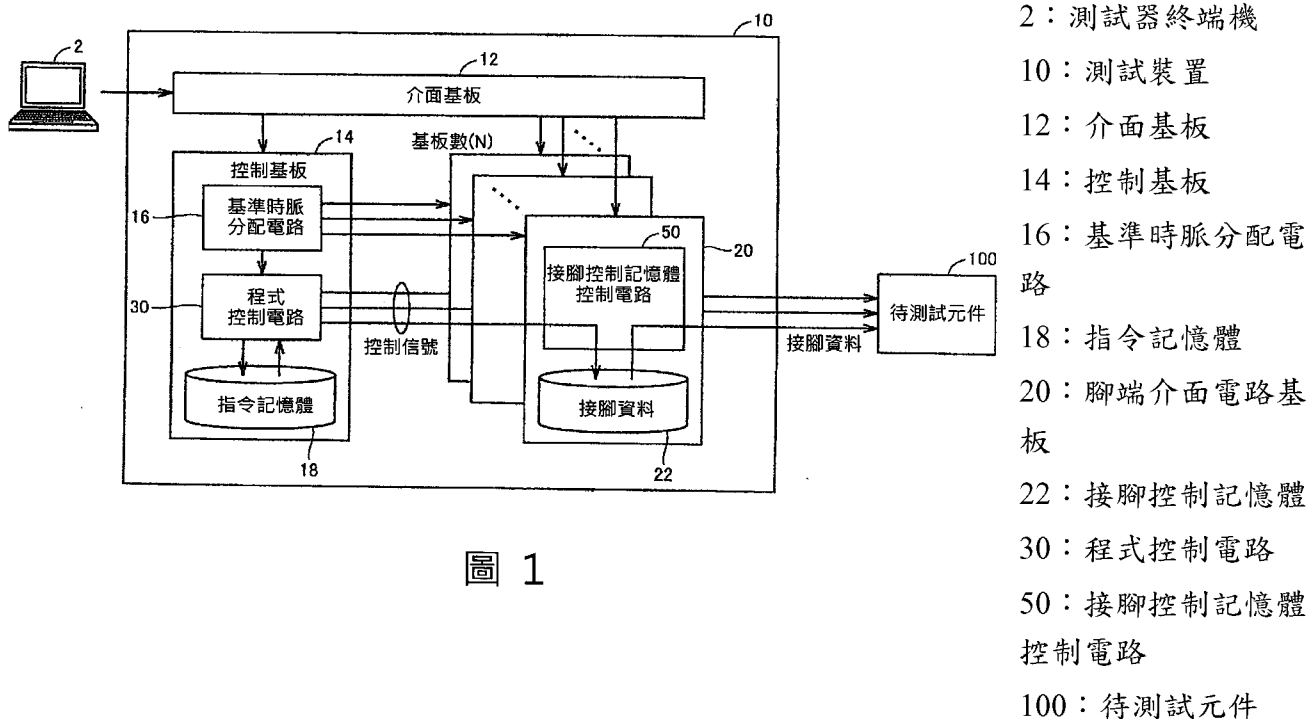


圖 1

## 發明摘要

※ 申請案號： 102142833

※ 申請日： 102.11.25

※IPC 分類： G01R 31/28 (2006.01)

G01R 31/26 (2006.01)

## 【發明名稱】(中文/英文)

測試裝置

TESTING DEVICE

## 【中文】

本發明旨在提供一種測試裝置，可減少配線條數並同時使其可同時測定多數個對象。

其中測試裝置包含複數之腳端介面電路基板，與控制基板。控制基板包含：第 1 命令碼記憶體，儲存有命令碼；第 1 程式計數器，使計數同步於時脈而上升；碼分析電路，依計數器值分析自第 1 命令碼記憶體讀出之命令碼；及控制資料輸出控制電路，依命令碼輸出用來控制腳端介面電路基板之控制資料。各腳端介面電路基板包含：第 1 接腳記憶體，儲存有接腳資料；第 2 程式計數器，使計數同步於時脈而上升；及接腳資料輸出控制電路，根據控制資料調整第 2 程式計數器之計數器值，輸出依計數器值自第 1 接腳記憶體讀出之接腳資料。

## 【英文】

A testing device has plural pin electronics substrates and a control substrate.

The control substrate includes a first instruction code memory storing an instruction code, a first program counter incrementing a count in synchronization with a clock, a code analysis circuit analyzing the instruction code read from the first instruction code memory in accordance with a counter value, and a control data output control circuit outputting control data for controlling the pin electronics substrates in accordance with the instruction code. Each pin electronics substrate includes a first pin memory storing pin data, a

second program counter incrementing a count in synchronization with the clock, and a pin data output control circuit adjusting, based on control data, the count value of the second program counter and outputting pin data read from the first pin memory, the pin data being dependent on the count value of the second program counter.

**【代表圖】**

**【本案指定代表圖】：**第( 1 )圖。

**【本代表圖之符號簡單說明】：**

- 2 測試器終端機
- 10 測試裝置
- 12 介面基板
- 14 控制基板
- 16 基準時脈分配電路
- 18 指令記憶體
- 20 腳端介面電路基板
- 22 接腳控制記憶體
- 30 程式控制電路
- 50 接腳控制記憶體控制電路
- 100 待測試元件

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

無。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

測試裝置

TESTING DEVICE

## 【技術領域】

【0001】

本發明係關於用來測試半導體裝置之測試裝置。

## 【先前技術】

【0002】

已知一測試裝置，隔著插座等以可裝卸之方式裝設測試對象之半導體裝置(DUT：Device Under Test)，進行測試。特別是為對應量產，需增加同時測試個數以提升測試效率，對測試裝置不僅要求高功能、高性能化，更要求能變通對應兼顧測試成本之多樣測試過程。

【0003】

關於此點，為削減測試成本，降低測試裝置本身之價格，同時使其可同時測定多數個對象，可將其分為控制每一接腳之腳端介面電路(pin electronics)基板(複數片)，與一併控制此等者之控制基板(1片)。

【0004】

腳端介面電路基板中，設有儲存每一接腳之接腳資料之記憶體。控制基板中，設有按照指令碼輸出作為上述記憶體之位址之程式計數器值之程式計數器(參照例如專利文獻1)。又，作為全接腳共通動作，各腳端介面電路基板中，讀出對應程式計數器值之接腳資料並控制之。

【先前技術文獻】

【專利文獻】

【0005】

【專利文獻1】

日本特開2004-151990號公報

**【發明內容】**

**【發明所欲解決之課題】**

**【0006】**

另一方面，為對應多樣之測試過程，程式計數器值之位元數傾向於增加。因此，需分別對各腳端介面電路基板相對於程式計數器值進行配線，例如，程式計數器值為 28 位元，腳端介面電路基板為 16 片時，需 448 條配線。然而，因基板安裝之物理狀況，在控制基板與腳端介面電路基板間設置 448 條配線非常困難，業界要求減少配線條數。

**【0007】**

其他課題與本發明之新穎特徵將會由本說明書之記述及附圖揭示。

**【解決課題之手段】**

**【0008】**

依一實施例，測試裝置用來測試晶片，其特徵在於包含：  
複數之腳端介面電路基板，可分別對設於晶片之每一接腳輸出接腳資料；及  
控制基板，以共通之方式設於該複數之腳端介面電路基板；  
且該控制基板包含：  
第1命令碼記憶體，儲存有命令碼；  
第1程式計數器，使計數同步於時脈而上升；  
碼分析電路，依該第1程式計數器之計數器值，分析自該第1命令碼記憶體讀出之命令碼；及  
控制資料輸出控制電路，依由該碼分析電路分析之命令碼，輸出用來控制該腳端介面電路基板之控制資料；  
且各該腳端介面電路基板包含：  
第1接腳記憶體，儲存有接腳資料；  
第2程式計數器，使計數同步於該時脈而上升；及  
接腳資料輸出控制電路，根據來自該控制資料輸出控制電路之控制資料，調整該第2程式計數器之計數器值，輸出依該計數器值自該第1接腳記憶體讀出之接腳資料。

**【發明之效果】**

【0009】

依一實施例，可減少配線條數並同時使其可同時測定多數個對象。

【圖式簡單說明】

【0010】

【圖1】係說明依本實施形態之測試裝置之構成之概略圖。

【圖2】係說明依本實施形態之測試動作之流程圖。

【圖3】係說明依本實施形態之既定測試模式之一例圖。

【圖4】係關於依本實施形態之指令碼之說明圖。

【圖5】係說明依本實施形態之程式控制電路30之功能之概略方塊圖。

【圖6】係依本實施形態說明接腳控制記憶體控制電路50之功能之概略方塊圖。

【圖7】係輸入依本實施形態之信號產生電路54之迴路模式信號之說明圖。

【圖8】係說明依本實施形態之測試模式之流程之概略之程序圖。

【圖9】(A)、(B)、(C)係依本實施形態之指令記憶體(跳躍用)40之內部狀態之說明圖。

【圖10】係對應依本實施形態之基準時脈輸出之PC值的值之變化的說明圖。

【圖11】係關於按照依本實施形態之腳端介面電路基板20側之程式計數器值之接腳資料之說明圖(其1)。

【圖12】係關於按照依本實施形態之腳端介面電路基板20側之程式計數器值之接腳資料之說明圖(其2)。

【圖13】(A)、(B)、(C)係依本實施形態之接腳控制記憶體(跳躍用)62之內部狀態之說明圖。

【圖14】係說明關於依本實施形態之碼分析電路34中之處理之流程圖。

【圖15】係說明關於依本實施形態之碼分析電路34中之跳躍控制之處理之流程圖。

【圖16】係說明關於依本實施形態之程式計數器切換調整電路55中之處理之流程圖。

【圖 17】係依本實施形態之變形例之程式計數器 32 # 及接腳控制記憶體控制電路 50 # 之構成之說明圖。

### 【實施方式】

#### 【0011】

參照圖式並同時詳細說明關於本實施形態。又，對圖中同一或相當之部分賦予同一符號，不重複其說明。

#### 【0012】

圖1係說明依本實施形態之測試裝置之構成之概略圖。

參照圖1即知，設置依本實施形態之測試裝置10，俾可藉由測試器終端機2輸入必要之既定測試模式。

#### 【0013】

又，以測試器終端機2設定測試裝置10後，測試裝置10對待測試元件100實行根據既定測試模式之測試。

#### 【0014】

測試裝置10包含BUS介面基板12、控制基板14、與用來對每一接腳進行控制之腳端介面電路基板20。

#### 【0015】

在此，控制基板14為1片，腳端介面電路基板20設有複數片(基板數N)。

#### 【0016】

控制基板14一併控制腳端介面電路基板20。

BUS介面基板12連接測試器終端機2，自測試器終端機2接受既定測試模式之輸入。

#### 【0017】

具體而言，自測試器終端機2經由BUS介面基板12將用來實行既定測試模式之程式之指令碼儲存至指令記憶體18。且將作為既定測試模式之資料之接腳資料儲存至對應各接腳設置之各腳端介面電路基板20之接腳控制記憶體22。

#### 【0018】

控制基板14包含：產生基準時脈，並分配基準時脈之基準時脈分配電

路16；程式控制電路30；與指令記憶體18。於本例中，控制基板14及腳端介面電路基板20各電路同步於基準時脈而動作。

**【0019】**

指令記憶體18及接腳控制記憶體22自測試器終端機2經由BUS介面基板12儲存作為既定測試模式而下載、與程式計數器(PC)值相對應之指令碼及接腳資料。

**【0020】**

程式控制電路30自指令記憶體18讀出指令碼，朝腳端介面電路基板20輸出根據讀出之指令碼之控制信號。

**【0021】**

本例中之控制基板14不朝腳端介面電路基板20輸出程式計數器(PC)值，輸出根據指令碼等之控制信號。

**【0022】**

各腳端介面電路基板20包含：接腳控制記憶體控制電路50；與接腳控制記憶體22。

**【0023】**

各腳端介面電路基板20之接腳控制記憶體控制電路50對接腳控制記憶體22進行存取而讀出接腳資料，朝待測試元件100輸出。

**【0024】**

依腳端介面電路基板之片數可同時測定待測試元件100之多數個接腳。

**【0025】**

圖2係說明依本實施形態之測試動作之流程圖。

參照圖2即知，首先，載入測試模式(步驟S2)。具體而言，將既定測試模式分為：限定向量之前進控制(程式)之指令碼；與以接腳資料構成之接腳碼。經由BUS介面基板12，分別與程式計數器值相對應而將其寫入指令記憶體18與接腳控制記憶體22。於各接腳控制記憶體22，儲存接腳碼之一部分(各接腳之資料群組)。

**【0026】**

又，其次開始測試模式(步驟S4)。具體而言，將既定測試模式之前頭值(初始值)設定於程式控制電路30之程式計數器，經由BUS介面基板12朝程式

控制電路30輸出PC開始信號。

**【0027】**

又，實行待測試元件之測試(步驟S6)。具體而言，於本例中，自指令記憶體18讀出依既定測試模式之指令碼，朝腳端介面電路基板20輸出4位元之控制信號。又，接腳控制記憶體控制電路50中，依4位元之控制信號調整PC值，作為接腳資料朝待測試元件輸出依PC值之資料測試之。

**【0028】**

又，依既定測試模式之測試結束後，結束測試動作。

圖3係依本實施形態之既定測試模式之一例之說明圖。

**【0029】**

參照圖3即知，在此揭示指令碼與接腳碼相對應而記載之測試模式。

**【0030】**

作為一例，揭示依程式計數器(PC)值「0」～「8」動作之指令碼。該指令碼與PC值相對應，由指令記憶體18儲存。

**【0031】**

且接腳碼相對於每一接腳被分解，作為接腳資料群組分別由接腳控制記憶體22儲存。

**【0032】**

作為一例，於虛線框顯示依程式計數器(PC)值「0」～「8」輸出之接腳資料群組「010101010」。

**【0033】**

且以加上括弧之方式顯示各指令碼指示之內容。

圖4係關於依本實施形態之指令碼之說明圖。

**【0034】**

參照圖4即知，在此，作為16進制標記的碼記述本例中之指令碼。

**【0035】**

在此，顯示「NOP(前進至下一處理)」、「REP 2(重複處理)」、「STOP(停止處理)」、「CIJ -1(跳躍處理)」等碼對應表。

**【0036】**

說明關於使用該碼於圖3記述之各指令碼。

**【0037】**

又，在此，顯示包含自變數經編碼之情形。作為一例，指令碼之上位值表示命令碼，下位值表示自變數值。

**【0038】**

指令碼「C2L 3」、「C1L 3」係指示於後述之迴路暫存器(C1暫存器及C2暫存器)分別設定「3」之命令碼。

**【0039】**

且指令碼「JST1」及「JST2」係指示作為標籤登錄之命令碼。該標籤指定後述之跳躍處理之跳躍目的地地址。

**【0040】**

且指令碼「C1J -1」係指示跳躍至前一個PC值之命令碼。

**【0041】**

且指令碼「C2J -5」係指示跳躍至前五個PC值之命令碼。

**【0042】**

且指令碼「NOP」係指示不進行任何處理而前進至下一個之命令碼。

**【0043】**

且指令碼「REP 2」係指示進行重複處理之命令碼。

**【0044】**

且指令碼「STOP」係指示停止處理之命令碼。

**【0045】**

又，圖3之既定測試模式包含2重迴路之跳躍處理。

**【0046】**

圖5係說明依本實施形態之程式控制電路30之功能之概略方塊圖。

**【0047】**

參照圖5即知，程式控制電路30包含程式計數器32、碼分析電路34、選擇器36、程式計數器(跳躍用)38、指令記憶體(跳躍用)40、與輸出控制電路42。碼分析電路34包含迴路暫存器35，於本例中，具有C1暫存器及C2暫存器。該C1暫存器及C2暫存器限定跳躍處理之迴路次數(重複)。

**【0048】**

又，雖未圖示，但此等電路與以基準時脈分配電路16分配之基準時脈

同步動作。

**【0049】**

首先，於程式計數器32設定初始值，依PC開始信號之輸入程式計數器32動作。又，同步於基準時脈，程式計數器(PC)值計數上升。又，對指令記憶體18賦予程式計數器值，讀出對應程式計數器(PC)值之指令碼。

**【0050】**

且將讀出之指令碼朝選擇器36輸出，並使其與程式計數器(PC)值相對應，由指令記憶體(跳躍用)40儲存。

**【0051】**

且程式計數器32依PC開始信號之輸入指示輸出控制電路42，俾對接腳控制記憶體控制電路50輸出PC開始信號。

**【0052】**

選擇器36在跳躍處理中以外之情形下，自指令記憶體18對碼分析電路34輸出讀出之指令碼。另一方面，在跳躍處理中之情形下，自指令記憶體(跳躍用)40對碼分析電路34輸出讀出之指令碼。

**【0053】**

碼分析電路34分析輸入之指令碼，實行對應命令碼之動作處理。

**【0054】**

具體而言，依碼分析電路34之碼分析進行跳躍命令時，對輸出控制電路42進行關於跳躍處理之指示，並令程式計數器(跳躍用)38動作。又，程式計數器(跳躍用)38同步於基準時脈輸出跳躍處理中之程式計數器(PC)值。又，回應此而自指令記憶體(跳躍用)40讀出指令碼，經由選擇器36輸入至碼分析電路34。

**【0055】**

且碼分析電路34依迴路暫存器35規定之次數重複跳躍處理。

**【0056】**

輸出控制電路42依來自碼分析電路34之指示或是來自程式計數器32之指示，對腳端介面電路基板20輸出控制信號。

**【0057】**

具體而言，對腳端介面電路基板20之接腳控制記憶體控制電路50輸出

PC開始信號。且重複處理時輸出重複信號。且輸出與跳躍處理關聯之2位元之迴路模式信號。參照後述即知，於腳端介面電路基板20作為標籤信號、跳躍開始信號、跳躍結束信號使用2位元之迴路模式信號。

**【0058】**

又，於本例中，作為一例，顯示與PC值相對應而由指令記憶體(跳躍用)儲存之指令碼。

**【0059】**

圖6係依本實施形態說明接腳控制記憶體控制電路50之功能之概略方塊圖。

**【0060】**

參照圖6即知，接腳控制記憶體控制電路50包含程式計數器52、信號產生電路54、程式計數器切換調整電路55、標籤PC值堆疊器56、與跳躍PC值堆疊器58。且接腳控制記憶體控制電路50包含程式計數器(跳躍用)60、接腳控制記憶體(跳躍用)62、選擇器64、與選擇器控制電路66。

**【0061】**

程式計數器52中設定有初始值，依PC開始信號之輸入程式計數器52動作。又，同步於基準時脈分配電路16分配之基準時脈，程式計數器(PC)值計數上升。又，對接腳控制記憶體22賦予程式計數器(PC)值，讀出對應程式計數器(PC)值之接腳資料。

**【0062】**

且經由選擇器64對待測試元件100輸出讀出之接腳資料，並與程式計數器值相對應，由接腳控制記憶體(跳躍用)62儲存之。

**【0063】**

選擇器64在跳躍處理中以外之情形下，自接腳控制記憶體22對外部(待測試元件100)輸出讀出之接腳資料。另一方面，在跳躍處理中之情形下，自接腳控制記憶體(跳躍用)62對外部(待測試元件100)輸出讀出之接腳資料。

**【0064】**

選擇器控制電路66係控制選擇器64之電路，依跳躍開始信號B朝接腳控制記憶體(跳躍用)62側切換信號路徑，對外部輸出接腳資料，依跳躍開始信號C朝接腳控制記憶體22側切換信號路徑。又，依跳躍開始信號B朝接腳控

制記憶體(跳躍用)62側切換後，更輸入跳躍開始信號B時，輸入2次跳躍結束信號C時朝接腳控制記憶體22側切換信號路徑。亦即，輸入之跳躍開始信號B與跳躍結束信號C次數相同時重置而回到初始狀態，亦即，朝接腳控制記憶體22側切換信號路徑。

#### 【0065】

程式計數器切換調整電路55根據跳躍處理，控制使用之程式計數器52與程式計數器(跳躍用)60之切換等。

#### 【0066】

程式計數器(跳躍用)60同步於基準時脈輸出跳躍處理中之程式計數器(PC)值。回應此，自接腳控制記憶體(跳躍用)62讀出接腳資料，經由選擇器64對外部輸出。

#### 【0067】

標籤PC值堆疊器56由先入後出堆疊器(first in last out)構成，依標籤信號A儲存程式計數器(PC)值(PUSH)，依跳躍結束信號C發出程式計數器(PC)值(POP)。讀出時，讀出最近堆疊之程式計數器(PC)值。該標籤PC值堆疊器56儲存作為跳躍目的地之跳躍目的地地址之程式計數器(PC)值。

#### 【0068】

跳躍PC值堆疊器58由先入後出堆疊器(first in last out)構成，依跳躍開始信號B儲存程式計數器(PC)值(PUSH)，依跳躍結束信號C發出程式計數器(PC)值(POP)。讀出時，讀出最近堆疊之程式計數器(PC)值。該跳躍PC值堆疊器58儲存進行跳躍處理之程式計數器(PC)值。堆疊之程式計數器(PC)值與程式計數器(跳躍用)60之程式計數器(PC)值相比較。又，一致時為讀出由標籤PC值堆疊器56儲存之作為跳躍目的地之跳躍目的地地址之程式計數器(PC)值使用之。

#### 【0069】

又，於本例中，作為一例，顯示與PC值相對應而由接腳控制記憶體(跳躍用)儲存之接腳資料。

#### 【0070】

圖7係輸入依本實施形態之信號產生電路54之迴路模式信號之說明圖。

#### 【0071】

參照圖7即知，在此，顯示迴路模式信號與自信號產生電路54輸出之信號之對應關係之一例。

**【0072】**

具體而言，信號產生電路54接受迴路模式信號「01」之輸入，輸出標籤信號A。

**【0073】**

信號產生電路54接受迴路模式信號「10」之輸入，輸出跳躍開始信號B。

**【0074】**

信號產生電路54接受迴路模式信號「11」之輸入，輸出跳躍結束信號C。

**【0075】**

於接腳控制記憶體控制電路50，對應根據迴路模式信號之上述信號，調整程式計數器(PC)值。

**【0076】**

圖8係說明依本實施形態之測試模式之流程之概略之程序圖。

**【0077】**

參照圖8即知，在此，顯示控制基板14側之處理。

依PC開始信號之輸入輸出程式計數器32之PC值。於本例中，初始值為0。依PC值「0」讀出指令碼「C2L 3」。依該碼，碼分析電路34於迴路暫存器35之C2暫存器設定「3」。且與PC值相對應，由指令記憶體(跳躍用)40儲存指令碼。

**【0078】**

又，程式計數器32之PC值同步於基準時脈而增加。依PC值「1」讀出指令碼「JST2」。依該碼，碼分析電路34指示輸出控制電路42輸出指示標籤處理之迴路模式信號「01」。且與PC值相對應，由指令記憶體(跳躍用)40儲存指令碼。

**【0079】**

其次，程式計數器32之PC值同步於基準時脈而增加。依PC值「2」讀出指令碼「C1L 3」。依該碼，碼分析電路34於迴路暫存器35之C1暫存器設定「3」。且與PC值相對應，由指令記憶體(跳躍用)40儲存指令碼。

**【0080】**

其次，程式計數器32之PC值同步於基準時脈而增加。依PC值「3」讀出指令碼「JST1」。依該碼，碼分析電路34指示輸出控制電路42輸出指示標籤處理之迴路模式信號「01」。且與PC值相對應，由指令記憶體(跳躍用)40儲存指令碼。

**【0081】**

其次，程式計數器32之PC值同步於基準時脈而增加。依PC值「4」讀出指令碼「C1J -1」。依該碼，迴路暫存器35之C1暫存器之值自「3」遞減為「2」。C1暫存器之值非「0」，故碼分析電路34實行跳躍處理。具體而言，指示程式計數器32令程式計數器32之計數上升動作停止。且碼分析電路34於程式計數器(跳躍用)38設定現在的PC值-1的「3」。且指示輸出控制電路42輸出指示跳躍開始之迴路模式信號「10」。藉此實行第1跳躍處理。

**【0082】**

其次，同步於基準時脈輸出程式計數器(跳躍用)38之PC值。依PC值「3」，自指令記憶體(跳躍用)40讀出指令碼「JST1」。於本例中，碼分析電路34不實行依對應跳躍目的地之PC值之指令碼之處理。亦即，碼分析電路34指示輸出控制電路42不輸出指示標籤處理之迴路模式信號「01」。

**【0083】**

其次，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值「4」讀出指令碼「C1J -1」。依該碼，C1暫存器之值自「2」遞減為「1」。C1暫存器之值非「0」，故碼分析電路34實行跳躍處理。碼分析電路34於程式計數器(跳躍用)38設定現在的PC值-1的「3」。另一方面，於本例中，碼分析電路34不實行依對應跳躍處理中之相同的跳躍命令之指令碼之處理。亦即，碼分析電路34不指示輸出控制電路42輸出指示跳躍開始之迴路模式信號「10」。

**【0084】**

其次，同步於基準時脈輸出程式計數器(跳躍用)38之PC值。依PC值「3」讀出指令碼「JST1」。於本例中，碼分析電路34不實行依對應跳躍目的地之PC值之指令碼之處理。亦即，碼分析電路34指示輸出控制電路42不輸出指示標籤處理之迴路模式信號「01」。

**【0085】**

其次，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值「4」讀出指令碼「C1J -1」。依該碼，C1暫存器之值自「1」遞減為「0」。C1暫存器之值為「0」，故結束跳躍處理。具體而言，指示程式計數器32重新開始程式計數器32之動作，並停止程式計數器(跳躍用)38之動作。且碼分析電路34因C1暫存器之值為「0」，故指示輸出控制電路42輸出指示跳躍結束之迴路模式信號「11」。藉此第1跳躍處理結束。

**【0086】**

其次，程式計數器32之PC值同步於基準時脈而增加。依PC值「5」讀出指令碼「NOP」。該碼不進行任何處理，前進至下一處理。

**【0087】**

其次，程式計數器32之PC值同步於基準時脈而增加。依PC值「6」讀出指令碼「C2J -5」。依該碼，C2暫存器之值自「3」遞減為「2」。C2暫存器之值非「0」，故碼分析電路34實行跳躍處理。具體而言，指示程式計數器32令程式計數器32之動作停止。且碼分析電路34於程式計數器(跳躍用)38設定現在的PC值-5的「1」。且指示輸出控制電路42輸出指示跳躍開始之迴路模式信號「10」。藉此實行第2跳躍處理。

**【0088】**

其次，同步於基準時脈輸出程式計數器(跳躍用)38之PC值。依PC值「1」讀出指令碼「JST2」。於本例中，碼分析電路34不實行依對應跳躍目的地之PC值之指令碼之處理。亦即，碼分析電路34指示輸出控制電路42不輸出指示標籤處理之迴路模式信號「01」。

**【0089】**

其次，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值「2」讀出指令碼「C1L 3」。依該碼，碼分析電路34於C1暫存器設定「3」。

**【0090】**

其次，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值「3」讀出指令碼「JST1」。依該碼，碼分析電路34指示輸出控制電路42輸出指示標籤處理之迴路模式信號「01」。

**【0091】**

其次，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值

「4」讀出指令碼「C1J -1」。依該碼，迴路暫存器35之C1暫存器之值自「3」遞減為「2」。C1暫存器之值非「0」，故碼分析電路34實行跳躍處理。碼分析電路34於程式計數器(跳躍用)38設定現在的PC值-1的「3」。且指示輸出控制電路42輸出指示跳躍開始之迴路模式信號「10」。藉此實行第1跳躍處理。以下，至C1暫存器為「0」止重複於上述說明之第1跳躍處理。

**【0092】**

又，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值「4」讀出指令碼「C1J -1」。依該碼，碼分析電路34中，C1暫存器之值遞減，為「0」時跳躍處理結束。具體而言，碼分析電路34指示輸出控制電路42輸出指示跳躍結束之迴路模式信號「11」。藉此第1跳躍處理結束。

**【0093】**

其次，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值「5」讀出指令碼「NOP」。該碼不進行任何處理，前進至下一處理。

**【0094】**

其次，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值「6」讀出指令碼「C2J -5」。依該碼，C2暫存器之值自「2」遞減為「1」。C2暫存器之值非「0」，故碼分析電路34實行跳躍處理。碼分析電路34於程式計數器(跳躍用)38設定現在的PC值-5的「1」。如上述，碼分析電路34不實行依對應跳躍處理中之相同的跳躍命令之指令碼之處理。亦即，碼分析電路34不指示輸出控制電路42輸出指示跳躍開始之迴路模式信號「10」。

**【0095】**

其次，同步於基準時脈輸出程式計數器(跳躍用)38之PC值。依PC值「1」讀出指令碼「JST2」。於本例中，碼分析電路34不實行依對應跳躍目的地之PC值之指令碼之處理。亦即，碼分析電路34指示輸出控制電路42不輸出指示標籤處理之迴路模式信號「01」。

**【0096】**

其次，同步於基準時脈輸出程式計數器(跳躍用)38之PC值。依PC值「2」讀出指令碼「C1L 3」。依該碼，碼分析電路34於C1暫存器設定「3」。

**【0097】**

其次，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值

「3」讀出指令碼「JST1」。依該碼，碼分析電路34指示輸出控制電路42輸出指示標籤處理之迴路模式信號「01」。

**【0098】**

其次，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值「4」讀出指令碼「C1J -1」。依該碼，迴路暫存器35之C1暫存器之值自「3」遞減為「2」。C1暫存器之值非「0」，故碼分析電路34實行跳躍處理。碼分析電路34於程式計數器(跳躍用)38設定現在的PC值-1的「3」。且指示輸出控制電路42輸出指示跳躍開始之迴路模式信號「10」。藉此實行第1跳躍處理。以下，至C1暫存器為「0」止重複於上述說明之第1跳躍處理。

**【0099】**

又，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值「4」讀出指令碼「C1J -1」。依該碼，碼分析電路34中，C1暫存器之值遞減，為「0」時跳躍處理結束。具體而言，碼分析電路34指示輸出控制電路42輸出指示跳躍結束之迴路模式信號「11」。藉此第1跳躍處理結束。

**【0100】**

其次，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值「5」讀出指令碼「NOP」。該碼不進行任何處理，前進至下一處理。

**【0101】**

其次，程式計數器(跳躍用)38之PC值同步於基準時脈而遞增。依PC值「6」讀出指令碼「C2J -5」。依該碼，C2暫存器之值自「1」遞減為「0」。C2暫存器之值為「0」，故碼分析電路34結束跳躍處理。具體而言，碼分析電路34指示輸出控制電路42輸出指示跳躍結束之迴路模式信號「11」。藉此第2跳躍處理結束。

**【0102】**

其次，程式計數器32之PC值同步於基準時脈而增加。依PC值「7」讀出指令碼「REP 2」。依該碼，碼分析電路34指示程式計數器32輸出相同之PC值。且碼分析電路34指示輸出控制電路42輸出重複信號，俾實行重複處理。

**【0103】**

其次，同步於基準時脈輸出程式計數器32之PC值「7」。

其次，程式計數器32之PC值同步於基準時脈而增加。依PC值為「8」讀出指令碼「STOP」。依該碼，測試動作結束。

**【0104】**

圖9係依本實施形態之指令記憶體(跳躍用)40之內部狀態之說明圖。

**【0105】**

參照圖9(A)，顯示依程式計數器32之PC值儲存指令碼之情形。

**【0106】**

又，依PC值「4」實行第1跳躍處理。此時，不對指令記憶體18進行存取，而對指令記憶體(跳躍用)40進行存取，讀出指令碼。至C1暫存器之值為0止重複跳躍處理。

**【0107】**

參照圖9(B)，顯示依程式計數器32之PC值更儲存指令碼之情形。

**【0108】**

又，依PC值「6」實行第2跳躍處理。此時，不對指令記憶體18進行存取，而對指令記憶體(跳躍用)40進行存取，讀出指令碼。至C2暫存器之值為0止重複跳躍處理。又，此時，第2跳躍處理中，亦包含第1跳躍處理，為2重迴路。

**【0109】**

參照圖9(C)，顯示依程式計數器32之PC值更儲存指令碼之情形。

**【0110】**

又，依PC值「8」停止測試動作。

於本例中，跳躍處理時，對設於程式控制電路30內之指令記憶體(跳躍用)40進行存取，讀出依跳躍處理之指令碼，故較對指令記憶體18進行存取更可高速處理。

**【0111】**

圖10係對應依本實施形態之基準時脈輸出之PC值之值的變化之說明圖。

**【0112】**

參照圖10即知，於時刻 $t_0$ ，程式計數器32之PC值與基準時脈(CLK)同步為「0」。其次，於時刻 $t_1$ ，PC值為「1」。又，回應此，根據對應PC值「1」

之指令碼，輸出用來產生標籤信號A之迴路模式信號「01」。且於時刻t2，PC值為「2」。且於時刻t3，PC值為「3」。回應此，根據對應PC值「3」之指令碼，輸出用來產生標籤信號A之迴路模式信號「01」。於時刻t4，PC值為「4」。回應此，根據對應PC值「4」之指令碼，輸出用來產生跳躍開始信號B之迴路模式信號「10」。藉此第1跳躍處理開始。

**【0113】**

於時刻t5，程式計數器(跳躍用)38動作，輸出PC值「3」。於圖10，作為PCj顯示程式計數器(跳躍用)38之PC值。又，第1跳躍處理如上述重複。

**【0114】**

於時刻t8，根據對應PC值「4」之指令碼，C1暫存器之值更新為「0」。回應此，輸出用來產生跳躍結束信號C之迴路模式信號「11」。亦即，第1跳躍處理結束。

**【0115】**

於時刻t9，程式計數器32之PC值同步於基準時脈為「5」。

**【0116】**

於時刻t10，根據對應PC值「6」之指令碼，輸出用來產生跳躍開始信號B之迴路模式信號「10」。藉此第2跳躍處理開始。

**【0117】**

於時刻t11，程式計數器(跳躍用)38動作，輸出PC值「1」。

**【0118】**

於時刻t13，根據對應PC值「3」之指令碼，輸出用來產生標籤信號A之迴路模式信號「01」。

**【0119】**

於時刻t14，PC值為「4」。回應此，根據對應PC值「4」之指令碼，輸出用來產生跳躍開始信號B之迴路模式信號「10」。藉此第1跳躍處理開始。

**【0120】**

於時刻t15，程式計數器(跳躍用)38動作，輸出PC值「3」。又，第1跳躍處理如上述重複。

**【0121】**

於時刻t18，根據對應PC值「4」之指令碼，C1暫存器之值更新為「0」。

回應此，輸出用來產生跳躍結束信號C之迴路模式信號「11」。亦即，第1跳躍處理結束。又，第2跳躍處理持續中。

**【0122】**

於時刻t23，PC值為「3」。回應此，根據對應PC值「3」之指令碼，輸出用來產生標籤信號A之迴路模式信號「01」。於時刻t24，PC值為「4」。回應此，根據對應PC值「4」之指令碼，輸出用來產生跳躍開始信號B之迴路模式信號「10」。藉此第1跳躍處理開始。

**【0123】**

於時刻t25，輸出PC值「3」。又，第1跳躍處理如上述重複。

**【0124】**

於時刻t28，根據對應PC值「4」之指令碼，C1暫存器之值更新為「0」。回應此，輸出用來產生跳躍結束信號C之迴路模式信號「11」。亦即，第1跳躍處理結束。又，第2跳躍處理持續中。

**【0125】**

於時刻t30，根據對應PC值「6」之指令碼，C2暫存器之值更新為「0」。回應此，輸出用來產生跳躍結束信號C之迴路模式信號「11」。亦即，第2跳躍處理結束。

**【0126】**

於時刻t31，程式計數器32之PC值同步於基準時脈為「7」。且根據對應PC值「7」之指令碼，輸出重複信號。

**【0127】**

於時刻t32，程式計數器32之PC值同步於基準時脈為「7」。

**【0128】**

於時刻t33，程式計數器32之PC值同步於基準時脈為「8」。

**【0129】**

又，處理結束。

圖11係關於按照依本實施形態之腳端介面電路基板20側之程式計數器值之接腳資料之說明圖(其1)。

**【0130】**

參照圖11即知，首先，控制基板14側(亦僅稱控制側)之PC值為「0」時，

亦輸出腳端介面電路基板20側(亦僅稱接腳側)之PC值為「0」。回應此，回應PC值「0」自接腳控制記憶體22輸出接腳資料「0」。控制基板14側與腳端介面電路基板20側亦同步於基準時脈輸出PC值。

**【0131】**

其次，控制側之PC值為「1」時，亦輸出接腳側之PC值為「1」。回應此，回應PC值「1」自接腳控制記憶體22輸出接腳資料「1」。且根據指令碼，自控制側輸出對應標籤指示之迴路模式信號「01」。回應此，產生標籤信號A，於標籤PC值堆疊器56儲存PC值「1」(PUSH)。

**【0132】**

其次，控制側之PC值為「2」時，亦輸出接腳側之PC值為「2」。回應此，回應PC值「2」自接腳控制記憶體22輸出接腳資料「0」。

**【0133】**

其次，控制側之PC值為「3」時，亦輸出接腳側之PC值為「3」。回應此，回應PC值「3」自接腳控制記憶體22輸出接腳資料「1」。且自控制側輸出指示標籤處理之迴路模式信號「01」。回應此，產生標籤信號A，於標籤PC值堆疊器56更儲存PC值「3」(PUSH)。

**【0134】**

其次，控制側之PC值為「4」時，亦輸出接腳側之PC值為「4」。回應此，回應PC值「4」自接腳控制記憶體22輸出接腳資料「0」。且自控制側輸出指示跳躍開始之迴路模式信號「10」。回應此，產生跳躍開始信號B，於跳躍PC值堆疊器58儲存PC值「4」(PUSH)。又，控制側及接腳側皆切換至跳躍用程式計數器。於接腳側，程式計數器切換調整電路55依跳躍開始信號B將程式計數器52切換為程式計數器(跳躍用)60，且將由標籤PC值堆疊器56儲存之PC值(「3」)設定於程式計數器(跳躍用)60。且依跳躍開始信號B，選擇器控制電路66將選擇器64之輸出切換至接腳控制記憶體(跳躍用)62。

**【0135】**

其次，控制側之PC值為「3」時，亦輸出接腳側之PC值為「3」(因於程式計數器(跳躍用)60設定「3」)。回應此，回應PC值「3」自接腳控制記憶體(跳躍用)62輸出接腳資料「1」。

**【0136】**

其次，控制側之PC值為「4」時，亦輸出接腳側之PC值為「4」(因程式計數器(跳躍用)60之PC值增加)。回應此，回應PC值「4」自接腳控制記憶體(跳躍用)62輸出接腳資料「0」。且程式計數器切換調整電路55讀出由跳躍PC值堆疊器58儲存之PC值(「4」)，與程式計數器(跳躍用)60之PC值相比較。根據比較結果一致，故程式計數器切換調整電路55將由標籤PC值堆疊器56儲存之PC值(「3」)設定於程式計數器(跳躍用)60。

**【0137】**

其次，控制側之PC值為「3」時，亦輸出接腳側之PC值為「3」(因於程式計數器(跳躍用)60設定「3」)。回應此，回應PC值「3」自接腳控制記憶體(跳躍用)62輸出接腳資料「1」。

**【0138】**

其次，控制側之PC值為「4」時，亦輸出接腳側之PC值為「4」(因程式計數器(跳躍用)60之PC值增加)。回應此，回應PC值「4」自接腳控制記憶體(跳躍用)62輸出接腳資料「0」。且自控制側輸出指示跳躍結束之迴路模式信號「11」。回應此，產生跳躍結束信號C，自標籤PC值堆疊器56刪除PC值「3」(POP)。且自跳躍PC值堆疊器58刪除PC值「4」(POP)。程式計數器切換調整電路55確認於跳躍PC值堆疊器58未儲存任何物，將程式計數器(跳躍用)60切換為程式計數器52。且依跳躍結束信號C，選擇器控制電路66將選擇器64之輸出切換至接腳控制記憶體22(跳躍開始信號B與跳躍結束信號C之輸入次數皆為1次)。

**【0139】**

其次，控制側之PC值為「5」時，亦輸出接腳側之PC值為「5」(因程式計數器52之PC值增加)。回應此，回應PC值「5」自接腳控制記憶體22輸出接腳資料「1」。

**【0140】**

圖12係關於按照依本實施形態之腳端介面電路基板20側之程式計數器值之接腳資料之說明圖(其2)。

**【0141】**

參照圖12即知，其次，控制側之PC值為「6」時，亦輸出接腳側之PC值為「6」。回應此，回應PC值「6」自接腳控制記憶體22輸出接腳資料「0」。

且自控制側輸出指示跳躍開始之迴路模式信號「10」。回應此，產生跳躍開始信號B，於跳躍PC值堆疊器58儲存PC值「6」(PUSH)。又，控制側及接腳側皆切換至跳躍用程式計數器。於接腳側，程式計數器切換調整電路55依跳躍開始信號B將程式計數器52切換為程式計數器(跳躍用)60，且將由標籤PC值堆疊器56儲存之PC值(「1」)設定於程式計數器(跳躍用)60。且依跳躍開始信號B，選擇器控制電路66將選擇器64之輸出切換至接腳控制記憶體(跳躍用)62。

**【0142】**

其次，控制側之PC值為「1」時，亦輸出接腳側之PC值為「1」(因於程式計數器(跳躍用)60設定「1」)。回應此，回應PC值「1」自接腳控制記憶體(跳躍用)62輸出接腳資料「1」。又，在此，如上述跳躍之跳躍目的地位址之指令碼係標籤時，不產生標籤信號。

**【0143】**

其次，控制側之PC值為「2」時，亦輸出接腳側之PC值為「2」(因程式計數器(跳躍用)60之PC值增加)。回應此，回應PC值「2」自接腳控制記憶體(跳躍用)62輸出接腳資料「0」。

**【0144】**

其次，控制側之PC值為「3」時，亦輸出接腳側之PC值為「3」(因程式計數器(跳躍用)60之PC值增加)。回應此，回應PC值「3」自接腳控制記憶體(跳躍用)62輸出接腳資料「1」。且自控制側輸出對應標籤指示之迴路模式信號「01」。回應此，產生標籤信號A，於標籤PC值堆疊器56更儲存PC值「3」。

**【0145】**

其次，控制側之PC值為「4」時，亦輸出接腳側之PC值為「4」(因程式計數器(跳躍用)60之PC值增加)。回應此，回應PC值「4」自接腳控制記憶體(跳躍用)62輸出接腳資料「0」。且自控制側輸出指示跳躍開始之迴路模式信號「10」。回應此，產生跳躍開始信號B，於跳躍PC值堆疊器58儲存PC值「4」(PUSH)。程式計數器切換調整電路55回應跳躍開始信號B將由標籤PC值堆疊器56儲存之PC值(「3」)設定於程式計數器(跳躍用)60。

**【0146】**

其次，控制側之PC值為「3」時，亦輸出接腳側之PC值為「3」(因於程

式計數器(跳躍用)60設定「3」)。回應此，回應PC值「3」自接腳控制記憶體(跳躍用)62輸出接腳資料「1」。

**【0147】**

其次，控制側之PC值為「4」時，亦輸出接腳側之PC值為「4」(因程式計數器(跳躍用)60之PC值增加)。回應此，回應PC值「4」自接腳控制記憶體(跳躍用)62輸出接腳資料「0」。且程式計數器切換調整電路55讀出由跳躍PC值堆疊器58儲存之PC值(「4」)，與程式計數器(跳躍用)60之PC值相比較。根據比較結果一致，故程式計數器切換調整電路55將由標籤PC值堆疊器56儲存之PC值(「3」)設定於程式計數器(跳躍用)60。

**【0148】**

其次，控制側之PC值為「3」時，亦輸出接腳側之PC值為「3」(因於程式計數器(跳躍用)60設定「3」)。回應此，回應PC值「3」自接腳控制記憶體(跳躍用)62輸出接腳資料「1」。

**【0149】**

其次，控制側之PC值為「4」時，亦輸出接腳側之PC值為「4」(因程式計數器(跳躍用)60之PC值增加)。回應此，回應PC值「4」自接腳控制記憶體(跳躍用)62輸出接腳資料「0」。且自控制側輸出指示跳躍結束之迴路模式信號「11」。回應此，產生跳躍結束信號C，自標籤PC值堆疊器56刪除PC值「3」(POP)。且依跳躍結束信號C自跳躍PC值堆疊器58刪除PC值「4」(POP)。接著，程式計數器切換調整電路55因於跳躍PC值堆疊器58儲存PC值「6」，不將程式計數器(跳躍用)60切換為程式計數器52而繼續。在此，選擇器控制電路66在因輸入2次跳躍開始信號B輸入2次跳躍結束信號C時重置而切換。此時，跳躍結束信號C僅輸入1次故不切換，輸出來自接腳控制記憶體(跳躍用)62之接腳資料。

**【0150】**

其次，控制側之PC值為「5」時，亦輸出接腳側之PC值為「5」(因程式計數器(跳躍用)60之PC值增加)。回應此，回應PC值「5」自接腳控制記憶體(跳躍用)62輸出接腳資料「1」。

**【0151】**

其次，控制側之PC值為「6」時，亦輸出接腳側之PC值為「6」。回應

此，回應PC值「6」自接腳控制記憶體(跳躍用)62輸出接腳資料「0」。且程式計數器切換調整電路55讀出由跳躍PC值堆疊器58儲存之PC值(「6」)，與程式計數器(跳躍用)60之PC值相比較。根據比較結果一致，故程式計數器切換調整電路55將由標籤PC值堆疊器56儲存之PC值(「1」)設定於程式計數器(跳躍用)60。

**【0152】**

又，再輸出控制側之PC值為「1」，亦輸出接腳側之PC值為「1」(因於程式計數器(跳躍用)60設定「1」)。以下處理重複與上述相同之處理。

**【0153】**

又，再於控制側之PC值為「6」時，亦輸出接腳側之PC值為「6」。回應此，回應PC值「6」自接腳控制記憶體(跳躍用)62輸出接腳資料「0」。且自控制側輸出指示跳躍結束之迴路模式信號「11」。回應此，產生跳躍結束信號C，自標籤PC值堆疊器56刪除PC值「1」(POP)。且依跳躍結束信號C自跳躍PC值堆疊器58刪除PC值「6」(POP)。又，程式計數器切換調整電路55確認於跳躍PC值堆疊器58未儲存任何物，將程式計數器(跳躍用)60切換為程式計數器52。在此，選擇器控制電路66因輸入2次跳躍開始信號B，又輸入2次跳躍結束信號C而重置並切換。亦即，輸出來自接腳控制記憶體22之接腳資料。

**【0154】**

其次，控制側之PC值為「7」時，亦輸出接腳側之PC值為「7」(因程式計數器52之PC值增加)。回應此，回應PC值「7」自接腳控制記憶體22輸出接腳資料「1」。且自控制側對接腳側輸出重複信號。又，由程式計數器52輸入重複信號。

**【0155】**

其次，控制側之PC值為「7」時，依重複信號亦輸出接腳側之PC值為「7」。回應此，回應PC值「7」自接腳控制記憶體22輸出接腳資料「1」。

**【0156】**

其次，控制側之PC值為「8」時，亦輸出接腳側之PC值為「8」(因程式計數器52之PC值增加)。回應此，回應PC值「8」自接腳控制記憶體22輸出接腳資料「0」。

**【0157】**

又，於本例中，雖已說明關於1個腳端介面電路基板之接腳資料，但關於其他腳端介面電路基板亦實行相同之處理。

**【0158】**

藉由該處理，可與控制側之PC值同步輸出對應接腳側之PC值之接腳資料。

**【0159】**

具體而言，可藉由使用自程式控制電路30輸出，用來控制跳躍處理之迴路模式信號(2位元)，調整接腳側之PC值(程式計數器之設定)實現之。亦即，上述處理可以自程式控制電路30針對接腳控制記憶體控制電路50之PC開始信號、重複信號、迴路模式信號(2位元)之4位元之信號實行。

**【0160】**

因此，作為一例，腳端介面電路基板為16片時，可以 $16 \times 4 = 64$ 條配線條數實行根據既定測試模式之測試。因此，與習知構成相比較，可大幅削減配線條數，同時可同時測定多數個對象。

**【0161】**

圖13係依本實施形態之接腳控制記憶體(跳躍用)62之內部狀態之說明圖。

**【0162】**

參照圖13(A)，顯示依程式計數器52之PC值儲存接腳資料之情形。

**【0163】**

又，依PC值「4」實行跳躍動作。此時，不對接腳控制記憶體22進行存取，對接腳控制記憶體(跳躍用)62進行存取，讀出接腳資料。至輸入跳躍結束信號C止實行跳躍動作。

**【0164】**

參照圖13(B)，顯示依程式計數器32之PC值更儲存接腳資料之情形。

**【0165】**

又，依PC值「6」實行跳躍動作。此時，不對接腳控制記憶體22進行存取，對接腳控制記憶體(跳躍用)62進行存取，讀出接腳資料。至輸入2次跳躍結束信號C止實行跳躍動作。

**【0166】**

參照圖13(C)，顯示依程式計數器32之PC值更儲存接腳資料之情形。

**【0167】**

又，依PC值「8」停止測試動作。

於本例中，跳躍動作時，對設於接腳控制記憶體控制電路50內之接腳控制記憶體(跳躍用)62進行存取，讀出依跳躍動作之接腳資料，故較接腳控制記憶體22更可高速處理。

**【0168】**

其次，說明關於用來實行上述處理之碼分析電路34中之控制流程。

**【0169】**

圖14係說明關於依本實施形態之碼分析電路34中之處理之流程圖。

**【0170】**

參照圖14即知，碼分析電路34判斷有無指令碼之輸入(步驟S8)。依基準時脈自指令記憶體18讀出該指令碼。

**【0171】**

步驟S8中，碼分析電路34判斷有指令碼之輸入時(步驟S8中為YES)，其次判斷輸入之指令碼是否係暫存器值設定命令(「C1L」或是「C2L」)(步驟S10)。

**【0172】**

步驟S10中，判斷是暫存器值設定命令時(步驟S10中為YES)，設定暫存器值(步驟S12)。具體而言，依暫存器值設定命令設定迴路暫存器35之C1暫存器或是C2暫存器。

**【0173】**

又，回到步驟S8。

另一方面，步驟S10中，判斷非暫存器值設定命令時(步驟S10中為NO)，判斷是否係跳躍命令(「C1J」或是「C2J」)(步驟S16)。

**【0174】**

步驟S16中，判斷係跳躍命令時(步驟S16中為YES)，指示停止程式計數器32(步驟S18)。

**【0175】**

又，其次，實行跳躍控制(步驟S20)。關於跳躍控制之詳細內容於後詳述。

**【0176】**

跳躍控制結束後，指示重新開始程式計數器32(步驟S21)。又，回到步驟S8。

**【0177】**

步驟S16中，判斷非跳躍命令時(步驟S16中為NO)，判斷是否係標籤命令(「JST1」或是「JST2」)(步驟S22)。

**【0178】**

步驟S22中，判斷係標籤命令時(步驟S22中為YES)，對輸出控制電路42輸出標籤指示(步驟S24)。輸出控制電路42依該指示將迴路模式信號「01」對接腳控制記憶體控制電路50輸出。

**【0179】**

步驟S22中，判斷非標籤命令時(步驟S22中為NO)，判斷是否係重複命令(步驟S26)。輸出控制電路42依該指示將重複信號對接腳控制記憶體控制電路50輸出。

**【0180】**

步驟S26中，判斷係重複命令時(步驟S26中為YES)，對輸出控制電路42輸出重複指示(步驟S28)。步驟S26中，判斷非重複命令時(步驟S26中為NO)，跨越步驟S28而回到步驟S8。

**【0181】**

圖15係說明關於依本實施形態之碼分析電路34中跳躍控制之處理之流程圖。

**【0182】**

參照圖15即知，首先，碼分析電路34指示跳躍開始(步驟S30)。輸出控制電路42依該指示將迴路模式信號「10」對接腳控制記憶體控制電路50輸出。

**【0183】**

其次，碼分析電路34更新迴路暫存器(步驟S31)。具體而言，使設定於迴路暫存器(C1暫存器或是C2暫存器)之值遞減。

**【0184】**

其次，碼分析電路34判斷迴路暫存器之值是否係0(步驟S32)。

**【0185】**

步驟S32中，碼分析電路34在判斷迴路暫存器之值係0時(步驟S32中為YES)，指示跳躍結束(步驟S43)。輸出控制電路42依該指示將迴路模式信號「11」對接腳控制記憶體控制電路50輸出。

**【0186】**

又，結束處理(回程)。亦即，前進至圖14之步驟S21。

另一方面，步驟S32中，碼分析電路34在判斷迴路暫存器之值非0時(步驟S32中為NO)，設定程式計數器(跳躍用)38之輸出(步驟S34)。具體而言，於程式計數器(跳躍用)38設定跳躍目的地之PC值。

**【0187】**

又，其次，碼分析電路34判斷有無指令碼之輸入(步驟S38)。依基準時脈自指令記憶體(跳躍用)40讀出該指令碼。

**【0188】**

步驟S38中，碼分析電路34判斷有指令碼之輸入時(步驟S38中為YES)，其次判斷是否係暫存器值設定命令(「C1L」或是「C2L」)(步驟S40)。

**【0189】**

步驟S40中，碼分析電路34判斷是暫存器值設定命令時(步驟S40中為YES)，設定暫存器值(步驟S42)。具體而言，依暫存器值設定命令設定迴路暫存器35之C1暫存器或是C2暫存器。

**【0190】**

又，回到步驟S38。

另一方面，步驟S40中，碼分析電路34判斷非暫存器值設定命令時(步驟S40中為NO)，判斷是否係跳躍命令(「C1J」或是「C2J」)(步驟S44)。

**【0191】**

步驟S44中，碼分析電路34判斷係跳躍命令時(步驟S44中為YES)，判斷是否係其他跳躍命令(例如在依「C2J」之跳躍處理中有「C1J」之跳躍命令時)(步驟S46)。

**【0192】**

步驟S46中，碼分析電路34判斷非其他跳躍命令時(步驟S46中為NO)，回到步驟S31，重複跳躍處理。

**【0193】**

另一方面，碼分析電路34判斷係其他跳躍命令時(例如在依「C2J」之跳躍處理中有「C1J」之跳躍命令時)(步驟S46中為YES)，實行其他跳躍控制(步驟S48)。

**【0194】**

具體而言，關於其他跳躍控制，自最初實行圖15之流程。接著，其他跳躍控制(步驟S48)結束後，回到步驟S38，重新開始原來的跳躍控制。

**【0195】**

步驟S44中，碼分析電路34判斷非跳躍命令時(步驟S44中為NO)，判斷是否係標籤命令(「JST1」或是「JST2」)(步驟S50)。

**【0196】**

步驟S50中，碼分析電路34判斷係標籤命令時(步驟S50中為YES)，判斷標籤命令是否係跳躍目的地(步驟S52)。亦即，判斷作為跳躍目的地之位址之PC值之指令碼是否係標籤命令。

**【0197】**

步驟S52中，碼分析電路34判斷係跳躍目的地時(步驟S52中為YES)，不實行針對標籤命令之處理，回到步驟S38。

**【0198】**

另一方面，步驟S52中，碼分析電路34判斷非跳躍目的地時(步驟S52中為NO)，輸出標籤指示(步驟S54)。輸出控制電路42依該指示將迴路模式信號「01」對接腳控制記憶體控制電路50輸出。

**【0199】**

步驟S50中，碼分析電路34判斷非標籤命令時(步驟S50中為NO)，判斷是否係重複命令(「REP」)(步驟S56)。

**【0200】**

步驟S56中，碼分析電路34判斷係重複命令時(步驟S56中為YES)，輸出重複指示(步驟S60)。輸出控制電路42依該指示將重複信號對接腳控制記憶體控制電路50輸出。

**【0201】**

步驟S56中，碼分析電路34判斷非重複命令時(步驟S56中為NO)，跨越步驟S60，回到步驟S38。

**【0202】**

圖16係說明關於依本實施形態之程式計數器切換調整電路55中之處理之流程圖。

**【0203】**

參照圖16即知，程式計數器切換調整電路55判斷是否有跳躍開始指示(步驟S70)。具體而言，判斷是否有跳躍開始信號B之輸入。

**【0204】**

步驟S70中，程式計數器切換調整電路55判斷有跳躍開始指示時(步驟S70中為YES)，指示停止程式計數器52(步驟S72)。

**【0205】**

其次，設定標籤PC值堆疊器值(步驟S74)。具體而言，程式計數器切換調整電路55於程式計數器(跳躍用)60設定由標籤PC值堆疊器56儲存之值。

**【0206】**

藉由該處理可將跳躍之PC值設定於程式計數器(跳躍用)60，跳躍至指定之PC值。

**【0207】**

又，回到步驟S70。

步驟S70中，程式計數器切換調整電路55判斷無跳躍開始指示時(步驟S70中為NO)，判斷是否有跳躍結束指示(步驟S76)。具體而言，判斷是否有跳躍結束信號C之輸入。

**【0208】**

步驟S76中，程式計數器切換調整電路55判斷有跳躍結束指示時(步驟S76中為YES)，判斷是否有跳躍PC值堆疊器值(步驟S78)。

**【0209】**

步驟S78中，程式計數器切換調整電路55判斷有跳躍PC值堆疊器值時(步驟S78中為YES)，跨越步驟S80，回到步驟S70。

**【0210】**

且步驟S78中，程式計數器切換調整電路55判斷無跳躍PC值堆疊器值時(步驟S78中為NO)，指示重新開始程式計數器52(步驟S80)。

**【0211】**

藉由該處理在跳躍結束時可重新開始程式計數器52，且跳躍處理係2重迴路等時，藉由跨越步驟S80可繼續跳躍處理。

**【0212】**

又，回到步驟S70。

步驟S76中，程式計數器切換調整電路55判斷無跳躍結束指示時(步驟S76中為NO)，判斷程式計數器(跳躍用)60之PC值是否增加(步驟S82)。

**【0213】**

步驟S82中，程式計數器切換調整電路55判斷程式計數器(跳躍用)60之PC值未增加時(步驟S82中為NO)，回到步驟S70。

**【0214】**

另一方面，步驟S82中，程式計數器切換調整電路55判斷程式計數器(跳躍用)60之PC值增加時(步驟S82中為YES)，比較程式計數器(跳躍用)值，與跳躍PC值堆疊器值(步驟S84)。程式計數器切換調整電路55比較由跳躍PC值堆疊器58儲存之值與由程式計數器(跳躍用)60儲存之值。

**【0215】**

又，程式計數器切換調整電路55判斷比較結果是否一致(步驟S86)。

**【0216】**

步驟S86中，判斷比較結果一致時(步驟S86中為YES)，設定標籤PC值堆疊器值(步驟S88)。具體而言，程式計數器切換調整電路55於程式計數器(跳躍用)60設定由標籤PC值堆疊器56儲存之值。

**【0217】**

又，回到步驟S70。

另一方面，步驟S86中，程式計數器切換調整電路55判斷不一致時(步驟S86中為NO)，跨越步驟S88，回到步驟S70。

**【0218】**

藉由該處理，至輸入跳躍結束信號止，可根據由標籤PC值堆疊器56儲存之值，與由跳躍PC值堆疊器58儲存之值繼續跳躍處理之一連串程序。

**【0219】**

(變形例)

圖17係依本實施形態之變形例之程式計數器32 # 及接腳控制記憶體控制電路50 # 之構成之說明圖。

**【0220】**

參照圖17即知，接腳控制記憶體控制電路50 # 與接腳控制記憶體控制電路50相比較，未設置選擇器36、程式計數器(跳躍用)38及指令記憶體(跳躍用)40。又，以程式計數器32 # 為程式計數器32，取代碼分析電路34為碼分析電路34 # 之點不同。

**【0221】**

依本實施形態之變形例之碼分析電路34 # 不切換程式計數器，於程式計數器32 # 設定跳躍目的地之PC值。關於其他處理與上述處理相同，故不重複其詳細說明。

**【0222】**

接腳控制記憶體控制電路50 # 與接腳控制記憶體控制電路50相比較，未設置程式計數器(跳躍用)60及接腳控制記憶體(跳躍用)62。且不設置信號產生電路54及程式計數器切換調整電路55，代之以計數器控制電路70之點不同。且不設置選擇器64及選擇器控制電路66，代之以信號輸出電路72之點不同。

**【0223】**

具體而言，計數器控制電路70與信號產生電路54相同，接受迴路模式信號，輸出標籤信號A、跳躍開始信號B、跳躍結束信號C。且計數器控制電路70具有與程式計數器切換調整電路55相同之功能，不切換程式計數器，於程式計數器52 # 調整(設定)跳躍目的地之PC值。又，該PC值之值由接腳控制記憶體22讀出，信號輸出電路72對外部輸出自接腳控制記憶體22輸出之接腳資料。關於其他處理與上述處理相同，故不重複其詳細說明。

**【0224】**

藉由該構成，相較於上述實施形態更可以簡易之構成實行根據既定測試模式之測試，可大幅削減配線條數，同時可同時測定多數個對象。

**【0225】**

又，雖已說明上述圖3之既定測試模式包含2重迴路之跳躍處理，但不特別限於此，就包含N重迴路(N：3以上)之跳躍處理者而言，亦可同樣地適用。

**【0226】**

以上，雖已根據實施形態具體說明由本案發明人達成之發明，但本發明不由實施形態限定，當然可在不逸脫其要旨之範圍內進行各種變更。

**【符號說明】**

**【0227】**

- 2 測試器終端機
- 10 測試裝置
- 12 介面基板
- 14 控制基板
- 16 基準時脈分配電路
- 18 指令記憶體
- 20 腳端介面電路基板
- 22 接腳控制記憶體
- 30、30# 程式控制電路
- 32、32#、52、52# 程式計數器
- 34、34# 碼分析電路
- 35 迴路暫存器
- 36、64 選擇器
- 38 程式計數器(跳躍用)
- 40 指令記憶體(跳躍用)
- 42 輸出控制電路
- 50、50# 接腳控制記憶體控制電路
- 54 信號產生電路
- 55 程式計數器切換調整電路
- 56 標籤 PC 值堆疊器
- 58 跳躍 PC 值堆疊器

- 60 程式計數器(跳躍用)
  - 62 接腳控制記憶體(跳躍用)
  - 64 選擇器
  - 66 選擇器控制電路
  - 70 計數器控制電路
  - 72 信號輸出電路
  - 100 待測試元件
- S2~S6、S8~S28、S30~S60、S70~S88 步驟

**【生物材料寄存】**

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無。

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無。

**【序列表】**(請換頁單獨記載)

無。

## 申請專利範圍

1. 一種測試裝置，用來測試晶片，其特徵在於包含：
  - 複數之腳端介面電路(pin electronics)基板，可分別對設於晶片之每一接腳輸出接腳資料；及
  - 控制基板，以共通之方式設於該複數之腳端介面電路基板；
  - 且該控制基板包含：
    - 第1命令碼記憶體，儲存有命令碼；
    - 第1程式計數器，使計數同步於時脈而上升；
    - 碼分析電路，依該第1程式計數器之計數器值，分析自該第1命令碼記憶體讀出之命令碼；及
    - 控制資料輸出控制電路，依由該碼分析電路分析之命令碼，輸出用來控制該腳端介面電路基板之控制資料；
    - 且各該腳端介面電路基板包含：
      - 第1接腳記憶體，儲存有接腳資料；
      - 第2程式計數器，使計數同步於該時脈而上升；及
      - 接腳資料輸出控制電路，根據來自該控制資料輸出控制電路之控制資料，調整該第2程式計數器之計數器值，輸出依該計數器值自該第1接腳記憶體讀出之接腳資料。
2. 如申請專利範圍第1項之測試裝置，其中該控制基板更包含：
  - 第2命令碼記憶體，依該第1程式計數器之計數器值，將讀出之命令碼賦與對應而儲存該命令碼；及
  - 第3程式計數器，按照以該碼分析電路進行之命令碼之分析，依跳躍命令與該第1程式計數器切換，使計數同步於時脈而上升；
  - 且該碼分析電路在跳躍中，依該第3程式計數器之計數器值分析自該第2命令碼記憶體讀出之命令碼。
3. 如申請專利範圍第2項之測試裝置，其中該控制資料輸出控制電路輸出：
  - 起動信號，用來指示該第2程式計數器起動；
  - 重複信號，依該命令碼指示再次輸出相同資料；及

迴路模式信號，控制跳躍處理。

4. 如申請專利範圍第3項之測試裝置，其中該接腳資料輸出控制電路包含：

第2接腳記憶體，依該第2程式計數器之計數器值，將讀出之接腳資料賦與對應而儲存該接腳資料；

第4程式計數器，依該迴路模式信號，與該第2程式計數器切換，使計數同步於時脈而上升；及

接腳資料切換電路，依該迴路模式信號，在跳躍中，依該第4程式計數器之計數器值自該第2接腳記憶體輸出讀出之接腳資料，在該跳躍中以外，自該第1接腳記憶體輸出讀出之接腳資料。

5. 如申請專利範圍第3或4項之測試裝置，其中該迴路模式信號包含：

標籤資料，用來指示登錄跳躍之跳躍目的地址；

開始資料，指示跳躍開始；及

結束資料，指示跳躍結束。

6. 如申請專利範圍第5項之測試裝置，其中該接腳資料輸出控制電路包含：

堆疊器，依該標籤資料臨時儲存該第2程式計數器之計數器值，

依該指示跳躍開始之開始資料，於該第4程式計數器設定由該堆疊器儲存之計數器值。

圖式

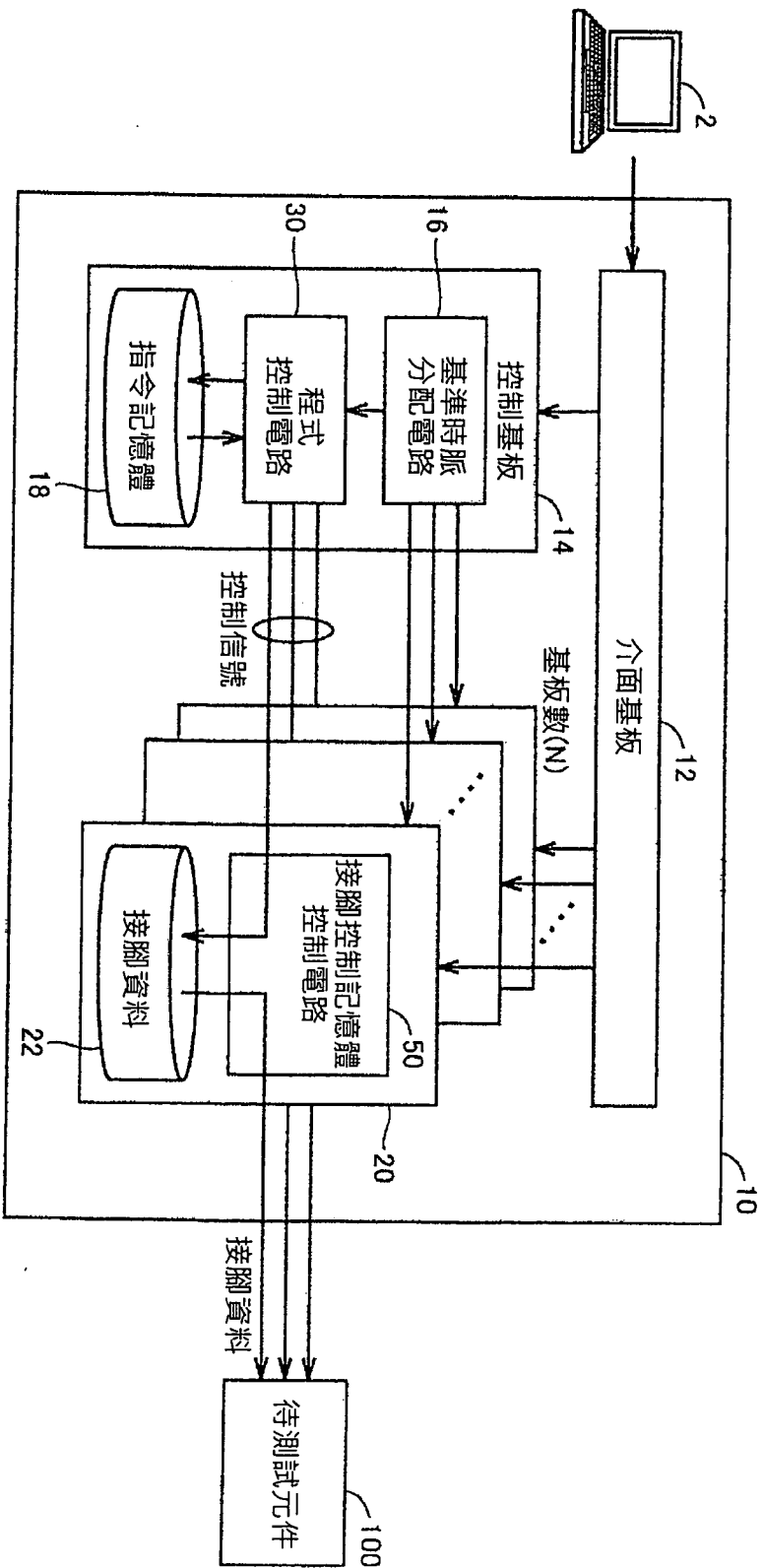


圖 1

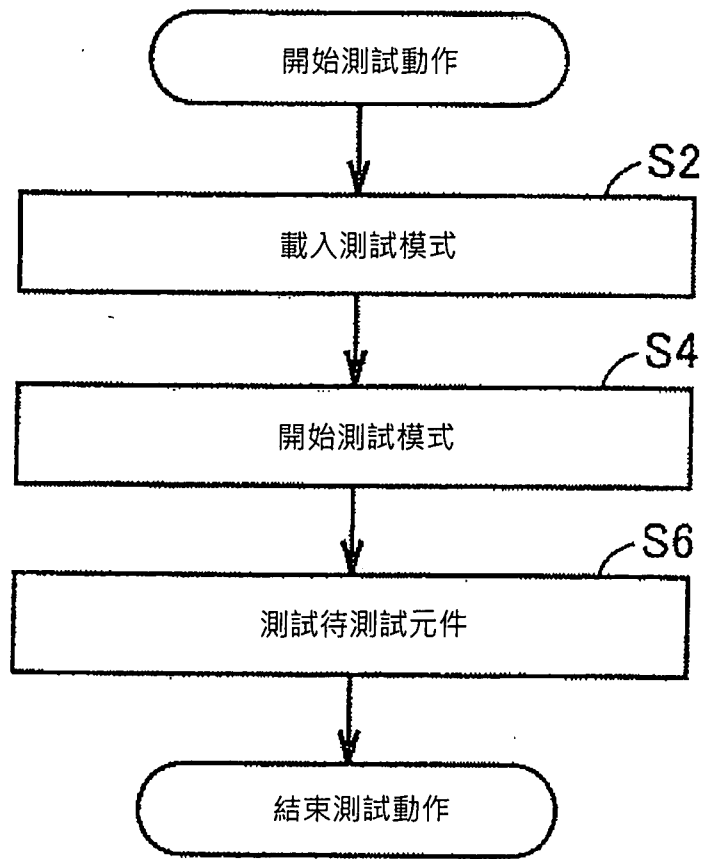


圖 2

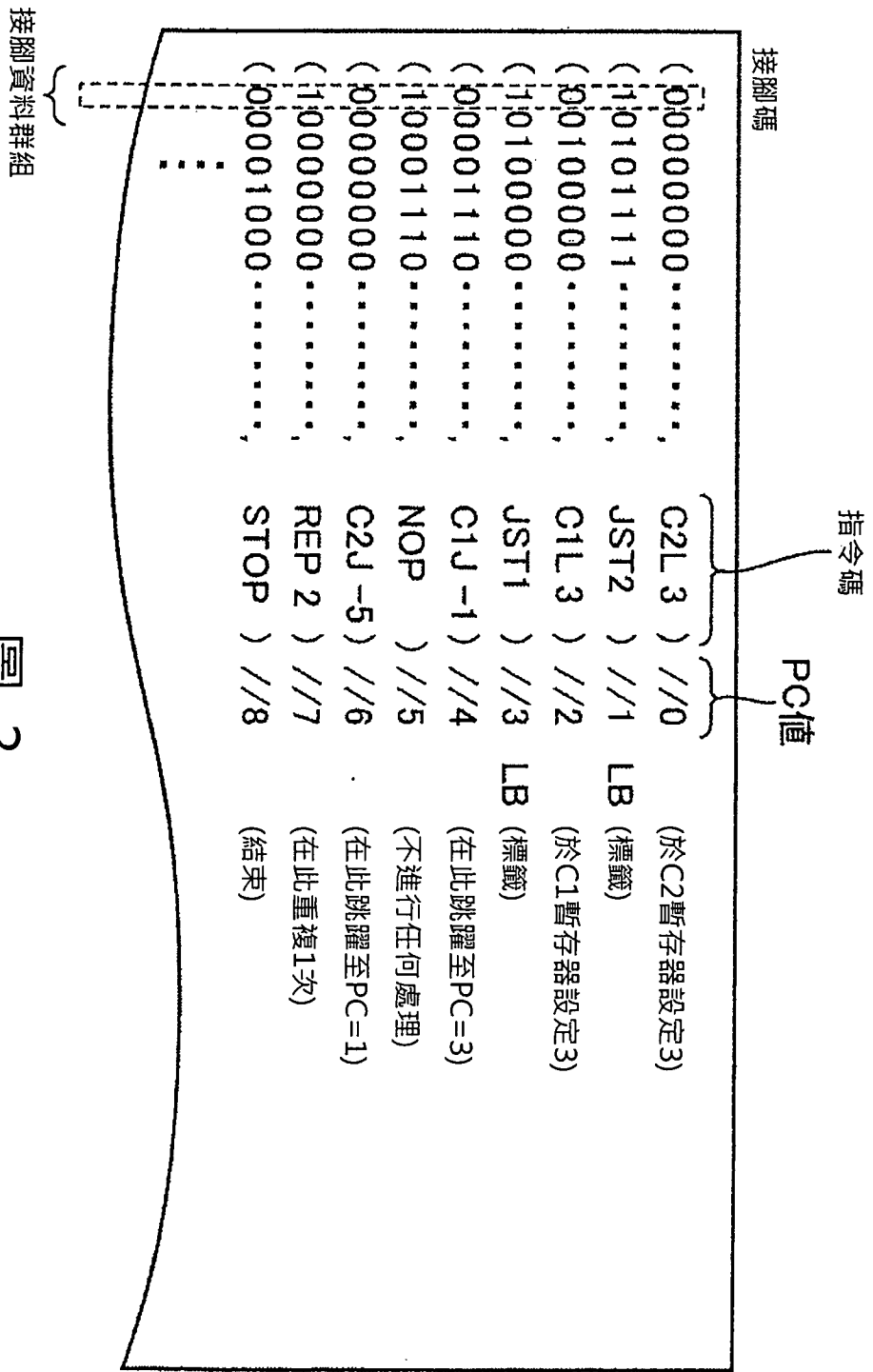


圖 3

NOP	0x0000
REP 2	0x1005
STOP	0x2000
C1J -1	
C2J -5	
JST1	
JST2	
⋮	⋮

圖 4

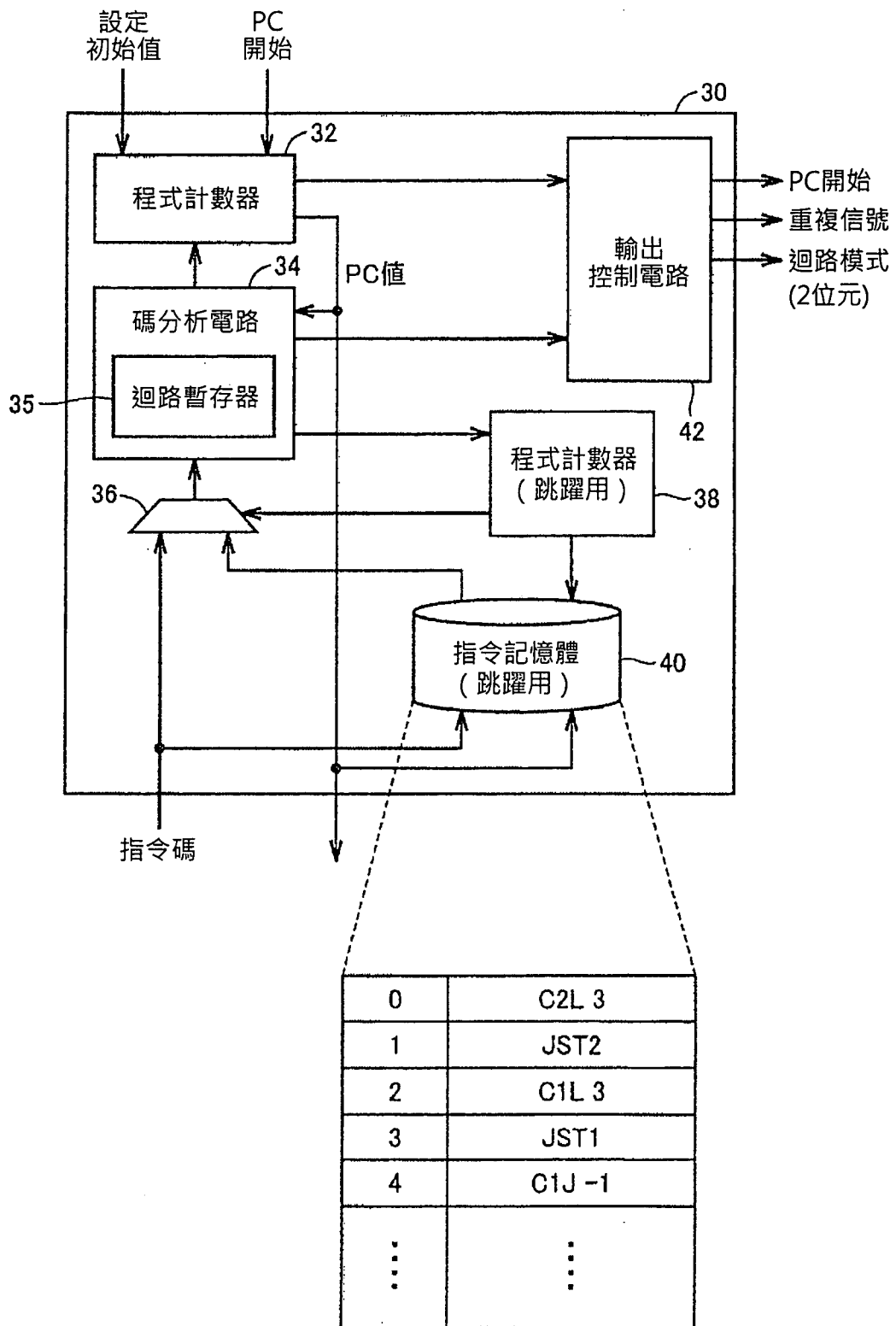


圖 5

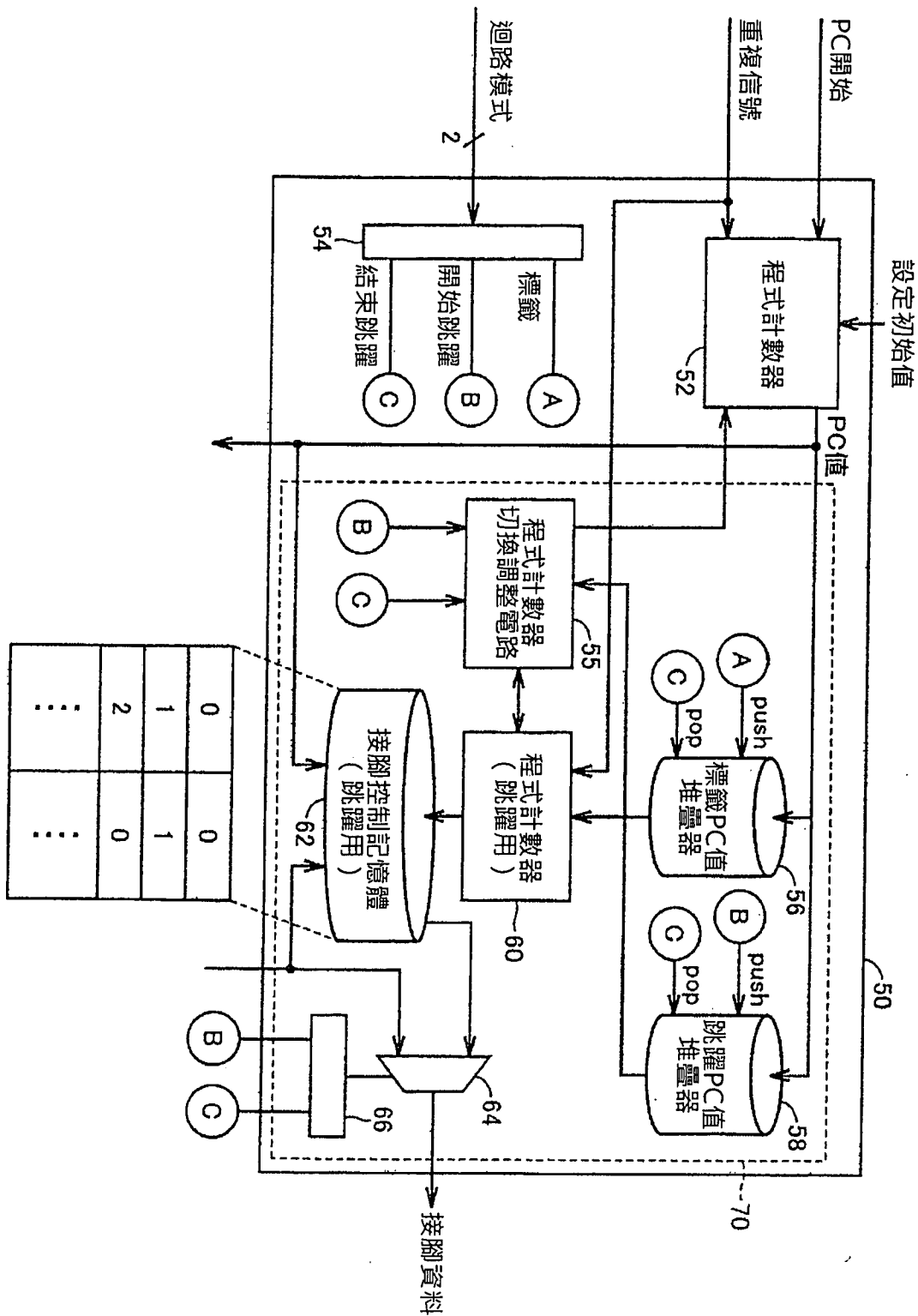


圖 6

01	標籤	A
10	開始跳躍	B
11	結束跳躍	C

圖 7

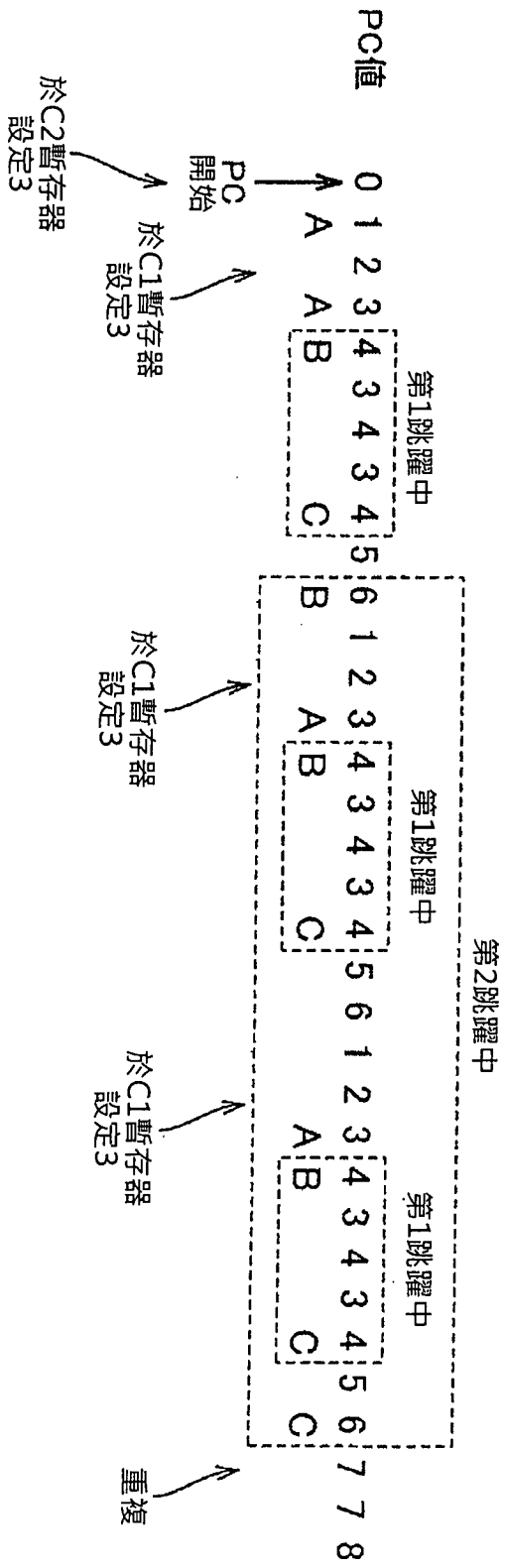


圖 8

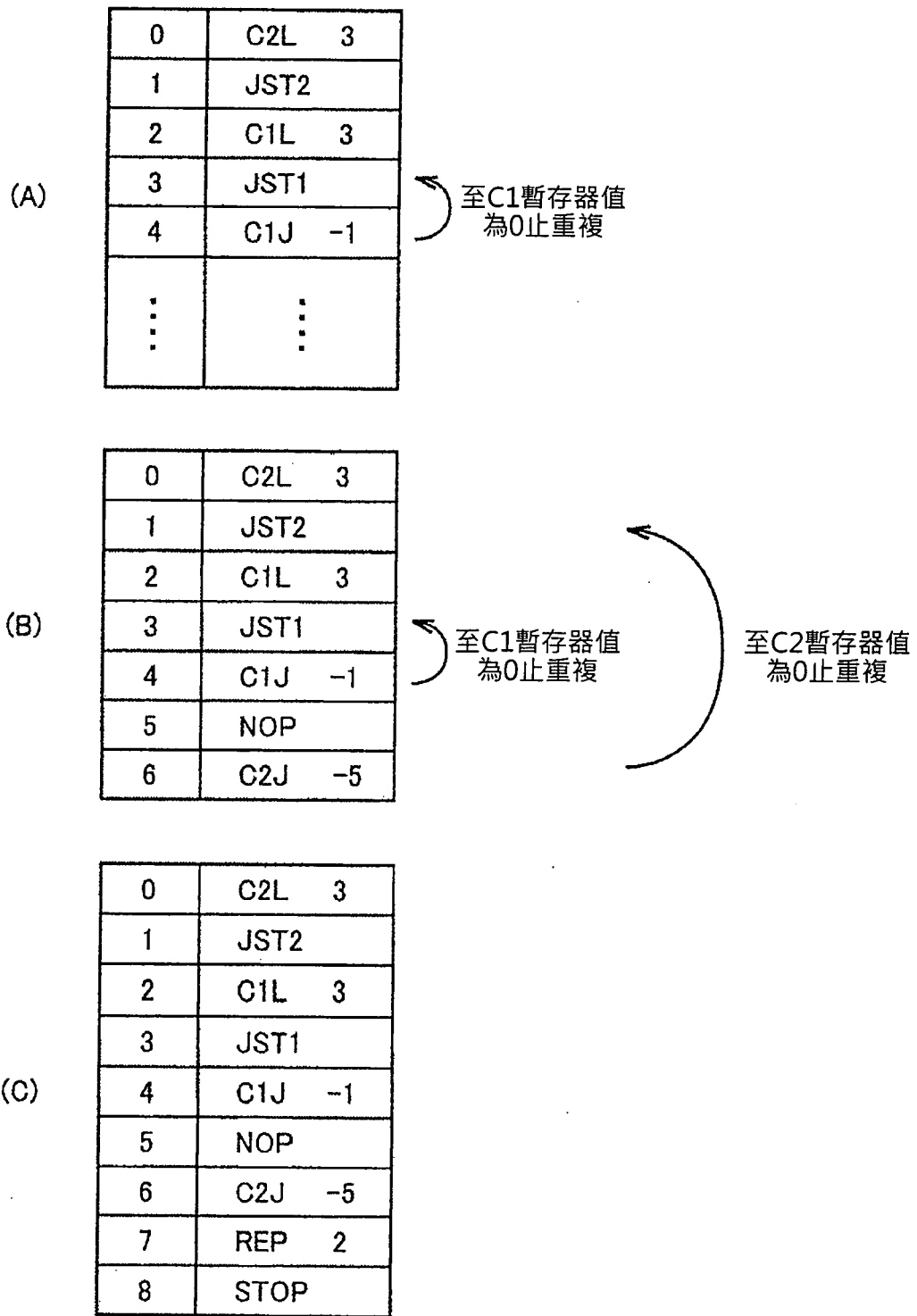


圖 9

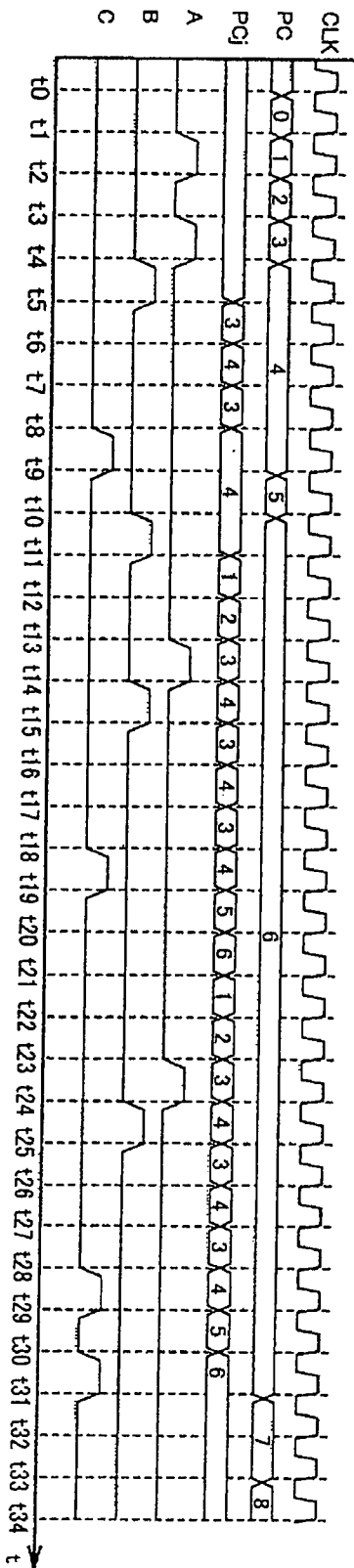


圖 10

控制側 PC值		接腳側PC值	堆疊器狀態	接腳資料
0		輸出程式計數器「0」		0
1	A	輸出程式計數器「1」	56- [ 1 ]	1
2		輸出程式計數器「2」		0
3	A	輸出程式計數器「3」	56- [ 3 1 ]	1
4	B	輸出程式計數器「4」	56- [ 3 1 ]      58- [ 4 ]	0
3		輸出程式計數器(跳躍用)「3」	56- [ 3 1 ]      58- [ 4 ]	1
4		輸出程式計數器(跳躍用)「4」	56- [ 3 1 ]      58- [ 4 ]	0
3		輸出程式計數器(跳躍用)「3」	56- [ 3 1 ]      58- [ 4 ]	1
4	C	輸出程式計數器(跳躍用)「4」	56- [ 1 ]      58- [ — ]	0
5		輸出程式計數器「5」	56- [ 1 ]      58- [ — ]	1

圖 11

控制側 PC值		接腳側PC值	堆疊器狀態	接腳資料
6	B	輸出程式計數器「0」	56-1 → 58-6 設定程式計數器(跳躍用)「1」	0
1		輸出程式計數器(跳躍用)「1」	56-1    58-6	1
2		輸出程式計數器(跳躍用)「2」	56-1    58-6	0
3	A	輸出程式計數器(跳躍用)「3」	56-3 1    58-6	1
4	B	輸出程式計數器(跳躍用)「4」	56-3 1 → 58-4 6 設定程式計數器(跳躍用)「3」	0
3		輸出程式計數器(跳躍用)「3」	56-3 1    58-4 6	1
4		輸出程式計數器(跳躍用)「4」	56-3 1    58-4 6	0
3		輸出程式計數器(跳躍用)「3」	56-3 1    58-4 6	1
4	C	輸出程式計數器(跳躍用)「4」	56-1    58-6	0
5		輸出程式計數器(跳躍用)「5」	56-1    58-6	1
6		輸出程式計數器(跳躍用)「6」	56-1    58-6	0
⋮				
6	C	輸出程式計數器(跳躍用)「6」	56-—    58-—	0
7		輸出程式計數器「7」		1
7		輸出程式計數器「7」		1
8		輸出程式計數器「8」		0

圖 12

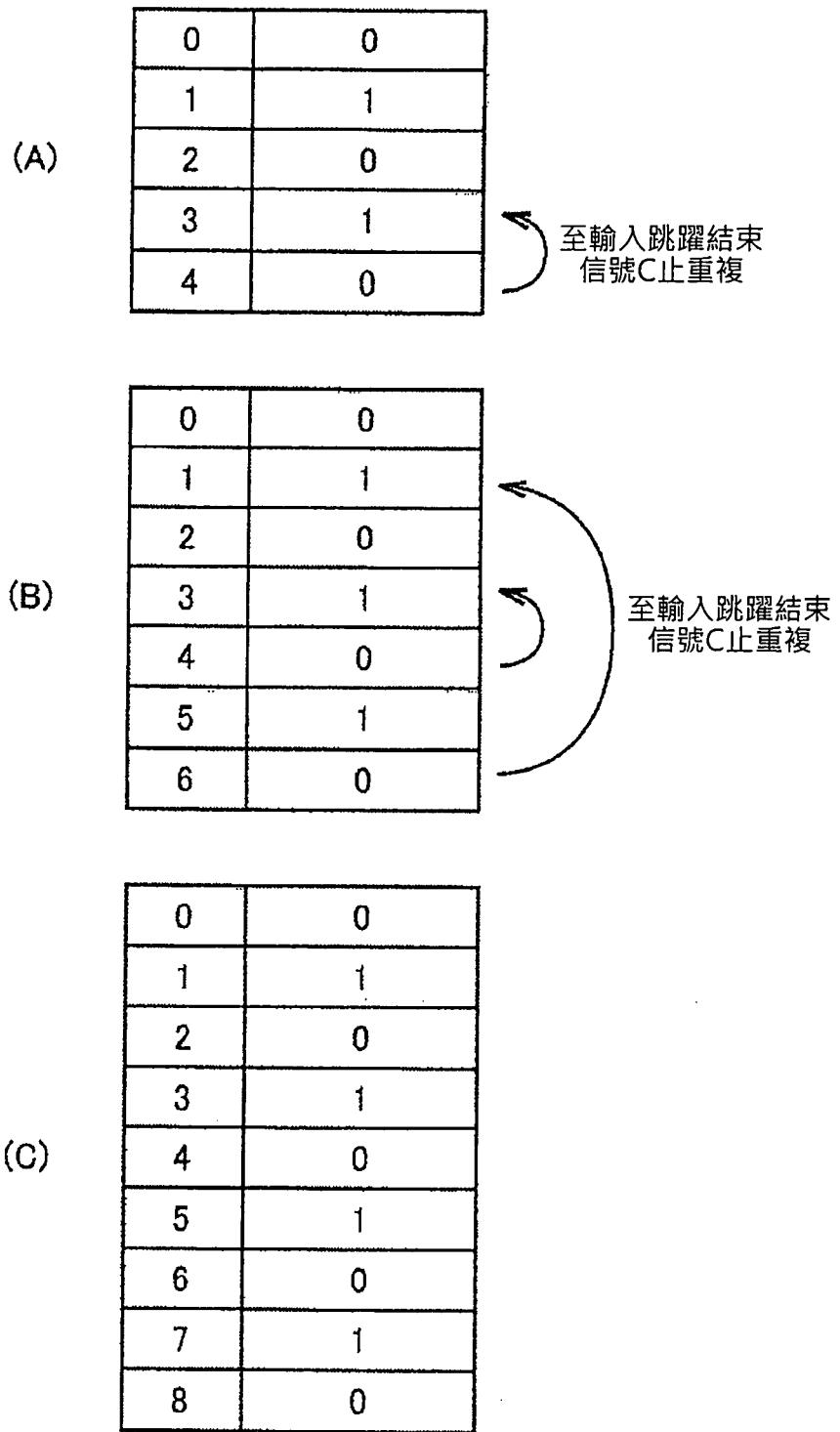


圖 13

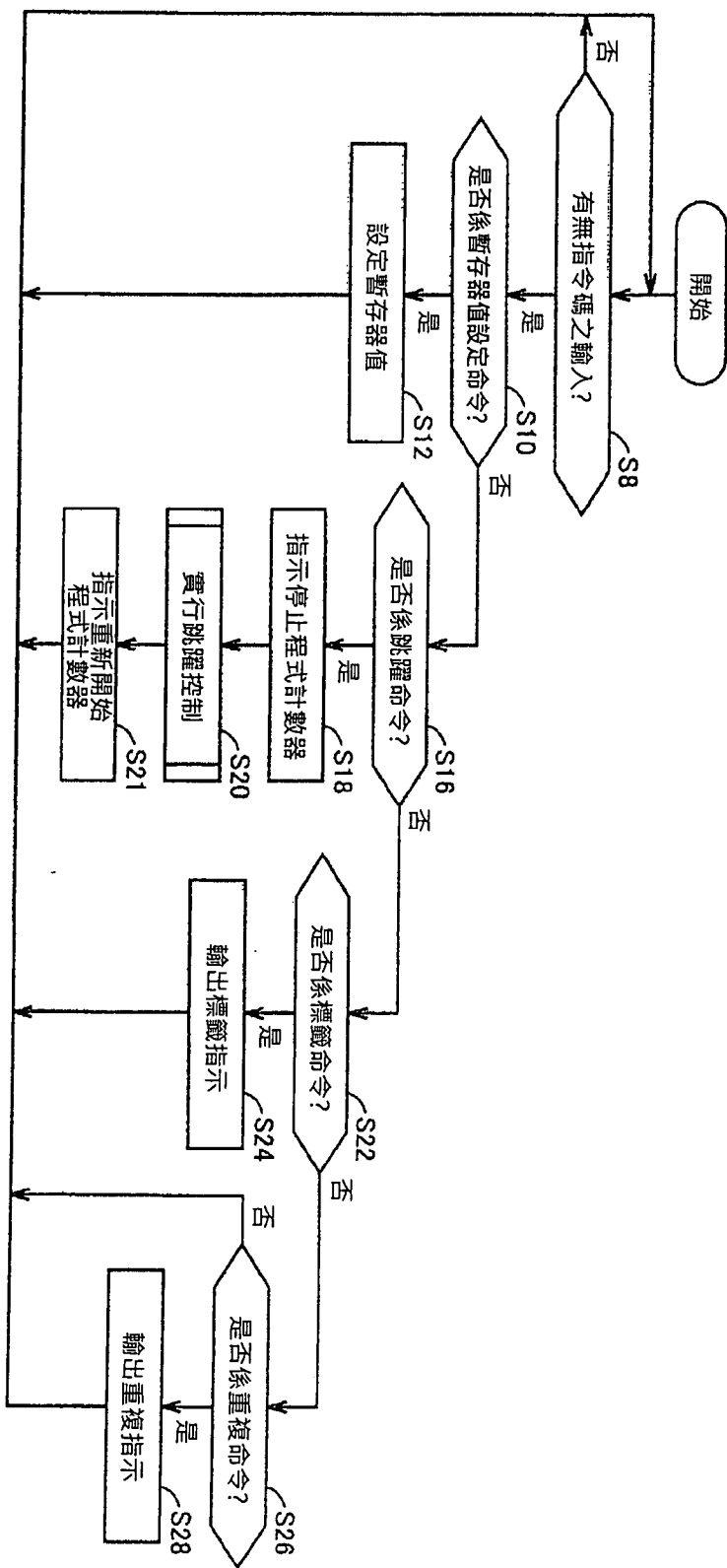


圖 14

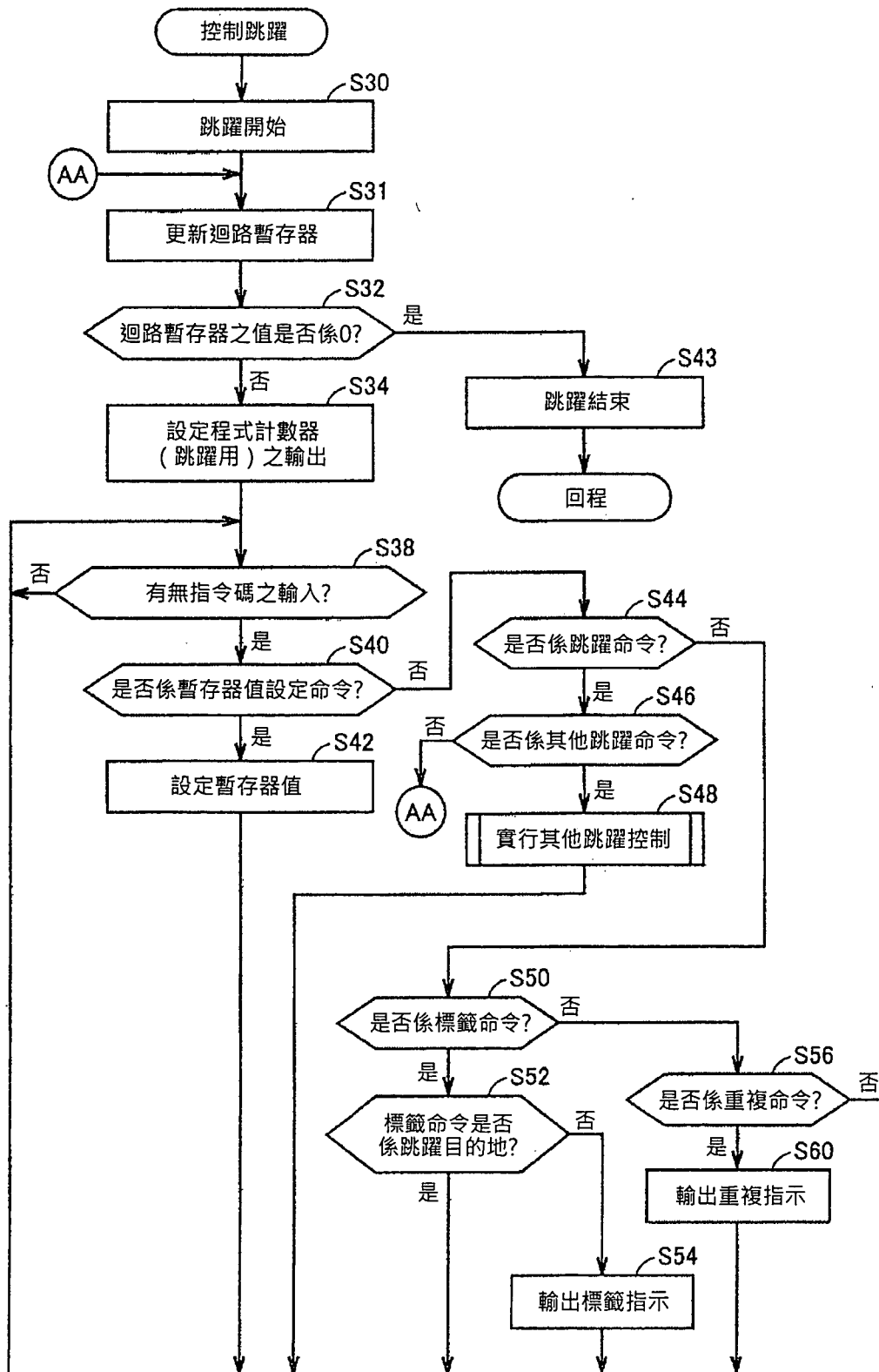


圖 15



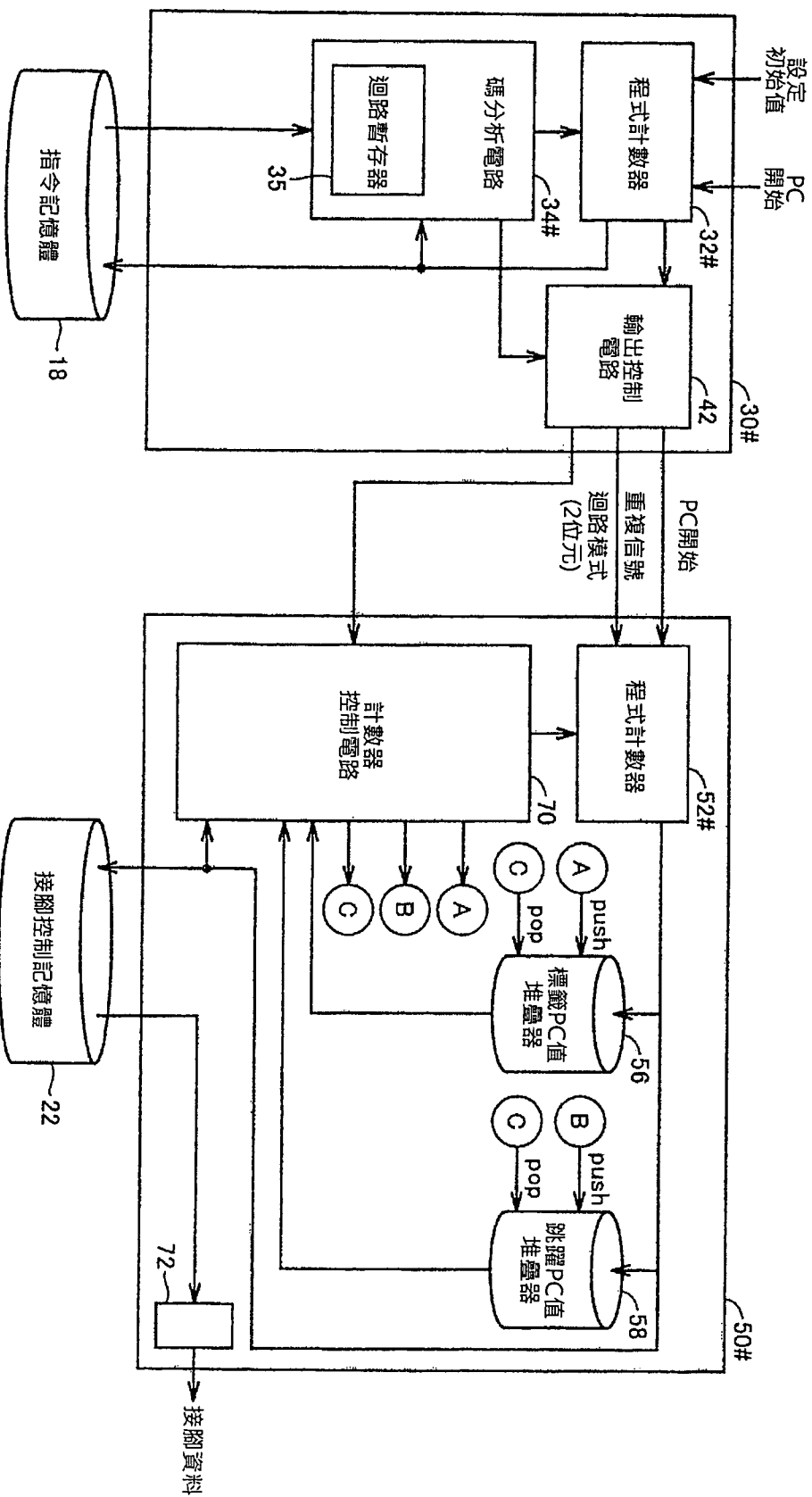


圖 17