

92121267

發明專利說明書 200411665

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92121267

※申請日期：92/08/04

※IPC 分類：

G11C 11/40
H01L 27/105

壹、發明名稱：(中文/英文)

(中文) 非揮發性半導體記憶裝置之資料消除方法

(英文) METHOD OF ERASING DATA OF NONVOLATILE SEMICONDUCTOR MEMORY UNIT

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

(中文) 瑞薩科技股份有限公司

(英文) Renesas Technology Corp. (株式会社ルネサステクノロジ)

代表人：(中文/英文)

伊藤達 / Satoru ITO

住居所或營業所地址：(中文/英文)

(中文) 日本國東京都千代田區丸の内二丁目 4 番 1 號

(英文) 4-1, Marunouchi 2-chome, Chiyoda-ku, TOKYO 100-6334, JAPAN

國籍：(中文) 日本 (英文) Japan

參、發明人：(共 1 人)

姓名：(中文/英文)

1. 溝口慎一 / Shinichi MIZOGUCHI

2. 早坂隆/Takashi HAYASAKA (早坂隆)

3. 二箇谷知士/Tomoshi FUTATSUYA (ニッ谷知士)

住居所地址：(中文/英文)

(中文) 1~3. 日本國東京都千代田區丸の内二丁目 4 番 1 號 株式会社ルネサステクノロジ内

(英文) 1~3. c/o Renesas Technology Corp., 4-1, Marunouchi 2-chome, Chiyoda-ku, TOKYO 100-6334, JAPAN

國籍：(中文) 日本 (英文) Japanese

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002/12/26；2002-376747

2.

3.

4.

5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一般可電性寫入及消除的非揮發性半導體記憶裝置，尤其是在消除時於全部記憶體電晶體中，總括或依每個記憶體區塊消除資料的非揮發性半導體記憶體（以下，稱「快閃記憶體」）之資料消除方法。

【先前技術】

快閃記憶體係採用具有漂浮閘，同時，可改變臨限電壓的電晶體（以下，稱「記憶體電晶體」）作為記憶單元。

習知快閃記憶體係具備有：記憶單元陣列、電位產生部、及寫入消除控制部；其中，該記憶單元陣列係含有配置成行列狀的複數非揮發性記憶體電晶體；分別選擇記憶體電晶體之列的複數字線與分別對應記憶體電晶體之行而設置的複數位元線，同時還分割為複數個記憶體區塊；該電位產生部係產生對字線、位元線、及記憶體電晶體之基板部與源極所施加的電位；該寫入消除控制部係控制電位產生部，並在全部記憶體電晶體中，總括或依每個記憶體區塊消除資料（例如，參照如專利文獻 1）。

上述構造的快閃記憶體之資料消除方法，有如上述文獻的圖 42 中所揭示。此周知的資料消除方法，係包含有：對記憶體電晶體總括地施加預備寫入脈衝的第 1 步驟；當總括地對記憶體電晶體施加第 1 消除脈衝，且判斷為尚未消除結束的情況時，便利用變更第 1 消除脈衝的強度，重複施行上述第 1 消除脈衝施加動作，直到判斷為消除結束為

止的第 2 步驟；當總括地對記憶體電晶體施加寫入脈衝，且判斷為寫回 (write back) 尚未結束的情況時，便利用變更寫入脈衝的強度，重複施行上述寫入脈衝施加動作，直到判斷為寫回結束為止的第 3 步驟；當總括地對記憶體電晶體施加第 2 消除脈衝，且判斷為尚未消除結束的情況時，便利用變更第 2 消除脈衝的強度，重複施行上述第 2 消除脈衝施加動作，直到判斷為消除結束為止的第 4 步驟；以及當記憶體電晶體處於過消除 (over erased) 狀態之情況時，便重複對記憶體電晶體施行選擇性寫回動作，直到記憶體電晶體呈過消除狀態為止的第 5 步驟。

(專利文獻 1)

日本專利特開 2001-283595 號公報參照 (段落 98~105 及 247、圖 1 與圖 42)

【發明內容】

(發明所欲解決之問題)

上述周知資料消除方法乃在第 2 步驟中於第 1 消除驗證動作前便執行第 1 消除脈衝施加動作，並在第 3 步驟中於寫回驗證動作前便執行寫入脈衝施加動作，且在第 4 步驟中於第 2 消除驗證動作前便執行第 2 消除脈衝施加動作。所以，上述周知資料消除方法於第 2 步驟~第 4 步驟中，因為即便不需要脈衝施加動作的情況時，仍必定於驗證動作前便執行脈衝施加動作，因此頗難達消除動作的安定化與高速化。

本發明乃有鑑於解決習知技術的上述問題點，其目的在

於提供藉由在脈衝施加動作前便執行驗證動作，而消除不需要的脈衝施加動作，以便可達消除動作的安定化與高速化的非揮發性半導體記憶裝置之資料消除方法。

(解決問題之手段)

申請專利範圍第 1 項的非揮發性半導體記憶裝置之資料消除方法，係具備有：記憶單元陣列、電位產生部、及寫入消除控制部；其中，上述記憶單元陣列係含有配置成行列狀的複數非揮發性記憶體電晶體、分別選擇上述記憶體電晶體之列的複數字線與列對應上述記憶體電晶體之行而設置的複數位元線，同時還分割為複數個記憶體區塊；上述電位產生部係產生對上述字線、上述位元線、及上述記憶體電晶體之基板部與源極所施加的電位；上述寫入消除控制部係控制上述電位產生部，並在上述記憶體電晶體中，總括或依每個上述記憶體區塊消除資料之非揮發性半導體記憶裝置之資料消除方法，其包含有：對上述記憶體電晶體總括地施加預備寫入脈衝的步驟；當上述記憶體電晶體非呈第 1 消除狀態之情況時，便利用變更第 2 次以後的上述第 1 消除脈衝施加動作之上述第 1 消除脈衝強度，重複施行總括對上述記憶體電晶體施加第 1 消除脈衝的動作，直到上述記憶體電晶體呈上述第 1 消除狀態為止的步驟；當上述記憶體電晶體非呈寫回狀態之情況時，便利用變更第 2 次以後的上述寫入脈衝施加動作之上述寫入脈衝強度，重複施行總括對上述記憶體電晶體施加寫入脈衝的動作，直到上述記憶體電晶體呈上述寫回狀態為止的步驟；當上

述記憶體電晶體非呈第 2 消除狀態之情況時，便利用變更第 2 次以後的上述第 2 消除脈衝施加動作之上述第 2 消除脈衝強度，重複施行總括對上述記憶體電晶體施加第 2 消除脈衝的動作，直到上述記憶體電晶體呈上述第 2 消除狀態為止的步驟；以及當上述記憶體電晶體處於過消除狀態之情況時，便重複對上述記憶體電晶體施行選擇性寫回動作，直到上述記憶體電晶體呈上述過消除狀態為止的步驟。

【實施方式】

以下，參照圖式說明本發明的各實施形態。

(實施形態 1)

圖 1 為顯示執行本發明之資料消除方法的非揮發性半導體記憶裝置 1 之概略構造的方塊圖。此非揮發性半導體記憶裝置 1 係由採用記憶體電晶體的快閃記憶體來形成記憶單元。

與上述習知快閃記憶體相同，此快閃記憶體係具備有：記憶單元陣列、電位產生部、及寫入消除控制部；其中，該記憶單元陣列係含有配置成行列狀的複數非揮發性記憶體電晶體、分別選擇記憶體電晶體之列的複數字線與分別對應記憶體電晶體之行而設置的複數位元線，同時還分割為複數個記憶體區塊；該電位產生部係產生對字線、位元線、及記憶體電晶體之基板部與源極所施加的電位；該寫入消除控制部係控制電位產生部，並在記憶體電晶體中，總括或依每個記憶體區塊消除資料。

如圖 1 所示，非揮發性半導體記憶裝置 1 係具備有：複

數個排列呈 2 次元的記憶體陣列 26；記憶著對記憶單元 30, 31 執行寫入及消除的程式碼序列之記憶部 3；以及從該記憶部 3 中讀出該序列，並根據該序列執行對記憶單元的寫入、消除之寫入 & 消除控制部 2。其中，記憶部 3 可為 ROM、RAM 等任意一種。

此外，非揮發性半導體記憶裝置 1 更具備有：

(A) 從寫入 & 消除控制部 2 接收待命訊號 CXHRDY、電荷泵活性化訊號 PPUMPE、及重設訊號 RSET，並對應其而產生輸出電位 V_{out+} , V_{out-} , VWL 且輸出的電壓產生部 4；

(B) 從外部接收位址訊號 ADR 的位址緩衝器 16；

(C) 從位址緩衝器 16 接收內部位址訊號，並從電壓產生部 4 接收電位的供應，而決定選擇閘極線 SGL、字線 WL0, WL1、源極線 SL、及井之各電位的 X 解碼器 18；

(D) 供授受資料輸出入訊號 DIO 用的輸出入緩衝器 22；

(E) 從位址緩衝器 16 接收位址訊號並進行解碼的 Y 解碼器 20；及

(F) 配合 Y 解碼器 20 之輸出並對應資料輸出入訊號，將高電壓施加給主位元線 MBL 的 Y 系統控制電路 24。

電壓產生部 4 係包含有：(a1) 產生輸出電位 V_{out+} 的正電壓產生電路 6；(a2) 產生輸出電位 V_{out-} 的負電壓產生電路 8；(a3) 產生字線電位 VWL 的 WL 升壓器電路 12；以及 (a4) 利用寫入 & 消除控制部 2 進行控制，並接收輸出電位 V_{out+} , V_{out-} 及字線電位 VWL 並分配於各內部電路中的分配器 (distributor) 14。另外，WL 升壓器電路 12 乃為實現

高速存取，而產生在讀出時供應給所選擇到字線 WL、與所選擇到選擇閘極 SG 的升壓電位之電路。

X 解碼器 18 係包含有：(c1)供選擇字線用的 WL 解碼器(未圖示)；(c2)供選擇(選擇閘極)用的 SG 解碼器(未圖示)；(c3)選擇對應於所選擇到記憶體區塊之井區域的 WELL 解碼器(未圖示)；及供選擇源極線用的 SL 解碼器(未圖示)。

Y 系統控制電路 24 係包含有：(f1)在讀出時執行(行選擇)，並利用感測放大器執行讀出作業的 YG&感測放大器與門鎖電路(未圖示)；(f2)根據經門鎖的資料，決定是否對寫入時的主位元線 MBL 施加高電位的分頁緩衝器(page buffer)(未圖示)。

再者，非揮發性半導體記憶裝置 1 係含有記憶體陣列 26。此記憶體陣列 26 中含有形成於相互隔離的井內部之記憶體區塊 BLOCK0~BLOCKn。譬如記憶體區塊 BLOCK0 含有記憶單元 30, 32、與選擇閘 28。此記憶體區塊 BLOCK0 係選擇利用 X 解碼器 18 所選擇到選擇閘極線 SGL、字線 WL0, WL1、及源極線 SL 所對應的記憶單元，並從主位元線 MBL 接收對應著資料的訊號，而執行資料保持。另外，在圖 1 中，乃代表性的圖示著所選擇到選擇閘極線 SGL、字線 WL0, WL1、及源極線 SL 所對應的選擇閘 28、記憶單元 30, 32。

圖 2 所示係本發明實施形態 1 的非揮發性半導體記憶裝置 1 之資料消除方法流程圖。參照圖 2 所示，在步驟 S1 中，輸入消除指令。其次，在步驟 S2 中，對記憶體電晶體

總括的施加預備寫入脈衝。在第 1 消除驗證的步驟 S4 中，若判斷記憶體電晶體非處於第 1 消除狀態的話，便總括的對記憶體電晶體施加第 1 消除脈衝，而且重複執行步驟 S14(改變第 2 次以後所施加第 1 消除脈衝的第 1 消除脈衝強度)，直到在步驟 S4 中記憶體電晶體呈第 1 消除狀態為止。

其次，在寫回驗證的步驟 S6 中，若判斷記憶體電晶體非處於寫回狀態的話，便總括的對記憶體電晶體施加寫入脈衝，而且重複執行步驟 S15(改變第 2 次以後所施加寫入脈衝的寫入脈衝強度)，直到在步驟 S6 中記憶體電晶體呈寫回狀態為止。然後，在第 2 消除驗證的步驟 S8 中，若判斷記憶體電晶體非處於第 2 消除狀態的話，便總括的對記憶體電晶體施加第 2 消除脈衝，而且重複執行步驟 S16(改變第 2 次以後所施加第 2 消除脈衝的第 2 消除脈衝強度)，直到在步驟 S8 中記憶體電晶體呈第 2 消除狀態為止。

再者，在過消除驗證的步驟 S9 中，若判斷記憶體電晶體非處於過消除(over erased)狀態的話，便結束步驟 S13 的資料消除。反之，在步驟 S9 中，若判斷記憶體電晶體處於過消除狀態的話，便重複執行步驟 S10(對記憶體電晶體選擇性寫回)，直到在步驟 S11 中記憶體電晶體的過消除狀態消失為止。

在步驟 S11 中，若判斷記憶體電晶體非處於過消除狀態的話，便在過寫回驗證的步驟 S12 中，判斷記憶體電晶體是否處於過寫回狀態。在步驟 S12 中，若判斷記憶體電晶

體處於過寫回狀態的話，流程便返回步驟 S8。相反的，在步驟 S12 中，若判斷記憶體電晶體非處於過寫回狀態的話，流程便結束步驟 S13。

在此實施形態中，因為驗證步驟 S4、S6 與 S8，分別在脈衝施加步驟 S14、S15 及 S16 之前便執行，因此不需要的脈衝施加動作將被消除，所以可達消除動作的安定化與高速化。

(實施形態 2)

圖 3 所示係本發明實施形態 2 的非揮發性半導體記憶裝置 1 之資料消除方法流程圖。在本實施形態中，相對於實施形態 1，僅在施加第 2 消除脈衝之時才執行過消除驗證的步驟 S9，藉此達更高速化的消除動作。為達此目的，在圖 3 中，便將判斷是否總括的對記憶體電晶體施加第 2 消除脈衝的步驟 S17，追加於第 2 消除驗證的步驟 S8 之後。當步驟 S17 為 NO 的情況時，在步驟 S18 中便結束資料消除。相反的，當步驟 S17 為 YES 的情況時，流程便朝過消除驗證的步驟 S9 前進。

在本消除動作中，藉由將施加第 1 消除脈衝的步驟 S14、施加寫入脈衝的步驟 S15、施加第 2 消除脈衝的步驟 S16、及寫回驗證的步驟 S6 之條件予以最佳化，藉此便依碰觸到施加第 2 消除脈衝時所考慮臨限電壓 V_{th} 分布上緣的突出位元之方式，執行著過消除驗證動作及過消除修復(over erased recover)動作的序列。因此，在步驟 S16 中，當未總括地對記憶體電晶體施加第 2 消除脈衝的情況時，因為

步驟 S17 將呈 NO，因此在步驟 S18 中將結束資料消除。

在此實施形態中，因為過消除驗證動作及過消除修復動作，僅在施加第 2 消除脈衝之時才實施，因此可使消除動作達更高速化。

(實施形態 3)

圖 4 與圖 5 所示係本發明實施形態 3 的非揮發性半導體記憶裝置 1 之資料消除方法流程圖。在本實施形態中，相對於實施形態 2，在第 2 消除驗證的步驟 S8 中，對非選擇字線施加 0V，而且將過消除驗證與過消除修復的步驟 S9~S12，二階段化為第 1 階段步驟 S9~S12、與第 2 階段步驟 S19~S22。

在此實施形態中，因為將過消除驗證與過消除修復的步驟 S9~S12，二階段化為第 1 階段步驟 S9~S12、與第 2 階段步驟 S19~S22，因此可防止消除結束後產生導線誤差(lead error)的現象。

(實施形態 4)

圖 6 與圖 7 所示係本發明實施形態 4 的非揮發性半導體記憶裝置 1 之資料消除方法流程圖。在本實施形態中，相對於實施形態 3，乃取代圖 4 的第 1 過寫回驗證步驟 S12 與圖 5 的第 2 過寫回驗證步驟 S22，而改為在消除結束步驟 S13 之前便執行第 3 消除驗證步驟 S23。

在本實施形態中，因為實施形態 3 的二個過寫回驗證步驟 S12 與 S22 將被取代為一個消除驗證步驟 S23，因此更達消除動作的安定化與高速化。

(發明效果)

如上述，依照申請專利範圍第 1 項發明的話，在具備有：記憶單元陣列、電位產生部、及寫入消除控制部；其中，上述記憶單元陣列係含有配置成行列狀的複數非揮發性記憶體電晶體、分別選擇上述記憶體電晶體之列的複數字線與分別對應上述記憶體電晶體之行而設置的複數位元線，同時還分割為複數個記憶體區塊；上述電位產生部係產生對上述字線、上述位元線、及上述記憶體電晶體之基板部與源極所施加的電位；上述寫入消除控制部係控制上述電位產生部，並在上述記憶體電晶體中，總括或依每個上述記憶體區塊消除資料之非揮發性半導體記憶裝置之資料消除方法中，其包含有：對上述記憶體電晶體總括地施加預備寫入脈衝的步驟；當上述記憶體電晶體非呈第 1 消除狀態之情況時，便利用變更第 2 次以後的上述第 1 消除脈衝施加動作之上述第 1 消除脈衝強度，重複施行總括對上述記憶體電晶體施加第 1 消除脈衝的動作，直到上述記憶體電晶體呈上述第 1 消除狀態為止的步驟；當上述記憶體電晶體非呈寫回狀態之情況時，便利用變更第 2 次以後的上述寫入脈衝施加動作之上述寫入脈衝強度，重複施行總括對上述記憶體電晶體施加寫入脈衝的動作，直到上述記憶體電晶體呈上述寫回狀態為止的步驟；當上述記憶體電晶體非呈第 2 消除狀態之情況時，便利用變更第 2 次以後的上述第 2 消除脈衝施加動作之上述第 2 消除脈衝強度，重複施行總括對上述記憶體電晶體施加第 2 消除脈衝的動作，

直到上述記憶體電晶體呈上述第 2 消除狀態為止的步驟；以及當上述記憶體電晶體處於過消除狀態之情況時，便重複對上述記憶體電晶體施行選擇性寫回動作，直到上述記憶體電晶體呈上述過消除狀態為止的步驟，因此，藉由在脈衝施加動作前便執行驗證動作，而消除不需要的脈衝施加動作，便可達消除動作的安定化與高速化。

【圖式簡單說明】

圖 1 為顯示執行本發明之資料消除方法的非揮發性半導體記憶裝置概略構造的方塊圖。

圖 2 為顯示本發明實施形態 1 的非揮發性半導體記憶裝置之資料消除方法的流程圖。

圖 3 為顯示本發明實施形態 2 的非揮發性半導體記憶裝置之資料消除方法的流程圖。

圖 4 為顯示本發明實施形態 3 的非揮發性半導體記憶裝置之資料消除方法的流程圖的前半部。

圖 5 為圖 4 之流程圖的後半部。

圖 6 為顯示本發明實施形態 4 的非揮發性半導體記憶裝置之資料消除方法的流程圖的前半部。

圖 7 為圖 6 之流程圖的後半部。

(元件符號說明)

- | | |
|---|-------------|
| 1 | 非揮發性半導體記憶裝置 |
| 2 | 寫入 & 消除控制部 |
| 3 | 記憶部 |
| 4 | 電壓產生部 |

6	正電壓產生電路
8	負電壓產生電路
12	WL 升壓器電路
14	分配器
16	位址緩衝器
18	X 解碼器
20	Y 解碼器
22	輸出入緩衝器
24	Y 系統控制電路
26	記憶體陣列
28	選擇閘
30, 31	記憶單元
ADR	位址訊號
BLOCK0~BLOCKn	記憶體區塊
CXHRDY	待命訊號
MBL	主位元線
PPUMPE	電荷泵活性化訊號
RSET	重設訊號
SGL	選擇閘極線
SL	源極線
Vout+, Vout-, VWL	輸出電位
WL	字線

伍、中文發明摘要：

本發明之目的在於，在非揮發性半導體記憶裝置之資料消除方法中，達成消除動作的安定化與高速化。

本發明之解決手段，係藉由在脈衝施加動作之前便執行驗證動作，藉此而消除不需要的脈衝施加動作。

陸、英文發明摘要：

An object of the present invention is to stabilize and speed up an erase operation in a method of erasing data of nonvolatile semiconductor memory unit.

A method to achieve the above object is to eliminate an unnecessary pulse application operation by performing a verify operation prior to a pulse application operation.

拾、申請專利範圍：

1. 一種非揮發性半導體記憶裝置之資料消除方法，係具備有記憶單元陣列，係含有配置成行列狀的複數非揮發性記憶體電晶體、分別選擇上述記憶體電晶體之列的複數字線與分別對應上述記憶體電晶體之行而設置的複數位元線，同時還分割為複數個記憶體區塊；

電位產生部，係產生對上述字線、上述位元線、及上述記憶體電晶體之基板部與源極所施加的電位；以及

寫入消除控制部，係控制上述電位產生部，並在上述記憶體電晶體中，總括或依每個上述記憶體區塊消除資料之非揮發性半導體記憶裝置之資料消除方法，其特徵為具備如下步驟：

對上述記憶體電晶體總括地施加預備寫入脈衝的步驟；

當上述記憶體電晶體非呈第 1 消除狀態之情況時，便利用變更第 2 次以後的上述第 1 消除脈衝施加動作之上述第 1 消除脈衝強度，重複施行總括對上述記憶體電晶體施加第 1 消除脈衝的動作，直到上述記憶體電晶體呈上述第 1 消除狀態為止的步驟；

當上述記憶體電晶體非呈寫回狀態之情況時，便利用變更第 2 次以後的上述寫入脈衝施加動作之上述寫入脈衝強度，重複施行總括對上述記憶體電晶體施加寫入脈衝的動作，直到上述記憶體電晶體呈上述寫回狀態為止的步驟；

當上述記憶體電晶體非呈第 2 消除狀態之情況時，便利用變更第 2 次以後的上述第 2 消除脈衝施加動作之上述第

2 消除脈衝強度，重複施行總括對上述記憶體電晶體施加第 2 消除脈衝的動作，直到上述記憶體電晶體呈上述第 2 消除狀態為止的步驟；以及

當上述記憶體電晶體處於過消除狀態之情況時，便重複對上述記憶體電晶體施行選擇性寫回動作，直到上述記憶體電晶體呈上述過消除狀態為止的步驟。

2. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置之資料消除方法，其中，在重複上述第 2 消除脈衝施加動作的上述步驟、與重複上述寫回動作的上述步驟之間，更包含有：確認上述第 2 消除脈衝之施加的步驟。

3. 如申請專利範圍第 2 項之非揮發性半導體記憶裝置之資料消除方法，其中，在重複上述第 2 消除脈衝施加動作的上述步驟中，於消除驗證動作中，將在第 1 階段步驟與第 2 階段步驟的二階段中，一齊執行對上述字線的非選擇部施加 0V，與重複上述寫回動作的上述步驟。

4. 如申請專利範圍第 3 項之非揮發性半導體記憶裝置之資料消除方法，係取代上述第 1 階段步驟的第 1 過寫回驗證動作、與上述第 2 階段步驟的第 2 過寫回驗證動作，而改為在上述第 2 階段步驟之後更包含有消除驗證步驟。

圖 1

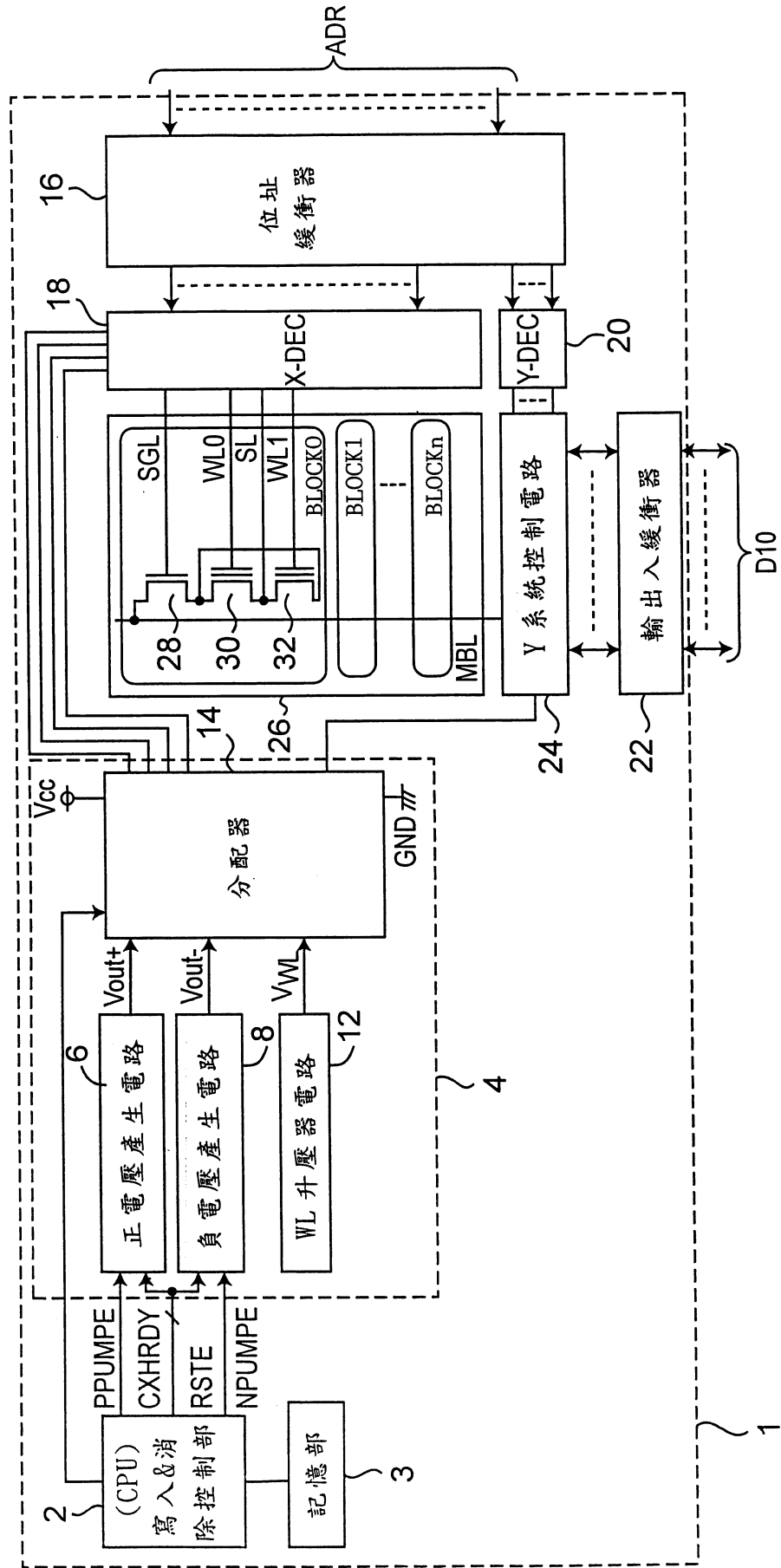


圖 2

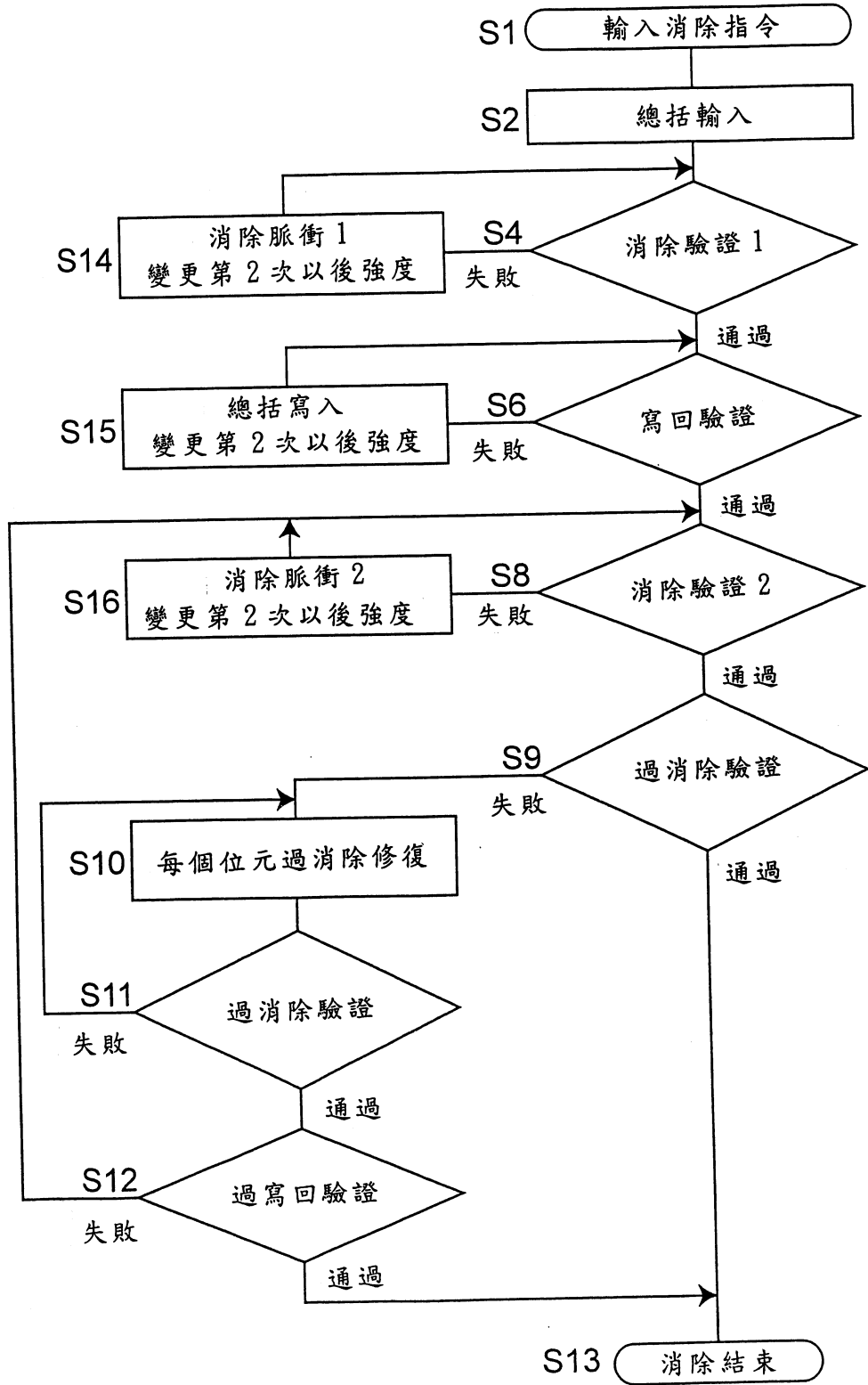


圖 3

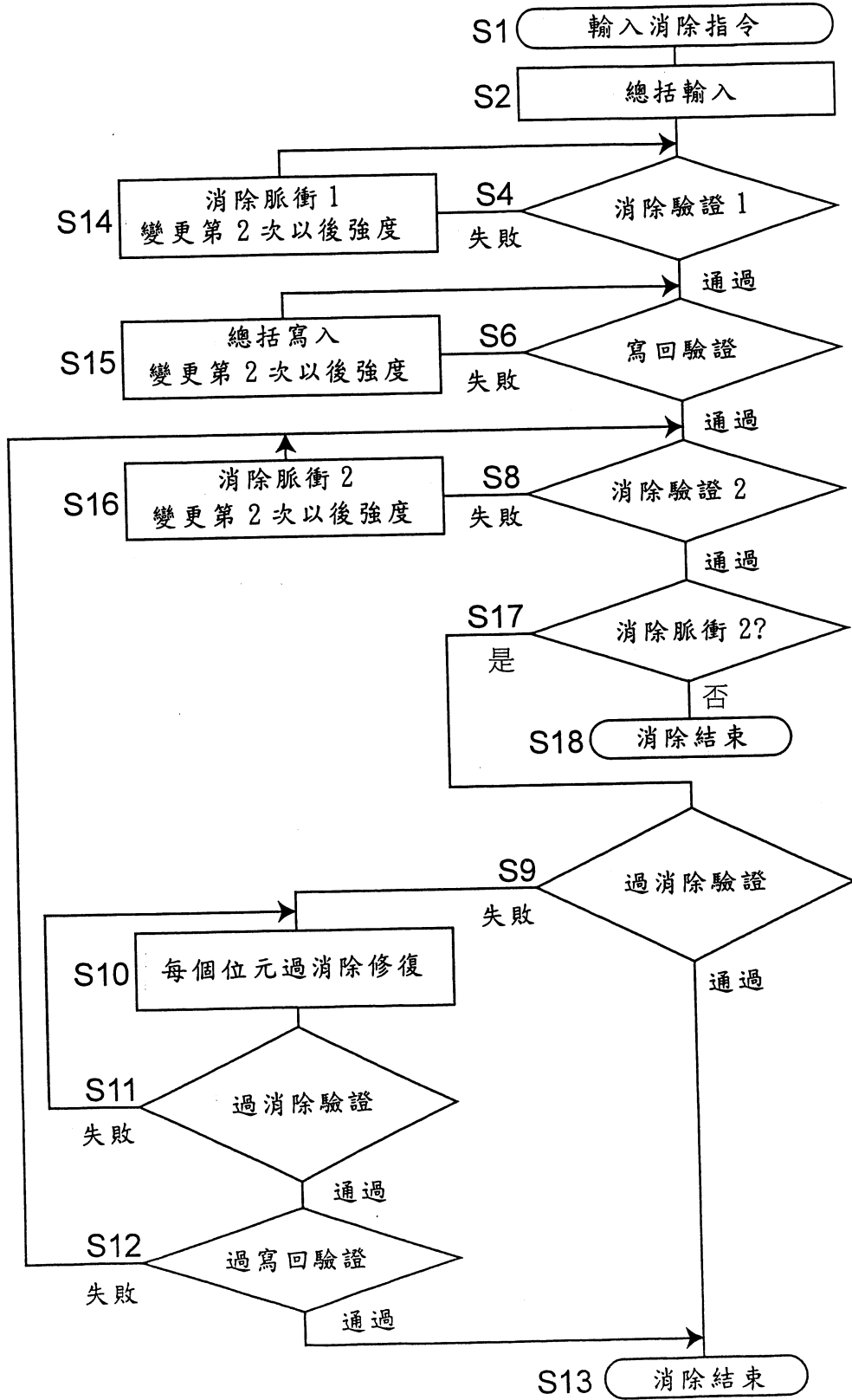


圖 4

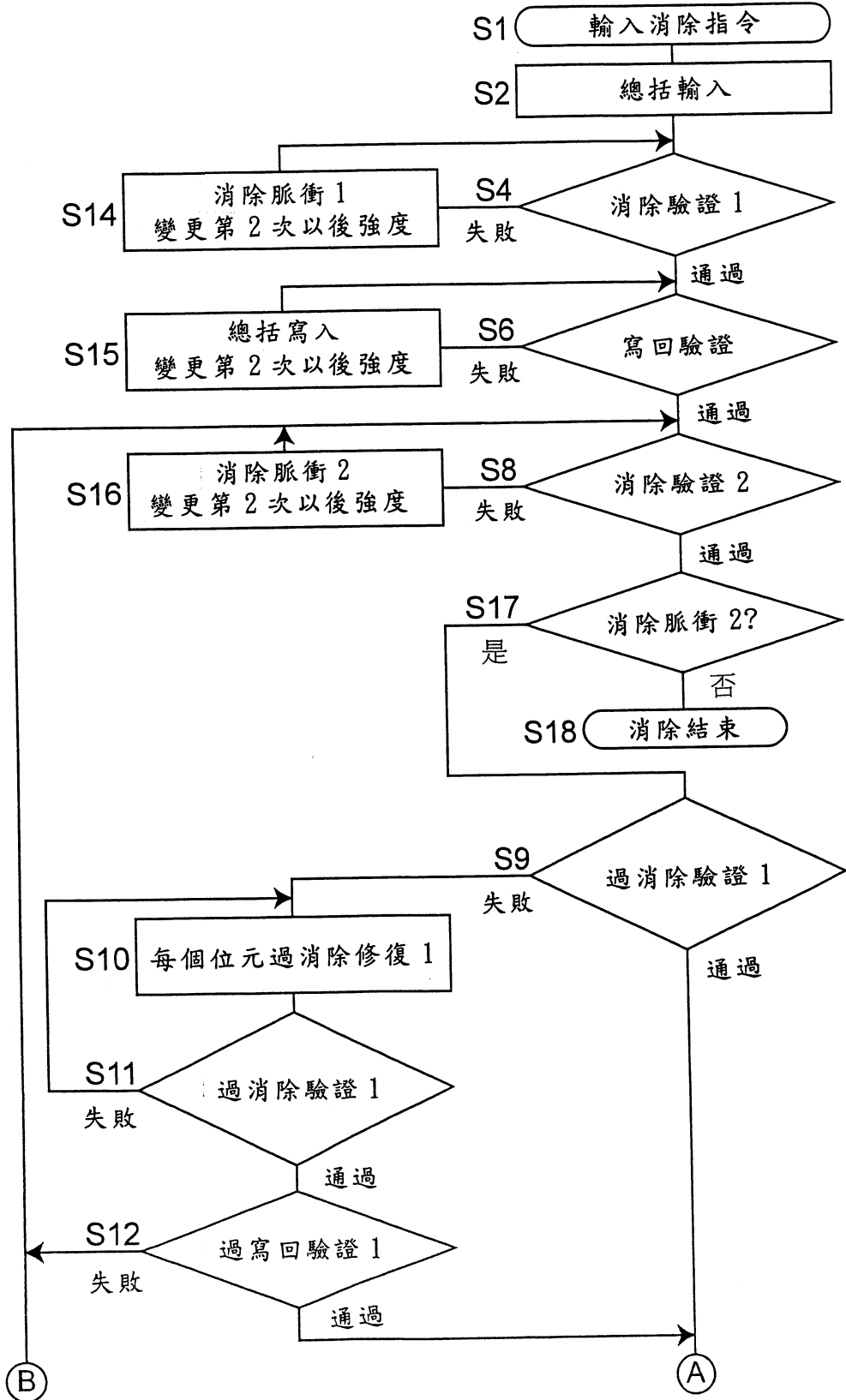


圖 5

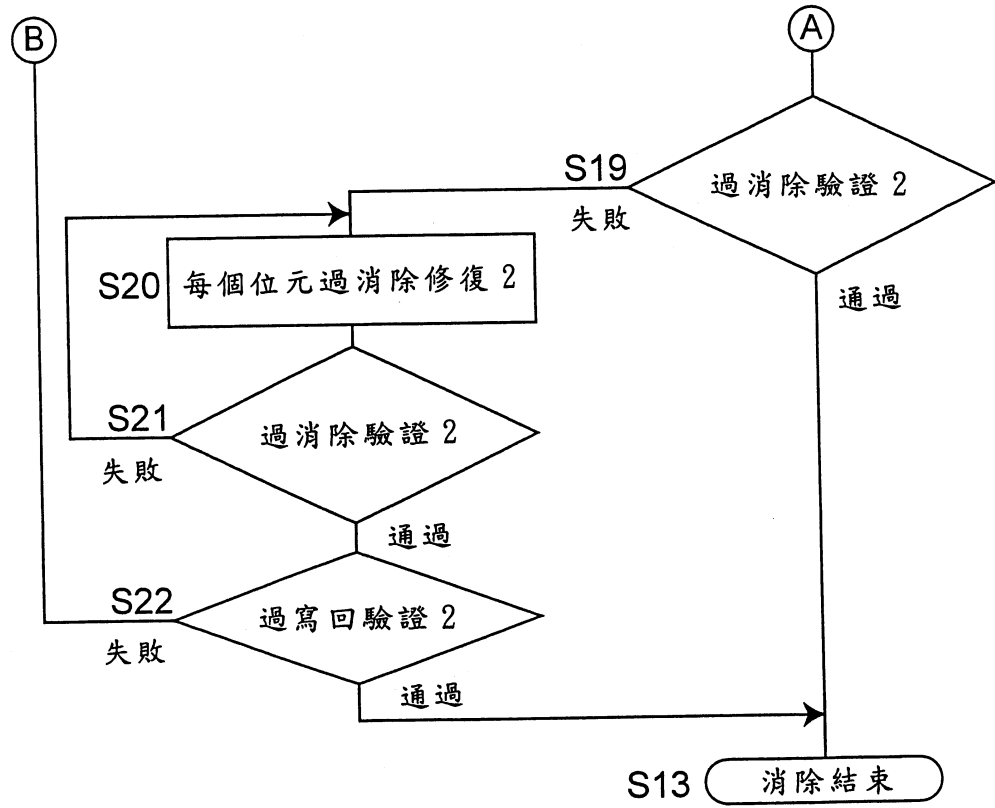


圖 6

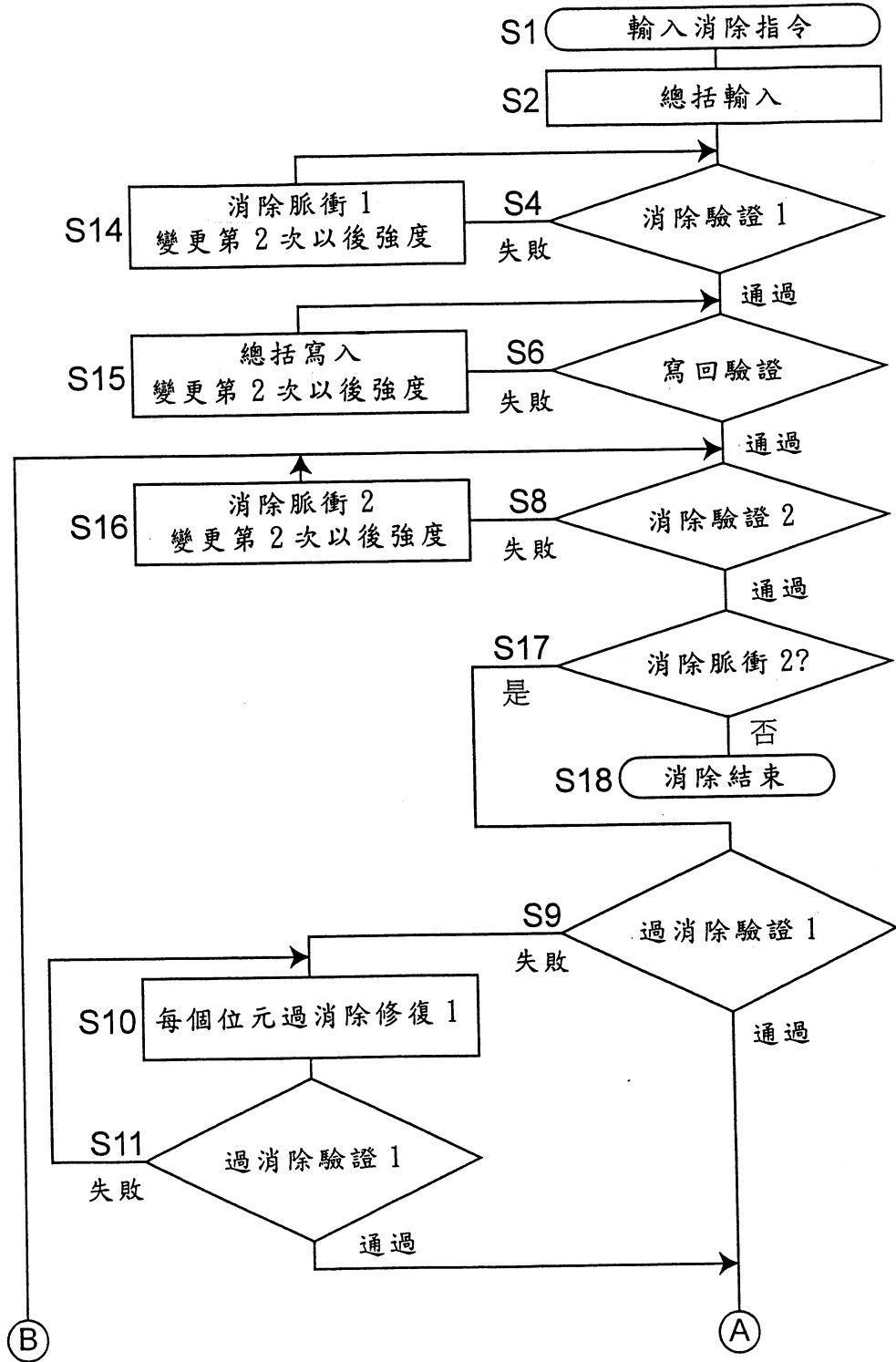
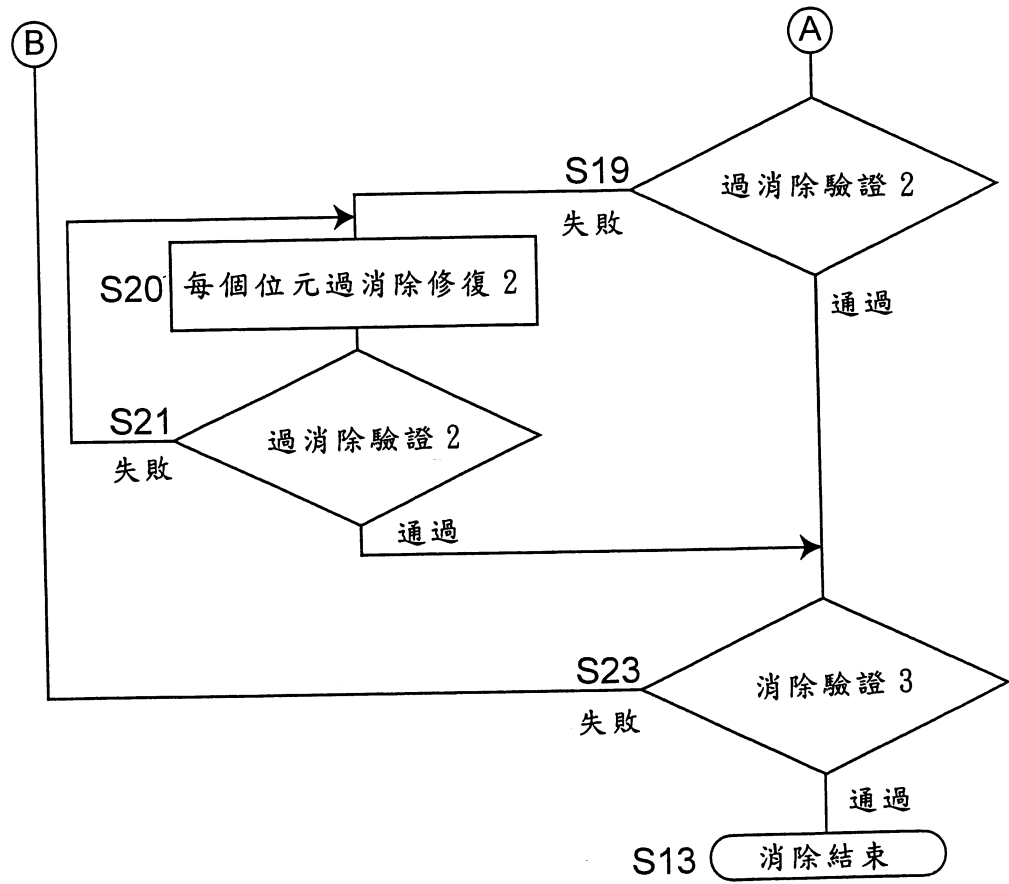


圖 7



柒、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件代表符號簡單說明：

無

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無