

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年4月7日(2016.4.7)

【公開番号】特開2015-29022(P2015-29022A)

【公開日】平成27年2月12日(2015.2.12)

【年通号数】公開・登録公報2015-009

【出願番号】特願2013-158233(P2013-158233)

【国際特許分類】

H 01 L 21/60 (2006.01)

H 01 L 25/065 (2006.01)

H 01 L 25/07 (2006.01)

H 01 L 25/18 (2006.01)

【F I】

H 01 L 21/60 301N

H 01 L 25/08 Z

【手続補正書】

【提出日】平成28年2月22日(2016.2.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

チップ搭載面、前記チップ搭載面に形成された複数の端子、および前記チップ搭載面とは反対側の実装面を有する配線基板と、

第1主面、前記第1主面上に形成された複数の第1電極、および前記第1主面とは反対側の第1裏面を有し、前記第1裏面が前記配線基板の前記チップ搭載面と対向するよう、前記チップ搭載面上に搭載された第1半導体チップと、

ボール部およびステッチ部をそれぞれ有し、前記複数の端子にそれぞれ接続された複数のワイヤと、

を含み、

前記複数のワイヤは、複数の第1ワイヤと、第2ワイヤと、を有し、

平面視において、前記複数の端子は、前記第1半導体チップの前記第1主面の第1辺に沿って一列に配置されており、

前記複数の端子は、前記ステッチ部を介して前記複数の第1ワイヤがそれぞれ接続された複数の第1端子と、前記ボール部を介して前記第2ワイヤが接続された第2端子と、を有し、

平面視において、前記第2端子は、前記複数の第1端子の配置列上とは異なる場所に位置しており、

平面視において、前記第2端子の幅は、前記複数の第1端子のそれぞれの幅よりも大きい、半導体装置。

【請求項2】

請求項1において、

平面視において、前記第2端子の延在方向における長さは、前記複数の第1端子のそれぞれの延在方向における長さよりも小さい、半導体装置。

【請求項3】

請求項1において、

平面視において、前記第2ワイヤの前記ボール部の幅は、前記第1ワイヤの前記ステッヂ部の幅よりも大きい、半導体装置。

【請求項4】

請求項1において、

前記第1半導体チップの前記第1主面上には、

前記第1半導体チップの前記第1主面と対向する第2裏面、前記第2裏面とは反対側の第2主面、および前記第2主面上に形成された第2電極、を有する第2半導体チップが搭載され、

前記複数の第1ワイヤの前記ボール部のそれぞれは、前記第1半導体チップの前記複数の第1電極に接続され、

前記第2ワイヤの前記ステッヂ部は、前記第2半導体チップの前記第2電極に接続されている、半導体装置。

【請求項5】

請求項1において、

前記第2端子の平面形状は円形である、半導体装置。

【請求項6】

請求項1において、

前記配線基板の前記チップ搭載面は、絶縁膜に覆われ、前記複数の第1端子および前記第2端子は、前記絶縁膜に形成された一つの開口部において、前記絶縁膜から露出している、半導体装置。

【請求項7】

請求項1において、

前記第1半導体チップは、前記第1主面の第1辺に沿って配置される前記複数の第1電極、および第2電極を有し、

前記第2電極と前記第1辺の離間距離は、前記複数の第1電極のそれぞれと前記第1辺の離間距離よりも大きく、

前記複数の第1ワイヤの前記ボール部のそれぞれは、前記複数の第1電極に接続され、前記第2ワイヤの前記ステッヂ部は、前記第2電極に接続されている、半導体装置。

【請求項8】

請求項1において、

前記第1半導体チップは、前記第1主面の第1辺に沿って配置される前記複数の第1電極、および第2電極を有し、

前記複数の第1ワイヤの前記ボール部のそれぞれは、前記複数の第1電極に接続され、前記第2ワイヤの前記ステッヂ部は、前記第2電極に接続され、

前記配線基板の前記チップ搭載面は、絶縁膜に覆われ、前記複数の第1端子および前記第2端子は、前記絶縁膜に形成された一つの開口部において、前記絶縁膜から露出しており、

前記開口部には、前記第2ワイヤに流れる電流とは異なる電流が流れる第1配線が配置されており、

平面視において、前記第2ワイヤは前記開口部と厚さ方向に重なる位置で、前記第1配線を跨ぐように設けられている、半導体装置。

【請求項9】

請求項1において、

前記第1半導体チップは、前記第1主面の第1辺に沿って配置される前記複数の第1電極、および第2電極を有し、

前記複数の第1ワイヤの前記ボール部のそれぞれは、前記複数の第1電極に接続され、前記第2ワイヤの前記ステッヂ部は、前記第2電極に接続され、

前記第2ワイヤは、前記複数の第1ワイヤのうちの一部を跨ぐように設けられている、半導体装置。

【請求項10】

請求項 1 において、

平面視において、前記複数の第1端子のそれぞれの延在方向における長さは、前記複数の第1端子のそれぞれの幅よりも大きい、半導体装置。

【請求項 1 1】

請求項 1 において、

前記第2端子は、平面形状が円形であり、前記第2ワイヤの前記ボール部が接続される第1部分と、前記第1部分に連結され、前記第2ワイヤの延在方向に沿って延びる第2部分と、を有し、

前記第2端子の前記第2部分は、前記複数の第1端子の配置列上に設けられている、半導体装置。

【請求項 1 2】

請求項 1 において、

平面視において、前記複数の第1端子のそれぞれは前記第2端子よりも前記第1半導体チップに近い位置に形成されている、半導体装置。

【請求項 1 3】

(a) チップ搭載面、および前記チップ搭載面に形成された複数の端子を有する配線基板を準備する工程、

(b) 主面、前記主面上に形成された複数の電極、および前記主面とは反対側の裏面を有する半導体チップを、前記半導体チップの前記裏面が前記配線基板の前記チップ搭載面と対向するように、前記配線基板の前記チップ搭載面上に搭載する工程、

(c) 前記(b)工程の後、前記配線基板の複数の端子と、前記半導体チップの複数の電極とを複数のワイヤを介して、それぞれ電気的に接続する工程、

を含み、

平面視において、前記複数の端子は、前記半導体チップの前記主面の第1辺に沿って一列に配置されており、

前記複数の端子は、第1配置列上に配置される複数の第1端子と、前記第1配置列上とは異なる場所に位置する第2配置列上に配置される第2端子と、を有し、

平面視において、前記第2端子の幅は、前記複数の第1端子のそれぞれの幅よりも大きく、

前記複数のワイヤのそれぞれは、ボール部と、ステッチ部と、を有し、

前記複数のワイヤは、前記複数の第1端子にそれぞれ接続される複数の第1ワイヤと、前記第2端子に接続される第2ワイヤと、を有し、

前記(c)工程は、

前記ステッチ部を介して前記複数の第1ワイヤを前記複数の第1端子にそれぞれ接続する第1ボンディング工程と、

前記ボール部を介して前記第2ワイヤを前記第2端子に接続する第2ボンディング工程と、

を含んでいる、半導体装置の製造方法。

【請求項 1 4】

請求項 1 3 において、

平面視において、前記第2端子の延在方向における長さは、前記複数の第1端子のそれぞれの延在方向における長さよりも小さい、半導体装置の製造方法。

【請求項 1 5】

請求項 1 3 において、

前記配線基板の前記チップ搭載面は、絶縁膜に覆われ、前記複数の第1端子および前記第2端子は、前記絶縁膜に形成された一つの開口部において、前記絶縁膜から露出している、半導体装置の製造方法。

【請求項 1 6】

(a) チップ搭載面、および前記チップ搭載面に形成された複数の端子を有する配線基板を準備する工程、

(b) 第1主面、前記第1主面上に形成された複数の第1電極、および前記第1主面とは反対側の第1裏面を有する第1半導体チップを、前記第1半導体チップの前記第1裏面が前記配線基板の前記チップ搭載面と対向するように、前記配線基板の前記チップ搭載面上に搭載する工程、

(c) 前記(b)工程の後、第2主面、前記第2主面上に形成された第2電極、および前記第2主面とは反対側の第2裏面を有する第2半導体チップを、前記第2半導体チップの前記第2裏面が前記第1半導体チップの前記第1主面と対向するように、前記第1半導体チップの前記第1主面上に搭載する工程、

(d) 前記(c)工程の後、前記配線基板の複数の端子と、前記第1半導体チップの複数の第1電極および前記第2半導体チップの前記第2電極とを複数のワイヤを介して、それぞれ電気的に接続する工程、

を含み、

平面視において、前記複数の端子は、前記第1半導体チップの前記第1主面の第1辺に沿って一列に配置されており、

前記複数の端子は、第1配置列上に配置される複数の第1端子と、前記第1配置列上とは異なる場所に位置する第2配置列上に配置される第2端子と、を有し、

平面視において、前記第2端子の幅は、前記複数の第1端子のそれぞれの幅よりも大きく、

前記複数のワイヤのそれぞれは、ボール部と、ステッチ部と、を有し、

前記複数のワイヤは、前記複数の第1端子に接続される複数の第1ワイヤと、前記第2端子に接続される第2ワイヤと、を有し、

前記(d)工程は、

前記ステッチ部を介して前記複数の第1ワイヤを前記複数の第1端子にそれぞれ接続する第1ボンディング工程と、

前記ボール部を介して前記第2ワイヤを前記第2端子に接続する第2ボンディング工程と、

を含んでいる、半導体装置の製造方法。

#### 【請求項17】

請求項16において、

平面視において、前記第2端子の延在方向における長さは、前記複数の第1端子のそれぞれの延在方向における長さよりも小さい、半導体装置の製造方法。

#### 【請求項18】

請求項16において、

前記配線基板の前記チップ搭載面は、絶縁膜に覆われ、前記複数の第1端子および前記第2端子は、前記絶縁膜に形成された一つの開口部において、前記絶縁膜から露出している、半導体装置の製造方法。

#### 【請求項19】

請求項16において、

平面視において、前記第2端子は、前記第1配置列よりも前記第1半導体チップからの距離が遠くなる位置に形成されており、

前記(d)工程では、前記第2ボンディング工程は、前記第1ボンディング工程の後で実施される、半導体装置の製造方法。