

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年1月18日(18.01.2024)

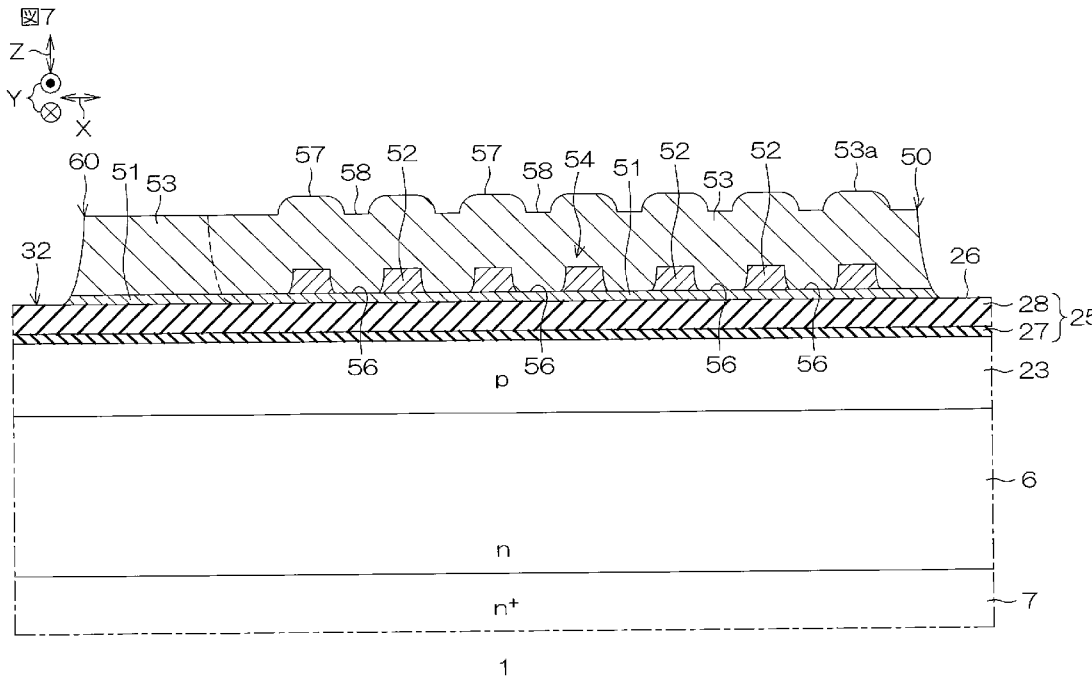


(10) 国際公開番号
WO 2024/014149 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/06* (2006.01)
H01L 21/60 (2006.01) *H01L 29/739* (2006.01)
- (21) 国際出願番号: PCT/JP2023/020083
- (22) 国際出願日: 2023年5月30日(30.05.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-114361 2022年7月15日(15.07.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 出口 香奈子 (DEGUCHI, Kanako);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人 あい 特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410059 大阪府大阪市中央区博労町三丁目 2 番 8 号 岩田東急ビル 8 階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: ELECTRONIC COMPONENT AND ELECTRONIC MODULE

(54) 発明の名称: 電子部品および電子モジュール



(57) Abstract: An electronic component (1) includes: a lower electrode (51); intermediate electrodes (52) disposed on the lower electrode so as to form projections and recesses together with the lower electrode; and an upper electrode (53) having raised sections (57) formed at portions covering the intermediate electrodes and recessed sections (58) recessed toward the lower electrode with respect to the raised sections and formed at portions covering the lower electrode.



LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：電子部品 (1) は、下電極 (51) と、前記下電極と凹凸を形成するように前記下電極の上に配置された中間電極 (52) と、前記中間電極を被覆する部分に形成された隆起部 (57)、および、前記隆起部よりも前記下電極側に窪むように前記下電極を被覆する部分に形成されたりセス部 (58) を有する上電極 (53) と、を含む。

明 細 書

発明の名称：電子部品および電子モジュール

技術分野

[0001] この出願は、2022年7月15日に日本国特許庁に提出された特許出願2022-114361号に基づく優先権を主張しており、この出願の全内容はここに引用により組み込まれる。本開示は、電子部品および電子モジュールに関する。

背景技術

[0002] 特許文献1は、下地層、下地層を被覆するバリア層、および、バリア層を被覆する接合層を含むボンディングパッドを有する半導体装置を開示している。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2002-0027289号明細書

発明の概要

発明が解決しようとする課題

[0004] 一実施形態は、信頼性を向上できる電子部品および電子モジュールを提供する。

課題を解決するための手段

[0005] 一実施形態は、下電極と、前記下電極と凹凸を形成するように前記下電極の上に配置された中間電極と、前記中間電極を被覆する部分に形成された隆起部、および、前記隆起部よりも前記下電極側に窪むように前記下電極を被覆する部分に形成されたリセス部を有する上電極と、を含む、電子部品を提供する。

[0006] 一実施形態は、絶縁主面を有する絶縁膜と、前記絶縁膜に形成された複数の貫通孔を含む第1領域と、前記第1領域外において前記絶縁主面の平坦部を含む第2領域と、前記第1領域において前記絶縁主面および複数の前記貫

通孔を膜状に被覆する第1下電極、前記第1下電極を挟んで複数の前記貫通孔内に配置された複数の第1中間電極、ならびに、前記第1下電極および複数の前記第1中間電極を被覆する第1上電極を有する第1端子電極と、前記第2領域において前記絶縁主面を膜状に被覆する第2下電極、前記第2下電極と凹凸を形成するように前記第2下電極の上に配置された第2中間電極、ならびに、前記第2下電極および前記第2中間電極を被覆する第2上電極を有する第2端子電極と、を含む、電子部品を提供する。

[0007] 一実施形態は、下電極と、前記下電極と凹凸を形成するように前記下電極の上に配置された中間電極と、前記凹凸を埋めて前記下電極および前記中間電極を被覆する上電極と、前記上電極を挟んで前記下電極および前記中間電極に対向するように前記上電極に接合されたワイヤと、を含む、電子モジュールを提供する。

[0008] 上述のまたはさらに他の目的、特徴および効果は、添付図面の参照によって説明される実施形態により明らかにされる。

図面の簡単な説明

[0009] [図1]図1は、一実施形態に係る電子部品を示す平面図である。

[図2]図2は、図1に示すII-II線に沿う概略断面図である。

[図3]図3は、第1主面のレイアウトを示す平面図である。

[図4]図4は、図3の領域IVの拡大平面図である。

[図5]図5は、図4に示すV-V線に沿う概略断面図である。

[図6]図6は、図3の領域VIを第2中間電極の第1レイアウト例と共に示す拡大平面図である。

[図7]図7は、図6に示すVII-VII線に沿う概略断面図である。

[図8A]図8Aは、第2中間電極の第2レイアウト例を示す拡大平面図である。

。

[図8B]図8Bは、第2中間電極の第3レイアウト例を示す拡大平面図である。

。

[図8C]図8Cは、第2中間電極の第4レイアウト例を示す拡大平面図である。

。

[図8D]図8 Dは、第2中間電極の第5レイアウト例を示す拡大平面図である

。

[図8E]図8 Eは、第2中間電極の第6レイアウト例を示す拡大平面図である

。

[図8F]図8 Fは、第2中間電極の第7レイアウト例を示す拡大平面図である

。

[図8G]図8 Gは、第2中間電極の第8レイアウト例を示す拡大平面図である

。

[図8H]図8 Hは、第2中間電極の第9レイアウト例を示す拡大平面図である

。

[図8I]図8 Iは、第2中間電極の第10レイアウト例を示す拡大平面図である。

[図8J]図8 Jは、第2中間電極の第11レイアウト例を示す拡大平面図である。

[図8K]図8 Kは、第2中間電極の第12レイアウト例を示す拡大平面図である。

[図8L]図8 Lは、第2中間電極の第13レイアウト例を示す拡大平面図である。

[図9]図9は、図1に示す電子部品が搭載された電子モジュールを示す斜視図である。

[図10]図10は、図9に示す電子モジュールの内部構造を示す透過平面図である。

[図11]図11は、図10に示すXI-XI線に沿う概略断面図である。

[図12]図12は、ソースパッド電極および第1ボンディングワイヤの接合部を示す拡大断面図である。

[図13]図13は、ゲートパッド電極および第2ボンディングワイヤの接合部を示す拡大断面図である。

[図14]図14は、ソースパッド電極の変形例を示す拡大断面図である。

[図15]図15は、ゲートパッド電極の第1変形例を示す拡大断面図である。

[図16]図16は、ゲートパッド電極の第2変形例を示す拡大断面図である。

発明を実施するための形態

[0010] 以下、添付図面を参照して、実施形態が詳細に説明される。添付図面は、模式図であり、厳密に図示されたものではなく、縮尺等は必ずしも一致しない。また、添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0011] 比較対象 (comparison target) が存する説明において「ほぼ (substantially) 等しい」等の文言が使用される場合、この文言は、比較対象の数値 (形態) と等しい数値 (形態) を含む他、比較対象の数値 (形態) を基準とする $\pm 10\%$ の範囲の数値誤差 (形態誤差) も含む。実施形態では「第1」、「第2」、「第3」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。

[0012] 図1は、一実施形態に係る電子部品1を示す平面図である。図2は、図1に示すII-II線に沿う概略断面図である。図3は、第1主面3のレイアウトを示す平面図である。図4は、図3の領域IVの拡大平面図である。図5は、図4に示すV-V線に沿う概略断面図である。図6は、図3の領域VIを第2中間電極52の第1レイアウト例と共に示す拡大平面図である。図7は、図6に示すVII-VII線に沿う概略断面図である。

[0013] 電子部品1は、この形態 (this embodiment) では、六面体形状 (具体的には直方体形状) に形成された半導体製のチップ2を含む。つまり、電子部品1は、半導体装置である。チップ2は、「半導体チップ」と称されてもよい。チップ2は、この形態では、シリコン単結晶を含むSiチップである。むしろ、チップ2は、ワイドバンドギャップ半導体の単結晶を含むワイドバンドギャップ半導体チップであってもよい。つまり、電子部品1は、ワイドバ

ンドギャップ半導体装置であってもよい。

[0014] ワイドバンドギャップ半導体は、シリコン単結晶のバンドギャップよりも大きいバンドギャップを有する半導体である。チップ2は、ワイドバンドギャップ半導体の一例としてのSiC単結晶を含むSiCチップであってもよい。つまり、電子部品1は、SiC半導体装置であってもよい。この場合、チップ2は、六方晶のSiC単結晶を含むことが好ましい。SiC単結晶は、4H-SiC単結晶を含むことが特に好ましい。

[0015] チップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを有している。第1主面3および第2主面4は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。法線方向Zは、チップ2の厚さ方向でもある。第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1主面3に沿って第1方向Xに交差（具体的には直交）する第2方向Yに対向している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向している。

[0016] 電子部品1は、チップ2の第1主面3の表層部に形成されたn型（第1導電型）の第1半導体領域6を含む。第1半導体領域6は、第1主面3に沿って層状に延び、第1主面3および第1～第4側面5A～5Dの一部を形成している。第1半導体領域6は、この形態では、n型のエピタキシャル層（Siエピタキシャル層）によって形成されている。

[0017] 電子部品1は、チップ2の第2主面4の表層部に形成されたn型の第2半導体領域7を含む。第2半導体領域7は、チップ2内で第1半導体領域6に電氣的に接続されるように第2主面4に沿って層状に延び、第2主面4および第1～第4側面5A～5Dの一部を形成している。第2半導体領域7は、第1半導体領域6よりも厚い。第2半導体領域7は、この形態では、n型の半導体基板（Si半導体基板）によって形成されている。

[0018] 電子部品1は、第1主面3の内方部に設けられたデバイス領域8を含む。デバイス領域8は、機能デバイス（デバイス構造）を有する領域であり、「

活性領域」と称されてもよい。デバイス領域 8 は、この形態では、平面視において第 1 ～第 4 側面 5 A ～ 5 D に平行な 4 辺を有する多角形状に形成されている。具体的には、デバイス領域 8 は、平面視において第 3 側面 5 C に沿う辺の中央部から第 4 側面 5 D 側に向けて窪んだ凹部 8 a を有している（図 3 参照）。凹部 8 a は、平面視において多角形状（この形態では四角形状）に窪んでいる。

[0019] 電子部品 1 は、第 1 主面 3 の周縁部に設けられた非デバイス領域 9 を含む。非デバイス領域 9 は、機能デバイスを有さない領域であり、「外周領域」と称されてもよい。非デバイス領域 9 は、パッド領域 10 および環状領域 11 を含む。パッド領域 10 は、第 1 主面 3 のうちデバイス領域 8 の凹部 8 a によって区画された領域に設けられ、第 1 主面 3 の平坦部によって形成されている。つまり、パッド領域 10 は、平面視において第 3 側面 5 C の中央部に沿う領域に設けられている。

[0020] 環状領域 11 は、平面視においてデバイス領域 8 を取り囲むように第 1 ～第 4 側面 5 A ～ 5 D に沿って延びる環状（四角環状）に設けられている。環状領域 11 は、第 1 主面 3 の平坦部によって形成されていてもよい。環状領域 11 は、第 3 側面 5 C に沿う部分においてパッド領域 10 に接続されている。

[0021] 電子部品 1 は、デバイス領域 8 に形成された機能デバイスの一例としての絶縁ゲート電界効果型のトランジスタ T_r を含む。トランジスタ T_r は、「トランジスタ構造」と称されてもよい。トランジスタ T_r は、この形態では、トレンチゲート型である。以下、図 4 および図 5 を参照して、デバイス領域 8 内の具体的な構成（トランジスタ T_r の具体的な構成）が説明される。

[0022] 電子部品 1 は、デバイス領域 8 において第 1 主面 3 の表層部に形成された p 型（第 2 導電型）のボディ領域 12 を含む。ボディ領域 12 は、第 1 半導体領域 6 の底部から第 1 主面 3 側に間隔を空けて形成され、第 1 主面 3 の表層部を層状に延びている。

[0023] 電子部品 1 は、デバイス領域 8 において第 1 主面 3 に形成された複数の第

1 トレンチ構造 1 3 を含む。第 1 トレンチ構造 1 3 は「トレンチゲート構造」と称されてもよい。複数の第 1 トレンチ構造 1 3 は、チャネルの反転および非反転を制御する。

[0024] 複数の第 1 トレンチ構造 1 3 は、平面視において第 1 方向 X に間隔を空けて配列され、第 2 方向 Y に延びる帯状にそれぞれ形成されていてもよい。各第 1 トレンチ構造 1 3 は、第 1 半導体領域 6 の底部から第 1 主面 3 側に間隔を空けて形成されている。各第 1 トレンチ構造 1 3 は、ボディ領域 1 2 を貫通して第 1 半導体領域 6 に至っている。

[0025] 各第 1 トレンチ構造 1 3 は、第 1 トレンチ 1 4、第 1 絶縁膜 1 5 および第 1 埋設電極 1 6 を含む。第 1 トレンチ 1 4 は、第 1 主面 3 に形成され、第 1 トレンチ 1 4 の壁面を区画している。第 1 絶縁膜 1 5 は、第 1 トレンチ 1 4 の壁面を膜状に被覆している。第 1 埋設電極 1 6 は、第 1 絶縁膜 1 5 を挟んで第 1 トレンチ 1 4 に埋設されている。

[0026] 電子部品 1 は、デバイス領域 8 において第 1 主面 3 に形成された複数のコンタクトリセス部 1 7 を含む。複数のコンタクトリセス部 1 7 は、複数の第 1 トレンチ構造 1 3 の間の領域にそれぞれ形成されている。各コンタクトリセス部 1 7 は、複数の第 1 トレンチ構造 1 3 から第 1 方向 X に間隔を空けて形成され、第 2 方向 Y に帯状に延びている。

[0027] 各コンタクトリセス部 1 7 は、第 1 方向 X に関して各第 1 トレンチ構造 1 3 よりも幅広に形成されている。各コンタクトリセス部 1 7 は、各第 1 トレンチ構造 1 3 よりも浅く形成されている。各コンタクトリセス部 1 7 は、ボディ領域 1 2 の底部から第 1 主面 3 側に間隔を空けて形成されている。

[0028] 電子部品 1 は、デバイス領域 8 において第 1 主面 3 に形成された複数の第 2 トレンチ構造 1 8 を含む。第 2 トレンチ構造 1 8 は、「トレンチソース構造」と称されてもよい。複数の第 2 トレンチ構造 1 8 は、複数の第 1 トレンチ構造 1 3 の間の領域にそれぞれ形成されている。複数の第 2 トレンチ構造 1 8 は、具体的には、複数のコンタクトリセス部 1 7 の底壁にそれぞれ形成されている。

- [0029] 各第2トレンチ構造18は、複数の第1トレンチ構造13から第1方向Xに間隔を空けて形成され、第2方向Yに帯状に延びている。各第2トレンチ構造18は、第1方向Xに関して各コンタクトリセス部17よりも幅狭に形成されている。各第2トレンチ構造18は、第1方向Xに関して各第1トレンチ構造13とほぼ等しい幅を有していてもよい。
- [0030] 各第2トレンチ構造18は、ボディ領域12を貫通して第1半導体領域6に至っている。各第2トレンチ構造18は、第1半導体領域6の底部から各コンタクトリセス部17の底壁側に間隔を空けて形成されている。各第2トレンチ構造18は、この形態では、各第1トレンチ構造13とほぼ等しい深さを有している。
- [0031] 各第2トレンチ構造18は、各第1トレンチ構造13よりも深く形成されていてもよい。この場合、各第2トレンチ構造18は、各第1トレンチ構造13の深さの1.5倍以上3倍以下の深さを有していてもよい。各第2トレンチ構造18は、ボディ領域12よりも深く、かつ、各第1トレンチ構造13よりも浅く形成されていてもよい。
- [0032] 各第2トレンチ構造18は、第2トレンチ19、第2絶縁膜20および第2埋設電極21を含む。第2トレンチ19は、第1主面3に形成され、第2トレンチ19の壁面を区画している。第2絶縁膜20は、第2トレンチ19の壁面を膜状に被覆している。第2埋設電極21は、第2絶縁膜20を挟んで第2トレンチ19に埋設されている。
- [0033] 電子部品1は、デバイス領域8の第1主面3の表層部において複数の第1トレンチ構造13に沿う領域にそれぞれ形成された複数のn型のソース領域22を含む。複数のソース領域22は、第1半導体領域6よりも高いn型不純物濃度を有している。複数のソース領域22は、複数の第1トレンチ構造13の両サイドにそれぞれ形成されている。
- [0034] 各ソース領域22は、第1トレンチ構造13および第2トレンチ構造18に接続されるように第1トレンチ構造13および第2トレンチ構造18の間の領域に形成されている。各ソース領域22は、第1主面3の表層部におい

て第2方向Yに帯状に延び、各コンタクトリセス部17の側壁および底壁から露出している。各ソース領域22は、ボディ領域12の底部から第1主面3側に間隔を空けて形成され、ボディ領域12内において第1半導体領域6とチャンネルを形成する。

[0035] 図6および図7を参照して、電子部品1は、パッド領域10において第1主面3の表層部に形成されたp型の不純物領域24を含む。不純物領域24は、第1半導体領域6の底部から第1主面3側に間隔を空けて形成され、第1主面3の表層部を層状に延びている。不純物領域24は、ボディ領域12の深さとほぼ等しい深さを有していることが好ましい。むしろ、不純物領域24の深さは、ボディ領域12の深さよりも大きくてもよい。また、不純物領域24の深さは、ボディ領域12の深さよりも小さくてもよい。

[0036] 不純物領域24のp型不純物濃度は、ボディ領域12のp型不純物濃度よりも高くてもよい。また、不純物領域24のp型不純物濃度は、ボディ領域12のp型不純物濃度よりも低くてもよい。不純物領域24は、ボディ領域12のp型不純物濃度とほぼ等しいp型不純物濃度を有していることが好ましい。

[0037] 電子部品1は、第1主面3を選択的に被覆する主面絶縁膜25を含む。主面絶縁膜25は、「層間絶縁膜」と称されてもよい。主面絶縁膜25は、デバイス領域8および非デバイス領域9において第1主面3を被覆し、第1主面3に沿って延びる絶縁主面26を有している。主面絶縁膜25は、この形態では、第1主面3側からこの順に積層された第1主面絶縁膜27および第2主面絶縁膜28を含む積層構造を有している。

[0038] 第1主面絶縁膜27は、デバイス領域8および非デバイス領域9において第1主面3を被覆している。第1主面絶縁膜27は、デバイス領域8において第1埋設電極16およびコンタクトリセス部17（第2トレンチ構造18）を露出させるように第1主面3を被覆し、第1絶縁膜15に接続されている。第1主面絶縁膜27は、非デバイス領域9においてパッド領域10および環状領域11を膜状に被覆している。第1主面絶縁膜27は、パッド領域

10において不純物領域24を被覆している。

[0039] 第1主面絶縁膜27は、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも1つを含んでいてもよい。第1主面絶縁膜27は、単一の絶縁膜からなる単層構造を有していることが好ましい。第1主面絶縁膜27は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

[0040] 第2主面絶縁膜28は、第1主面絶縁膜27の厚さよりも大きい厚さを有し、デバイス領域8および非デバイス領域9において第1主面絶縁膜27を被覆している。第2主面絶縁膜28は、デバイス領域8において第1主面絶縁膜27および第1トレンチ構造13を被覆し、コンタクトリセス部17（第2トレンチ構造18）を露出させている。

[0041] 第2主面絶縁膜28は、非デバイス領域9において第1主面絶縁膜27を被覆している。つまり、第2主面絶縁膜28は、パッド領域10において第1主面絶縁膜27を挟んで不純物領域24を被覆している。第2主面絶縁膜28は、単一の絶縁膜からなる単層構造、または、複数の絶縁膜を含む積層構造を有していてもよい。第2主面絶縁膜28は、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも1つを含んでいてもよい。

[0042] 第2主面絶縁膜28は、酸化シリコン膜の一例として、NSG（Non-doped Silicate Glass）膜、PSG（Phosphor Silicate Glass）膜およびBPSG（Boron Phosphor Silicate Glass）膜のうちの少なくとも1つを含んでいてもよい。主面絶縁膜25は、いわゆる多層配線絶縁膜ではない。つまり、主面絶縁膜25は、第1主面3および絶縁主面26の間の領域において、絶縁膜を挟んで多段に積層配置された複数の配線層および複数の配線層を接続する複数のビア電極の双方を含まない。

[0043] 電子部品1は、主面絶縁膜25において第1領域30を含む。第1領域30は、主面絶縁膜25のうちデバイス領域8を被覆する部分に設けられ、主面絶縁膜25に形成された複数の貫通孔31を含む。複数の貫通孔31は、

平面視において第1方向Xに間隔を空けて配列され、第2方向Yに帯状にそれぞれ延びている。複数の貫通孔31は、複数のソース領域22をそれぞれ露出させている。

[0044] 具体的には、各貫通孔31は、各コンタクトリセス部17に連通するように各コンタクトリセス部17に対して1対1の対応関係で形成されている。これにより、各貫通孔31は、各コンタクトリセス部17から1つの第2トレレンチ構造18および複数のソース領域22を露出させている。各貫通孔31は、平面視において対応するコンタクトリセス部17に沿って帯状に延びている。

[0045] 電子部品1は、主面絶縁膜25において第2領域32を含む。第2領域32は、主面絶縁膜25のうち非デバイス領域9を被覆する部分に設けられている。第2領域32は、主面絶縁膜25のうちパッド領域10を被覆する部分でもある。第2領域32は、絶縁主面26の平坦部を含み、貫通孔31を有さない。

[0046] 電子部品1は、主面絶縁膜25の第1領域30に配置されたソースパッド電極40（第1端子電極）を含む。ソースパッド電極40は、ボンディングワイヤに接合されるソース端子電極である。ソースパッド電極40は、平面視においてデバイス領域8を被覆している。ソースパッド電極40は、第1主面3の平面積の50%以上90%以下となる平面積を有していることが好ましい。ソースパッド電極40の平面積は、第1主面3の平面積の70%以上であることが好ましい。

[0047] ソースパッド電極40は、この形態では、平面視において第1～第4側面5A～5Dに平行な4辺を有する多角形状に形成されている。具体的には、ソースパッド電極40は、平面視においてパッド領域10を露出させるように第3側面5Cに沿う辺の中央部から第4側面5D側に向けて窪んだ凹部40aを有している。凹部40aは、平面視において多角形状（この形態では四角形状）に窪んでいる。

[0048] ソースパッド電極40は、デバイス領域8において複数の第1トレレンチ構

造 1 3、複数のコンタクトリセス部 1 7 および複数の第 2 トレンチ構造 1 8 を一括して被覆している。ソースパッド電極 4 0 は、主面絶縁膜 2 5 を挟んで複数の第 1 トレンチ構造 1 3 に対向し、主面絶縁膜 2 5 を貫通して複数の第 2 トレンチ構造 1 8 および複数のソース領域 2 2 に電氣的に接続されている。

[0049] ソースパッド電極 4 0 は、主面絶縁膜 2 5 側からこの順に積層された第 1 下電極 4 1、複数の第 1 中間電極 4 2 および第 1 上電極 4 3 を含む積層構造を有している。第 1 下電極 4 1 は、第 1 領域 3 0 において絶縁主面 2 6 および複数の貫通孔 3 1 の壁面を膜状に被覆している。第 1 下電極 4 1 は、複数の貫通孔 3 1 から複数のコンタクトリセス部 1 7 内に入り込み、複数のコンタクトリセス部 1 7 の壁面を膜状に被覆している。

[0050] 具体的には、第 1 下電極 4 1 は、複数の貫通孔 3 1 の壁面において主面絶縁膜 2 5（第 1 主面絶縁膜 2 7 および第 2 主面絶縁膜 2 8）を被覆し、複数のコンタクトリセス部 1 7 の壁面において複数の第 2 トレンチ構造 1 8 および複数のソース領域 2 2 を被覆している。第 1 下電極 4 1 は、第 2 トレンチ構造 1 8 の第 2 絶縁膜 2 0 および第 2 埋設電極 2 1 を膜状に被覆している。第 1 下電極 4 1 は、複数の第 2 トレンチ構造 1 8 および複数のソース領域 2 2 に電氣的に接続されている。

[0051] 第 1 下電極 4 1 は、T i（チタン）系金属膜を含む。T i 系金属膜は、T i 膜および T i 合金膜のうちの少なくとも 1 つを含んでいてもよい。第 1 下電極 4 1 は、この形態では、主面絶縁膜 2 5（チップ 2）側からこの順に積層された T i 膜および T i N 膜を含む積層構造を有している。むろん、第 1 下電極 4 1 は、T i 膜または T i N 膜からなる単層構造を有していてもよい。

[0052] 第 1 下電極 4 1 は、主面絶縁膜 2 5 よりも薄い。第 1 下電極 4 1 の厚さは、絶縁主面 2 6 を基準とする第 1 下電極 4 1 の厚さ（総厚さ）である。第 1 下電極 4 1 の厚さは、1 0 n m 以上 5 0 0 n m 以下であってもよい。第 1 下電極 4 1 の厚さは、1 0 0 n m 以上 2 5 0 n m 以下であってもよい。

- [0053] 複数の第1中間電極42は、第1下電極41を挟んで複数の貫通孔31内に配置されている。複数の第1中間電極42は、複数の貫通孔31内において第1下電極41と共にコンタクト電極を構成している。各第1中間電極42は、第1主面3よりもコンタクトリセス部17の底壁側に位置する部分、および、第1主面3よりも主面絶縁膜25の絶縁主面26側に位置する部分を含む。
- [0054] つまり、各第1中間電極42は、第1下電極41を挟んで主面絶縁膜25に対向する部分、および、第1下電極41を挟んで第2トレンチ構造18および複数のソース領域22に対向する部分を含む。各第1中間電極42は、第1下電極41を介して第2トレンチ構造18および複数のソース領域22に電氣的に接続されている。
- [0055] 各第1中間電極42は、各貫通孔31から露出した露出面を有している。各第1中間電極42は、露出面の内方部においてチップ2側に向けて窪んだ電極リセス部44を有している。電極リセス部44は、この形態では、第2トレンチ構造18（コンタクトリセス部17）の底壁に向けて窪んでいる。電極リセス部44の底部は、第1主面3および絶縁主面26の間の領域に位置している。電極リセス部44の底部は、貫通孔31の深さ範囲中間部よりも絶縁主面26側に位置していることが好ましい。
- [0056] 第1中間電極42は、第1下電極41とは異なる電極材料を含む。第1中間電極42は、W（タングステン）系金属膜を含むことが好ましい。W系金属膜は、W膜およびW合金膜のうちの少なくとも1つを含んでいてもよい。第1中間電極42は、この形態では、W膜からなる単層構造を有している。
- [0057] 第1中間電極42は、第1下電極41よりも厚いことが好ましい。第1中間電極42の厚さは、第1下電極41および電極リセス部44の間の法線方向Zに沿う厚さである。第1中間電極42の厚さは、主面絶縁膜25の厚さ未満であってもよい。第1中間電極42の厚さは、主面絶縁膜25の厚さよりも大きくてもよい。第1中間電極42の厚さは、第1下電極41の厚さの2倍以上10倍以下であることが好ましい。第1中間電極42の厚さは、2

00 nm以上1000 nm以下であってもよい。第1中間電極42の厚さは、400 nm以上800 nm以下であることが好ましい。

[0058] 第1上電極43は、ソースパッド電極40の本体を構成し、第1下電極41および複数の第1中間電極42を膜状に被覆している。第1上電極43は、第1下電極41を挟んで絶縁主面26を被覆する部分、および、複数の第1中間電極42を挟んで複数の貫通孔31を被覆する部分を有している。第1上電極43は、第1下電極41および複数の第1中間電極42を介して第2トレンチ構造18および複数のソース領域22に電氣的に接続されている。

[0059] 第1上電極43は、第1端子面43aを有している。第1端子面43aは、複数の第1隆起部47および複数の第1リセス部48を有している。複数の第1隆起部47は、第1上電極43のうち第1下電極41を被覆する部分にそれぞれ形成されている。つまり、複数の第1隆起部47は、平面視において複数の貫通孔31外の領域にそれぞれ形成され、第1下電極41を挟んで絶縁主面26を被覆している。

[0060] 複数の第1隆起部47は、平面視において複数の第1トレンチ構造13に重なっている。また、複数の第1隆起部47は、平面視において複数の第1トレンチ構造13に沿って延びている。つまり、複数の第1隆起部47は、この形態では、平面視において第1方向Xに間隔を空けて配列され、第2方向Yに帯状にそれぞれ延びている。複数の第1隆起部47は、第1頂部をそれぞれ有している。

[0061] 複数の第1リセス部48は、第1上電極43のうち複数の第1中間電極42を被覆する部分にそれぞれ形成され、複数の第1隆起部47よりも複数の第1中間電極42側に窪んでいる。複数の第1リセス部48は、第1底部をそれぞれ有している。複数の第1リセス部48の第1底部は、第1上電極43の厚さ範囲中間部よりも上方に位置していることが好ましい。

[0062] 複数の第1リセス部48は、厚さ方向に複数の第1中間電極42に1対1の対応関係で対向している。つまり、複数の第1リセス部48は、厚さ方向

に複数の電極リセス部44に1対1の対応関係で対向している。また、複数の第1リセス部48は、平面視において複数の貫通孔31に重なる領域にそれぞれ形成され、第1下電極41および複数の第1中間電極42を挟んでチップ2にそれぞれ対向している。

[0063] 複数の第1リセス部48は、この形態では、厚さ方向に複数の第2トレンチ構造18（コンタクトリセス部17）に対向している。複数の第1リセス部48は、平面視において複数の貫通孔31（第1中間電極42）に沿って形成されている。複数の第1リセス部48は、この形態では、平面視において第1方向Xに間隔を空けて配列され、第2方向Yに帯状にそれぞれ延びている。

[0064] 第1上電極43は、第1下電極41および第1中間電極42とは異なる電極材料を含む。第1上電極43は、Al（アルミニウム）系金属膜を含むことが好ましい。Al系金属膜は、Al膜およびAl合金膜のうちの少なくとも1つを含んでいてもよい。Al合金膜は、AlSi合金膜、AlCu合金膜およびAlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。

[0065] 第1上電極43は、この形態では、AlCu合金膜からなる単層構造を有している。むろん、第1上電極43は、Cu（銅）系金属膜を含んでいてもよい。Cu系金属膜は、Cu膜およびCu合金膜のうちの少なくとも1つを含んでいてもよい。Cu合金膜は、AlCu合金膜およびAlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。

[0066] 第1上電極43は、第1下電極41よりも厚い。第1上電極43の厚さは、絶縁主面26上において第1下電極41および第1端子面43aの間の法線方向Zに沿う厚さである。第1上電極43の厚さは、第1中間電極42の厚さよりも大きい。第1上電極43の厚さは、第1下電極41の被覆部および第1中間電極42の被覆部の双方において第1中間電極42の厚さよりも大きいことが好ましい。

[0067] 第1上電極43の厚さは、第1中間電極42の厚さの2倍以上20倍以下であることが好ましい。第1上電極43の厚さは、主面絶縁膜25の厚さよ

りも大きいことが好ましい。第1上電極43の厚さは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第1上電極43の厚さは、 $3\mu\text{m}$ 以上 $8\mu\text{m}$ 以下であることが好ましい。

[0068] 電子部品1は、ソースパッド電極40から間隔を空けて主面絶縁膜25の第2領域32に配置されたゲートパッド電極50（第2端子電極）を含む。ゲートパッド電極50は、ボンディングワイヤに接合されるゲート端子電極である。ゲートパッド電極50は、平面視においてパッド領域10を被覆している。つまり、ゲートパッド電極50は、平面視において複数の貫通孔31から間隔を空けて絶縁主面26の平坦部の上に配置されている。

[0069] ゲートパッド電極50は、ソースパッド電極40の平面積未満の平面積を有している。ゲートパッド電極50の平面積は、第1主面3の平面積の1%以上30%以下であることが好ましい。ゲートパッド電極50の平面積は、第1主面3の平面積の25%以下であることが特に好ましい。ゲートパッド電極50の平面積は、第1主面3の平面積の10%以下であってもよい。

[0070] ゲートパッド電極50は、平面視において複数の第1トレンチ構造13および複数の第2トレンチ構造18（コンタクトリセス部17）から間隔を空けて配置され、主面絶縁膜25を挟んで第1主面3の平坦部に対向している。ゲートパッド電極50は、この形態では、主面絶縁膜25を挟んで不純物領域24に対向している。ゲートパッド電極50は、この形態では、平面視において第1～第4側面5A～5Dに平行な4辺を有する多角形状（具体的には四角形状）に形成されている。

[0071] ゲートパッド電極50は、主面絶縁膜25側からこの順に積層された第2下電極51、第2中間電極52および第2上電極53を含む積層構造を有している。図6では、明瞭化のため、第2中間電極52が破線およびハッチングによって示されている。第2下電極51は、第2領域32において絶縁主面26の平坦部を膜状に被覆している。

[0072] 第2下電極51は、Ti系金属膜を含む。Ti系金属膜は、Ti膜およびTi合金膜のうちの少なくとも1つを含んでいてもよい。第2下電極51は

、この形態では、主面絶縁膜 25（チップ 2）側からこの順に積層された T i 膜および T i N 膜を含む積層構造を有している。つまり、第 2 下電極 5 1 は、ソースパッド電極 4 0 の第 1 下電極 4 1 と同一の構成を有している。むしろ、第 2 下電極 5 1 は、T i 膜または T i N 膜からなる単層構造を有していてもよい。

[0073] 第 2 下電極 5 1 は、主面絶縁膜 25 よりも薄い。第 2 下電極 5 1 の厚さは、絶縁主面 26 を基準とする第 2 下電極 5 1 の厚さ（総厚さ）である。第 2 下電極 5 1 の厚さは、10 nm 以上 500 nm 以下であってもよい。第 2 下電極 5 1 の厚さは、100 nm 以上 250 nm 以下であってもよい。第 2 下電極 5 1 の厚さは、第 1 下電極 4 1 の厚さとほぼ等しいことが好ましい。

[0074] 第 2 中間電極 5 2 は、第 2 下電極 5 1 の上に配置され、第 2 下電極 5 1 と凹凸構造 5 4（an uneven structure）を形成している。凹凸構造 5 4 が形成される限り、第 2 中間電極 5 2 の個数は任意である。したがって、ゲートパッド電極 5 0 は、単一の第 2 中間電極 5 2 を含んでいてもよい。また、ゲートパッド電極 5 0 は、複数の第 2 中間電極 5 2 を含んでいてもよい。

[0075] 単一または複数の第 2 中間電極 5 2 は、第 2 下電極 5 1 に設定されたワイヤ受け部 5 5 に配置される（図 6 の二点鎖線部参照）。ワイヤ受け部 5 5 は、ゲートパッド電極 5 0 に対してボンディングワイヤが接合される場合においてボンディングワイヤの接合部によって隠蔽される部分である。つまり、ワイヤ受け部 5 5 は、ボンディングワイヤの接合部の投影部でもある。ワイヤ受け部 5 5 は、第 2 下電極 5 1 の周縁から間隔を空けて第 2 下電極 5 1 の内方部に設定される。

[0076] 単一または複数の第 2 中間電極 5 2 は、平面視において第 2 下電極 5 1 の周縁部を露出させるように第 2 下電極 5 1 の周縁から内方に間隔を空けてワイヤ受け部 5 5 に配置されていてもよい。この場合、単一または複数の第 2 中間電極 5 2 は、平面視において第 2 下電極 5 1 の周縁部を全周に亘って露出させることが好ましい。

[0077] 単一の第 2 中間電極 5 2 が形成される場合、単一の第 2 中間電極 5 2 の全

部分がワイヤ受け部55内に配置されてもよい。むしろ、単一の第2中間電極52は、ワイヤ受け部55内に位置する部分およびワイヤ受け部55外に位置する部分を含んでいてもよい。この場合、ワイヤ受け部55外に位置する部分の平面積は、ワイヤ受け部55内に位置する部分の平面積未満であることが好ましい。

[0078] 複数の第2中間電極52が形成される場合、全ての第2中間電極52がワイヤ受け部55内に配置されてもよい。複数の第2中間電極52が形成される場合、少なくとも1つの第2中間電極52がワイヤ受け部55内に配置され、少なくとも1つの第2中間電極52がワイヤ受け部55内に配置されてもよい。

[0079] この場合、複数の第2中間電極52がワイヤ受け部55内に配置されていることが好ましい。また、ワイヤ受け部55外に配置される第2中間電極52の総数は、ワイヤ受け部55内に配置される第2中間電極52の総数未満であることが好ましい。ワイヤ受け部55外に位置する第2中間電極52の総平面積はワイヤ受け部55内に位置する第2中間電極52の総平面積未満であることが好ましい。

[0080] 単一または複数の第2中間電極52は、ワイヤ受け部55の平面積よりも大きいレイアウト面積を有していることが好ましい。単一の第2中間電極52が形成される場合、レイアウト面積は単一の第2中間電極52の周縁によって取り囲まれた領域の面積によって定義される。複数の第2中間電極52が形成される場合、複数の第2中間電極52の群を一括して取り囲む領域（たとえば最外周に位置する単一または複数の第2中間電極52を取り囲む領域）の面積によって定義される。

[0081] 単一または複数の第2中間電極52は、ワイヤ受け部55の内方部において少なくとも1つの突出部を形成していることが好ましい。単一または複数の第2中間電極52は、ワイヤ受け部55の内方部において複数の突出部を形成していることが特に好ましい。単一または複数の第2中間電極52は、ワイヤ受け部55の周縁部において少なくとも1つの突出部を形成している

ことが好ましい。単一または複数の第2中間電極52は、ワイヤ受け部55の周縁部において複数の突出部を形成していることが特に好ましい。

[0082] 第1方向Xに沿う断面視において、複数の第2中間電極52が第2下電極51の上に間隔を空けて配置されていることが好ましい。この場合、断面視において、3つ以上の第2下電極51が第1方向Xに間隔を空けて配置されていることが好ましい。第2方向Yに沿う断面視において、複数の第2中間電極52が第2下電極51の上に間隔を空けて配置されていることが好ましい。この場合、断面視において、3つ以上の第2下電極51が第2方向Yに間隔を空けて配置されていることが好ましい。

[0083] 単一または複数の第2中間電極52は、第2下電極51を部分的に露出させる単一または複数の除去部56を区画していることが好ましい。単一または複数の除去部56は、第2下電極51に加えて主面絶縁膜25を部分的に露出させていてもよい。単一の除去部56が形成される場合、単一の除去部56の全部分がワイヤ受け部55内に配置されてもよい。単一の除去部56は、ワイヤ受け部55内に位置する部分およびワイヤ受け部55外に位置する部分を含んでいてもよい。この場合、ワイヤ受け部55外に位置する部分の平面積は、ワイヤ受け部55内に位置する部分の平面積未満であることが好ましい。

[0084] 複数の除去部56が形成される場合、全ての除去部56がワイヤ受け部55内に配置されてもよい。複数の除去部56が形成される場合、少なくとも1つの除去部56がワイヤ受け部55内に配置され、少なくとも1つの除去部56がワイヤ受け部55内に配置されてもよい。この場合、複数の除去部56がワイヤ受け部55内に配置されていることが好ましい。

[0085] また、ワイヤ受け部55外に配置される複数の除去部56の総数は、ワイヤ受け部55内に配置される複数の除去部56の総数未満であることが好ましい。これらの場合、ワイヤ受け部55外に位置する除去部56の総平面積はワイヤ受け部55内に位置する除去部56の総平面積未満であることが好ましい。

- [0086] 図6を参照して、第1レイアウト例に係る第2中間電極52は、平面視において格子状（網目状）に形成された部分を含み、第1方向Xおよび第2方向Yに間隔を空けて行列状に区画された複数の除去部56を有している。第2中間電極52の周縁は、平面視において多角形状（たとえば四角形状）に形成されていてもよいし、円形状に形成されていてもよい。複数の除去部56は、平面視において多角形状（たとえば四角形状）に区画されていてもよいし、円形状に区画されていてもよい。
- [0087] 第2中間電極52は、第2下電極51とは異なる電極材料を含む。第2中間電極52は、W系金属膜を含むことが好ましい。W系金属膜は、W膜およびW合金膜のうちの少なくとも1つを含んでいてもよい。第2中間電極52は、この形態では、W膜からなる単層構造を有している。つまり、第2中間電極52は、ソースパッド電極40の第1中間電極42と同一の構成を有している。
- [0088] 第2中間電極52は、第2下電極51よりも厚いことが好ましい。第2中間電極52の厚さは、第2下電極51を基準とする第2中間電極52の厚さである。第2中間電極52の厚さは、第2下電極51の厚さの2倍以上10倍以下であることが好ましい。第2中間電極52の厚さは、主面絶縁膜25の厚さ未満であってもよい。第2中間電極52の厚さは、主面絶縁膜25の厚さよりも大きくてもよい。
- [0089] 第2中間電極52の厚さは、200nm以上1000nm以下であってもよい。第2中間電極52の厚さは、400nm以上800nm以下であることが好ましい。第2中間電極52の厚さは、第1中間電極42の厚さよりも大きくてもよい。第2中間電極52の厚さは、第1中間電極42の厚さよりも小さくてもよい。
- [0090] 第2上電極53は、ゲートパッド電極50の本体を構成し、凹凸構造54（複数の除去部56）を埋め込むように第2下電極51および第2中間電極52を膜状に被覆している。第2上電極53は、複数の除去部56内において第2下電極51を挟んで絶縁主面26を被覆する部分、および、複数の除

去部 5 6 外において第 2 中間電極 5 2 を挟んで第 2 下電極 5 1 を被覆する部分を有している。

[0091] 第 2 上電極 5 3 は、第 2 端子面 5 3 a を有している。第 2 端子面 5 3 a は、第 2 中間電極 5 2 のレイアウトに対応した凹凸パターンを有している。具体的には、第 2 端子面 5 3 a は、単一または複数（この形態では単一）の第 2 隆起部 5 7、および、単一または複数（この形態では複数）の第 2 リセス部 5 8 を有している。第 2 端子面 5 3 a は、断面視において複数の第 2 隆起部 5 7 を含む。

[0092] 第 2 隆起部 5 7 は、第 2 上電極 5 3 のうち第 2 中間電極 5 2 を被覆する部分に形成され、平面視において第 2 中間電極 5 2 に沿って延びている。第 2 隆起部 5 7 は、第 2 中間電極 5 2 のレイアウトに対応したレイアウトを有している。つまり、第 2 隆起部 5 7 は、この形態では、平面視において第 1 方向 X および第 2 方向 Y に沿って格子状（網目状）に延びる部分を含む。複数の第 2 隆起部 5 7 は、第 2 頂部をそれぞれ有している。複数の第 2 隆起部 5 7 の第 2 頂部は、複数の第 1 隆起部 4 7 の第 1 頂部の高さ位置よりも上方に位置していることが好ましい。

[0093] 複数の第 2 リセス部 5 8 は、第 2 隆起部 5 7 よりも第 2 下電極 5 1 側に窪んだ部分であり、第 2 上電極 5 3 のうち複数の除去部 5 6 を被覆する部分（つまり、第 2 下電極 5 1 を被覆する部分）にそれぞれ形成されている。複数の第 2 リセス部 5 8 は、第 2 底部をそれぞれ有している。複数の第 2 リセス部 5 8 の第 2 底部は、第 2 中間電極 5 2 の上端部よりも上方に位置していることが好ましい。複数の第 2 リセス部 5 8 の第 2 底部は、第 2 上電極 5 3 の厚さ範囲中間部よりも上方に位置していることが好ましい。

[0094] 複数の第 2 リセス部 5 8 の第 2 底部は、複数の第 1 リセス部 4 8 の第 1 底部の高さ位置よりも上方に位置していることが好ましい。第 2 底部は、第 1 隆起部 4 7 の第 1 頂部とほぼ等しい高さ位置に位置していてもよい。第 2 底部は、第 1 隆起部 4 7 の第 1 頂部の高さ位置よりも上方に位置していてもよい。第 2 底部は、第 1 頂部の高さ位置よりも下方に位置していてもよい。

- [0095] 複数の第2リセス部58は、複数の除去部56のレイアウトに対応したレイアウトを有し、断面視において厚さ方向に複数の除去部56に1対1の対応関係で対向している。つまり、複数の第2リセス部58は、この形態では、平面視において第1方向Xおよび第2方向Yに間隔を空けて行列状に形成された部分を含む。
- [0096] 第2上電極53は、第2下電極51および第2中間電極52とは異なる電極材料を含む。第2上電極53は、Al（アルミニウム）系金属膜を含むことが好ましい。Al系金属膜は、Al膜およびAl合金膜のうちの少なくとも1つを含んでいてもよい。Al合金膜は、AlSi合金膜、AlCu合金膜およびAlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。
- [0097] 第2上電極53は、この形態では、AlCu合金膜からなる単層構造を有している。第2上電極53は、ソースパッド電極40の第1上電極43と同一の構成を有している。むしろ、第2上電極53は、Cu（銅）系金属膜を含んでいてもよい。Cu系金属膜は、Cu膜およびCu合金膜のうちの少なくとも1つを含んでいてもよい。Cu合金膜は、AlCu合金膜およびAlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。
- [0098] 第2上電極53は、第2下電極51よりも厚い。第2上電極53の厚さは、第2下電極51および第2端子面53aの間の法線方向Zに沿う厚さである。第2上電極53の厚さは、第2中間電極52の厚さよりも大きい。第2上電極53の厚さは、第2下電極51の被覆部および第2中間電極52の被覆部の双方において第2中間電極52の厚さよりも大きいことが好ましい。
- [0099] 第2上電極53の厚さは、第2中間電極52の厚さの2倍以上20倍以下であることが好ましい。第2上電極53の厚さは、主面絶縁膜25の厚さよりも大きいことが好ましい。第2上電極53の厚さは、1 μm 以上10 μm 以下であってもよい。第2上電極53の厚さは、3 μm 以上8 μm 以下であることが好ましい。第2上電極53の厚さは、第1上電極43の厚さとほぼ等しいことが好ましい。
- [0100] 電子部品1は、ゲートパッド電極50から主面絶縁膜25の上に引き出さ

れたゲート配線電極 60 を含む。ゲート配線電極 60 は、主面絶縁膜 25 側からこの順に積層された第 2 下電極 51 および第 2 上電極 53 を含む積層構造を有している。ゲート配線電極 60 は、この形態では、ゲートパッド電極 50 とは異なり、第 2 中間電極 52 を有さない。ゲート配線電極 60 の第 2 下電極 51 および第 2 上電極 53 は、ゲートパッド電極 50 の第 2 下電極 51 および第 2 上電極 53 からそれぞれ引き出されている。

[0101] ゲート配線電極 60 は、ソースパッド電極 40 を複数方向から取り囲むようにゲートパッド電極 50 から第 1 側面 5A 側および第 2 側面 5B 側に引き出されている。ゲート配線電極 60 は、平面視において複数の第 1 トレンチ構造 13 の端部に交差（具体的には直交）するようにデバイス領域 8 の周縁に沿って帯状に延びている。ゲート配線電極 60 は、主面絶縁膜 25 を貫通し、複数の第 1 トレンチ構造 13 に電氣的に接続されている。これにより、ゲートパッド電極 50 に付与されたゲート信号がゲート配線電極 60 を介して複数の第 1 トレンチ構造 13 に伝達される。

[0102] 電子部品 1 は、ソースパッド電極 40、ゲートパッド電極 50 およびゲート配線電極 60 を選択的に被覆するように主面絶縁膜 25 の上に形成された上側絶縁膜 61 を含む。上側絶縁膜 61 は、ソースパッド電極 40 の周縁部を被覆し、ソースパッド電極 40 の内方部を露出させるソースパッド開口 62 を有している。ソースパッド開口 62 は、この形態では、平面視においてソースパッド電極 40 の周縁に沿う多角形状に区画されている。

[0103] 上側絶縁膜 61 は、ゲートパッド電極 50 の周縁部を被覆し、ゲートパッド電極 50 の内方部を露出させるゲートパッド開口 63 を有している。ゲートパッド開口 63 は、この形態では、平面視においてゲートパッド電極 50 の周縁に沿う四角形状に形成されている。上側絶縁膜 61 は、ゲート配線電極 60 の全域を被覆している。

[0104] 上側絶縁膜 61 は、この形態では、平面視において第 1 主面 3 の周縁（第 1 ～第 4 側面 5A ～5D）から内方に間隔を空けて形成され、第 1 主面 3 の周縁との間でダイシングストリート 64 を区画している。ダイシングストリ

ート64は、主面絶縁膜25（絶縁主面26）を露出させていてもよい。第1主面3の周縁部を露出させる主面絶縁膜25が形成されている場合、ダイシングストリート64は、第1主面3を露出させていてもよい。

[0105] 上側絶縁膜61は、この形態では、無機絶縁膜からなる単層構造を有している。無機絶縁膜は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。無機絶縁膜は、主面絶縁膜25とは異なる絶縁材料を含むことが好ましい。無機絶縁膜は、この形態では、窒化シリコン膜を含む単層構造を有している。無機絶縁膜の厚さは、 $0.1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。

[0106] 上側絶縁膜61は、主面絶縁膜25側からこの順に積層された無機絶縁膜および有機絶縁膜を含む積層構造を有していてもよい。この場合、有機絶縁膜は、無機絶縁膜よりも厚いことが好ましい。有機絶縁膜は、感光性樹脂膜からなることが好ましい。有機絶縁膜は、ポリイミド膜、ポリアミド膜およびポリベンゾオキサゾール膜のうちの少なくとも1つを含んでいてもよい。有機絶縁膜の厚さは、 $3\mu\text{m}$ 以上 $30\mu\text{m}$ 以下であってもよい。有機絶縁膜の厚さは、 $20\mu\text{m}$ 以下であることが好ましい。

[0107] 電子部品1は、第2主面4を被覆するドレインパッド電極70を含む。ドレインパッド電極70は、第2主面4から露出する第2半導体領域7に電氣的に接続されている。ドレインパッド電極70は、Al系金属膜、Ti系金属膜、Ni系金属膜、Pd系金属膜、Au系金属膜およびAg系金属膜のうちの少なくとも1つを含んでいてもよい。

[0108] たとえば、ドレインパッド電極70は、第2主面4側からこの順に積層されたTi膜、Ni膜およびAu膜を含む積層構造を有していてもよい。たとえば、ドレインパッド電極70は、第2主面4側からこの順に積層されたAlSi合金膜、Ti膜、Ni膜およびAu膜を含む積層構造を有していてもよい。たとえば、ドレインパッド電極70は、第2主面4側からこの順に積層されたTi膜、Ni膜、Au膜およびAg膜を含む積層構造を有していてもよい。

- [0109] 図6および図7では、平面視において格子状（網目状）のレイアウトを有する第2中間電極52が示された。しかし、第2上電極53（第2端子面53a）に凹凸（an unevenness）が形成される限り、第2中間電極52のレイアウトは任意である。以下、図8A～図8Lを参照して、第2中間電極52の他のレイアウト例が示される。
- [0110] 図8A～図8Lは、第2中間電極52の第2～第13レイアウト例を示す拡大平面図である。図8A～図8Lでは、明瞭化のため、第2中間電極52が破線およびハッチングによって示されている。以下では、第1レイアウト例に係る第1中間電極42の説明と重複する説明は省略される。
- [0111] 図8Aを参照して、第2レイアウト例に係る第2中間電極52は、平面視において格子状（網目状）に形成された部分を含み、第1方向Xおよび第2方向Yに間隔を空けて千鳥状に区画された複数の除去部56を有している。複数の除去部56は、平面視において多角形状（たとえば四角形状）に区画されていてもよいし、円形状に区画されていてもよい。
- [0112] 具体的には、第2中間電極52は、第2方向Yに間隔を空けて形成された複数の除去部群を含む。複数の除去部群は、第1方向Xに間隔を空けて形成された複数の除去部56を含む。第2方向Yに隣り合う複数の除去部群に関して、一方の除去部群内の複数の除去部56は、平面視において他方の除去部群内の複数の除去部56の間の領域に第2方向Yに対向している。
- [0113] 第2上電極53の第2端子面53aは、単一の第2隆起部57および複数の第2リセス部58を含む。第2隆起部57は、平面視において第1方向Xおよび第2方向Yに沿って格子状（網目状）に延びる部分を有している。複数の第2リセス部58は、平面視において第1方向Xおよび第2方向Yに間隔を空けて千鳥状に形成された部分を有している。
- [0114] 第2レイアウト例に係る第2中間電極52において、第1方向Xおよび第2方向Yの関係が入れ換えられてもよい。つまり、第2中間電極52は、第1方向Xに間隔を空けて形成された複数の除去部群を含んでいてもよい。この場合、複数の除去部群は、第2方向Yに間隔を空けて形成された複数の除

除去部 5 6 を含む。第 1 方向 X に隣り合う複数の除去部群に関して、一方の除去部群内の複数の除去部 5 6 は、平面視において他方の除去部群内の複数の除去部 5 6 の間の領域に第 1 方向 X に対向する。

[0115] 図 8 B を参照して、第 3 レイアウト例に係る第 2 中間電極 5 2 は、平面視において梯子状に形成された部分を含み、ストライプ状に区画された複数の除去部 5 6 を有している。複数の除去部 5 6 は、第 2 方向 Y に間隔を空けて形成され、第 1 方向 X に帯状にそれぞれ延びている。

[0116] 第 2 上電極 5 3 の第 2 端子面 5 3 a は、単一の第 2 隆起部 5 7 および複数の第 2 リセス部 5 8 を含む。第 2 隆起部 5 7 は、平面視において梯子状に延びる部分を有している。複数の第 2 リセス部 5 8 は、平面視においてストライプ状に延びる部分を有している。第 3 レイアウト例に係る第 2 中間電極 5 2 において、第 1 方向 X および第 2 方向 Y の関係が入れ換えられてもよい。つまり、複数の除去部 5 6 は、第 1 方向 X に間隔を空けて形成され、第 2 方向 Y に帯状にそれぞれ延びていてもよい。

[0117] 図 8 C を参照して、第 4 レイアウト例に係る第 2 中間電極 5 2 は、平面視において楕形状に形成された部分を含み、ジグザグ状に区画された単一の除去部 5 6 を有している。具体的には、第 2 中間電極 5 2 は、第 1 櫛部 8 1 および第 2 櫛部 8 2 を含む。第 1 櫛部 8 1 は、第 2 方向 Y に間隔を空けて配列され、第 1 方向 X に帯状に延びる複数の第 1 部分 8 1 a を有している。第 2 櫛部 8 2 は、第 2 方向 Y に複数の第 1 部分 8 1 a と交互に間隔を空けて配列され、第 1 方向 X に帯状に延びる複数の第 2 部分 8 2 a を有している。

[0118] 除去部 5 6 は、第 1 方向 X にストライプ状に延びる複数の第 1 除去部 5 6 A、および、複数の第 1 除去部 5 6 A を接続するように第 2 方向 Y に延びる複数の第 2 除去部 5 6 B を含む。複数の第 2 除去部 5 6 B は、第 2 方向 Y に隣り合う複数の第 1 除去部 5 6 A の一端部、および、第 2 方向 Y に隣り合う複数の第 1 除去部 5 6 A の他端部を第 2 方向 Y に沿って交互に接続している。

[0119] 第 2 上電極 5 3 の第 2 端子面 5 3 a は、単一の第 2 隆起部 5 7 および単一

の第2リセス部58を含む。第2隆起部57は、平面視において櫛形状に延びる部分を有している。単一の第2リセス部58は、平面視においてジグザグ状に延びる部分を有している。

[0120] むろん、第2中間電極52の第1櫛部81および第2櫛部82は、除去部56によって分割されていてもよい。この場合、第2上電極53の第2端子面53aは、複数の第2隆起部57を含む。むろん、第4レイアウト例に係る第2中間電極52において、第1方向Xおよび第2方向Yの関係が入れ換えられてもよい。つまり、除去部56は、第2方向Yにストライプ状に延びる複数の第1除去部56A、および、第1方向Xに延びる複数の第2除去部56Bを含んでいてもよい。

[0121] 図8Dを参照して、第5レイアウト例に係る第2中間電極52は、平面視において多角螺旋形状（ここでは四角螺旋形状）に形成された部分を含み、平面視において多角螺旋形状（ここでは四角螺旋形状）に形成された単一の除去部56を有している。

[0122] 第2上電極53の第2端子面53aは、単一の第2隆起部57および単一の第2リセス部58を含む。第2隆起部57は、平面視において多角螺旋形状（ここでは四角螺旋形状）に延びる部分をそれぞれ含む。第2リセス部58は、平面視において多角螺旋形状（ここでは四角螺旋形状）に延びる部分をそれぞれ含む。

[0123] 図8Eを参照して、第6レイアウト例に係る第2中間電極52は、平面視において円形螺旋形状に形成された部分を含み、平面視において円形螺旋形状に形成された単一の除去部56を有している。

[0124] 第2上電極53の第2端子面53aは、単一の第2隆起部57および単一の第2リセス部58を含む。第2隆起部57は、平面視において円形螺旋形状に延びる部分をそれぞれ含む。第2リセス部58は、平面視において円形螺旋形状に延びる部分をそれぞれ含む。

[0125] 図8Fを参照して、第7レイアウト例に係る第2中間電極52は、平面視においてドット状に形成された複数のセグメント部83を含み、格子状（網

目状)に区画された単一の除去部56を有している。つまり、第7レイアウト例では、ワイヤ受け部55において複数の第2中間電極52としての複数のセグメント部83が形成されている。

[0126] 複数のセグメント部83は、平面視において第1方向Xおよび第2方向Yに間隔を空けて行列状に配列されている。複数のセグメント部83は、平面視において多角形状(たとえば四角形状)に形成されていてもよいし、円形状に形成されていてもよい。除去部56は、平面視において第1方向Xおよび第2方向Yに延びる格子状(網目状)に区画されている。

[0127] 第2上電極53の第2端子面53aは、複数の第2隆起部57および単一の第2リセス部58を含む。複数の第2隆起部57は、平面視においてドット状(行列状)に形成された部分を含む。第2リセス部58は、平面視において格子状(網目状)に延びる部分を含む。

[0128] 図8Gを参照して、第8レイアウト例に係る第2中間電極52は、平面視においてドット状に形成された複数のセグメント部83を含み、格子状(網目状)に区画された単一の除去部56を有している。つまり、第8レイアウト例では、ワイヤ受け部55において複数の第2中間電極52としての複数のセグメント部83が形成されている。

[0129] 複数のセグメント部83は、平面視において第1方向Xおよび第2方向Yに間隔を空けて千鳥状に配列されている。具体的には、第2中間電極52は、第2方向Yに間隔を空けて形成された複数のドット部群を含む。複数のドット部群は、第1方向Xに間隔を空けて形成された複数のセグメント部83を含む。第2方向Yに隣り合う複数のドット部群に関して、一方のドット部群内の複数のセグメント部83は、平面視において他方のドット部群内の複数のセグメント部83の間の領域に第2方向Yに対向している。

[0130] 複数のセグメント部83は、平面視において多角形状(たとえば四角形状)に形成されていてもよいし、円形状に形成されていてもよい。除去部56は、平面視において第1方向Xおよび第2方向Yに延びる格子状(網目状)に区画されている。

- [0131] 第2上電極53の第2端子面53aは、複数の第2隆起部57および単一の第2リセス部58を含む。複数の第2隆起部57は、平面視においてドット状（千鳥状）に形成された部分を含む。第2リセス部58は、平面視において格子状（網目状）に延びる部分を含む。
- [0132] 図8Hを参照して、第9レイアウト例に係る第2中間電極52は、平面視においてストライプ状に形成された複数のセグメント部83を含み、ストライプ状に区画された複数の除去部56を有している。つまり、第9レイアウト例では、ワイヤ受け部55において複数の第2中間電極52としての複数のセグメント部83が形成されている。複数のセグメント部83は、平面視において第1方向Xに間隔を空けて配置され、第2方向Yに帯状にそれぞれ延びている。複数の除去部56は、平面視において第1方向Xに間隔を空けて形成され、第2方向Yに帯状にそれぞれ延びている。
- [0133] 第2上電極53の第2端子面53aは、複数の第2隆起部57および複数の第2リセス部58を含む。複数の第2隆起部57は、平面視においてストライプ状に形成された部分を含む。複数の第2リセス部58は、平面視においてストライプ状に延びる部分をそれぞれ含む。
- [0134] 第9レイアウト例に係る第2中間電極52において、第1方向Xおよび第2方向Yの関係が入れ換えられてもよい。つまり、第2中間電極52は、第1方向Xにストライプ状に延びる複数のセグメント部83および第1方向Xにストライプ状に延びる複数の除去部56を有していてもよい。
- [0135] むろん、第2中間電極52は、第1方向Xにストライプ状に延びる複数のセグメント部83および第2方向Yにストライプ状に延びる複数のセグメント部83の双方を含み、第1方向Xおよび第2方向Yに間隔を空けて行列状または千鳥状に区画された複数の除去部56を有していてもよい（図6および図8Aも併せて参照）。
- [0136] 図8Iを参照して、第10レイアウト例に係る第2中間電極52は、平面視においてジグザグ状に形成された単一のセグメント部83を含み、楕形状に区画された複数の除去部56を有している。

- [0137] 具体的には、セグメント部 8 3 は、第 1 方向 X にストライプ状に延びる複数の第 1 セグメント部 8 3 A、および、複数の第 1 セグメント部 8 3 A を接続するように第 2 方向 Y に延びる複数の第 2 セグメント部 8 3 B を含む。複数の第 2 セグメント部 8 3 B は、第 2 方向 Y に隣り合う複数の第 1 セグメント部 8 3 A の一端部、および、第 2 方向 Y に隣り合う複数の第 1 セグメント部 8 3 A の他端部を第 2 方向 Y に沿って交互に接続している。
- [0138] 複数の除去部 5 6 は、第 1 櫛部 8 4 および第 2 櫛部 8 5 を含む。第 1 櫛部 8 4 は、複数の第 1 除去部 8 4 a を有している。複数の第 1 除去部 8 4 a は、第 1 方向 X に帯状に延び、第 2 方向 Y に間隔を空けて形成されている。第 2 櫛部 8 5 は、複数の第 2 除去部 8 5 a を有している。複数の第 2 除去部 8 5 a は、第 1 方向 X に帯状に延び、第 2 方向 Y に複数の第 1 除去部 8 4 a と交互に間隔を空けて形成されている。
- [0139] 第 2 上電極 5 3 の第 2 端子面 5 3 a は、単一の第 2 隆起部 5 7 および複数の第 2 リセス部 5 8 を含む。第 2 隆起部 5 7 は、平面視においてジグザグ状に延びる部分を有している。複数の第 2 リセス部 5 8 は、平面視において櫛形状に延びる部分を有している。
- [0140] 第 1 0 レイアウト例に係る第 2 中間電極 5 2 において、第 1 方向 X および第 2 方向 Y の関係が入れ換えられてもよい。つまり、セグメント部 8 3 は、第 2 方向 Y にストライプ状に延びる複数の第 1 セグメント部 8 3 A、および、複数の第 1 セグメント部 8 3 A を接続するように第 1 方向 X に延びる複数の第 2 セグメント部 8 3 B を含でいてもよい。
- [0141] 図 8 J を参照して、第 1 1 レイアウト例に係る第 2 中間電極 5 2 は、平面視において同心の多角環状（ここでは四角環状）に形成された複数のセグメント部 8 3 を含み、平面視において同心の多角環状（ここでは四角環状）に区画された複数の除去部 5 6 を有している。つまり、第 1 1 レイアウト例では、ワイヤ受け部 5 5 において複数の第 2 中間電極 5 2 としての複数のセグメント部 8 3 が形成されている。
- [0142] 第 2 上電極 5 3 の第 2 端子面 5 3 a は、複数の第 2 隆起部 5 7 および複数

の第2リセス部58を含む。複数の第2隆起部57は、平面視において同心の多角環状（ここでは四角環状）に延びる部分をそれぞれ含む。複数の第2リセス部58は、平面視において同心の多角環状（ここでは四角環状）に延びる部分をそれぞれ含む。

[0143] 図8Kを参照して、第12レイアウト例に係る第2中間電極52は、平面視において同心の円環状に形成された複数のセグメント部83を含み、同心の円環状に区画された複数の除去部56を有している。つまり、第12レイアウト例では、ワイヤ受け部55において複数の第2中間電極52としての複数のセグメント部83が形成されている。

[0144] 第2上電極53の第2端子面53aは、複数の第2隆起部57および複数の第2リセス部58を含む。複数の第2隆起部57は、平面視において同心の円環状に延びる部分をそれぞれ含む。複数の第2リセス部58は、平面視において同心の円環状に延びる部分をそれぞれ含む。

[0145] 図8Lを参照して、第13レイアウト例に係る第2中間電極52は、平面視において異なる方向に延びる複数のセグメント部83を含み、平面視において異なる方向に延びる複数の除去部56を含む。つまり、第12レイアウト例では、ワイヤ受け部55において複数の第2中間電極52としての複数のセグメント部83が形成されている。

[0146] 複数のセグメント部83は、複数の第1セグメント部83Aおよび複数の第2セグメント部83Bを含む。複数の第1セグメント部83Aは、第1方向Xに間隔を空けて配列され、第2方向Yに帯状にそれぞれ延びている。複数の第2セグメント部83Bは、第2方向Yに間隔を空けて配列され、第1方向Xに帯状にそれぞれ延びている。複数の第2セグメント部83Bは、第1方向Xに複数の第1セグメント部83Aに対向している。

[0147] 複数の除去部56は、複数の第1除去部56Aおよび複数の第2除去部56Bを含む。複数の第1除去部56Aは、複数の第1セグメント部83Aによって区画されている。複数の第1除去部56Aは、第1方向Xに間隔を空けて形成され、第2方向Yに帯状にそれぞれ延びている。複数の第2除去部

５６Ｂは、複数の第２セグメント部８３Ｂによって区画されている。複数の第２除去部５６Ｂは、第２方向Ｙに間隔を空けて形成され、第１方向Ｘに帯状にそれぞれ延びている。

[0148] 第２上電極５３の第２端子面５３ａは、複数の第２隆起部５７および複数の第２リセス部５８を含む。複数の第２隆起部５７は、平面視において第１方向Ｘにストライプ状に延びる部分および第２方向Ｙにストライプ状に延びる部分を含む。複数の第２リセス部５８は、平面視において第１方向Ｘにストライプ状に延びる部分および第２方向Ｙにストライプ状に延びる部分を含む。

[0149] 第１３レイアウト例に係る第２中間電極５２において、第１方向Ｘおよび第２方向Ｙの関係が入れ換えられてもよい。つまり、第２中間電極５２は、第１方向Ｘにストライプ状に延びる複数の第１セグメント部８３Ａおよび第２方向Ｙにストライプ状に延びる複数の第２セグメント部８３Ｂを含んでいてもよい。この場合、複数の第２セグメント部８３Ｂは、第２方向Ｙに複数の第１セグメント部８３Ａに対向していてもよい。

[0150] 前述の第１～第１３レイアウト例は、それらの間で適宜組み合わせられることができる。たとえば、第１～第１３レイアウト例に係る第２中間電極５２の特徴のうちの少なくとも２つの特徴を同時に含む第２中間電極５２が採用されてもよい。また、第１～第１３レイアウト例に係る第２中間電極５２のうちの少なくとも２つの第２中間電極５２が同時に第２下電極５１の上に形成されていてもよい。

[0151] 以上、電子部品１は、第２下電極５１、第２中間電極５２および第２上電極５３を含む。第２中間電極５２は、第２下電極５１と凹凸を形成するように第２下電極５１の上に配置されている。第２上電極５３は、第２下電極５１および第２中間電極５２を被覆している。

[0152] 第２上電極５３は、第２中間電極５２を被覆する部分に形成された第２隆起部５７、および、第２隆起部５７よりも第２下電極５１側に窪むように第２下電極５１を被覆する部分に形成された第２リセス部５８を有している。

この構成によれば、第2上電極53に対するボンディングワイヤの密着力を向上できる。よって、信頼性を向上できる電子部品1を提供できる。

[0153] たとえば、ボンディングワイヤ接合時では、超音波振動がボンディングワイヤに付与されながらボンディングワイヤが第2上電極53に圧着される。したがって、凹凸を有する第2上電極53によれば、ボンディングワイヤに対する第2上電極53の摩擦力を高めることができると同時に、第2上電極53に対するボンディングワイヤの接触面積を増加させることができる。また、ボンディングワイヤを第2上電極53の凹凸に噛み合わせることができる。

[0154] 第2中間電極52は、第2下電極51よりも厚いことが好ましい。この構成によれば、第2中間電極52によって、第2下電極51の上に凹凸を適切に形成できる。第2上電極53は、第2中間電極52よりも厚いことが好ましい。この構成によれば、ボンディングワイヤ接合時においてボンディングワイヤが第2上電極53を貫通して第2中間電極52に接触することを適切に抑制できる。

[0155] また、ボンディングワイヤからの応力が第2上電極53を介して第2中間電極52に加えられることを抑制できる。これにより、ボンディングワイヤ接合時の応力に起因する第2中間電極52の剥離を適切に抑制できる。第2上電極53は、第2中間電極52よりも2倍以上厚いことが特に好ましい。

[0156] 複数の第2中間電極52が、断面視において間隔を空けて第2下電極51の上に配置されていることが好ましい。この場合、第2上電極53は、断面視において複数の第2隆起部57および複数の第2リセス部58を含むことが好ましい。これらの構造によれば、第2上電極53に対するボンディングワイヤの密着力を適切に向上できる。

[0157] 電子部品1は、絶縁主面26を有する主面絶縁膜25を含むことが好ましい。この場合、第2下電極51は、絶縁主面26を被覆していることが好ましい。この構成によれば、絶縁主面26を被覆する第2下電極51の上において、第2中間電極52によって凹凸を形成できる。

- [0158] 電子部品 1 は、主面絶縁膜 25 に形成された複数の貫通孔 31 を含む第 1 領域 30、および、第 1 領域 30 外において絶縁主面 26 の平坦部を含む第 2 領域 32 を含むことが好ましい。この構成において、第 2 下電極 51 は、第 2 領域 32 において絶縁主面 26 の平坦部を被覆していることが好ましい。この構成によれば、絶縁主面 26 の平坦部を被覆する第 2 下電極 51 の上において、第 2 中間電極 52 によって凹凸を形成できる。
- [0159] 別視点において、電子部品 1 は、主面絶縁膜 25、第 1 領域 30、第 2 領域 32、ソースパッド電極 40（第 1 端子電極）およびゲートパッド電極 50（第 2 端子電極）を含む。主面絶縁膜 25 は、絶縁主面 26 を有している。第 1 領域 30 は、主面絶縁膜 25 に形成された複数の貫通孔 31 を含む。第 2 領域 32 は、第 1 領域 30 外において絶縁主面 26 の平坦部によって形成されている。
- [0160] ソースパッド電極 40 は、第 1 下電極 41、複数の第 1 中間電極 42 および第 1 上電極 43 を有している。第 1 下電極 41 は、第 1 領域 30 において絶縁主面 26 および複数の貫通孔 31 を膜状に被覆している。複数の第 1 中間電極 42 は、第 1 下電極 41 を挟んで複数の貫通孔 31 内に配置されている。第 1 上電極 43 は、第 1 下電極 41 および複数の第 1 中間電極 42 を被覆している。
- [0161] ゲートパッド電極 50 は、第 2 下電極 51、第 2 中間電極 52 および第 2 上電極 53 を有している。第 2 下電極 51 は、第 2 領域 32 において絶縁主面 26 を膜状に被覆している。第 2 中間電極 52 は、第 2 下電極 51 と凹凸を形成するように第 2 下電極 51 の上に配置されている。第 2 上電極 53 は、第 2 下電極 51 および第 2 中間電極 52 を被覆している。
- [0162] この構成によれば、複数の貫通孔 31 を利用してソースパッド電極 40（第 1 端子面 43a）に凹凸を形成できる、また、第 2 中間電極 52 を利用してゲートパッド電極 50（第 2 端子面 53a）に凹凸を形成できる。これにより、ソースパッド電極 40 に対するボンディングワイヤの密着力を向上でき、ゲートパッド電極 50 に対するボンディングワイヤの密着力を向上でき

る。よって、信頼性を向上できる電子部品 1 を提供できる。

[0163] 第 1 上電極 4 3 は、第 1 下電極 4 1 を被覆する部分に形成された第 1 隆起部 4 7、および、第 1 隆起部 4 7 よりも複数の第 1 中間電極 4 2 側に窪むように複数の第 1 中間電極 4 2 を被覆する部分に形成された複数の第 1 リセス部 4 8 を有していることが好ましい。この構成によれば、ソースパッド電極 4 0 に対するボンディングワイヤの密着力を適切に向上できる。

[0164] 第 2 上電極 5 3 は、第 2 中間電極 5 2 を被覆する部分に形成された第 2 隆起部 5 7、および、第 2 隆起部 5 7 よりも第 1 下電極 4 1 側に窪むように第 1 下電極 4 1 を被覆する部分に形成された第 2 リセス部 5 8 を有していることが好ましい。この構成によれば、ゲートパッド電極 5 0 に対するボンディングワイヤの密着力を適切に向上できる。

[0165] 電子部品 1 は、第 1 主面 3 を有するチップ 2 を含むことが好ましい。この場合、主面絶縁膜 2 5 は、第 1 主面 3 を被覆していることが好ましい。電子部品 1 は、第 1 主面 3 に設けられたデバイス領域 8、および、第 1 主面 3 においてデバイス領域 8 外に設けられた非デバイス領域 9 を含むことが好ましい。この場合、電子部品 1 は、デバイス領域 8 において第 1 主面 3 に形成されたトランジスタ T_r （機能デバイス）を含むことが好ましい。

[0166] 主面絶縁膜 2 5 は、デバイス領域 8 および非デバイス領域 9 を被覆していることが好ましい。第 1 領域 3 0 は、主面絶縁膜 2 5 のうちデバイス領域 8 を被覆する部分に形成されていることが好ましい。第 2 領域 3 2 は、主面絶縁膜 2 5 のうち非デバイス領域 9 を被覆する部分に形成されていることが好ましい。

[0167] 第 2 下電極 5 1 は、主面絶縁膜 2 5 を挟んで非デバイス領域 9 を被覆していることが好ましい。第 2 下電極 5 1 は、トランジスタ T_r に電氣的に接続されていることが好ましい。つまり、第 2 中間電極 5 2 は第 2 下電極 5 1 を介してトランジスタ T_r に電氣的に接続され、第 2 上電極 5 3 は第 1 中間電極 4 2 および第 2 下電極 5 1 を介してトランジスタ T_r に電氣的に接続されていることが好ましい。

[0168] 非デバイス領域 9 は、第 1 主面 3 の平坦部を含むことが好ましい。主面絶縁膜 25 は、非デバイス領域 9 において第 1 主面 3 の平坦部を被覆していることが好ましい。第 2 下電極 51 は、主面絶縁膜 25 を挟んで第 1 主面 3 の平坦部を被覆していることが好ましい。この構成によれば、非デバイス領域 9 側の構造に起因して平坦な主面絶縁膜 25 および平坦な第 2 下電極 51 が形成される。したがって、非デバイス領域 9 における平坦な第 2 下電極 51 の上において、第 2 中間電極 52 によって凹凸を形成できる。

[0169] トランジスタ Tr は、トレンチゲート型であることが好ましい。つまり、トランジスタ Tr は、第 1 主面 3 に形成された第 1 トレンチ構造 13（トレンチゲート構造）を有していることが好ましい。トランジスタ Tr は、第 1 トレンチ構造 13 に隣り合うように第 1 主面 3 に形成された第 2 トレンチ構造 18（トレンチソース構造）を有していてもよい。前述の主面絶縁膜 25 は、第 1 トレンチ構造 13 を被覆していることが好ましい。前述の貫通孔 31 は、第 2 トレンチ構造 18 を露出させていることが好ましい。

[0170] 図 9 は、図 1 に示す電子部品 1 が搭載された電子モジュール 101 を示す斜視図である。図 10 は、図 9 に示す電子モジュール 101 の内部構造を示す透過平面図である。図 11 は、図 10 に示す XI-XI 線に沿う概略断面図である。図 12 は、ソースパッド電極 40 および第 1 ボンディングワイヤ 120 の接合部を示す拡大断面図である。図 13 は、ゲートパッド電極 50 および第 2 ボンディングワイヤ 130 の接合部を示す拡大断面図である。電子モジュール 101 は、「半導体モジュール」または「半導体パッケージ」と称されてもよい。

[0171] 図 9～図 13 を参照して、電子モジュール 101 は、この形態では、TO-220 のパッケージ形態を有している。電子モジュール 101 のパッケージ形態は任意である。電子モジュール 101 は、六面体形状（具体的には直方体形状）に形成された樹脂製のパッケージ本体 102 を含む。パッケージ本体 102 は、熱硬化性樹脂（たとえばエポキシ樹脂）を含んでいてもよい。

- [0172] パッケージ本体 102 は、一方側の第 1 面 103、他方側の第 2 面 104、ならびに、第 1 面 103 および第 2 面 104 を接続する第 1～第 4 側壁 105A～105D を有している。第 1 面 103 および第 2 面 104 は、それらの法線方向 Z から見た平面視において四角形状に形成されている。第 1 側壁 105A および第 2 側壁 105B は、第 1 方向 X に延び、第 1 方向 X に直交する第 2 方向 Y に対向している。第 3 側壁 105C および第 4 側壁 105D は、第 2 方向 Y に延び、第 1 方向 X に対向している。
- [0173] 電子モジュール 101 は、パッケージ本体 102 内に配置された金属製のダイパッド 106（金属板）を含む。ダイパッド 106 は、第 2 面 104 から露出しているもよい。ダイパッド 106 は、支持部 107 および引き出し部 108 を含む。支持部 107 は、パッケージ本体 102 内に配置されている。引き出し部 108 は、第 1 側壁 105A を貫通するように支持部 107 から第 1 側壁 105A 側に向けて引き出され、パッケージ本体 102 の外部に位置している。引き出し部 108 は、円形の貫通孔 109 を有している。
- [0174] 電子モジュール 101 は、パッケージ本体 102 の内部から外部に引き出された複数（この形態では 3 個）の金属製の端子 110 を含む。複数の端子 110 は、ダイパッド 106 に対して第 2 側壁 105B 側に配置されている。複数の端子 110 は、第 2 側壁 105B の直交方向（つまり第 2 方向 Y）に帯状にそれぞれ延びている。
- [0175] 複数の端子 110 は、ソース端子 111、ゲート端子 112 およびドレイン端子 113 を含む。この形態では、ソース端子 111 が第 4 側壁 105D 側に配置され、ゲート端子 112 が第 3 側壁 105C 側に配置され、ドレイン端子 113 がソース端子 111 およびゲート端子 112 の間に配置されている。ドレイン端子 113 は、ダイパッド 106 に接続されている。ソース端子 111、ゲート端子 112 およびドレイン端子 113 の配置箇所は、任意である。
- [0176] 電子モジュール 101 は、パッケージ本体 102 内においてダイパッド 106（支持部 107）の上に配置された前述の電子部品 1 を含む。電子部品

1は、ドレインパッド電極70をダイパッド106に向けた姿勢でダイパッド106の上に配置されている。ドレインパッド電極70は、ダイパッド106およびドレイン端子113に電氣的に接続されている。

[0177] 電子モジュール101は、ダイパッド106（支持部107）およびドレインパッド電極70の間に介在された導電接着剤114を含む。導電接着剤114は、半田または金属ペーストを含んでいてもよい。半田は、鉛フリー半田であってもよい。金属ペーストは、Auペースト、AgペーストおよびCuペーストのうちの少なくとも1つを含んでいてもよい。

[0178] 電子モジュール101は、パッケージ本体102内においてソースパッド電極40およびソース端子111に電氣的および機械的に接続され少なくとも1つ（この形態では2つ）の第1ボンディングワイヤ120を含む。第1ボンディングワイヤ120は、金ワイヤ、銅ワイヤおよびアルミニウムワイヤのうちの少なくとも1つを含んでいてもよい。

[0179] 図10および図11を参照して、各第1ボンディングワイヤ120は、第1バンプ121、第1ワイヤループ122および第1ワイヤテール123を含む。第1バンプ121は、第1ボンディングワイヤ120の一端部を形成し、ソースパッド電極40に圧着された金属塊部からなる。第1ワイヤループ122は、第1バンプ121およびソース端子111の間の領域をアーチ状に延びるワイヤ部である。第1ワイヤテール123は、第1ボンディングワイヤ120の他端部を形成し、ソース端子111に膜状に圧着されたワイヤ端部である。

[0180] 図12を参照して、第1バンプ121は、ソースパッド電極40よりも厚い。第1バンプ121の厚さは、 $10\mu\text{m}$ ~ $150\mu\text{m}$ 以下であってもよい。第1バンプ121の厚さは、 $50\mu\text{m}$ 以上であることが特に好ましい。第1バンプ121は、第1ボディ部124および第1ネック部125を含む。

[0181] 第1ボディ部124は、ソースパッド電極40に接続された幅広部からなる。第1ボディ部124は、断面視において外方に向けて湾曲した側壁を有する略円柱状に形成されている。第1ボディ部124は、ソースパッド電極

40よりも厚いことが好ましい。第1ネック部125は、第1ボディ部124からソースパッド電極40は反対側に向けて第1ボディ部124よりも幅狭に突出した部分からなる。第1ネック部125は、断面視において略円柱状に形成されている。第1ネック部125は、ソースパッド電極40よりも厚いことが好ましい。

[0182] 第1バンプ121は、第1上電極43を挟んで第1下電極41および複数の第1中間電極42に対向し、第1上電極43を介して第1下電極41および複数の第1中間電極42に電氣的に接続されている。第1バンプ121は、第1上電極43のみに接続され、第1下電極41および複数の第1中間電極42には接合されていない。

[0183] 第1バンプ121は、第1上電極43（第1端子面43a）に対する接合面において、断面視で複数の第1ワイヤリセス部126および複数の第1ワイヤ隆起部127を含む。複数の第1ワイヤリセス部126は、複数の第1隆起部47との接合部に形成され、複数の第1隆起部47に沿って第1上電極43とは反対側（第1ネック部125側）に向けて窪んでいる。複数の第1ワイヤリセス部126は、厚さ方向に複数の貫通孔31外の領域に対向している。具体的には、複数の第1ワイヤリセス部126は、厚さ方向に複数の第1トレンチ構造13に対向している。

[0184] 複数の第1ワイヤ隆起部127は、複数の第1リセス部48との接合部に形成され、複数の第1リセス部48に沿って複数の第1中間電極42（複数の貫通孔31）側に向けて隆起している。つまり、複数の第1ワイヤ隆起部127は、厚さ方向に複数の貫通孔31（第2トレンチ構造18）に対向している。

[0185] このように、第1バンプ121の複数の第1ワイヤリセス部126および複数の第1ワイヤ隆起部127は、第1上電極43（第1端子面43a）の複数の第1隆起部47および複数の第1リセス部48に噛み合っている。これにより、第1上電極43に対する第1バンプ121（第1ボンディングワイヤ120）の密着力が向上されている。

- [0186] 電子部品 1 は、ソースパッド電極 40 に形成された第 1 パッド隆起部 128 を含む。第 1 パッド隆起部 128 は、ソースパッド電極 40 における第 1 ボンディングワイヤ 120（第 1 バンプ 121）の接合縁部に形成され、ソースパッド電極 40 一部が複数の第 1 リセス部 48 よりも厚化した部分からなる。
- [0187] 典型的には、第 1 パッド隆起部 128 は、複数の第 1 隆起部 47 よりも厚化した部分からなる。第 1 パッド隆起部 128 は、平面視において第 1 バンプ 121 の縁部（接合縁部）に沿って環状に延びている。第 1 パッド隆起部 128 の少なくとも一部は、厚さ方向に第 1 バンプ 121 の周縁部に対向している。
- [0188] 図 10 および図 11 を参照して、電子モジュール 101 は、パッケージ本体 102 内においてゲートパッド電極 50 およびゲート端子 112 に電気的および機械的に接続された少なくとも 1 つ（この形態では 1 つ）の第 2 ボンディングワイヤ 130 を含む。
- [0189] 第 2 ボンディングワイヤ 130 は、金ワイヤ、銅ワイヤおよびアルミニウムワイヤのうちの少なくとも 1 つを含んでいてもよい。第 2 ボンディングワイヤ 130 は、第 1 ボンディングワイヤ 120 と同種の金属材料によって形成されていてもよい。むしろ、第 2 ボンディングワイヤ 130 は、第 1 ボンディングワイヤ 120 とは異なる金属材料によって形成されていてもよい。
- [0190] 各第 2 ボンディングワイヤ 130 は、第 2 バンプ 131、第 2 ワイヤループ 132 および第 2 ワイヤテール 133 を含む。第 2 バンプ 131 は、第 2 ボンディングワイヤ 130 の一端部を形成し、ゲートパッド電極 50 に圧着された金属塊部からなる。第 2 ワイヤループ 132 は、第 2 バンプ 131 およびゲート端子 112 の間の領域をアーチ状に延びるワイヤ部である。第 2 ワイヤテール 133 は、第 2 ボンディングワイヤ 130 の他端部を形成し、ゲート端子 112 に膜状に圧着されたワイヤ端部である。
- [0191] 図 13 を参照して、第 2 バンプ 131 は、ゲートパッド電極 50 よりも厚い。第 2 バンプ 131 の厚さは、 $10\ \mu\text{m}$ $150\ \mu\text{m}$ 以下であってもよい。

第2バンプ131の厚さは、50 μ m以上であることが特に好ましい。第2バンプ131は、第2ボディ部134および第2ネック部135を含む。

[0192] 第2ボディ部134は、ゲートパッド電極50に接続された幅広部からなる。第2ボディ部134は、断面視において外方に向けて湾曲した側壁を有する略円柱状に形成されている。第2ボディ部134は、ゲートパッド電極50よりも厚いことが好ましい。第2ネック部135は、第2ボディ部134からゲートパッド電極50は反対側に向けて第2ボディ部134よりも幅狭に突出した部分からなる。第2ネック部135は、断面視において略円柱状に形成されている。第2ネック部135は、ゲートパッド電極50よりも厚いことが好ましい。

[0193] 第2バンプ131は、第2上電極53を挟んで第2下電極51および複数の第2中間電極52に対向し、第2上電極53を介して第2下電極51および複数の第2中間電極52に電氣的に接続されている。第2バンプ131は、第2上電極53のみに接続され、第2下電極51および複数の第2中間電極52には接合されていない。

[0194] 第2バンプ131は、第2上電極53（第2端子面53a）に対する接合面において、断面視で複数の第2ワイヤリセス部136および複数の第2ワイヤ隆起部137を含む。複数の第2ワイヤリセス部136は、複数の第2隆起部57との接合部に形成され、複数の第2隆起部57に沿って第2上電極53とは反対側（第2ネック部135側）に向けて窪んでいる。複数の第2ワイヤリセス部136は、第1～第13レイアウト例に係る第2中間電極52（図6～図8L参照）に対応した平面パターンで窪んでいる。複数の第2ワイヤリセス部136は、厚さ方向に複数の第2中間電極52に対向している。

[0195] 複数の第2ワイヤ隆起部137は、複数の第2リセス部58との接合部に形成され、複数の第2リセス部58に沿って複数の除去部56側に向けて隆起している。複数の第2ワイヤ隆起部137は、第1～第13レイアウト例に係る除去部56（図6～図8L参照）に対応した平面パターンで窪んでい

る。複数の第2ワイヤ隆起部137は、厚さ方向に第2下電極51に対向している。

[0196] 第2上電極53の接合後厚さは、第2下電極51の厚さよりも大きいことが好ましい。接合後厚さは、第2上電極53における第2ボンディングワイヤ130（第2ワイヤリセス部136）および第2中間電極52の間の法線方向Zに沿う厚さである。接合後厚さは、第2中間電極52の厚さよりも大きいことが好ましい。接合後厚さは、第2中間電極52の厚さの2倍以上20倍以下であることが好ましい。接合後厚さは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。接合後厚さは、 $3\mu\text{m}$ 以上 $8\mu\text{m}$ 以下であることが好ましい。

[0197] 第2バンプ131は、第1バンプ121のサイズ（径）よりも小さいサイズ（径）を有していてもよい。むしろ、第2バンプ131のサイズは、第1バンプ121のサイズよりも大きいてもよい。また、第2バンプ131のサイズは、第1バンプ121のサイズとほぼ等しくてもよい。

[0198] このように、第2バンプ131の複数の第2ワイヤリセス部136および複数の第2ワイヤ隆起部137は、第2上電極53（第2端子面53a）の複数の第2隆起部57および複数の第2リセス部58に噛み合っている。これにより、第2上電極53に対する第2バンプ131（第2ボンディングワイヤ130）の密着力が向上されている。

[0199] 電子部品1は、ゲートパッド電極50に形成された第2パッド隆起部138を含む。第2パッド隆起部138は、ゲートパッド電極50における第2ボンディングワイヤ130（第2バンプ131）の接合縁部に形成され、ゲートパッド電極50の一部が複数の第2リセス部58よりも厚化した部分からなる。

[0200] 典型的には、第2パッド隆起部138は、複数の第2隆起部57よりも厚化した部分からなる。第2パッド隆起部138は、平面視において第2バンプ131の縁部（接合縁部）に沿って環状に延びている。第2パッド隆起部138の少なくとも一部は、厚さ方向に第2バンプ131の周縁部に対向し

ている。

[0201] 以上、電子モジュール101は、第2下電極51、第2中間電極52、第2上電極53および第2ボンディングワイヤ130（ワイヤ）を含む。第2中間電極52は、第2下電極51と凹凸を形成するように第2下電極51の上に配置されている。第2上電極53は、凹凸を埋めて第2下電極51および第2中間電極52を被覆している。第2ボンディングワイヤ130は、第2上電極53を挟んで第2下電極51および第2中間電極52に対向するように第2上電極53に接合されている。

[0202] この構成によれば、第2下電極51と凹凸を形成する第2中間電極52を利用して凹凸を有する第2上電極53（第2端子面53a）を形成できる。これにより、凹凸を有する第2上電極53に対して第2ボンディングワイヤ130を接合させることができる。その結果、第2上電極53に対する第2ボンディングワイヤ130の密着力を向上できる。よって、信頼性を向上できる電子モジュール101を提供できる。

[0203] たとえば、第2ボンディングワイヤ130の接合時では、超音波振動が第2ボンディングワイヤ130に付与されながら第2ボンディングワイヤ130が第2上電極53に圧着される。したがって、凹凸を有する第2上電極53によれば、第2ボンディングワイヤ130に対する第2上電極53の摩擦力を高めることができると同時に、第2上電極53に対する第2ボンディングワイヤ130の接触面積を増加させることができる。また、第2ボンディングワイヤ130を第2上電極53の凹凸に噛み合わせることができる。

[0204] 第2ボンディングワイヤ130は、第2中間電極52に接触していないことが好ましい。この構成によれば、第2ボンディングワイヤ130の接合に起因する第2中間電極52の剥離を抑制できる。第2上電極53における第2ボンディングワイヤ130および第2中間電極52の間の法線方向Zに沿う厚さ（第2上電極53の接合後厚さ）は、第2中間電極52の厚さよりも大きいことが好ましい。この構成によれば、第2ボンディングワイヤ130の接合時の応力に起因する第2中間電極52の剥離を適切に抑制できる。

[0205] 第2上電極53は、第2中間電極52を被覆する第2隆起部57、および、第2隆起部57よりも第2下電極51側に窪むように第2下電極51を被覆する第2リセス部58を有していることが好ましい。この場合、第2ボンディングワイヤ130は、第2隆起部57に沿って第2上電極53とは反対側に窪むように第2隆起部57との接合部に形成された第2ワイヤリセス部136、および、第2リセス部58に沿って第2上電極53側に隆起するように第2リセス部58との接合部に形成された第2ワイヤ隆起部137を有していることが好ましい。

[0206] この構成によれば、第2ボンディングワイヤ130の第2ワイヤリセス部136および第2ワイヤ隆起部137を、第2上電極53の第2隆起部57および第2リセス部58に噛み合わせることができる。これにより、第2上電極53に対する第2ボンディングワイヤ130の密着力を適切に向上できる。その他、電子モジュール101は、電子部品1に対して述べられた種々の効果を享受されることができる。

[0207] 以下、前述の電子部品1に適用される種々の変形例が示される。図14は、ソースパッド電極40の変形例を示す拡大断面図である。図14を参照して、ソースパッド電極40は、複数の第1中間電極42と共に1つの電極を形成するように複数の第1中間電極42に接続された中間接続電極140を含んでいてもよい。中間接続電極140は、第1中間電極42と同様、W（タングステン）系金属膜を含む。

[0208] 中間接続電極140は、第1下電極41のうち複数の貫通孔31外の領域に位置する部分を被覆している。つまり、中間接続電極140は、第1下電極41を挟んで絶縁主面26を被覆するように第1下電極41の上に形成されている。複数の電極リセス部44は、複数の第1中間電極42および中間接続電極140によって区画されている。複数の電極リセス部44の底部は、主面絶縁膜25（絶縁主面26）よりも上方に位置していてもよい。複数の電極リセス部44の底部は、複数の貫通孔31内に位置していてもよい。

[0209] 中間接続電極140は、第2下電極51よりも厚いことが好ましい。中間

接続電極 140 の厚さは、第 1 下電極 41 を基準とする法線方向 Z に沿う厚さである。中間接続電極 140 の厚さは、第 2 下電極 51 の厚さの 2 倍以上 10 倍以下であることが好ましい。中間接続電極 140 の厚さは、200 nm 以上 1000 nm 以下であってもよい。中間接続電極 140 の厚さは、400 nm 以上 800 nm 以下であることが好ましい。前述のゲートパッド電極 50 の第 2 中間電極 52 は、ソースパッド電極 40 の中間接続電極 140 とほぼ等しい厚さを有していてもよい。

[0210] 図 15 は、ゲートパッド電極 50 の第 1 変形例を示す拡大断面図である。図 15 を参照して、前述のパッド領域 10 は、平面視において第 1 主面 3 の任意の角部に沿う領域に設けられていてもよい。この場合、ゲートパッド電極 50 は、平面視において第 1 主面 3 の任意の角部に沿う領域に配置される。

[0211] 図 16 は、ゲートパッド電極 50 の第 2 変形例を示す拡大断面図である。図 16 を参照して、前述のパッド領域 10 は、平面視において第 1 主面 3 の中央部に設けられていてもよい。この場合、ゲートパッド電極 50 は、平面視において第 1 主面 3 の中央部に沿う領域に配置される。

[0212] 少なくとも 1 つ（この形態では複数）のゲート配線電極 60 は、平面視においてゲートパッド電極 50 から第 1 主面 3 の周縁部に向けて引き出される。ゲート配線電極 60 の個数および引き出し方向は任意である。少なくとも 2 つのゲート配線電極 60 が第 1 方向 X および第 2 方向 Y のいずれか一方または双方に引き出されていることが好ましい。

[0213] 以上、実施形態が説明されたが、実施形態はさらに他の形態で実施可能である。たとえば、前述の実施形態において、第 2 トレンチ構造 18 を有さないトランジスタ T_r が採用されてもよい。また、前述の実施形態において、トレンチゲート型のトランジスタ T_r に代えてプレーナゲート型のトランジスタ T_r が形成されていてもよい。

[0214] また、前述の実施形態において、主面絶縁膜 25 側からこの順に積層された第 2 下電極 51、第 2 中間電極 52 および第 2 上電極 53 を含む積層構造

を有するゲート配線電極 60 が採用されてもよい。

[0215] また、前述の実施形態において、第 1 上電極 43 を被覆する第 1 めっき膜を含むソースパッド電極 40 が採用されてもよい。この場合、第 1 めっき膜は、第 1 上電極 43 の複数の第 1 隆起部 47 および複数の第 1 隆起部 47 に倣って膜状に形成される。第 1 めっき膜は、Ni めっき膜、Pd めっき膜および Au めっき膜のうちの少なくとも 1 つを含んでいてもよい。第 1 めっき膜は、第 1 上電極 43 側からこの順に積層された Ni めっき膜および Au めっき膜を含む積層構造を有していてもよい。第 1 めっき膜は、Ni めっき膜および Au めっき膜の間に介在された Pd めっき膜を含んでいてもよい。

[0216] また、前述の実施形態において、第 2 上電極 53 を被覆する第 2 めっき膜を含むゲートパッド電極 50 が採用されてもよい。この場合、第 2 めっき膜は、第 2 上電極 53 の複数の第 2 隆起部 57 および複数の第 2 隆起部 57 に倣って膜状に形成される。第 2 めっき膜は、Ni めっき膜、Pd めっき膜および Au めっき膜のうちの少なくとも 1 つを含んでいてもよい。第 2 めっき膜は、第 2 上電極 53 側からこの順に積層された Ni めっき膜および Au めっき膜を含む積層構造を有していてもよい。第 2 めっき膜は、Ni めっき膜および Au めっき膜の間に介在された Pd めっき膜を含んでいてもよい。

[0217] 前述の実施形態では、第 1 導電型が n 型であり、第 2 導電型が p 型である例が示された。しかし、第 1 導電型が p 型、第 2 導電型が n 型であってもよい。この場合の具体的な構成は、前述の説明および添付図面において、n 型領域を p 型領域に置き換え、p 型領域を n 型領域に置き換えることによって得られる。

[0218] 前述の実施形態では、n 型の第 2 半導体領域 7 が示された。しかし、p 型の第 2 半導体領域 7 が採用されてもよい。この場合、MISFET に代えて IGBT (Insulated Gate Bipolar Transistor) 構造が形成される。この場合の具体的な構成は、前述の説明において、「ソース」を「エミッタ」に置き換え、「ドレイン」を「コレクタ」に置き換えることによって得られる。この場合、n 型の第 1 半導体領域 6 は n 型の半導体基板からなり、p 型の第

2半導体領域7はイオン注入法によって第2主面4の表層部に形成されたp型の不純物領域であってもよい。

[0219] 以下、この明細書および添付図面から抽出される特徴例が示される。以下、括弧内の英数字は前述の実施形態における対応構成要素等を表すが、各項目（Clause）の範囲を実施形態に限定する趣旨ではない。以下の項目に係る「電子部品」は、必要に応じて「半導体装置」または「SiC半導体装置」に置き換えられてもよい。また、以下の項目に係る「電子モジュール」は、必要に応じて「半導体モジュール」または「半導体パッケージ」に置き換えられてもよい。

[0220] [A1] 下電極（51）と、前記下電極（51）と凹凸（54）を形成するように前記下電極（51）の上に配置された中間電極（52）と、前記中間電極（52）を被覆する部分に形成された隆起部（57）、および、前記隆起部（57）よりも前記下電極（51）側に窪むように前記下電極（51）を被覆する部分に形成されたりセス部（58）を有する上電極（53）と、を含む、電子部品（1）。

[0221] [A2] 前記中間電極（52）は、前記下電極（51）よりも厚く、前記上電極（53）は、前記中間電極（52）よりも厚い、A1に記載の電子部品（1）。

[0222] [A3] 前記上電極（53）は、前記中間電極（52）よりも2倍以上厚い、A2に記載の電子部品（1）。

[0223] [A4] 断面視において、複数の前記中間電極（52）が前記下電極（51）の上に配置されている、A1～A3のいずれか一つに記載の電子部品（1）。

[0224] [A5] 絶縁主面（26）を有する絶縁膜（25）をさらに含み、前記下電極（51）は、前記絶縁主面（26）を被覆している、A1～A4のいずれか一つに記載の電子部品（1）。

[0225] [A6] 前記絶縁膜（25）に形成された複数の貫通孔（31）を含む第1領域（30）と、前記第1領域（30）外において前記絶縁主面（26）

の平坦部を含む第2領域（32）と、をさらに含み、前記下電極（51）は、前記第2領域（32）において前記絶縁主面（26）の前記平坦部を被覆している、A5に記載の電子部品（1）。

[0226] [A7] 主面（3）を有するチップ（2）をさらに含み、前記絶縁膜（25）は、前記チップ（2）を被覆している、A5またはA6に記載の電子部品（1）。

[0227] [A8] 前記主面（3）に設けられたデバイス領域（8）と、前記主面（3）において前記デバイス領域（8）外に設けられた非デバイス領域（9）と、前記デバイス領域（8）において前記主面（3）に形成された機能デバイス（Tr）と、をさらに含み、前記絶縁膜（25）は、前記デバイス領域（8）および前記非デバイス領域（9）を被覆し、前記下電極（51）は、前記絶縁膜（25）を挟んで前記非デバイス領域（9）を被覆している、A7に記載の電子部品（1）。

[0228] [A9] 前記非デバイス領域（9）は、前記主面（3）の平坦部を含み、前記絶縁膜（25）は、前記非デバイス領域（9）において前記主面（3）の前記平坦部を被覆し、前記下電極（51）は、前記絶縁膜（25）を挟んで前記主面（3）の前記平坦部を被覆している、A8に記載の電子部品（1）。

[0229] [A10] 絶縁主面（26）を有する絶縁膜（25）と、前記絶縁膜（25）に形成された複数の貫通孔（31）を含む第1領域（30）と、前記第1領域（30）外において前記絶縁主面（26）の平坦部を含む第2領域（32）と、前記第1領域（30）において前記絶縁主面（26）および複数の前記貫通孔（31）を膜状に被覆する第1下電極（41）、前記第1下電極（41）を挟んで複数の前記貫通孔（31）内に配置された複数の第1中間電極（42）、ならびに、前記第1下電極（41）および複数の前記第1中間電極（42）を被覆する第1上電極（43）を有する第1端子電極（40）と、前記第2領域（32）において前記絶縁主面（26）を膜状に被覆する第2下電極（51）、前記第2下電極（51）と凹凸（54）を形成す

るように前記第2下電極（51）の上に配置された第2中間電極（52）、
ならびに、前記第2下電極（51）および前記第2中間電極（52）を被覆
する第2上電極（53）を有する第2端子電極（50）と、を含む、電子部
品（1）。

[0230] [A11] 前記第1上電極（43）は、前記第1下電極（41）を被覆す
る部分に形成された第1隆起部（47）、および、前記第1隆起部（47）
よりも複数の前記第1中間電極（42）側に窪むように複数の前記第1中間
電極（42）を被覆する部分に形成された複数の第1リセス部（48）を有
し、前記第2上電極（53）は、前記第2中間電極（52）を被覆する部分
に形成された第2隆起部（57）、および、前記第2隆起部（57）よりも
前記第2下電極（51）側に窪むように前記第2下電極（51）を被覆する
部分に形成された第2リセス部（58）を有している、A10に記載の電子
部品（1）。

[0231] [A12] 前記第2端子電極（50）は、断面視において前記第2下電極
（51）の上に配置された複数の前記第2中間電極（52）を含む、A10
またはA11に記載の電子部品（1）。

[0232] [A13] 前記第2中間電極（52）は、前記第2下電極（51）よりも
厚く、前記第2上電極（53）は、前記第2中間電極（52）よりも厚い、
A10～A12のいずれか一つに記載の電子部品（1）。

[0233] [A14] 前記第2上電極（53）は、前記第2中間電極（52）よりも
2倍以上厚い、A13に記載の電子部品（1）。

[0234] [A15] 前記第2下電極（51）は、前記第1下電極（41）と同一の
電極材料を含み、前記第2中間電極（52）は、前記第1中間電極（42）
と同一の電極材料を含み、前記第2上電極（53）は、前記第1上電極（4
3）と同一の電極材料を含む、A10～A14のいずれか一つに記載の電子
部品（1）。

[0235] [A16] 主面（3）を有するチップ（2）をさらに含み、前記絶縁膜（
25）は、前記チップ（2）を被覆している、A10～A15のいずれか一

つに記載の電子部品（１）。

[0236] [A 1 7] 前記チップ（２）に設けられたデバイス領域（８）と、前記チップ（２）において前記デバイス領域（８）外に設けられた非デバイス領域（９）と、前記デバイス領域（８）において前記チップ（２）に形成された機能デバイス（Ｔｒ）と、をさらに含み、前記絶縁膜（２５）は、前記デバイス領域（８）および前記非デバイス領域（９）を被覆し、前記第１領域（３０）は、前記絶縁膜（２５）のうち前記デバイス領域（８）を被覆する部分に形成され、前記第２領域（３２）は、前記絶縁膜（２５）のうち前記非デバイス領域（９）を被覆する部分に形成されている、Ａ１６に記載の電子部品（１）。

[0237] [A 1 8] 下電極（５１）と、前記下電極（５１）と凹凸（５４）を形成するように前記下電極（５１）の上に配置された中間電極（５２）と、前記凹凸（５４）を埋めて前記下電極（５１）および前記中間電極（５２）を被覆する上電極（５３）と、前記上電極（５３）を挟んで前記下電極（５１）および前記中間電極（５２）に対向するように前記上電極（５３）に接合されたワイヤ（１３０）と、を含む、電子モジュール（１０１）。

[0238] [A 1 9] 前記ワイヤ（１３０）は、前記中間電極（５２）に接触していない、Ａ１８に記載の電子モジュール（１０１）。

[0239] [A 2 0] 前記上電極（５３）は、前記中間電極（５２）を被覆する部分に形成された隆起部（５７）、および、前記隆起部（５７）よりも前記下電極（５１）側に窪むように前記下電極（５１）を被覆する部分に形成されたリセス部（５８）を有し、前記ワイヤ（１３０）は、前記隆起部（５７）に沿って前記上電極（５３）とは反対側に窪むように前記隆起部（５７）との接合部に形成されたワイヤリセス部（１３６）、および、前記リセス部（５８）に沿って前記上電極（５３）側に隆起するように前記リセス部（５８）との接合部に形成されたワイヤ隆起部（１３７）を有している、Ａ１８またはＡ１９に記載の電子モジュール（１０１）。

[0240] [B 1] 絶縁主面（２６）を有する絶縁膜（２５）と、凹凸（４７、４８

）が形成された第1端子面（43a）を有し、前記絶縁主面（26）の上に配置された第1端子電極（40）と、凹凸（57、58）が形成された第2端子面（53a）を有し、前記第1端子電極（40）から間隔を空けて前記絶縁主面（26）の上に配置された第2端子電極（50）と、を含む、電子部品（1）。

[0241] [B2] 前記絶縁膜（25）に形成された複数の貫通孔（31）を含む第1領域（30）と、前記第1領域（30）外において前記絶縁主面（26）の平坦部を含む第2領域（32）と、をさらに含み、前記第1端子電極（40）は、前記第1領域（30）において前記絶縁主面（26）の上に配置され、前記第2端子電極（50）は、前記第2領域（32）において前記絶縁主面（26）の上に配置されている、B1に記載の電子部品（1）。

[0242] [B3] 前記第1端子電極（40）は、前記第1領域（30）において前記絶縁主面（26）および複数の前記貫通孔（31）を膜状に被覆する第1下電極（41）、前記第1下電極（41）を挟んで複数の前記貫通孔（31）内に配置された複数の第1中間電極（42）、ならびに、前記第1下電極（41）および複数の前記第1中間電極（42）を被覆する第1上電極（43）を有し、前記第2端子電極（50）は、前記第2領域（32）において前記絶縁主面（26）を膜状に被覆する第2下電極（51）、前記第2下電極（51）と凹凸（54）を形成するように前記第2下電極（51）の上に配置された第2中間電極（52）、ならびに、前記第2下電極（51）および前記第2中間電極（52）を被覆する第2上電極（53）を有している、B2に記載の電子部品（1）。

[0243] [B4] 前記第1端子電極（40）は、ソース端子電極（40）であり、前記第2端子電極（50）は、ゲート端子電極（50）である、B1～B3のいずれか一つに記載の電子部品（1）。

[0244] [B5] 前記第1端子電極（40）は、エミッタ端子電極（40）であり、前記第2端子電極（50）は、ゲート端子電極（50）である、B1～B3のいずれか一つに記載の電子部品（1）。

- [0245] [B 6] 前記第2端子電極(50)は、前記第1端子電極(40)の平面積未満の平面積を有している、B1～B5のいずれか一つに記載の電子部品(1)。
- [0246] [C 1] 凹凸(47、48)が形成された第1端子面(43a)を有するソース端子電極(40)と、凹凸(57、58)が形成された第2端子面(53a)を有するゲート端子電極(50)と、を含む、半導体装置(1)。
- [0247] [C 2] 前記ゲート端子電極(50)は、前記ソース端子電極(40)の平面積未満の平面積を有している、C1に記載の半導体装置(1)。
- [0248] [C 3] 前記第1端子面(43a)は、断面視において第1隆起部(47)および第1リセス部(48)によって形成された前記凹凸(47、48)を含み、前記第2端子面(53a)は、断面視において第2隆起部(57)および第2リセス部(58)によって形成された前記凹凸(57、58)を含む、C1またはC2に記載の半導体装置(1)。
- [0249] [C 4] 前記第1隆起部(47)は、断面視において第1頂部を有し、前記第2隆起部(57)は、断面視において前記第1隆起部(47)の前記第1頂部よりも上方に位置する第2頂部を有している、C3に記載の半導体装置(1)。
- [0250] [C 5] 前記第1リセス部(48)は、断面視において第1底部を有し、前記第2リセス部(58)は、断面視において前記第1リセス部(48)の前記第1底部よりも上方に位置する第2底部を有している、C3またはC4に記載の半導体装置(1)。
- [0251] [C 6] 前記ソース端子電極(40)は、前記凹凸(47、48)が形成された前記第1端子面(43a)を有する第1A1系金属膜(43)を含み、前記ゲート端子電極(50)は、前記凹凸(57、58)が形成された前記第2端子面(53a)を有する第2A1系金属膜(53)を含む、C1～C5のいずれか一つに記載の半導体装置(1)。
- [0252] [C 7] 前記ソース端子電極(40)は、第1Ti系金属膜(41)、前記第1Ti系金属膜(41)を被覆する第1W系金属膜(42)、ならびに

、前記第1 Ti系金属膜(41)および前記第1 W系金属膜(42)を被覆する前記第1 Al系金属膜(43)を含み、前記ゲート端子電極(50)は、第2 Ti系金属膜(51)、前記第2 Ti系金属膜(51)を被覆する第2 W系金属膜(52)、ならびに、前記第2 Ti系金属膜(51)および前記第2 W系金属膜(52)を被覆する前記第2 Al系金属膜(53)を含む、C6に記載の半導体装置(1)。

[0253] 上記[C1]～[C7]に係るソース端子電極(40)は、エミッタ端子電極(40)に置き換えられてもよい。以上、実施形態が詳細に説明されたが、これらは技術的内容を明示する具体例に過ぎない。この明細書から抽出される種々の技術的思想は、明細書内の説明順序や実施形態の順序等に制限されずにそれらの間で適宜組み合わせ可能である。

符号の説明

[0254]	1	電子部品
	2	チップ
	3	第1主面
	8	デバイス領域
	9	非デバイス領域
	25	主面絶縁膜
	26	絶縁主面
	30	第1領域
	31	貫通孔
	32	第2領域
	40	ソースパッド電極(第1端子電極)
	41	第1下電極
	42	第1中間電極
	43	第1上電極
	43a	第1端子面
	47	第1隆起部

- 4 8 第1リセス部
- 5 0 ゲートパッド電極（第2端子電極）
- 5 1 第2下電極
- 5 2 第2中間電極
- 5 3 第2上電極
- 5 3 a 第2端子面
- 5 4 凹凸構造
- 5 7 第2隆起部
- 5 8 第2リセス部
- 1 0 1 電子モジュール
- 1 3 0 第2ボンディングワイヤ（ワイヤ）
- 1 3 6 第2ワイヤリセス部
- 1 3 7 第2ワイヤ隆起部
- T r トランジスタ（機能デバイス）

請求の範囲

- [請求項1] 下電極と、
前記下電極と凹凸を形成するように前記下電極の上に配置された中間電極と、
前記中間電極を被覆する部分に形成された隆起部、および、前記隆起部よりも前記下電極側に窪むように前記下電極を被覆する部分に形成されたリセス部を有する上電極と、を含む、電子部品。
- [請求項2] 前記中間電極は、前記下電極よりも厚く、
前記上電極は、前記中間電極よりも厚い、請求項1に記載の電子部品。
- [請求項3] 前記上電極は、前記中間電極よりも2倍以上厚い、請求項2に記載の電子部品。
- [請求項4] 断面視において、複数の前記中間電極が前記下電極の上に配置されている、請求項1～3のいずれか一項に記載の電子部品。
- [請求項5] 絶縁主面を有する絶縁膜をさらに含み、
前記下電極は、前記絶縁主面を被覆している、請求項1～4のいずれか一項に記載の電子部品。
- [請求項6] 前記絶縁膜に形成された複数の貫通孔を含む第1領域と、
前記第1領域外において前記絶縁主面の平坦部を含む第2領域と、
をさらに含み、
前記下電極は、前記第2領域において前記絶縁主面の前記平坦部を被覆している、請求項5に記載の電子部品。
- [請求項7] 主面を有するチップをさらに含み、
前記絶縁膜は、前記チップを被覆している、請求項5または6に記載の電子部品。
- [請求項8] 前記主面に設けられたデバイス領域と、
前記主面において前記デバイス領域外に設けられた非デバイス領域と、

前記デバイス領域において前記主面に形成された機能デバイスと、
をさらに含み、

前記絶縁膜は、前記デバイス領域および前記非デバイス領域を被覆し、

前記下電極は、前記絶縁膜を挟んで前記非デバイス領域を被覆している、請求項 7 に記載の電子部品。

[請求項9]

前記非デバイス領域は、前記主面の平坦部を含み、

前記絶縁膜は、前記非デバイス領域において前記主面の前記平坦部を被覆し、

前記下電極は、前記絶縁膜を挟んで前記主面の前記平坦部を被覆している、請求項 8 に記載の電子部品。

[請求項10]

絶縁主面を有する絶縁膜と、

前記絶縁膜に形成された複数の貫通孔を含む第 1 領域と、

前記第 1 領域外において前記絶縁主面の平坦部を含む第 2 領域と、

前記第 1 領域において前記絶縁主面および複数の前記貫通孔を膜状に被覆する第 1 下電極、前記第 1 下電極を挟んで複数の前記貫通孔内に配置された複数の第 1 中間電極、ならびに、前記第 1 下電極および複数の前記第 1 中間電極を被覆する第 1 上電極を有する第 1 端子電極と、

前記第 2 領域において前記絶縁主面を膜状に被覆する第 2 下電極、前記第 2 下電極と凹凸を形成するように前記第 2 下電極の上に配置された第 2 中間電極、ならびに、前記第 2 下電極および前記第 2 中間電極を被覆する第 2 上電極を有する第 2 端子電極と、を含む、電子部品。

[請求項11]

前記第 1 上電極は、前記第 1 下電極を被覆する部分に形成された第 1 隆起部、および、前記第 1 隆起部よりも複数の前記第 1 中間電極側に窪むように複数の前記第 1 中間電極を被覆する部分に形成された複数の第 1 リセス部を有し、

前記第2上電極は、前記第2中間電極を被覆する部分に形成された第2隆起部、および、前記第2隆起部よりも前記第2下電極側に窪むように前記第2下電極を被覆する部分に形成された第2リセス部を有している、請求項10に記載の電子部品。

[請求項12] 前記第2端子電極は、断面視において前記第2下電極の上に配置された複数の前記第2中間電極を含む、請求項10または11に記載の電子部品。

[請求項13] 前記第2中間電極は、前記第2下電極よりも厚く、
前記第2上電極は、前記第2中間電極よりも厚い、請求項10～12のいずれか一項に記載の電子部品。

[請求項14] 前記第2上電極は、前記第2中間電極よりも2倍以上厚い、請求項13に記載の電子部品。

[請求項15] 前記第2下電極は、前記第1下電極と同一の電極材料を含み、
前記第2中間電極は、前記第1中間電極と同一の電極材料を含み、
前記第2上電極は、前記第1上電極と同一の電極材料を含む、請求項10～14のいずれか一項に記載の電子部品。

[請求項16] 主面を有するチップをさらに含み、
前記絶縁膜は、前記チップを被覆している、請求項10～15のいずれか一項に記載の電子部品。

[請求項17] 前記チップに設けられたデバイス領域と、
前記チップにおいて前記デバイス領域外に設けられた非デバイス領域と、
前記デバイス領域において前記チップに形成された機能デバイスと、
をさらに含み、
前記絶縁膜は、前記デバイス領域および前記非デバイス領域を被覆し、
前記第1領域は、前記絶縁膜のうち前記デバイス領域を被覆する部分に形成され、

前記第2領域は、前記絶縁膜のうち前記非デバイス領域を被覆する部分に形成されている、請求項16に記載の電子部品。

[請求項18]

下電極と、

前記下電極と凹凸を形成するように前記下電極の上に配置された中間電極と、

前記凹凸を埋めて前記下電極および前記中間電極を被覆する上電極と、

前記上電極を挟んで前記下電極および前記中間電極に対向するように前記上電極に接合されたワイヤと、を含む、電子モジュール。

[請求項19]

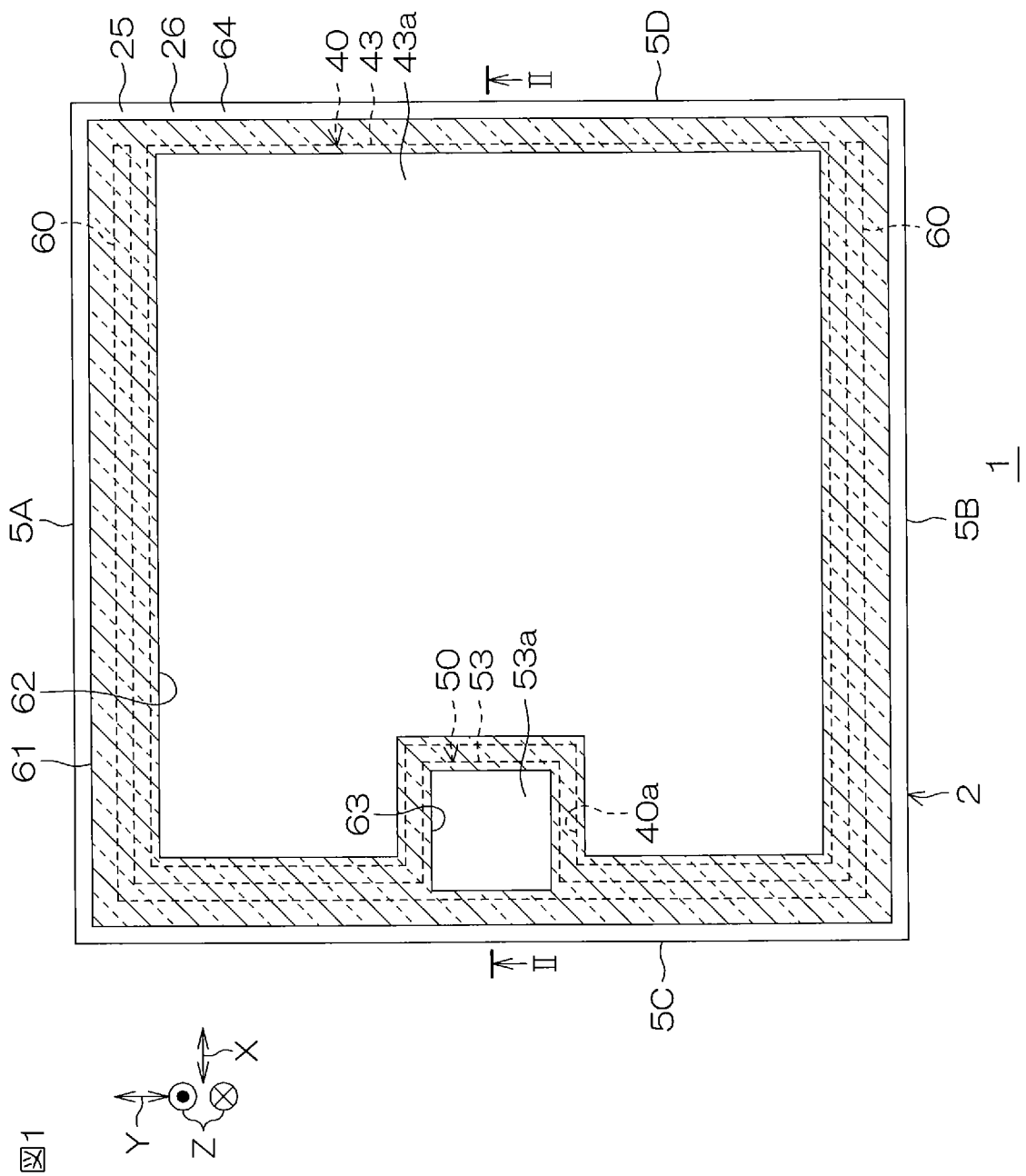
前記ワイヤは、前記中間電極に接触していない、請求項18に記載の電子モジュール。

[請求項20]

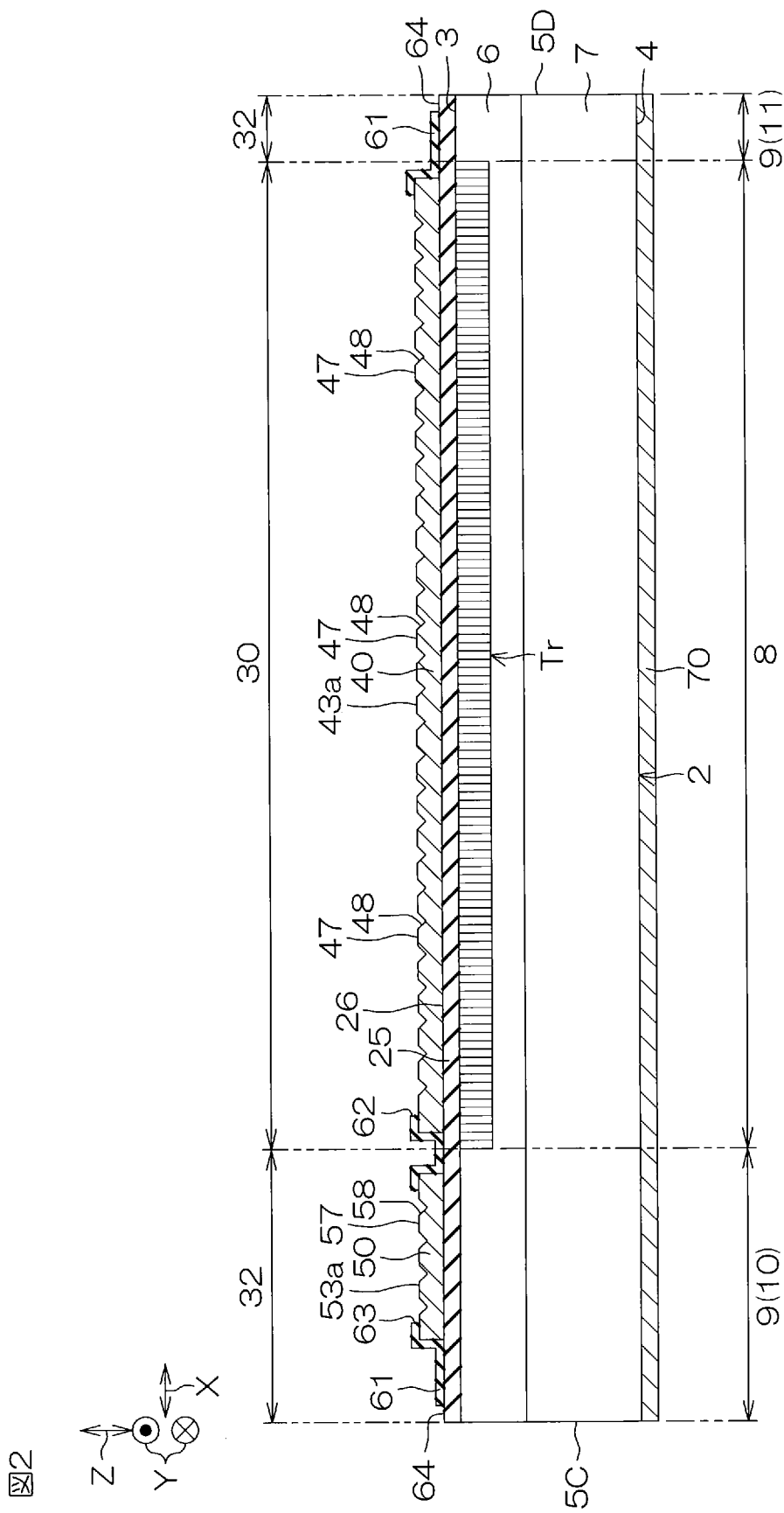
前記上電極は、前記中間電極を被覆する部分に形成された隆起部、および、前記隆起部よりも前記下電極側に窪むように前記下電極を被覆する部分に形成されたリセス部を有し、

前記ワイヤは、前記隆起部に沿って前記上電極とは反対側に窪むように前記隆起部との接合部に形成されたワイヤリセス部、および、前記リセス部に沿って前記上電極側に隆起するように前記リセス部との接合部に形成されたワイヤ隆起部を有している、請求項18または19に記載の電子モジュール。

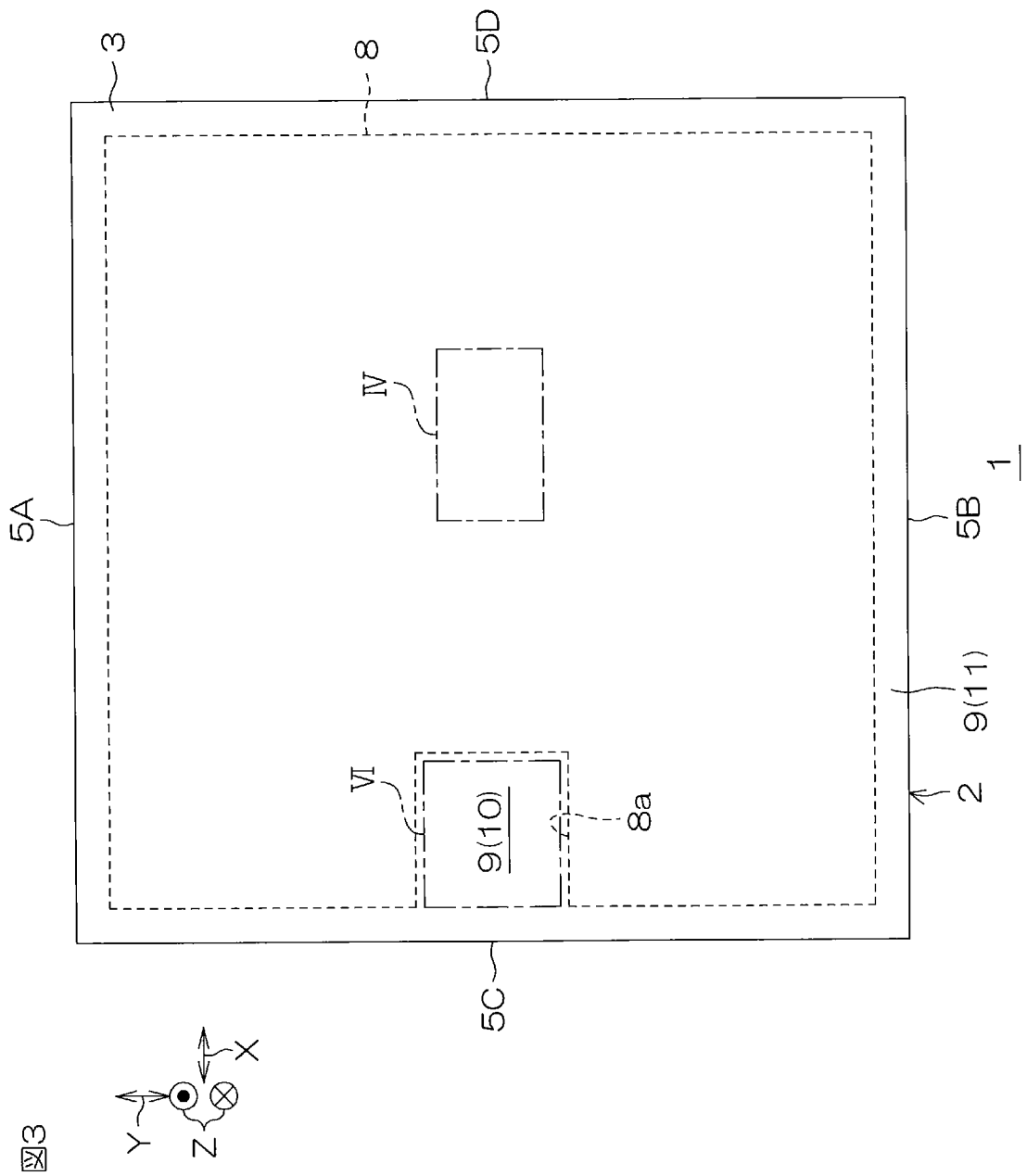
[図1]



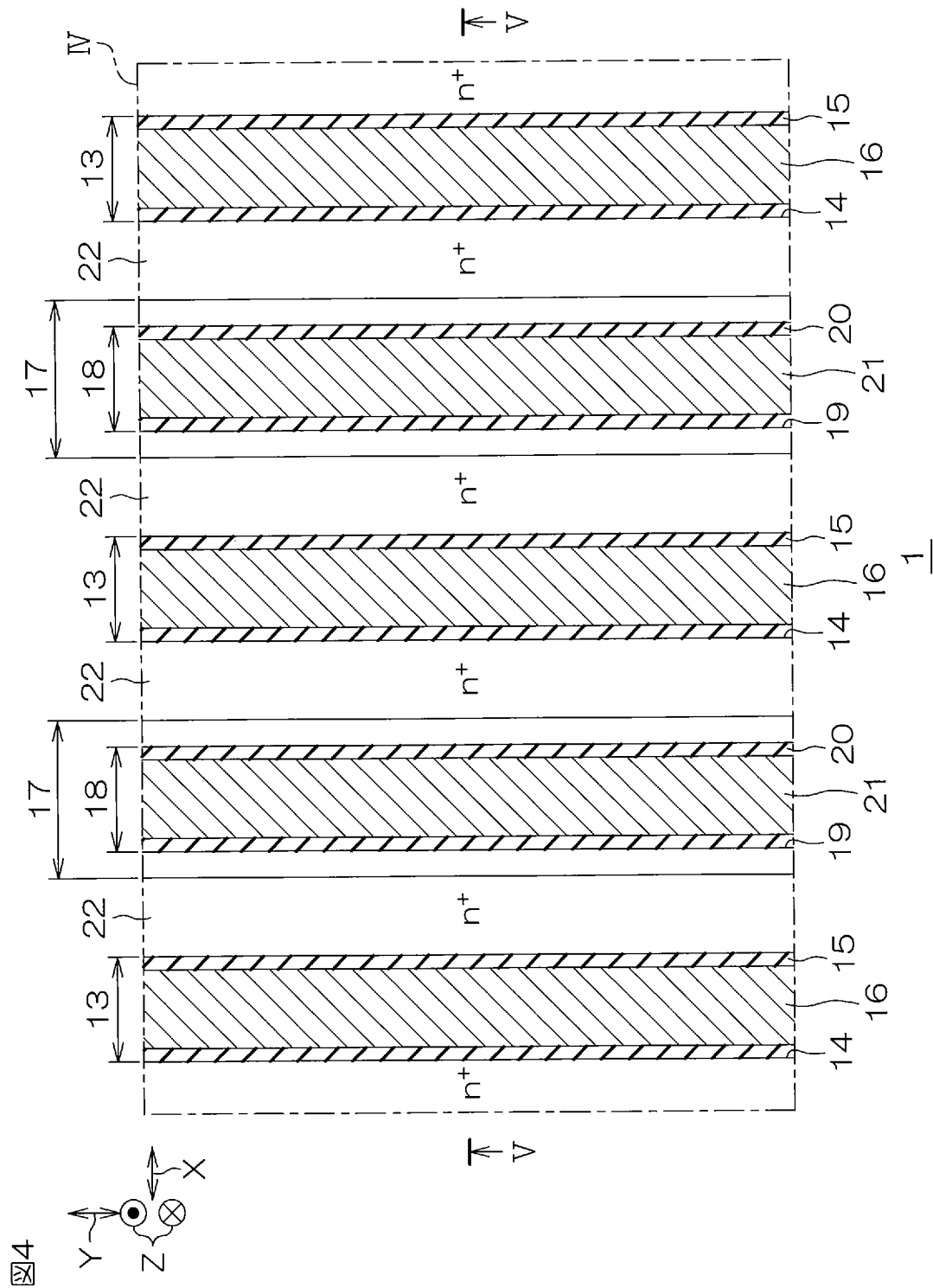
[図2]



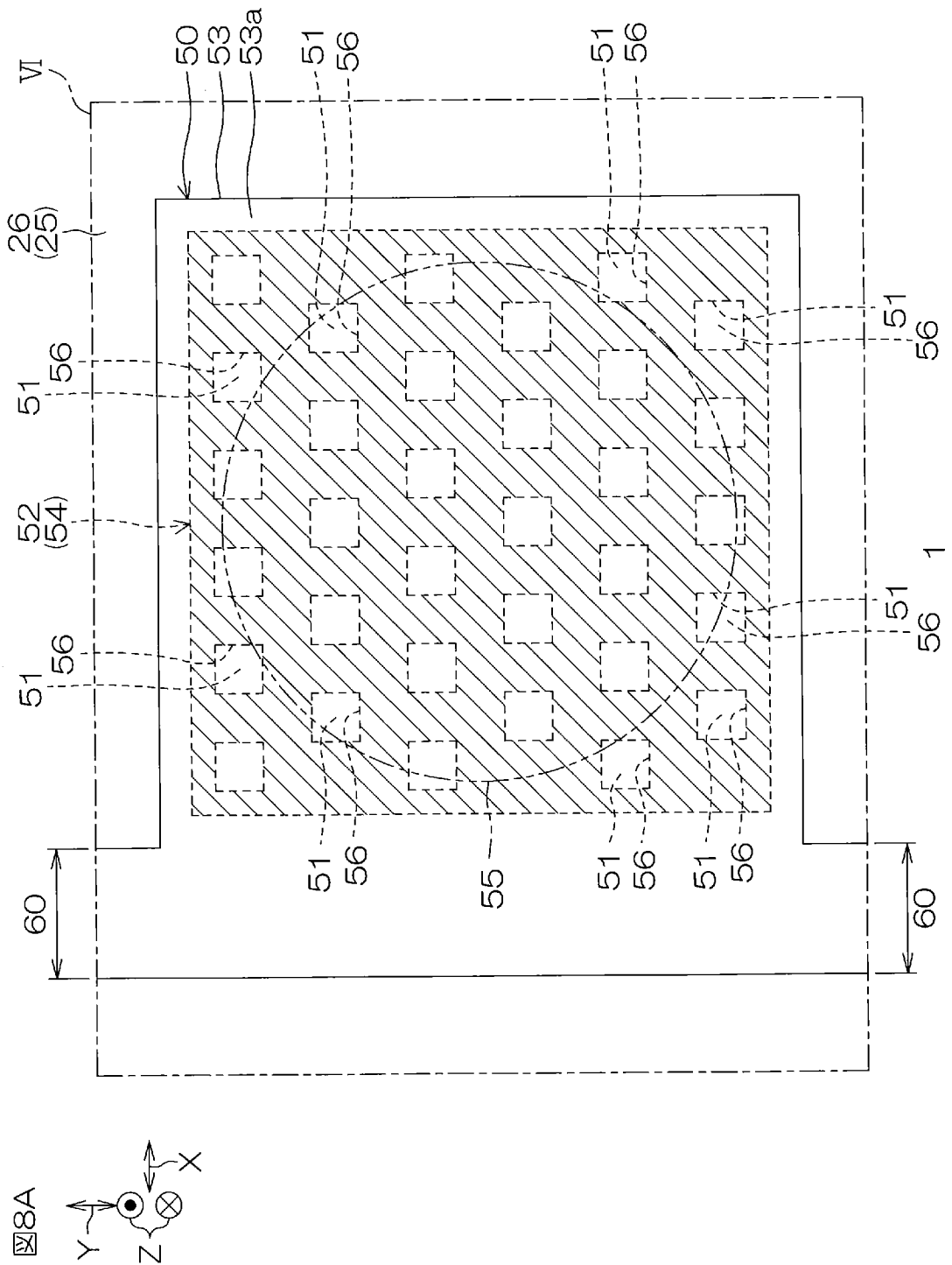
[図3]



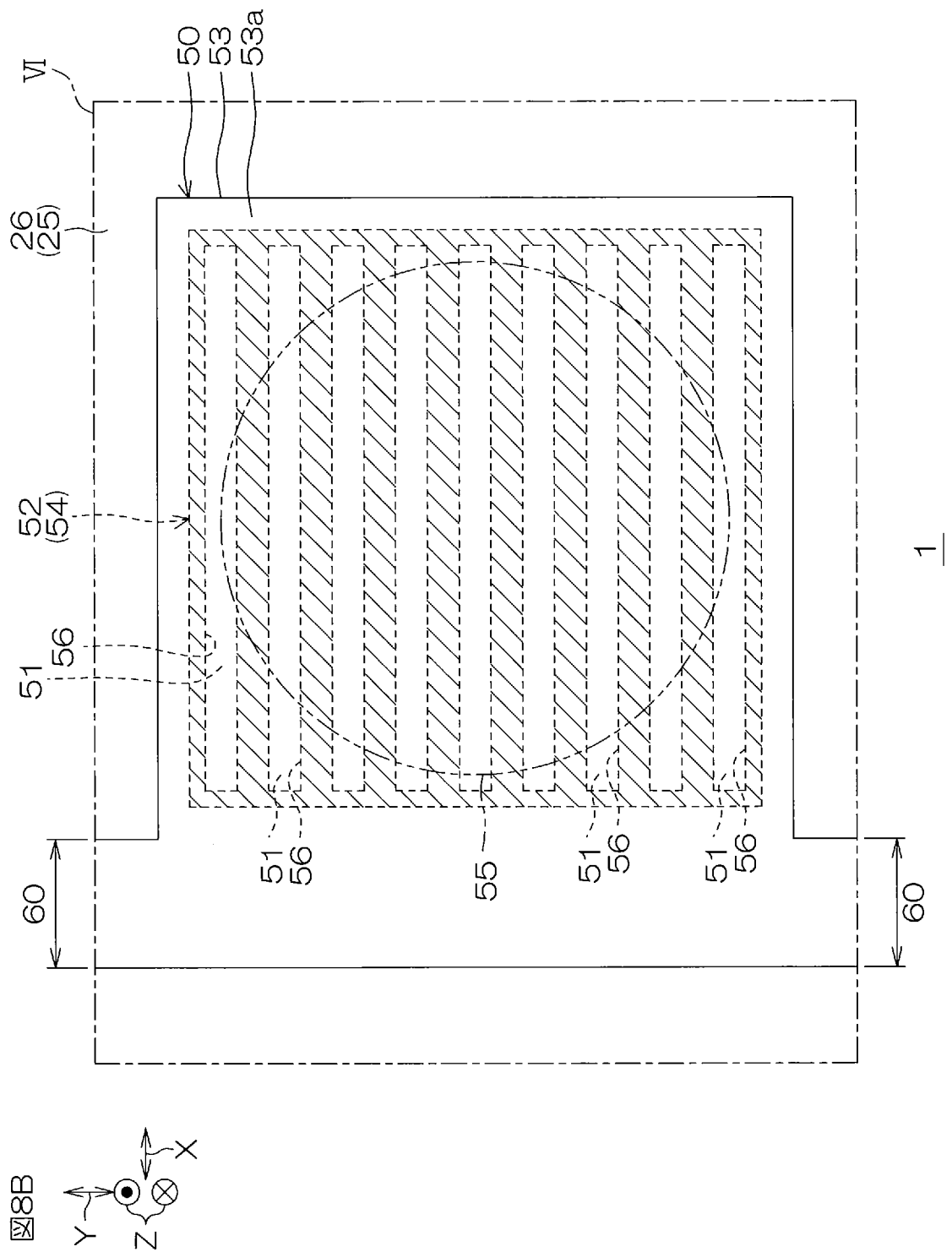
[図4]



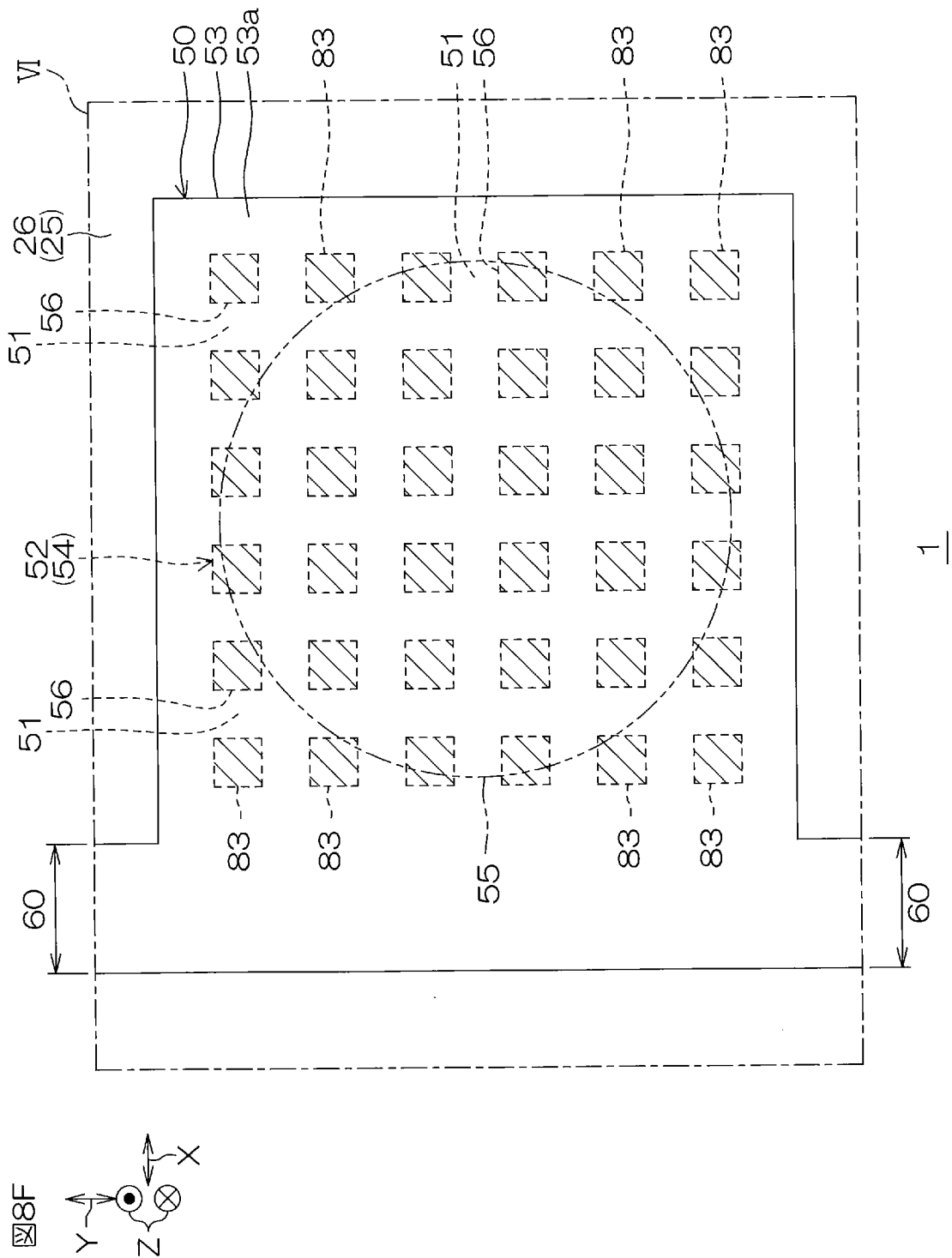
[図8A]



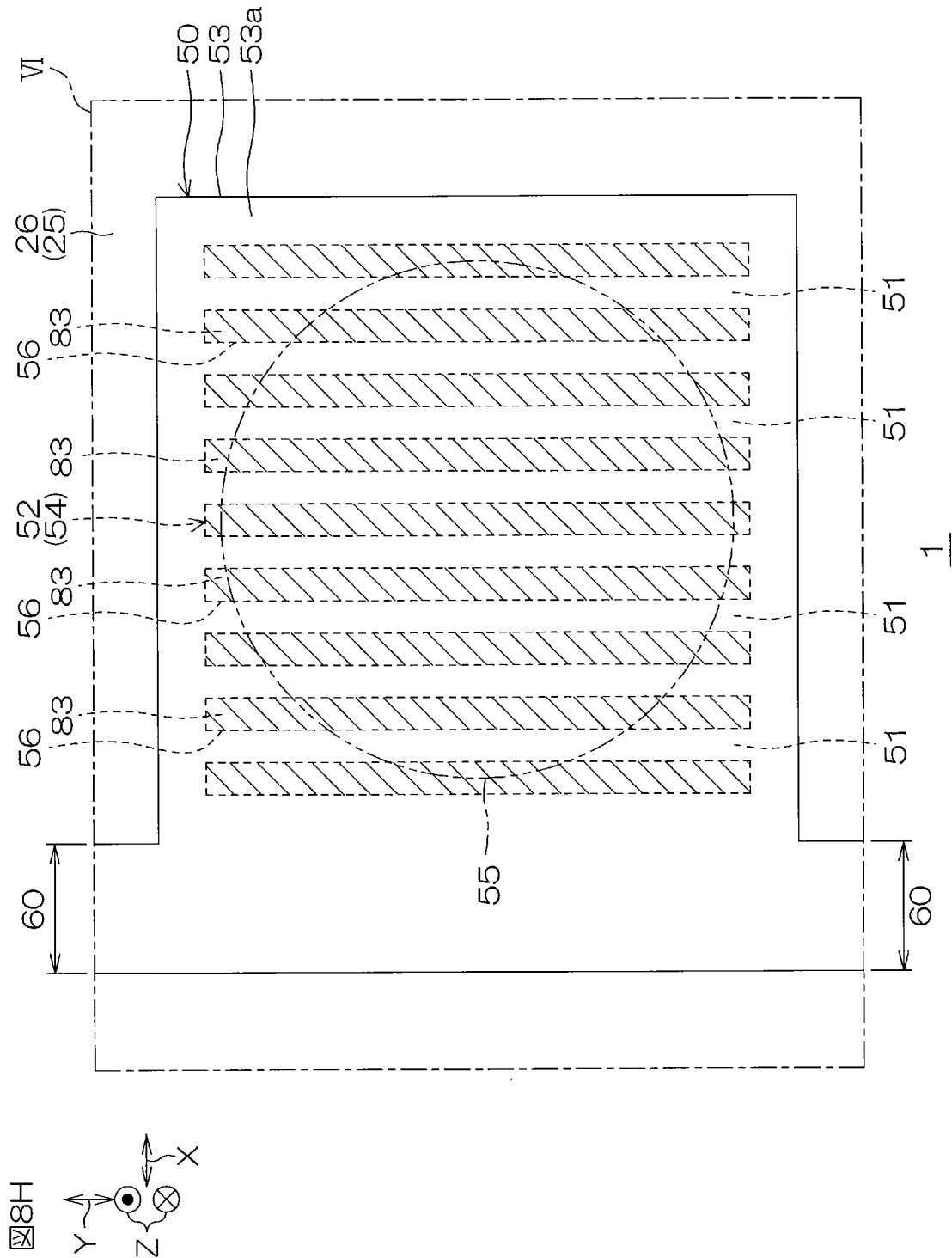
[図8B]



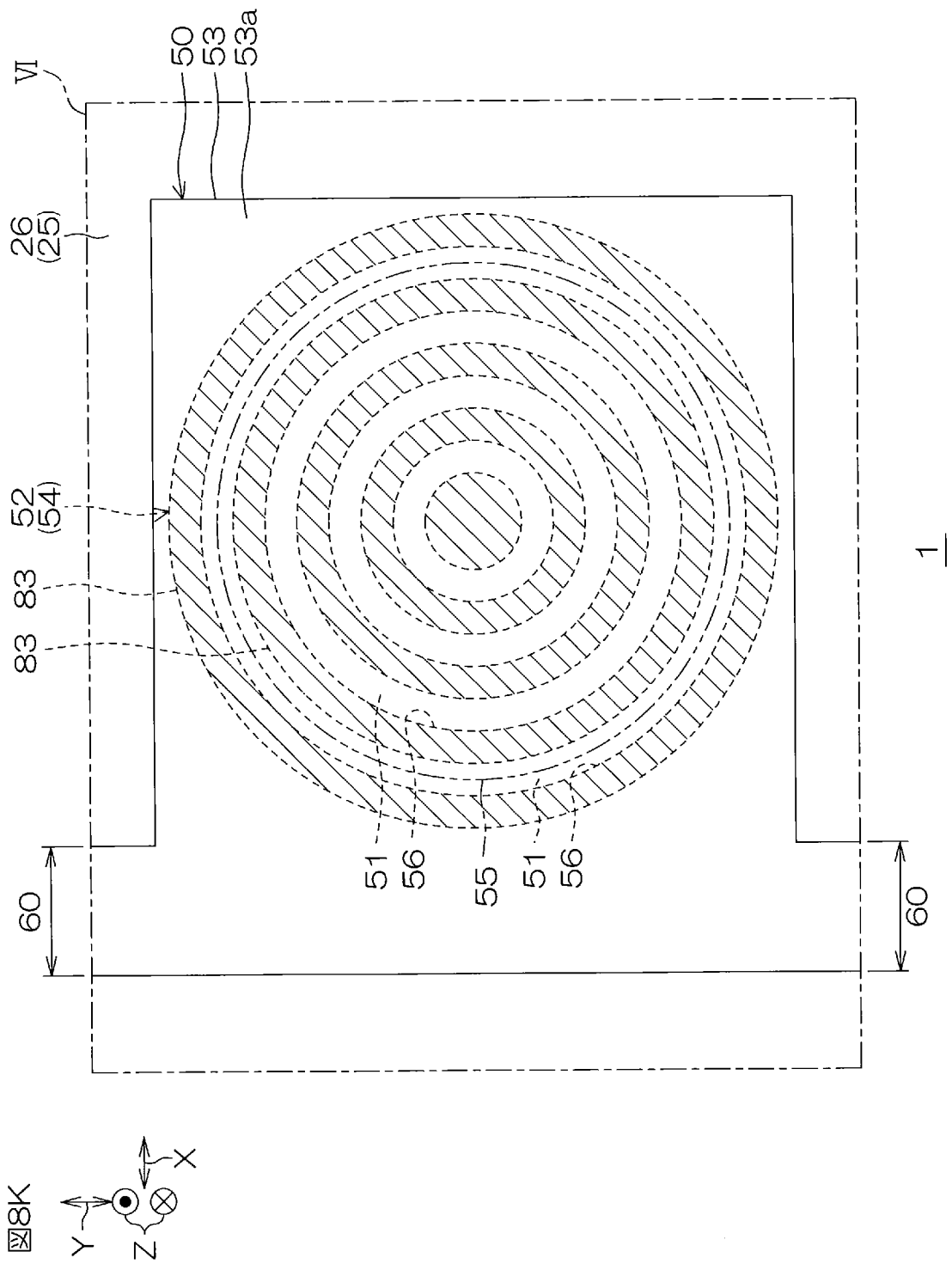
[図8F]



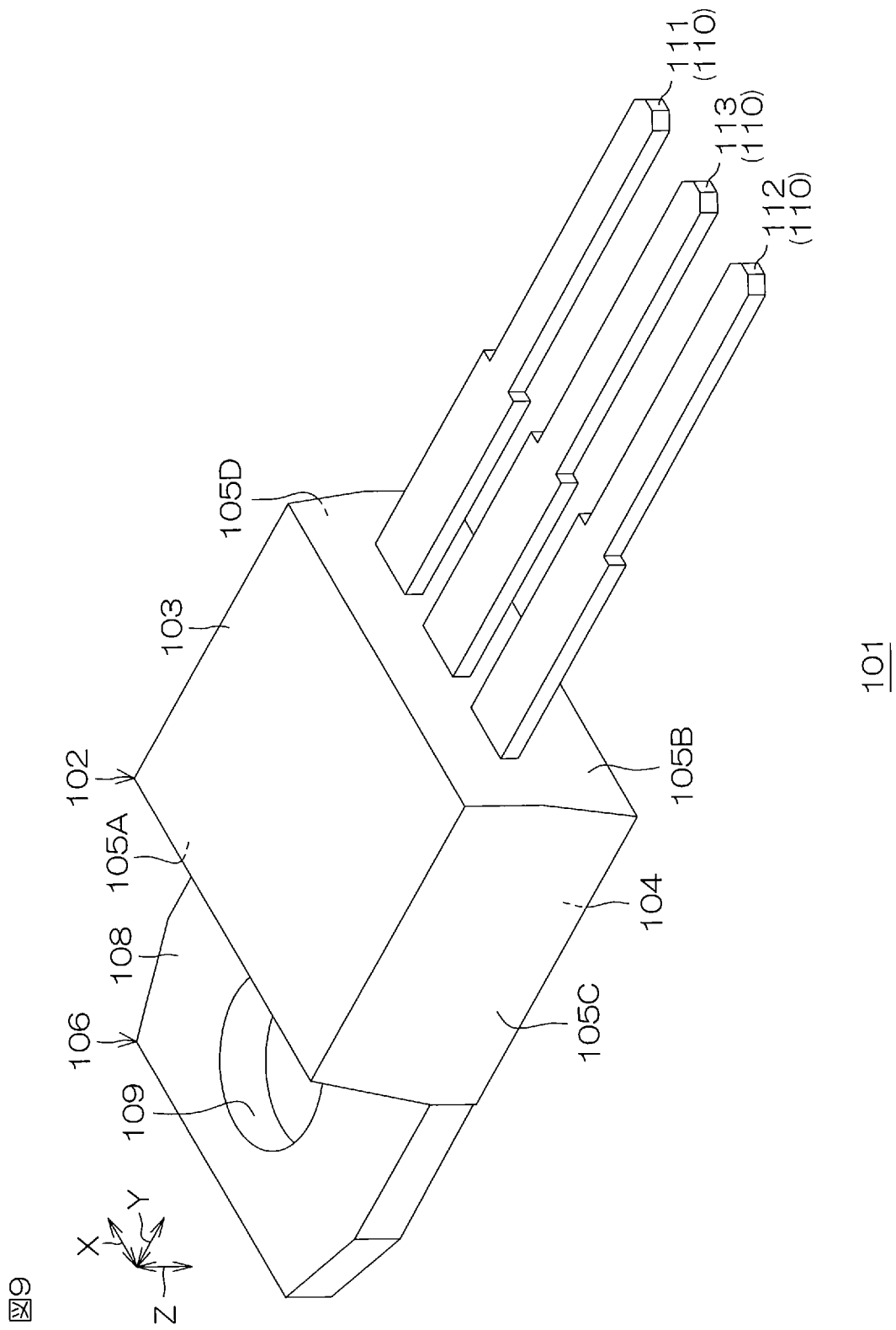
[図8H]



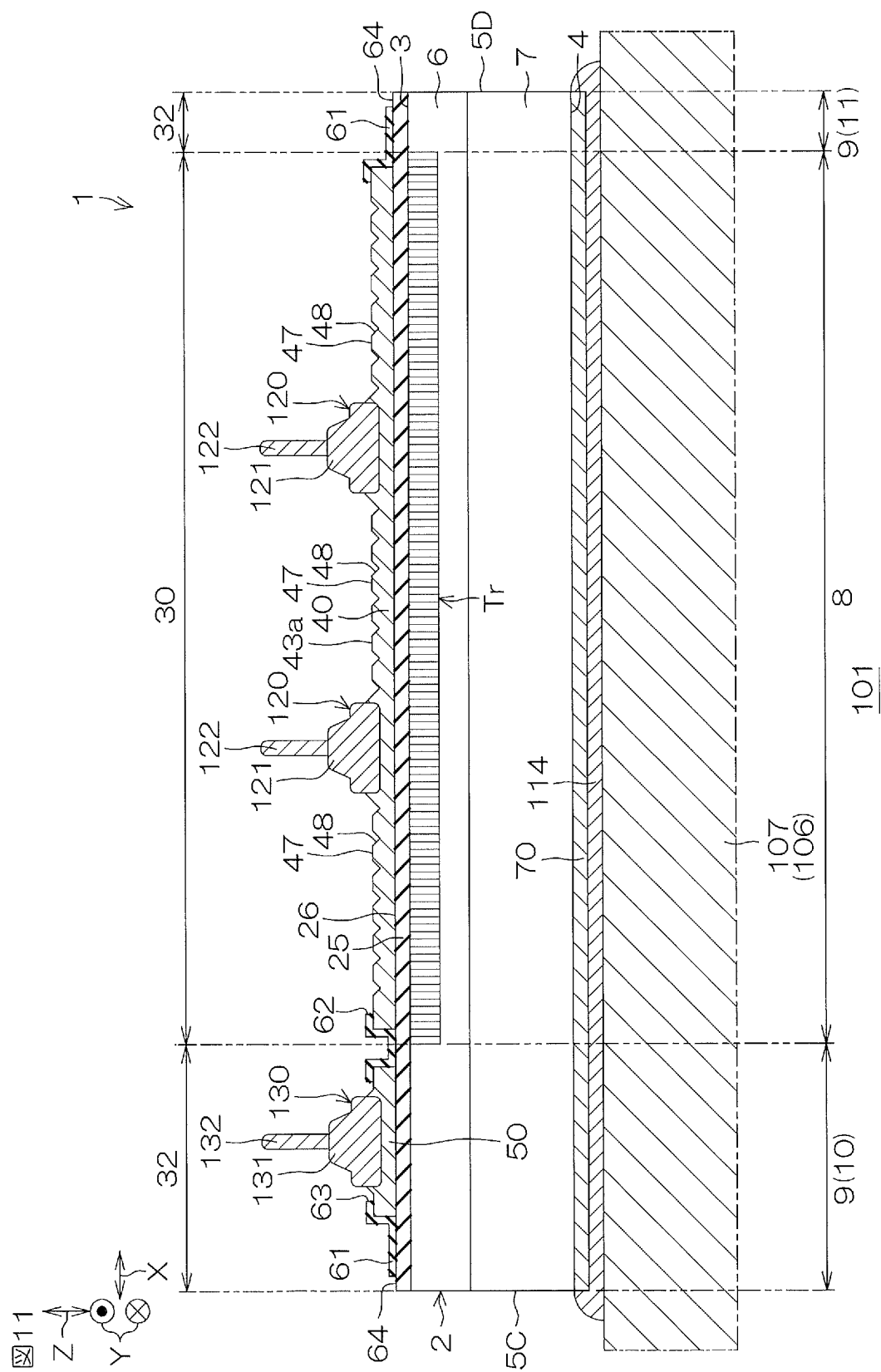
[図8K]



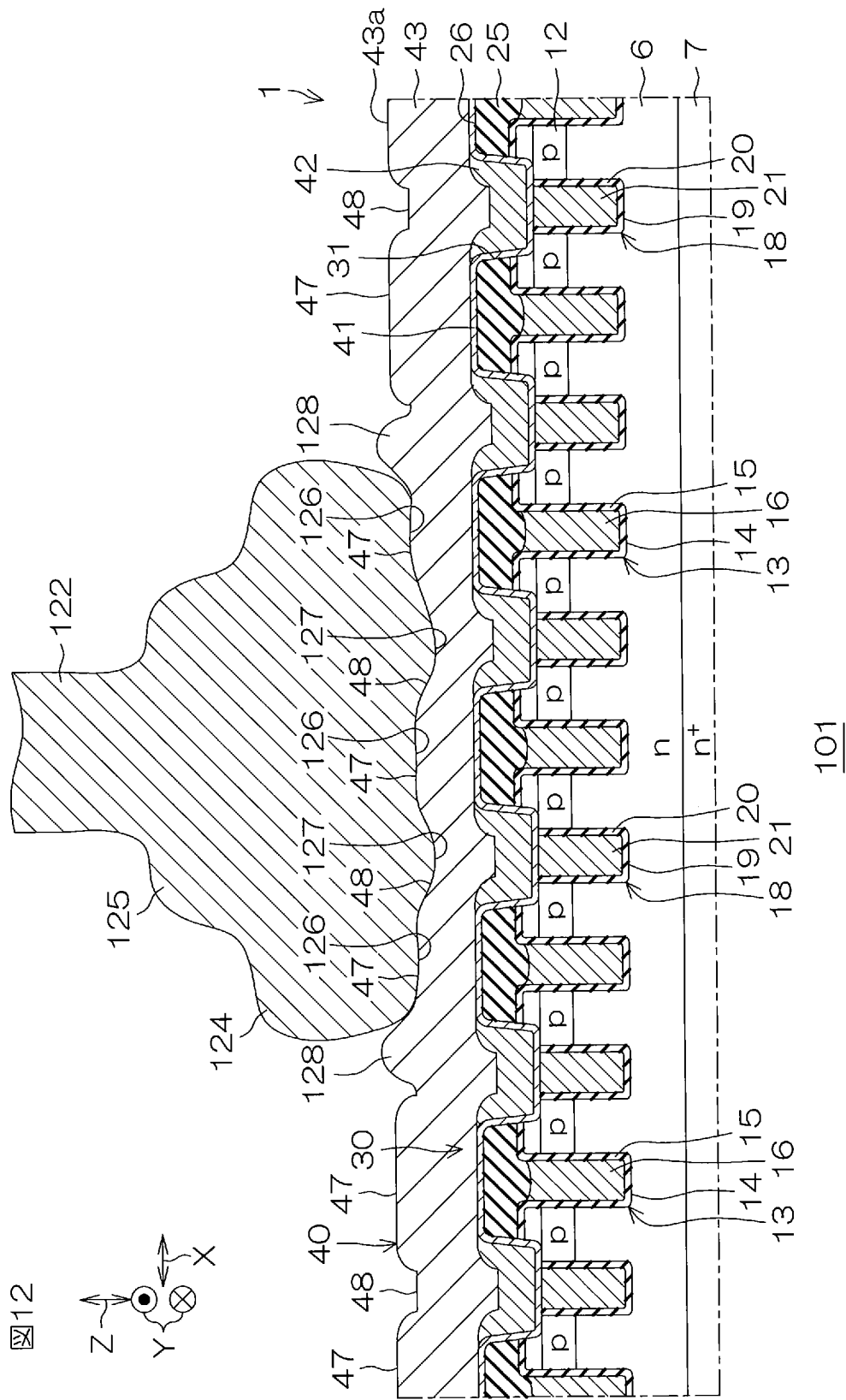
[図9]



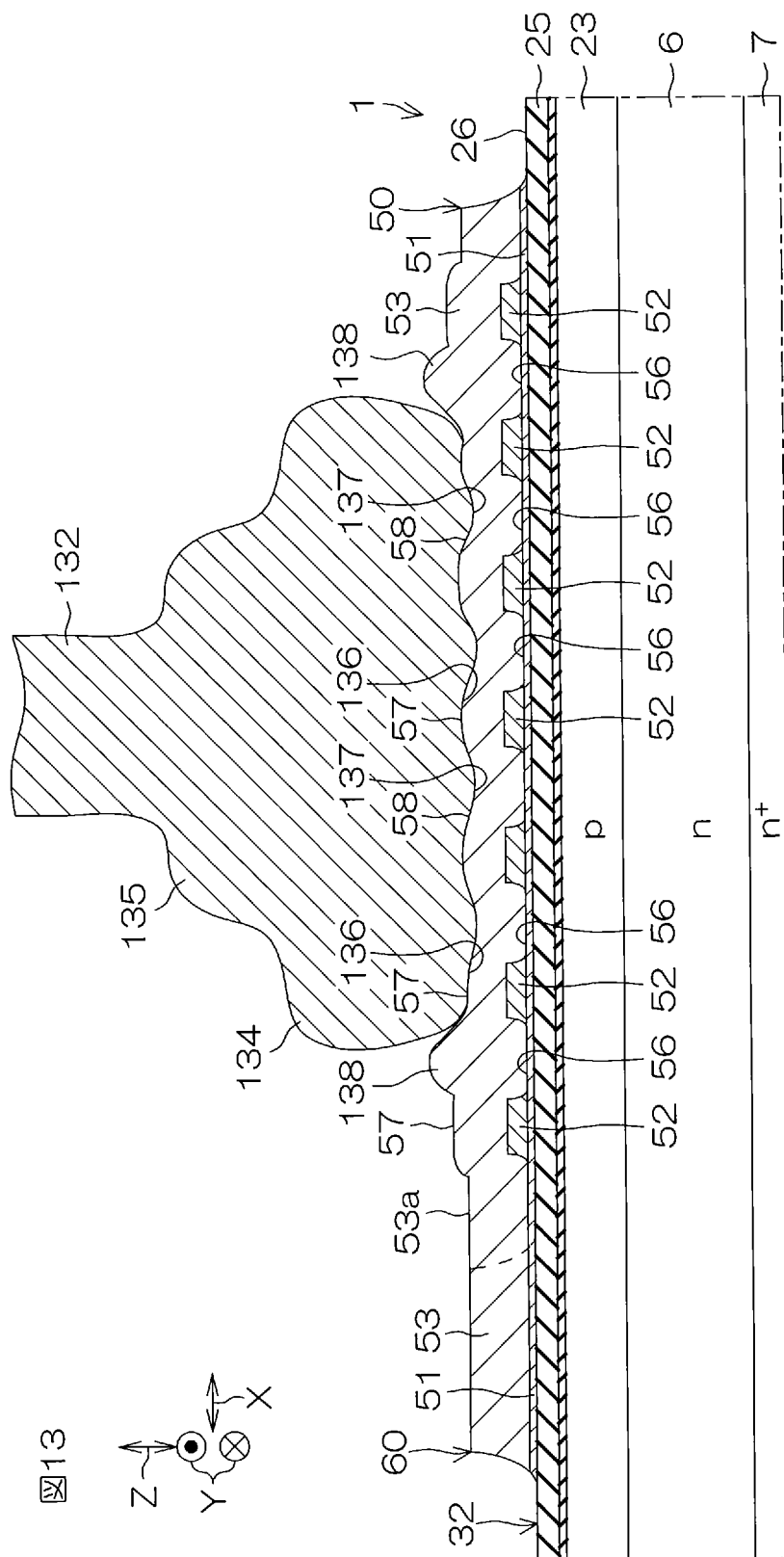
[図11]



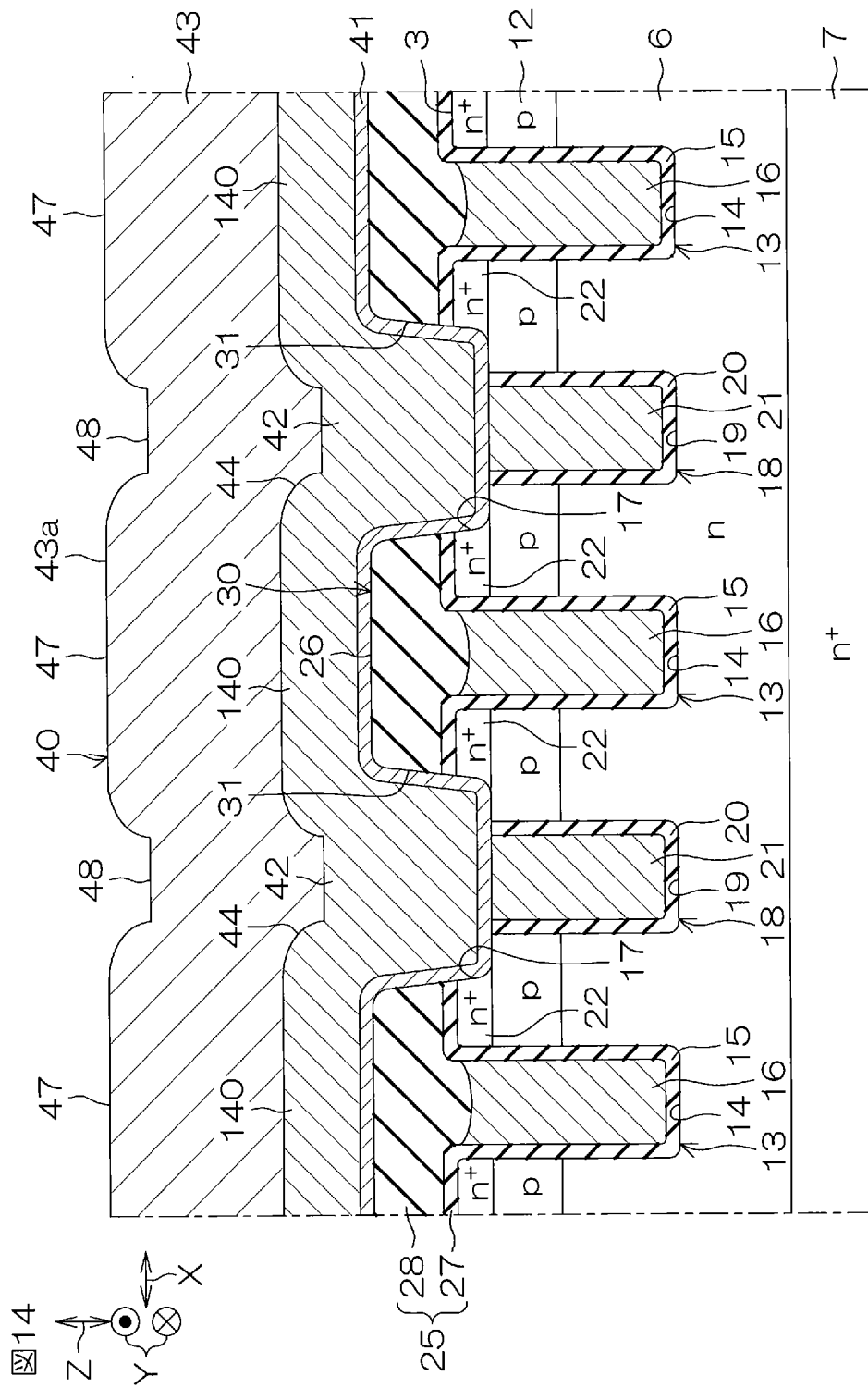
[図12]



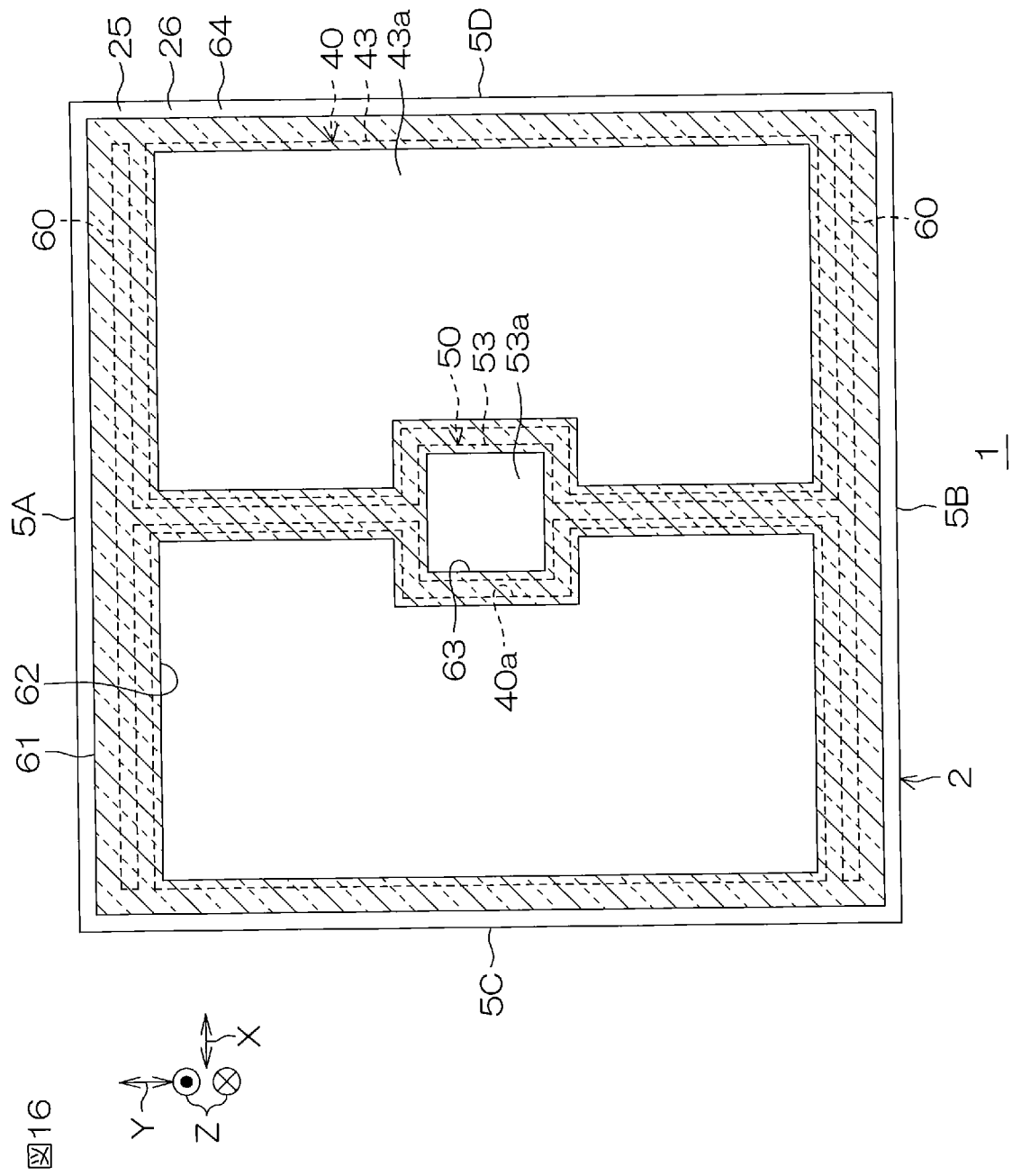
[図13]



[図14]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/020083

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/78**(2006.01)i; **H01L 21/60**(2006.01)i; **H01L 29/06**(2006.01)i; **H01L 29/739**(2006.01)iFI: H01L29/78 652K; H01L21/60 301P; H01L29/06 301G; H01L29/06 301V; H01L29/78 652F; H01L29/78 652M;
H01L29/78 652P; H01L29/78 652Q; H01L29/78 652S; H01L29/78 653C; H01L29/78 655A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/60; H01L29/06; H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-79239 A (TOYOTA MOTOR CORP) 27 April 2017 (2017-04-27) entire text, all drawings	1-20
A	JP 2017-76741 A (MITSUBISHI ELECTRIC CORP) 20 April 2017 (2017-04-20) entire text, all drawings	1-20
A	JP 2013-183049 A (TOYOTA MOTOR CORP) 12 September 2013 (2013-09-12) entire text, all drawings	1-20
A	JP 2010-541288 A (FAIRCHILD SEMICONDUCTOR CORPORATION) 24 December 2010 (2010-12-24) entire text, all drawings	1-20
A	JP 2005-347300 A (DENSO CORP) 15 December 2005 (2005-12-15) entire text, all drawings	1-20
A	JP 2005-51091 A (KANSAI NIPPON ELECTRIC) 24 February 2005 (2005-02-24) entire text, all drawings	1-20

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

03 August 2023

Date of mailing of the international search report

15 August 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/020083

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-158833 A (DENSO CORP) 03 June 2004 (2004-06-03) entire text, all drawings	1-20
A	JP 2000-114525 A (FUJI ELECTRIC CO LTD) 21 April 2000 (2000-04-21) entire text, all drawings	1-20
A	WO 2010/092691 A1 (TOYOTA MOTOR CORP) 19 August 2010 (2010-08-19) entire text, all drawings	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/020083

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-79239	A	27 April 2017	US 2018/0286974 A1 entire text, all drawings WO 2017/068749 A1 EP 3365918 A1 CN 108292668 A	
JP	2017-76741	A	20 April 2017	(Family: none)	
JP	2013-183049	A	12 September 2013	(Family: none)	
JP	2010-541288	A	24 December 2010	US 2009/0090966 A1 entire text, all drawings WO 2009/046210 A1 DE 112008002677 T5 KR 10-2010-0089065 A CN 101889334 A TW 200926397 A	
JP	2005-347300	A	15 December 2005	(Family: none)	
JP	2005-51091	A	24 February 2005	(Family: none)	
JP	2004-158833	A	03 June 2004	US 2004/0075113 A1 entire text, all drawings	
JP	2000-114525	A	21 April 2000	(Family: none)	
WO	2010/092691	A1	19 August 2010	US 2011/0298048 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/60(2006.01)i; H01L 29/06(2006.01)i; H01L 29/739(2006.01)i FI: H01L29/78 652K; H01L21/60 301P; H01L29/06 301G; H01L29/06 301V; H01L29/78 652F; H01L29/78 652M; H01L29/78 652P; H01L29/78 652Q; H01L29/78 652S; H01L29/78 653C; H01L29/78 655A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/60; H01L29/06; H01L29/739 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-79239 A（トヨタ自動車株式会社）27.04.2017（2017-04-27） 全文、全図	1-20
A	JP 2017-76741 A（三菱電機株式会社）20.04.2017（2017-04-20） 全文、全図	1-20
A	JP 2013-183049 A（トヨタ自動車株式会社）12.09.2013（2013-09-12） 全文、全図	1-20
A	JP 2010-541288 A（フェアチャイルド・セミコンダクター・コーポレーション） 24.12.2010（2010-12-24） 全文、全図	1-20
A	JP 2005-347300 A（株式会社デンソー）15.12.2005（2005-12-15） 全文、全図	1-20
A	JP 2005-51091 A（関西日本電気株式会社）24.02.2005（2005-02-24） 全文、全図	1-20
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 03.08.2023		国際調査報告の発送日 15.08.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 上田 智志 5F 3664 電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-158833 A (株式会社デンソー) 03.06.2004 (2004 - 06 - 03) 全文、全図	1-20
A	JP 2000-114525 A (富士電機株式会社) 21.04.2000 (2000 - 04 - 21) 全文、全図	1-20
A	W0 2010/092691 A1 (トヨタ自動車株式会社) 19.08.2010 (2010 - 08 - 19) 全文、全図	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/020083

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-79239	A	27.04.2017	US 2018/0286974 A1 全文、全図	
				WO 2017/068749 A1	
				EP 3365918 A1	
				CN 108292668 A	
JP	2017-76741	A	20.04.2017	(ファミリーなし)	
JP	2013-183049	A	12.09.2013	(ファミリーなし)	
JP	2010-541288	A	24.12.2010	US 2009/0090966 A1 全文、全図	
				WO 2009/046210 A1	
				DE 112008002677 T5	
				KR 10-2010-0089065 A	
				CN 101889334 A	
				TW 200926397 A	
JP	2005-347300	A	15.12.2005	(ファミリーなし)	
JP	2005-51091	A	24.02.2005	(ファミリーなし)	
JP	2004-158833	A	03.06.2004	US 2004/0075113 A1 全文、全図	
JP	2000-114525	A	21.04.2000	(ファミリーなし)	
WO	2010/092691	A1	19.08.2010	US 2011/0298048 A1 全文、全図	