(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H03K 21/00

(11) 공개번호 특1992-0007349
(43) 공개일자 1992년04월28일

(21) 출원번호 특1991-0015758
(22) 출원일자 1991년09월10일

(30) 우선권주장 90-239742 1990년09월10일 일본(JP)
(71) 출원인 가부시기가이샤 히다찌 세이사꾸쇼 미다 가쓰시게
일본국 도꾜도 지요다구 간다 스루가다이 4죠메 6반찌
(72) 발명자 오바 마모루
일본국 이바라기껭 히다찌시 오미까죠 6-7-32-A205
와따베 미쯔루
일본국 이바라기껭 가쯔다시 고야 2435-36
미나미 리카
일본국 이바라기껭 히다찌시 모리야마쪼 3-17-2-302
오바라 산시로
일본국 이바라기껭 나까군 도까이무라 시라까따 1739-170
(74) 대리인 한규환, 송재련, 백승남

*심사청구 : 없음*

# (54) 디지틀 펄스 처리장치

## *요약*

내용 없음

## *대표도*

*도1*

## *명세서*

[발명의 명칭]

디지틀 펄스 처리장치

[도면의 간단한 설명]

제1도는 본 발명에 따른 디지틀 펄스 처리장치의 일실시예의 블록 다이어그램,

제2도는 모드제어레지스터(MCREG)의 메모리 구조를 나타낸 도,

제3도는 카운트(PREG)연결기능을 실행하는 회로의 실시예의 블록 다이어그램

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

## *(57) 청구의 범위*

### 청구항 1

디지틀 펄스 처리장치에서, 펄스 발진기에서 출력되는 펄스를 계수하는 최소한개의 카운터를 포함하는 제1카운터 그룹; 상기 제1카운터 그룹의 동작을 하나의 카운터 동작과, 연결된 상태에 있는 복수의 카운터 동작 사이에서 전환하는 연결 제어수단; 상기 수단들을 구비하는 것을 특징으로 하는 디지틀 펄스 처리장치.

### 청구항 2

디지틀 펄스 처리 장치에서, 펄스 발진기에서 출력되는 펄스를 계수하는 최소 한개의 카운터를 포함하는 제1카운터 그룹; 상기 제1카운터 그룹의 동작을 하나의 카운터 동작과, 연결된 상태에 있는 복수의 카운터 동작사이에서 전환하는 연결 제어수단; 상기 펄스 발생기에서 출력되는 펄스보다 고주파인 클록펄스를 계수하는 제2카운터 그룹; 상기 제2카운터 그룹과 동일한 수의 래치를 포함하며, 상기 제2카운터 그

룹에서 출력되는 값을 저장하는 래치 그룹; 상기 제2카운터의 출력값이 상기 제1카운터내 하나의 카운터 동작에 대응하는 하나의 래치에 저장되는지 또는, 상기 제1카운터 그룹내 연결된 카운터와 동일한 수의 래치 그룹내 연결된 래치에 저장되는지를 결정하는 저장 래치 선택 수단; 상기 수단들을 구비하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 3**

제2항에 있어서, 상기 제2카운터의 오버플로우 조건을 상기 하나의 래치, 또는 복수의 연결된 래치내에 상기 제1카운터의 하나 또는 연결된 동작에 따른 래치의 상태로부터 검출하는 오버플로우 검출수단을 또한 구비하는 것을 특징으로 하는 디지틀 펄스 저리장치.

**청구항 4**

제2항에 있어서, 대기 신호를 외부 마이크로 컴퓨터에 상기 카운터의 값이 정해질 때까지 출력하기 위한 상기 제2카운터 그룹; 마이크로 컴퓨터에서 상기 래치에 명령을 판독 입력함으로써 상기 제2카운터의 값을 저장하는 래치 제어수단을 또한 포함하며, 상기 복수의 병열 동작 카운터에서 상기 마이크로 컴퓨터에 상기 카운터의 동작과 동기하도록 데이터를 출력하는 상기 래치: 상시 수단들을 펄스 계수회로가 구비하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 5**

제3항에 있어서, 대기신호를 외블 마이크로 컴퓨터에 상기 카운터의 값이 정해질 때까지 출력하기 위한 상기 제2카운터 그룹: 마이크로 컴퓨터에서 상기 래치에 명령을 판독 입력함으로써 상기 제2카운터의 값을 저장하는 래치 제어수단을 또한 포함하며, 상기 복수의 병렬 동작 카운터에서 상기 마이크로 컴퓨터에 상기 카운터의 동작과 동기하도록 데이터를 출력하는 상기 래치; 상기 수단들을 펄스 게수회로가 구비하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 6**

제2항에 있어서, 두 개의 펄스 입력단자를 갖는 펄스 전처리 유니트를 또한 구비하며, 상기 펄스 전처리 유니트가 하나 또는 두개의 단상 펄스 계수중 하나를 선택하고, 방향 성분을 갖는 2-상 펄스를 계수하거나, 또는 단펄스열과 상기 단펄스열의 계수 방법을 지시하는 신호를 구성하는 입력을 계수하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 7**

제3항에 있어서, 두 개의 펄스입력단자를 갖는 펄스 전처리 유니트를 또한 구비하며, 상기 펄스 전처리 유니트가 하나 또는 두개의 단상 펄스 계수중 하나를 선택하고, 방향성분을 갖는2- 상 펄스를 계수하거나, 또는 단펄스열과 상기 단펄스열의 계수방법을 지시하는 신호를 구성하는 입력을 계수하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 8**

제4항에 있어서, 두개의 펄스 입력단자를 갖는 펄스 전처리 유니트를 또한 구비하며, 상기 펄스 전처리 유니트가 하나 또는 두개의 단상 펄스 계수중 하나를 선택하고, 방향 성분을 갖은2-상 펄스를 계수하거나, 또는 단펄스열과 상기 단펄스열의 계수방법을 지시하는 신호를 구성하는 입력을 게수하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 9**

제5항에 있어서, 두개의 펄스 입력단자를 갖는 펄스 전처리 유니트를 또한 구비하며, 상기 펄스 전처리 유니트가 하나 또는 두개의 단상펄스 계수중 하나를 선택하고, 방향성분을 갖는 2-상 펄스를 계수하거나, 또는 단펄스열과 상기 단펄스열의 계수 방법을 지시하는 신호를 구성하는 입력을 게수하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 10**

마이크로 컴퓨터가 동일 기관상에 형성되고, 시스템 버스를 통해 서로 연결된 디지틀 펄스 처리장치와 CPU를 구비하며; 상기 디지틀 펄스 처리장치가, 펄스 발생기에서 출력되는 펄스를 계수하는 최소 하나의 카운터를 포함하는 제1카운터 그룹과; 상기 제1카운터의 동작을 하나의 카운터 동작과 연결된 상태인 복수의 카운터 동작 사이에서 전환하는 연결 제어수단을 구비하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 11**

마이크로 컴퓨터가 동일기판상에 형성되고, 시스템 버스를 통해 서로 연결된 디지틀 펄스 처리장치와 CPU를 구비하며; 상기 디지틀 펄스 처리장치가, 펄스 발생기에서 출력되는 펄스를 계수하는 최소 하나의 카운터를 포함하는 제1카운터 그룹; 상기 제1카운터 그룹의 동작을 하나의 카운터 동작과, 연결된 상태인 복수의 카운터 동작 사이에서 전환하는 연결 제어수단; 상기 펄스 발생기에서 출력되는 펄스 보다 고주파인 블록 펄스를 계수하는 제2카운터 그룹; 상기 제2카운터와 동일한 수의 래치를 가지며, 상기 제2카운터 그룹의 출력값을 저장하는 래치 그룹; 상기 제2카운터의 출력값이 상기 제1카운터 그룹내 하나의 카운터 동작에 대응하는 하나의 래치에 저장하는지, 상기 제1카운터 그룹내 연결된 카운터와 동일한 수의 상기 래치 그룹내 연결된 래치에 저장되는 가를 결정하는 저장 래치 결정수단; 상기 수단들을 구비하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 12**

제11항에 있어서, 상기 하나의 래치 또는 상기 복수의 연결된 래치에서, 상기 제1카운터의 하나 또는 연결된 동작에 대응하는 래치의 상태로부터, 상기 제2카운터의 오버플로우 조건을 검출하는 오버플로우 검출수단을 또한 구비하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 13**

제11항에 있어서, 펄스 계수회로가, 대기신호를 상기 카운터의 값이 결정될 때까지 외부 마이크로 컴퓨터에 출력하는 상기 제2카운터 그룹과; 마이크로 컴퓨터에서 래치에 명령을 판독 입력함으로써 상기 제2카운터의 값을 저장하는 래치 제어 수단을 또한 포함하며, 상기 복수의 병렬동작 카운터에서 상기 마이크로 컴퓨터에 상기 카운터의 동작과 동기하도록 데이타를 출력하는 상기 래치를 구비하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 14**

제12항에 있어서, 펄스 계수회로가, 대기신호를 상기 카운터의 값이 결정될 때까지 외부 마이크로 컴퓨터에 출력하는 상기 제2카운터 그룹과; 마이크로 컴퓨터에서 래치에 명령을 판독 입력함으로써 상기 제2카운터의 값을 저장하는 래치 제어 수단을 또함 포함하며, 상기 복수의 병렬 동작 카운터에서 상기 마이크로 컴퓨터에 상기 카운터의 동작과 동기하도록 데이터를 출력하는 상기 래치를 구비하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 15**

제11항에 있어서, 두개의 펄스 입력단자를 갖는 펄스 전처리 유니트를 또한 구비하며, 상기 펄스 전처리 유니트가 하나 또는 두개의 단상 펄스 계수중 하나를 선택하고, 방향 성분을 갖는 2-상 펄스를 계수하거나, 또는 단펄스열과 상기 단펄스열의 계수 방법을 지시하는 신호를 구성하는 입력을 계수하는 것을 특징으로 하는 디지틀 펄스처리장치.

**청구항 16**

제12항에 있어서, 두개의 펄스 입력단자를 갖는 펄스 전처리 유니트를 또한 구비하며, 상기 펄스 전처리 유니트가 하나 또는 두개의 단상펄스 계수중 하나를 선택하고, 방향 성분을 갖는 2-상 펄스를 계수하거나, 또는 단펄스열과 상기 단펄스열의 계수방법을 지시하는 신호를 구성하는 입력을 계수하는 것을 특징으로 하는 디지틀 펄스 처리장치.

**청구항 17**

제13항에 있어서, 두개의 펄스 입력단자를 갖는 펄스 전처리 유니트를 또한 구비하며, 상기 펄스 전처리 유니트가 하나 또는 두개의 단상 펄스 계수중 하나를 선택하고, 방향성분을 갖는 2-상 펄스를 계수하거나, 또는 단펄스열과 상기 단펄스의 계수방법을 지시하는 신호를 구성하는 입력을 계수하는 것을 특징으로 하는 디지틀 펄스 처리장치.

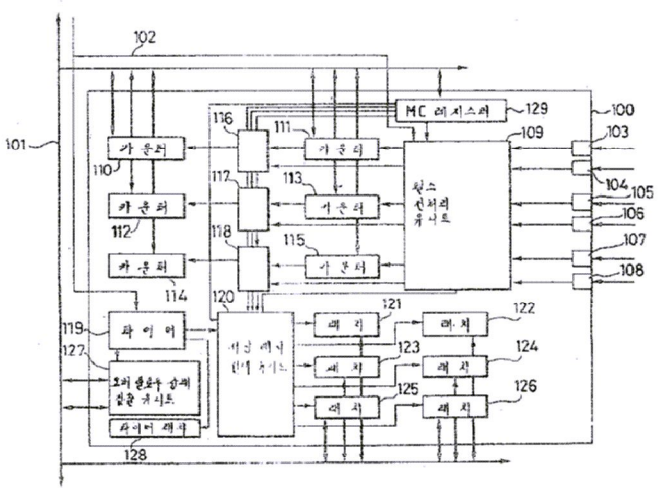
**청구항 18**

제14항에 있어서, 두개의 펄스 입력단자를 갖는 펄스 전처리 유니트를 또한 구비하며, 상기 펄스 전처리 유니트가 하나 또는 두개의 단상펄스 계수중 하나를 선택하고, 방향성분을 갖는 2-상 펄스를 계수하거나, 또는 단펄스열과 상기 단펄스열의 계수방법을 지시하는 신호를 구성하는 입력을 계수하는 것을 특징으로 하는 디지틀 펄스 처리장치.

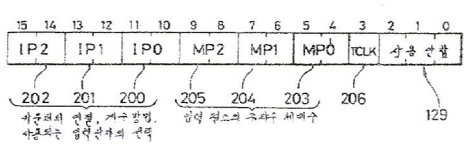
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

## *도면*

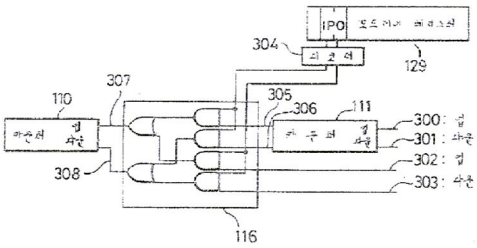
### *도면1*



도면2


15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
IP2
IP1
IP0
MP2
MP1
MP0
TCLK
202 201 200 205 204 203 206 129

도면3


IP0
304
129
307
110
305
306
111
300:
301:
302:
303:
308
116