



(12) 发明专利

(10) 授权公告号 CN 102883111 B

(45) 授权公告日 2015. 07. 01

(21) 申请号 201210236029. 0

US 20050174149 A1, 2005. 08. 11, 全文.

(22) 申请日 2012. 07. 09

US 20060012696 A1, 2006. 01. 19, 说明书第
0038-0039 段, 附图 1.

(30) 优先权数据

2011-154265 2011. 07. 12 JP

EP 1699135 A2, 2006. 09. 06, 全文.

(73) 专利权人 佳能株式会社

地址 日本东京

审查员 张璇

(72) 发明人 小野俊明

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 魏小薇

(51) Int. Cl.

H04N 5/335(2011. 01)

H04N 5/374(2011. 01)

H03K 3/017(2006. 01)

(56) 对比文件

US 20050231255 A1, 2005. 10. 20, 说明书第
0040-0043 段, 附图 3.

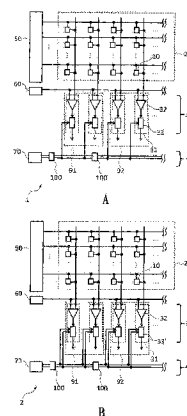
权利要求书2页 说明书6页 附图9页

(54) 发明名称

固态图像感测装置

(57) 摘要

一种固态图像感测装置, 包括: 像素部分; 转换部分, 包括第一群组和第二群组, 每一群组都包括用于将像素部分的模拟信号转换为数字信号的至少一个模数转换单元; 以及时钟提供单元, 包括用于时钟信号的传送的串联连接的第一时钟缓冲器和第二时钟缓冲器, 其中, 模数转换单元中的每一个都包括比较单元和计数器单元, 比较单元对模拟信号与比较基准电势进行比较, 计数器单元测量从比较的开始到比较结果的改变的时间, 第一时钟缓冲器和第二时钟缓冲器中的每一个都通过使用差分电路来校正时钟信号的占空比。



1. 一种固态图像感测装置,包括:

像素部分,其包括布置为阵列形式的多个像素;

转换部分,其包括第一群组和第二群组,第一群组和第二群组中的每个群组都包含把从所述像素部分输出的模拟信号转换为数字信号的至少一个模数转换单元;以及

时钟提供单元,其包括彼此串联连接的第一时钟缓冲器和第二时钟缓冲器,

其中,所述第一群组和所述第二群组的模数转换单元中的每一个包括比较单元和计数器单元,

其中,所述第一时钟缓冲器通过使用第一差分电路来校正时钟信号的占空比,并且经由串联连接的偶数个 CMOS 反相器电路把占空比被第一差分电路校正后的第一校正后时钟信号输出到所述第一群组的计数器单元的每一个和所述第二时钟缓冲器,以及

所述第二时钟缓冲器通过使用第二差分电路来校正从所述第一时钟缓冲器提供的第一校正后时钟信号的占空比,并且经由串联连接的偶数个 CMOS 反相器电路把占空比被第二差分电路校正后的第二校正后时钟信号输出到所述第二群组的计数器单元中的每一个,

所述比较单元对所述模拟信号与随着时间而改变的比较基准电势进行比较,并且输出结果,

所述第一群组的计数器单元对第一校正后时钟信号进行计数,以及

所述第二群组的计数器单元对第二校正后时钟信号进行计数。

2. 如权利要求 1 所述的装置,其中,所述第一差分电路和第二差分电路包括电源电势与基准电势之间的第一节点、第二节点、第一晶体管、第二晶体管、第三晶体管以及第四晶体管,

所述第一晶体管包括 PMOS 晶体管并且被放置在所述电源电势与所述第一节点之间,

所述第一晶体管的栅极电连接到所述第二节点,

所述第二晶体管包括 PMOS 晶体管并且被放置在所述电源电势与所述第二节点之间,

所述第二晶体管的栅极电连接到所述第一节点,

所述第三晶体管包括 NMOS 晶体管并且被放置在所述第一节点与所述基准电势之间,以及

所述第四晶体管包括 NMOS 晶体管并且被放置在所述第二节点与所述基准电势之间。

3. 如权利要求 1 所述的装置,其中,所述第一差分电路和第二差分电路包括电源电势与基准电势之间的第一节点、第二节点、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管以及第六晶体管,

所述第一晶体管包括 PMOS 晶体管并且被放置在所述电源电势与所述第一节点之间,

所述第一晶体管的栅极电连接到所述第二节点,

所述第二晶体管包括 PMOS 晶体管并且被放置在所述电源电势与所述第二节点之间,

所述第二晶体管的栅极电连接到所述第一节点,

所述第三晶体管包括 NMOS 晶体管并且被放置在所述第一节点与所述基准电势之间,

所述第四晶体管包括 NMOS 晶体管并且被放置在所述第二节点与所述基准电势之间,

所述第五晶体管包括 NMOS 晶体管并且被放置在所述第一节点与所述基准电势之间,

所述第五晶体管的栅极电连接到所述第二节点,

所述第六晶体管包括 NMOS 晶体管并且被放置在所述第二节点与所述基准电势之间,

以及

所述第六晶体管的栅极电连接到所述第一节点。

4. 如权利要求 1 所述的装置, 其中, 所述第一时钟缓冲器通过使用所述第一差分电路来校正具有与所述时钟信号相反相位的信号的占空比, 并且经由串联连接的偶数个 CMOS 反相器电路把占空比被第一差分电路校正后的第一校正后信号输出到所述第一群组的计数器单元的每一个和第二时钟缓冲器, 以及

所述第二时钟缓冲器通过使用所述第二差分电路来校正从所述第一时钟缓冲器提供的具有与第一校正后时钟信号相反相位的第一校正后信号的占空比, 并且经由串联连接的偶数个 CMOS 反相器电路把占空比被第二差分电路校正后的第二校正后信号输出到所述第二群组的计数器单元中的每一个。

固态图像感测装置

技术领域

[0001] 本发明涉及一种固态图像感测装置。

背景技术

[0002] 固态图像感测装置形成为例如 CMOS 图像传感器或 CCD 图像传感器,并且包括其中以阵列形式来布置像素的像素部分以及把从像素部分输出的模拟信号转换为数字信号的模数转换单元。模数转换单元包括:比较单元,其对模拟信号与比较基准电压进行比较,并且输出确定结果;以及计数器单元,其中的每一个对时钟信号进行计数,以测量从比较开始的时刻到确定结果改变的時刻所需的时间。可以使用多个缓冲器来将具有非塌陷(uncollapsed)波形的时钟信号提供给计数器单元的计数器。像素数量的增加导致计数器单元数量的增加和用于时钟信号的传送的时钟引线的长度的增加,这伴随着寄生电容分量/寄生电阻分量的增加。这需要更多的缓冲器。

[0003] 特别地,归因于制造变化,使用大量缓冲器可能导致时钟信号的占空比(高时段(High period)/信号周期)的扰动。日本专利待审公开 No. 2009-89066 公开了一种对每个时钟信号在其两个边缘处进行计数的电路。根据该文献,该电路抑制计数操作的占空比的扰动。

[0004] 缓冲器数量随着像素数量的增加而增加以及伴随小型化的制造变化可能产生关于时钟信号的占空比的扰动的问题。根据专利文献 1,所公开的技术抑制计数操作的占空比的扰动。然而,该文献没有公开抑制时钟信号自身的占空比的扰动的任何技术。

发明内容

[0005] 本发明提供一种技术,其无论制造变化如何,都有利于抑制提供给每个计数器单元的时钟信号的占空比的扰动。

[0006] 本发明的一方面提供一种固态图像感测装置,包括:像素部分,其包括布置为阵列形式的多个像素;转换部分,其包括包含把从像素部分输出的模拟信号转换为数字信号的至少一个模数转换单元的第一群组以及包含至少一个模数转换单元的第二群组;以及时钟提供单元,其包括用于时钟信号的传送的彼此串联连接的第一时钟缓冲器和第二时钟缓冲器,其中,第一群组和第二群组的模数转换单元中的每一个都包括比较单元和计数器单元,比较单元对模拟信号与随着时间而改变的比较基准电势进行比较并且输出结果,计数器单元对从时钟提供单元提供的时钟信号进行计数,第一时钟缓冲器通过使用差分电路来校正时钟信号的占空比,并且经由偶数级上的 CMOS 反相器电路把时钟信号输出到第一群组的计数器单元的每一个和第二时钟缓冲器,以及第二时钟缓冲器通过使用差分电路来校正从第一时钟缓冲器提供的时钟信号的占空比,并且经由偶数级上的 CMOS 反相器电路把时钟信号输出到第二群组的计数器单元中的每一个。

[0007] 根据参照附图对示例性实施例的以下描述,本发明的其它特征将变得清楚。

附图说明

- [0008] 图 1 是示出用于解释传统时钟信号传输方案的固态图像感测装置的示例的电路图；
- [0009] 图 2A 是示出用于解释本发明的固态图像感测装置的示例的电路图；
- [0010] 图 2B 是示出用于解释本发明的固态图像感测装置的示例的电路图；
- [0011] 图 3 是差分电路的电路图；
- [0012] 图 4 是差分电路的时序图；
- [0013] 图 5 是差分电路的时序图；
- [0014] 图 6 是差分电路的电路图；
- [0015] 图 7 是差分电路的时序图；
- [0016] 图 8A 是示出可以用于本发明的固态图像感测装置的计数器单元的计数器的电路图；以及
- [0017] 图 8B 是示出可以用于本发明的固态图像感测装置的计数器单元的计数器的电路图。

具体实施方式

[0018] 首先将详细描述传统时钟信号传输方案的问题。图 1 示出使用传统时钟信号传输方案的固态图像感测装置 1000。例如，固态图像感测装置 1000 包括：像素部分 20，其中，多个像素 10 被布置为阵列形式；转换部分 30，具有多个模数转换单元 31；以及时钟提供单元 40，具有用于时钟信号的传送的彼此串联的多个缓冲器 200。此外，作为外围电路，该装置可以具有水平扫描电路 50、生成比较基准电势（例如斜坡（ramp）信号）的比较基准电势发生器 60 以及生成时钟信号的时钟发生器 70。每个模数转换单元 31 包括比较单元 32 和计数器单元 33，并且将从像素部分 20 输出的模拟信号转换为数字信号。比较单元 32 对模拟信号与随着时间而改变的比较基准电势进行比较，并且输出结果。计数器单元 33 通过对从时钟提供单元 40 提供的时钟信号进行计数来测量从比较单元 32 开始执行比较的时刻到比较结果改变的时刻的时间。每个缓冲器 200 缓冲传送时钟信号，并且将其输出到对应的计数器单元 33 和随后级上的缓冲器 200。

[0019] 如图 1 所示，传统时钟信号传输方案使用缓冲器 200 来将具有非塌陷波形的时钟信号提供给计数器单元 33。归因于像素数量增加而导致的计数器单元 33 数量的增加导致电容分量的增加。此外，用于时钟信号的传送的时钟引线的长度的增加伴随着寄生电容分量 / 寄生电阻分量的增加。这需要更多的缓冲器 200。然而，归因于伴随小型化的制造变化的增加，缓冲器 200 的数量的增加可能导致时钟信号的占空比的扰动。

[0020] 更具体地说，考虑例如归因于制造变化，PMOS 的驱动电流 IDP 与 NMOS 的驱动电流 IDN 之间的关系表示为 $IDP > IDN$ 。在此情况下，缓冲器 200 的阈值电压 V_t 增大。通过该操作，在缓冲之后的时钟信号的高时段变为比在缓冲之前的时钟信号的高时段短。归因于由长时钟引线产生的寄生电容和寄生电阻以及很多计数器单元的输入电容，在缓冲之后的时钟信号经受波形的扰动。然而，由于缓冲器 200 的阈值电压 V_t 已经增大，因此随后级上的缓冲进一步使高时段缩短。每次时钟信号通过缓冲器 200，重复该操作将产生时钟信号的占空比的扰动。结果，与初始时钟信号相比，在时钟提供单元 40 的最后部分处的时钟信号

的占空比已经极大地受扰动。这可能消除时钟信号的高时段。结果,信号可能仅具有低状态(时钟信号自身的矩形波形可能消失)。本发明被配置为:通过使用差分电路来保持时钟信号的占空比恒定,以便防止占空比的扰动。以下将参照附图描述本发明的实施例。

[0021] < 第一实施例 >

[0022] 将参照图 2A 描述根据本发明的第一实施例的固态图像感测装置 1。固态图像感测装置 1 包括:像素部分 20,其中多个像素 10 被布置为阵列形式;转换部分 30,其把从像素部分 20 输出的模拟信号转换为数字信号;以及时钟提供单元 40,其将时钟信号提供给每个计数器单元 33 (稍后描述)。转换部分 30 包括包含至少一个模数转换单元 31 的第一群组 91 和包含至少一个模数转换单元 31 的第二群组 92。该实施例例举两个群组,即第一群组 91 和第二群组 92。然而,转换部分 30 可以还包括包含模数转换单元 31 的其它群组。时钟提供单元 40 包括用于时钟信号的传送的彼此串联连接的第一时钟缓冲器和第二时钟缓冲器 100。第一群组 91 的每个模数转换单元 31 以及第二群组 92 的每个模数转换单元 31 分别包括比较单元 32 和计数器单元 33。比较单元 32 对模拟信号与随着时间而改变的比较基准电势(例如斜坡信号)进行比较,并且输出结果。计数器单元 33 通过对时钟信号进行计数来测量从比较单元 32 开始执行比较的时刻到比较结果改变的时刻的时间。每个时钟缓冲器 100 包括类似于图 3 所示的差分电路 3。

[0023] 第一时钟缓冲器 100 通过使用差分电路 3 来校正时钟信号的占空比,并且将校正后的时钟信号经由偶数级上的 CMOS 反相器电路输出到第一群组 91 的计数器单元 33 和第二时钟缓冲器 100。第二时钟缓冲器 100 通过使用差分电路 3 来校正时钟信号的占空比,并且经由偶数级上的 CMOS 反相器电路将校正后的时钟信号输出到第二群组 92 的计数器单元 33。这可以提供可以防止时钟信号的占空比因缓冲而受扰动(也就是说,可以防止时钟信号自身的矩形波形消失)的固态图像感测装置 1。

[0024] 作为固态图像感测装置 1 的计数器单元 33,特别地,有时使用图 8A 所示的纹波计数器 33a。计数器 33a 使用时钟信号的前沿来执行计数操作,因此只要时钟信号具有恒定时段,时钟信号的占空比的扰动就不造成问题。然而,如上所述,随着重复缓冲,时钟信号的占空比的扰动变得更糟,时钟信号的矩形波形有时在最后部分消失。将本发明应用于该技术可以校正用于每个缓冲的时钟信号的占空比,从而使得其具有恒定占空比。这可以防止在时钟信号到达时钟提供单元 40 的最后部分之前时钟信号的矩形波形消失。

[0025] 如上所述,该实施例可以校正用于每个缓冲的时钟信号的占空比,并且可以保持时钟信号的占空比恒定,直到时钟提供单元 40 的最后部分。

[0026] 差分电路 3 包括电源电势与基准电势之间的 PMOS 晶体管 M1 (第一晶体管)和 M2 (第二晶体管)以及 NMOS 晶体管 M3 (第三晶体管)和 M4 (第四晶体管)。差分电路 3 的两个输出可以分别连接到从偶数级上的 CMOS 反相器形成的缓冲器 BA 和 BB。晶体管 M1 串联连接到晶体管 M3。晶体管 M2 串联连接到晶体管 M4。晶体管 M1 与晶体管 M3 之间的连接点 n1 (第一节点)电连接到晶体管 M2 的栅极。晶体管 M2 与晶体管 M4 之间的连接点 n2 (第二节点)电连接到晶体管 M1 的栅极。晶体管 M3 的栅极充当差分电路 3 的第一输入端子,并且接收时钟信号 CKa_IN。晶体管 M4 的栅极充当差分电路 3 的第二输入端子,并且接收具有与信号 CKa_IN 相反的相位的时钟信号 CKb_IN。连接点 n2 连接到缓冲器 BA 的输入。连接点 n1 连接到缓冲器 BB 的输入。缓冲器 BA 输出信号 CKa_OUT。缓冲器 BB 输出信号 CKb_OUT。

在此情况下,晶体管 M3 和 M4 在大小上比晶体管 M1 和 M2 充分地大。甚至在制造变化的情况下或在包括操作电压条件和操作温度条件的任何条件下,假设晶体管 M3 和 M4 具有比晶体管 M1 和 M2 更大的驱动功率。

[0027] 考虑第一情况:其中设计为具有作为中心电压的阈值电压 V_t 的缓冲器受制造变化影响以使得 PMOS 驱动功率变得比 NMOS 驱动功率更大,以及电压 V_t 变得比设计值更高。也就是说,在第一情况下,差分电路 3 接收的时钟信号的高时段通过缓冲而缩短。图 4 是示出当输入 CKa_IN 的占空比是 $X/(X+Y)$ (其中 $X<Y$) 时在各个节点处的电压以及各个晶体管的状态的时序图。

[0028] 在间隔 T1 中,由于信号 CKa_IN 处于高状态并且信号 CKb_IN 处于低状态,所以晶体管 M3 设置在导通状态,连接点 n1 设置在低状态。因此,晶体管 M2 设置在导通状态,晶体管 M4 设置在关断状态。因此,连接点 n2 设置在高状态,晶体管 M1 设置在关断状态。

[0029] 随后,在间隔 T2 中,由于信号 CKa_IN 处于低状态并且信号 CKb_IN 处于低状态,所以晶体管 M3 设置在关断状态,晶体管 M1 保持在关断状态。因此,连接点 n1 保持在低状态。这将晶体管 M2 保持在导通状态,并且晶体管 M4 处于关断状态。因此,连接点 n2 设置在高状态。

[0030] 在间隔 T3 中,由于信号 CKa_IN 处于低状态并且信号 CKb_IN 处于高状态,所以晶体管 M4 设置在导通状态,连接点 n2 设置在低状态。因此,晶体管 M1 设置在导通状态,晶体管 M3 处于关断状态。因此,连接点 n1 设置在高状态,晶体管 M2 设置在关断状态。

[0031] 在间隔 T4 中,由于信号 CKa_IN 处于低状态并且信号 CKb_IN 处于低状态,所以晶体管 M4 设置在关断状态,晶体管 M2 保持在关断状态。这将连接点 n2 保持在低状态。这也将晶体管 M1 保持在导通状态。由于晶体管 M3 处于关断状态,因此连接点 n1 设置在高状态。

[0032] 在第一情况下,归因于作为在间隔 T1 至 T4 中的操作的重复的结果的缓冲,时钟信号的占空比扰动为 $X/(X+Y)$ (其中 $X<Y$)。占空比在差分电路 3 中的连接点 n1 和 n2 处恢复到 50% 并且被校正。

[0033] 接下来,考虑第二情况:设计为具有作为中心电压的阈值电压 V_t 的缓冲器受制造变化影响以使得 NMOS 驱动功率变得比 PMOS 驱动功率更大,以及电压 V_t 变得比设计值更低。也就是说,在第二情况下,差分电路 3 接收的时钟信号的高时段通过缓冲而延长。图 5 是示出当输入 CKa_IN 的占空比是 $Y/(X+Y)$ (其中 $X<Y$) 时在各个节点处的电压以及各个晶体管的状态的时序图。

[0034] 在间隔 T1 中,由于信号 CKa_IN 处于高状态并且信号 CKb_IN 处于低状态,所以晶体管 M3 设置在导通状态,连接点 n1 设置在低状态。因此,晶体管 M2 设置在导通状态,晶体管 M4 设置在关断状态。因此,连接点 n2 设置在高状态,晶体管 M1 设置在关断状态。

[0035] 随后,在间隔 T2 中,由于信号 CKa_IN 处于高状态并且信号 CKb_IN 处于高状态,所以晶体管 M4 设置在导通状态,晶体管 M2 保持在导通状态。然而,由于晶体管 M4 具有比晶体管 M2 更大的驱动功率,因此连接点 n2 设置在低状态。这将晶体管 M1 设置在导通状态。虽然晶体管 M3 也处于导通状态,但出于相同原因,连接点 n1 设置在低状态。

[0036] 在间隔 T3 中,由于信号 CKa_IN 处于低状态并且信号 CKb_IN 处于高状态,所以晶体管 M4 设置在导通状态,连接点 n2 设置在低状态。因此,晶体管 M1 设置在导通状态,晶体管 M3 处于关断状态。因此,连接点 n1 设置在高状态,晶体管 M2 设置在关断状态。

[0037] 在间隔 T4, 由于信号 CKa_IN 处于高状态并且信号 CKb_IN 处于高状态, 所以晶体管 M3 保持在导通状态。此时, 晶体管 M1 也保持在导通状态。然而, 由于晶体管 M3 具有比晶体管 M1 更大的驱动功率, 因此连接点 n1 设置在低状态。这将晶体管 M2 设置在导通状态。虽然晶体管 M4 也处于导通状态, 但出于相同原因, 连接点 n2 设置在低状态。

[0038] 重复在间隔 T1 至 T4 中的操作。在第二情况下, 当其占空比归因于缓冲而扰动为 $Y/(X+Y)$ (其中 $X<Y$) 的信号输入到差分电路 3 时, 占空比在连接点 n1 和 n2 处反转为 $X/(X+Y)$ 。此后, 缓冲器 BA (或缓冲器 BB) 对占空比已经反转的该时钟信号进行缓冲。因此, 高时段延长, 占空比被恢复并且校正。也就是说, 差分电路 3 校正占空比的扰动, 并且防止时钟信号的矩形波形消失。

[0039] 总之, 在第一情况下, 差分电路 3 将已经被扰动的时钟信号的占空比恢复并且校正为 50%。在第二情况下, 差分电路 3 将占空比反转, 后续缓冲器 BA (或缓冲器 BB) 校正占空比。因此, 本发明可以获得上述效果。

[0040] < 第二实施例 >

[0041] 将描述本发明的第二实施例。第二实施例与第一实施例不同在于, 图 6 所示的差分电路 4 用作时钟缓冲器 100。除了差分电路 3 的电路布置之外, 差分电路 4 还包括 NMOS 晶体管 M5 (第五晶体管) 和 NMOS 晶体管 M6 (第六晶体管)。晶体管 M5 与晶体管 M3 并行放置。晶体管 M5 的栅极连接到连接点 n2。晶体管 M6 与晶体管 M4 并行放置。晶体管 M6 的栅极连接到连接点 n1。使用图 3 所示的差分电路 3 产生的问题在于, 在上述第一情况下 (图 4), 在间隔 T2 和 T4 中, 连接点 n1 和 n2 设置在浮置状态下。使用差分电路 4 作为时钟缓冲器 100 将解决问题并且为固态图像感测装置 1 提供更高的可靠性。

[0042] 图 7 是示出在上述第一情况下 (即当输入 CKa_IN 的占空比是 $X/(X+Y)$ (其中 $X<Y$) 时) 差分电路 4 中的各个节点处的电压和各个晶体管的状态的时序图。也就是说, 图 7 是附加地示出在图 4 的每个间隔中晶体管 M5 和 M6 的状态的时序图。晶体管 M5 的状态与晶体管 M1 的状态相反, 晶体管 M6 的状态与晶体管 M2 的状态相反。使用差分电路 4 因此归因于晶体管 M5 和 M6 的互补动作而将会防止连接点 n1 和 n2 设置在浮置状态下, 并且可以为固态图像感测装置 1 提供更高的可靠性。

[0043] < 第三实施例 >

[0044] 将参照图 2B 描述根据本发明的第三实施例的固态图像感测装置 2。第三实施例与第一实施例不同在于, 时钟缓冲器 100 使用两个差分时钟信号。例如, 可以通过使用图 8B 所示的纹波计数器 33a' 来形成计数器单元 33'。计数器 33a' 在由时序图 (例如图 4 或图 5) 指示的信号 CKa_OUT 的波形的前沿和信号 CKb_OUT 的波形的后沿处执行计数操作。也就是说, 该计数器在两个边沿 (即信号 CKa_OUT 的前沿和后沿) 处操作。因此, 必须防止每个时钟信号的占空比受到缓冲扰动。将本发明应用于该技术可以保持时钟信号的占空比恒定, 直到时钟提供单元 40 的最后部分。

[0045] 以上已经描述了三个实施例。显然, 可以根据其它规范需求而修改本发明。

[0046] 以下将例举包括根据上述每个实施例的固态图像感测装置的相机, 作为固态图像感测装置的应用示例。相机的概念不仅包括主要针对成像的装置而且还包括辅助地具有成像功能的装置 (例如个人计算机或便携式终端)。相机包括已经在以上实施例中例举的根据本发明的固态图像感测装置、以及用于处理从固态图像感测装置输出的信号的处理单元。

处理单元可以包括例如 A/D 转换器以及处理从 A/D 转换器输出的数字数据的处理器。

[0047] 虽然已经参照示例性实施例描述了本发明,但应理解,本发明不限于所公开的示例性实施例。所附权利要求的范围将要被赋予最宽泛的解释,从而包括所有这些修改以及等效结构和功能。

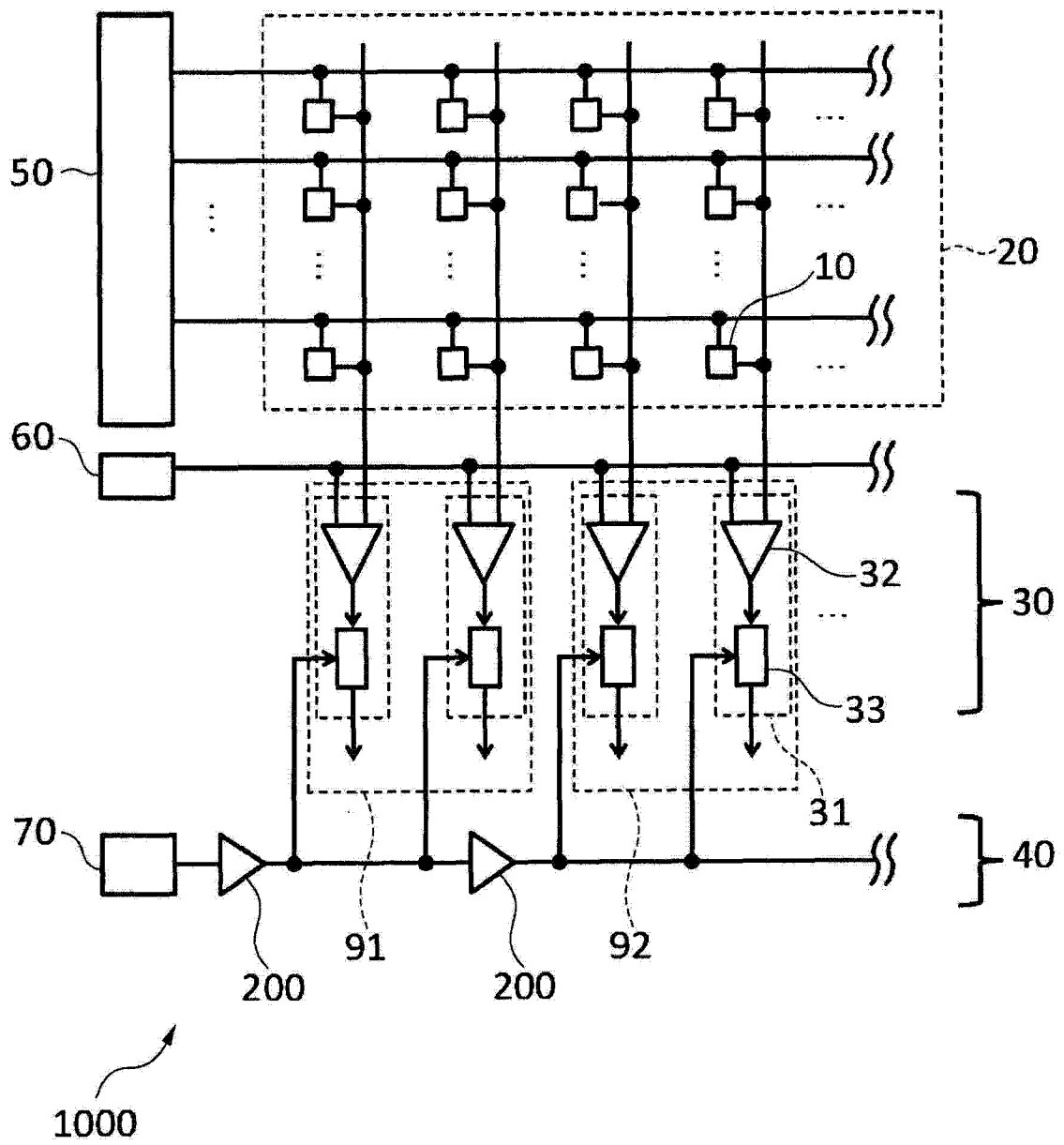


图 1

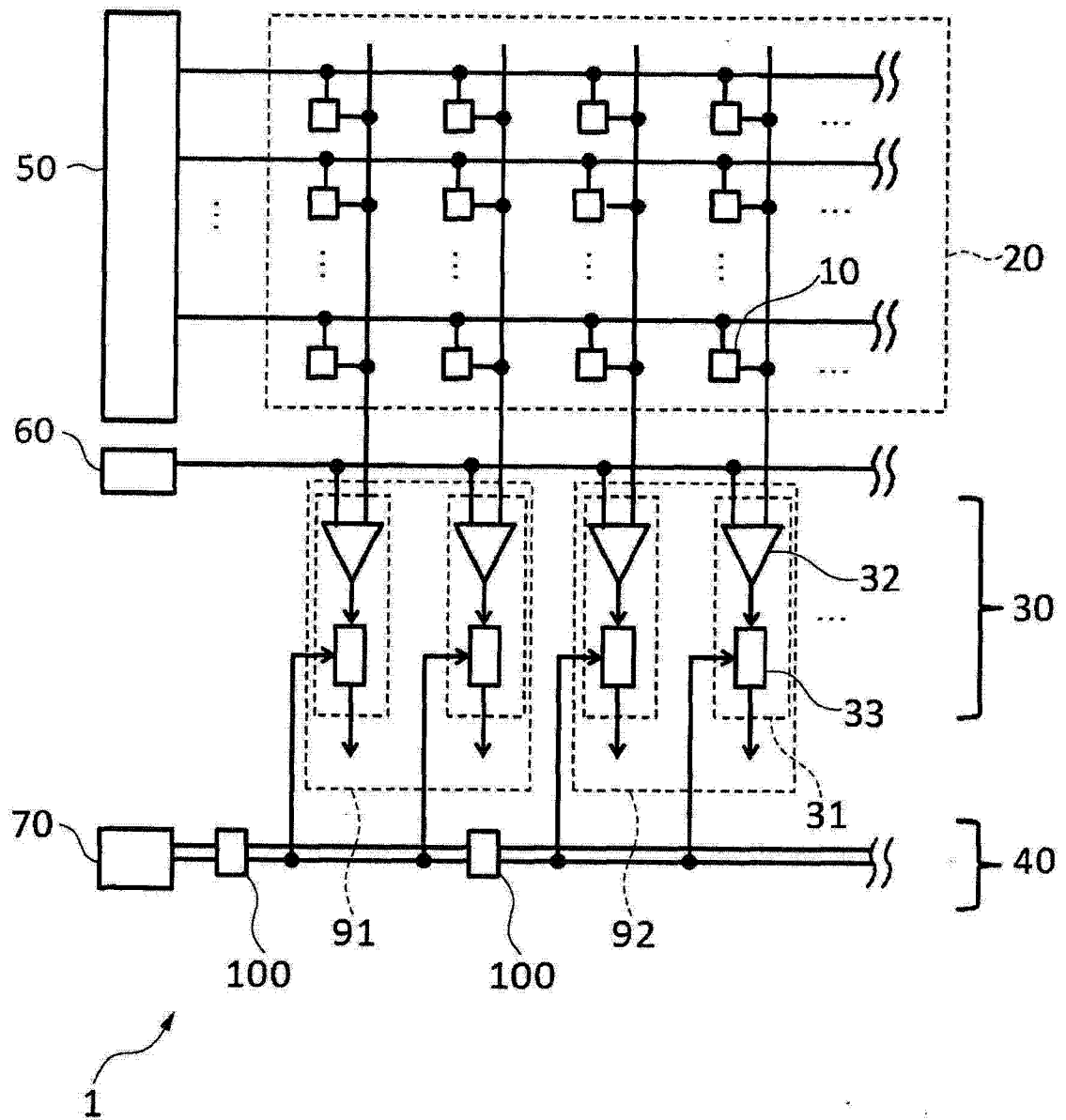


图 2A

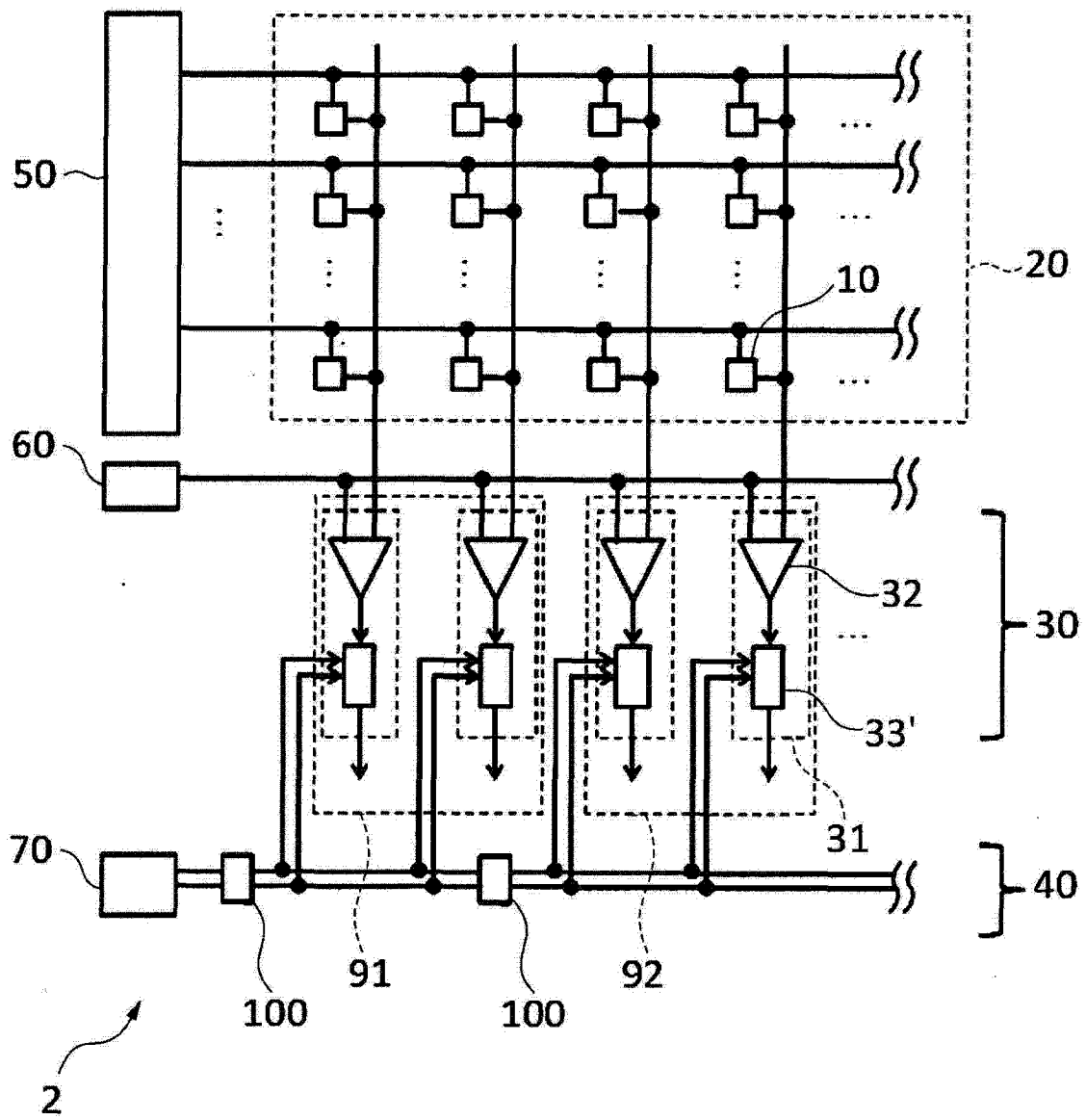


图 2B

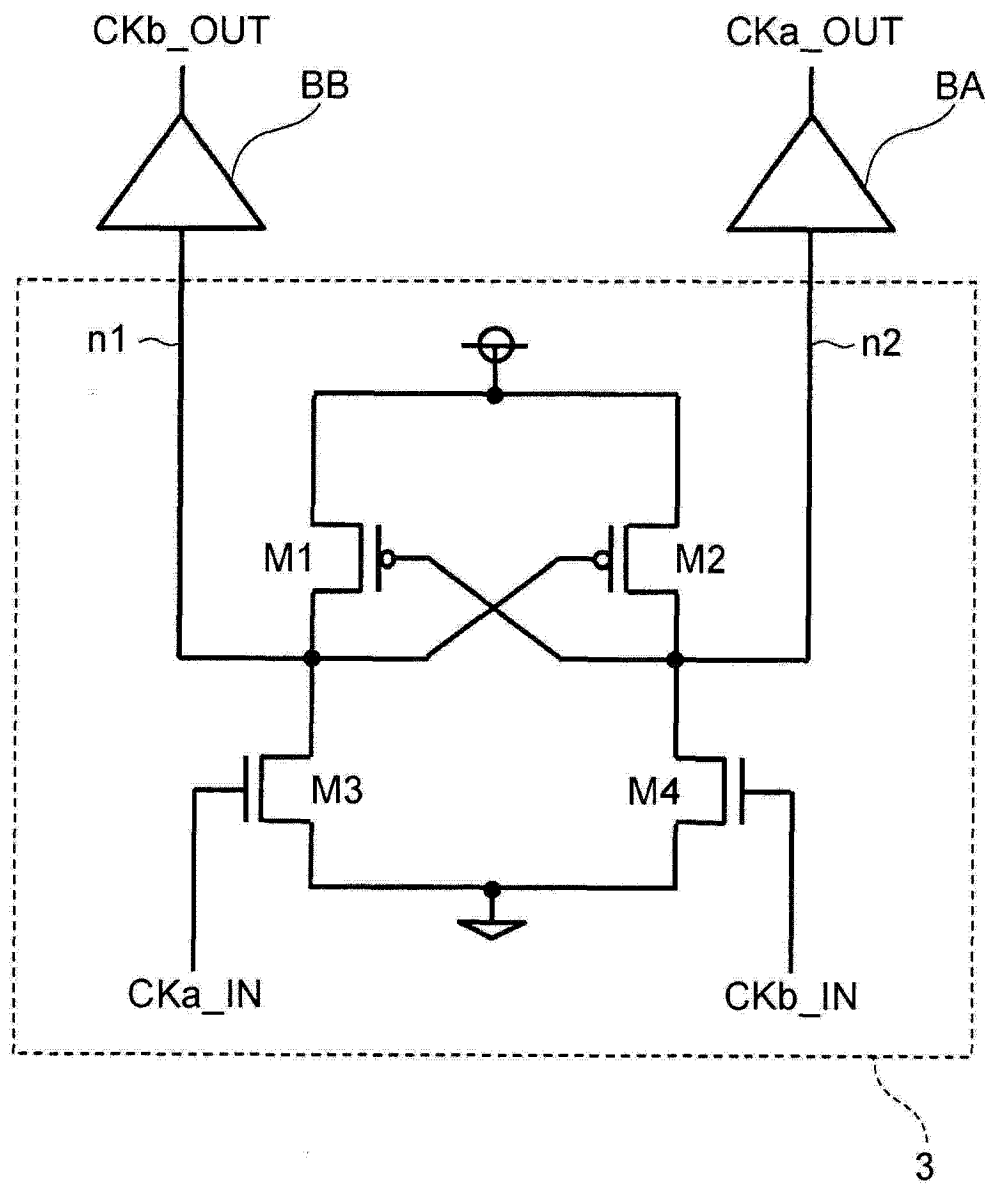


图 3

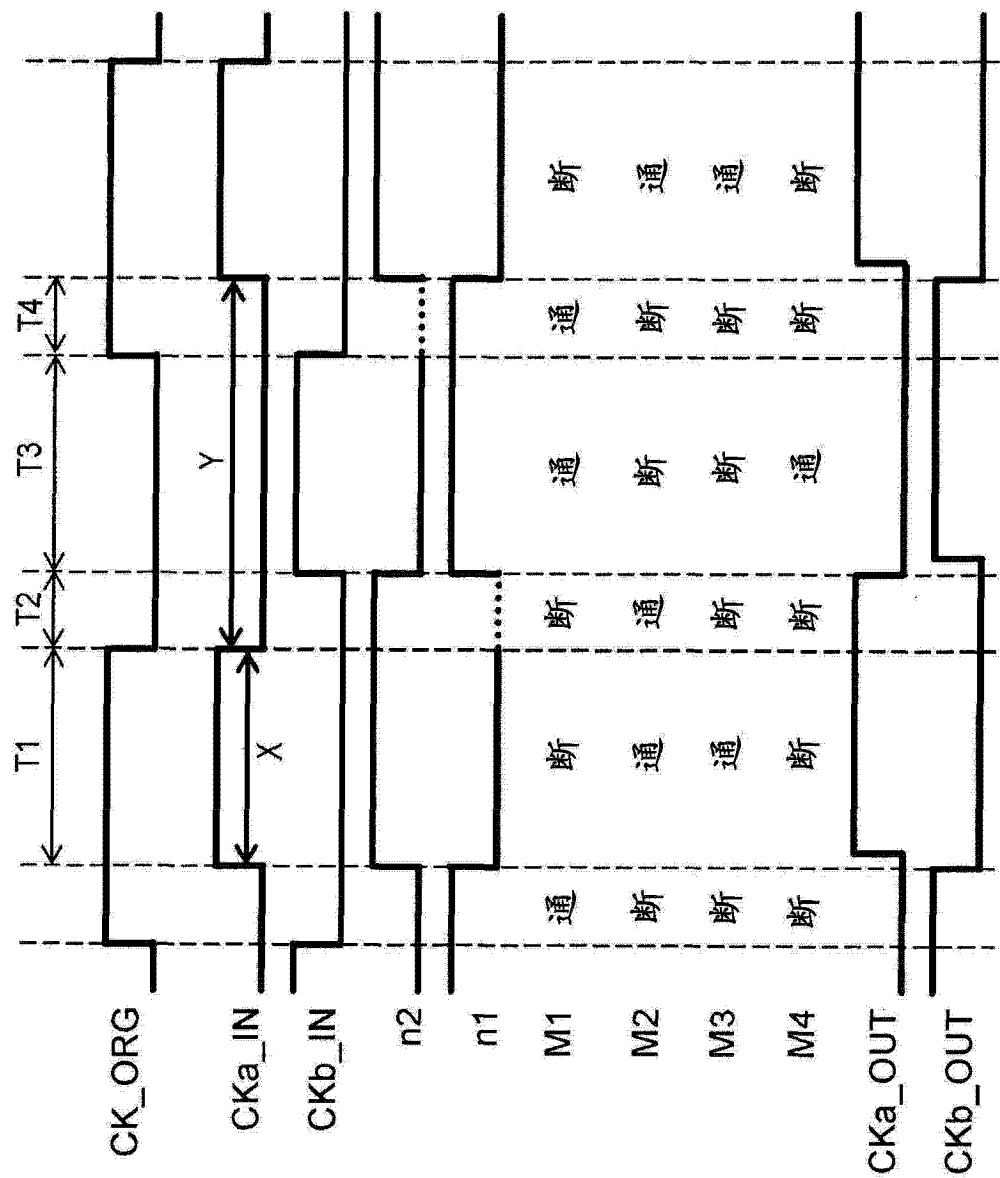


图 4

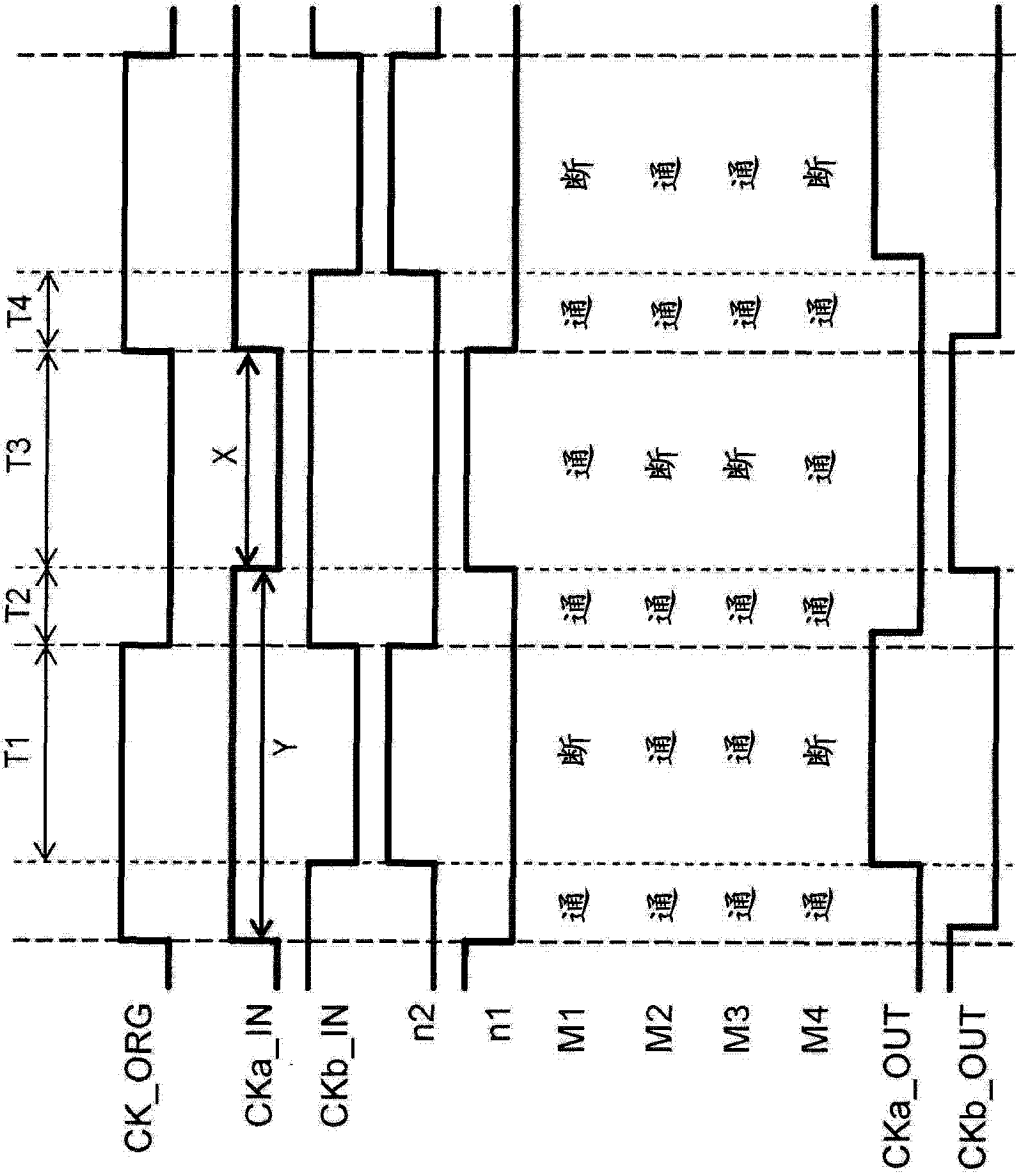


图 5

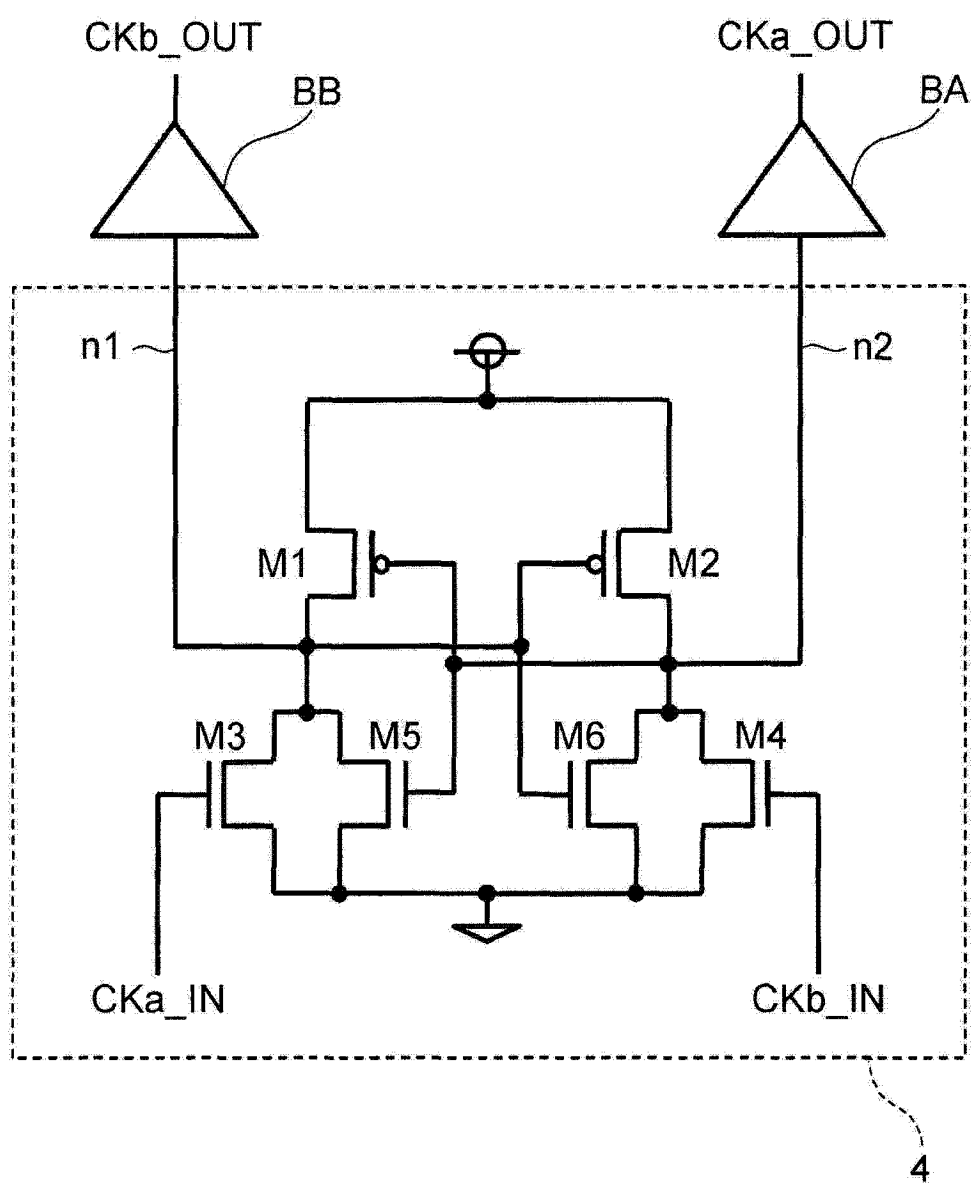


图 6

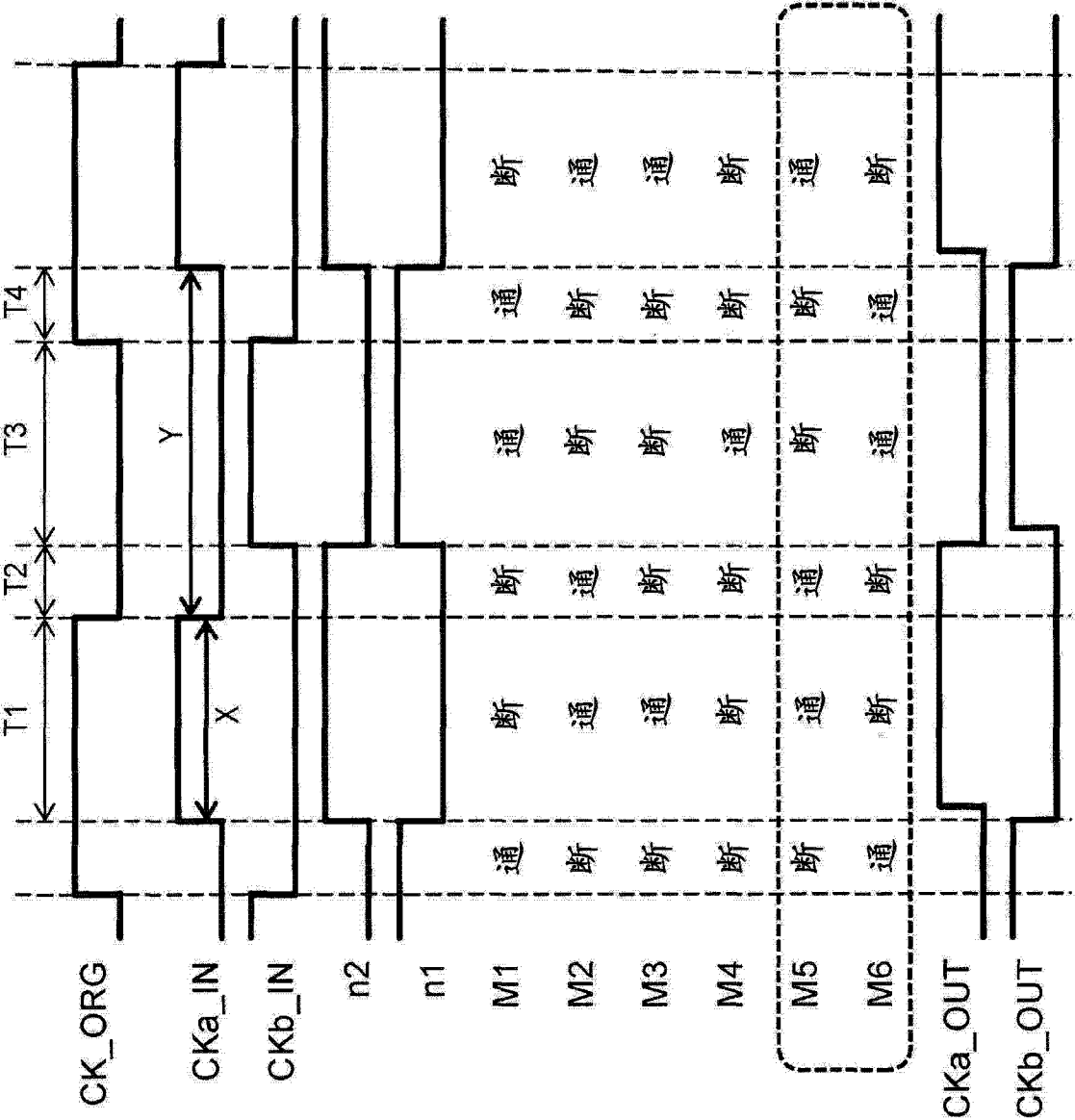


图 7

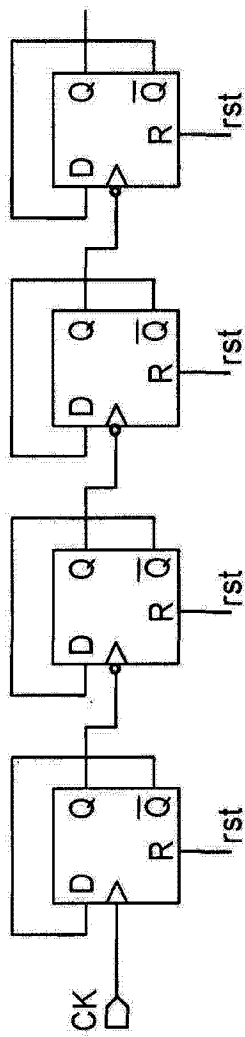


图 8A

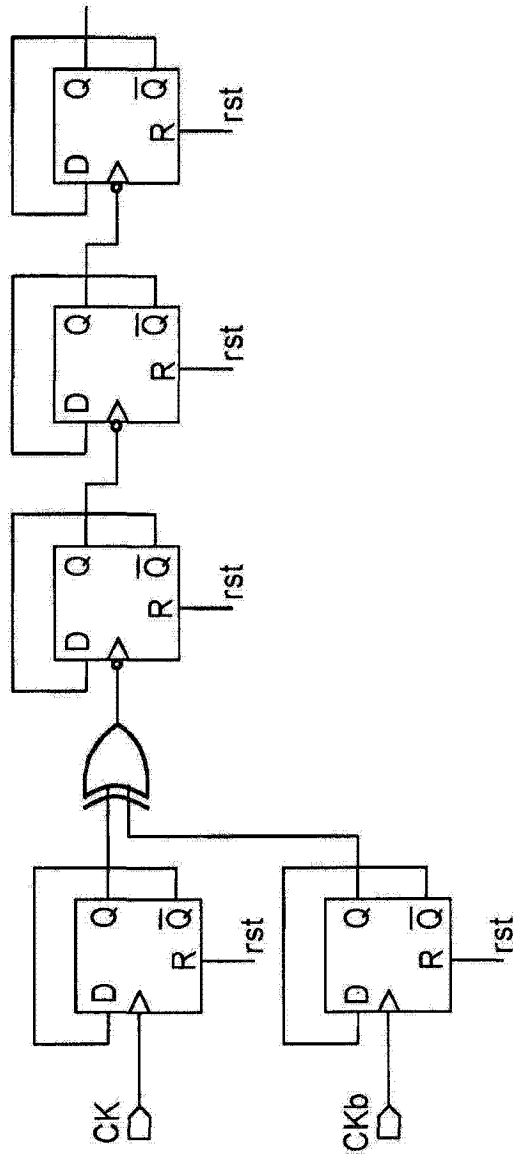


图 8B