

申請日期	90 - 08 - 31
案 號	90 12 16 24
類 別	H01L 2/26

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書
~~新 型~~

一、發明 新型 名稱	中 文	半導體裝置之製造方法
	英 文	METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE
二、發明人 創作	姓 名	1.有田 浩二 KOJI ARITA 2.上本 康裕 YASUHIRO UEMOTO
	國 籍	均日本
三、申請人	住、居所	1.日本國大阪府大阪市東淀川區淡路2-1-6-601 2.日本國滋賀縣大津市中庄2-2-31
	姓 名 (名 稱)	日商松下電器產業股份有限公司 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
	國 籍	日本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 姓 名	中村 邦夫 KUNIO NAKAMURA

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
日本 2000.08.31 特願2000-263466

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

[本發明所屬之技術領域]

本發明係關於在 SOI(Silicon.On.Insulator 或者 Semiconductor .On Insulator)基板上形成溝槽隔離而將元件和元件隔離開之半導體裝置之製造方法。

[習知之技術]

吾人已知，電晶體或者電阻等元件形成在由絕緣膜和形成於其上之半導體層而構成之 SOI 基板上而構成的半導體裝置，具有以下之優點：由於寄生電容的減小而實現了高速動作和高耐壓化；由於防止了閉鎖等而實現了高可靠性等。

圖 14 係顯示習知之半導體裝置，具體而言，即在 SOI 基板上形成 MOS(Metal Oxide Semiconductor)電晶體而構成之半導體裝置的剖面結構。

如圖 14 所示，半導體基板 1，係為一由單結晶半導體矽製成的基板主體部份 2 和基本表面部份 3 被第一絕緣膜 4 相互電氣絕緣隔離而構成之 SOI 基板；基板表面部份 3 中元件形成區域以外之區域，係由氧化矽膜 5 覆蓋起來；元件隔離用溝(以下稱為溝槽)6 形成在氧化矽膜 5 及基板表面部份 3 中位於元件隔離區域之部份上。

在溝槽 6 的壁面形成有由氧化矽製成的第二絕緣膜 7，其內形成有第二絕緣膜 7 的溝槽 6 係被由多結晶矽製成的嵌埋層 8 埋起，而且該嵌埋層 8 之表面被由氧化矽製成的第三絕緣膜 9 覆蓋起來。是以，溝槽型元件隔離結構 10，係由第二絕緣膜 7、嵌埋層 8 及第三絕緣膜 9 構成。

五、發明說明(2)

閘電極 12 形成在基板表面部份 3 中由溝槽型元件隔離結構 10 圍起之那一部份，即元件形成區域上，其間夾著閘極絕緣膜 11；一對雜質擴散層 13 即成為源極區和汲極區之層形成在基板表面部份 3 中閘電極 12 之兩側。由閘電極 12 及雜質擴散層 13 等構成 MOS 電晶體 14。順便提一下，習知之半導體裝置亦可為如此之裝置：例如雙載子型元件或者電阻元件等其它元件形成在元件形成區域以代替 MOS 電晶體 14；或者除了 MOS 電晶體 14 以外，例如雙載子型元件或者電阻元件等其它元件亦形成在元件形成區域上。

圖 15(a)及圖 15(b)為剖面圖，係顯示每一個用以形成圖 14 所示的習知之半導體裝置的溝槽型元件隔離結構之步驟。

首先，如圖 15(a)所示，係在使用了溴化氫等氣體之反應離子蝕刻技術等下，利用由借助普通之微影技術而圖案化之光阻膜、或氮化矽膜、或氧化矽膜而製成的光罩圖案 15 來蝕刻氧化矽膜 5 及基板表面部份 3，即形成了通至第一絕緣膜 4 之溝槽 6。

其次，如圖 15(b)所示，對基板表面部份 3 上靠近溝槽 6 之壁面之部份進行熱氧化，而形成由氧化矽製成的第二絕緣膜 7，之後，再去除為進行蝕刻而作光罩圖案 15 用之光阻膜、或者氮化矽膜、或者氧化矽膜。

[發明欲解決之課題]

然而，在上述習知之半導體裝置之製造方法下，借助熱

五、發明說明(3)

氧化形成第二絕緣膜 7 時，氧原子會侵入由第一絕緣膜 4 和基板表面部份 3 形成之界面、由基板表面部份 3 和氧化矽膜 5 形成之界面。結果，係氧化矽膜沿著各個界面生長(參考圖 15(b)中的區域 RA 及 RB)。因這時體積伴隨著構成基板表面部份 3 之單結晶半導體矽之氧化而膨脹，故在基板表面部份 3 中由溝槽 6 圍起之部份，即在位於元件形成區域之那一部份半導體層上產生壓縮應力，以致在該半導體層發生結晶缺陷。這一問題在使元件更細小、使成為基板表面部份 3 的單結晶矽膜更薄等時，則更加明顯。

為解決上述問題，例如日本國專利公報第 2589209 號敘述了如此之一種方法：形成溝槽後利用減壓氣相在溝槽內沈積多結晶半導體膜而使溝槽的角圓滑一些，之後再形成熱氧化膜以減小為結晶缺陷之原因的應力，特別是在下方角(即圖 15(b)中的區域 RA)上的應力。

然而，依照專利公報第 2589209 號中之方法，每一個角之曲率係依賴於多結晶半導體膜的覆蓋形狀，故在沈積好多結晶半導體膜以後所進行的熱氧化步驟中，應力得以減小之程度亦隨著該覆蓋形狀而變。是以，有發生上述結晶缺陷之可能性，而且製造偏差大之時，發生結晶缺陷之可能性亦大，這甚至會成為元件良率下降的主要原因。

本發明係為解決上述問題而鑽研出來者。其目的係在於：徹底防止於 SOI 基板上形成溝槽型元件隔離結構之時，起因於作用在溝槽角等上之應力而導致在位於元件形成區域之那一部份半導體層上出現結晶缺陷這一不良現象之發

五、發明說明(4)

生。

[解決課題之手段]

為達成上述目的，本發明所關係之半導體裝置之製造方法，係包括：於形成在第一絕緣膜上之半導體層上形成通至第一絕緣膜的元件隔離用溝的步驟，和利用氣相沈積法將第二絕緣膜沈積在元件隔離用溝中的步驟。

依照本發明之半導體裝置之製造方法，係利用氣相沈積法將第二絕緣膜沈積於形成在第一絕緣膜上之半導體層上且通至第一絕緣膜的元件隔離用溝中了，故不用於元件隔離用溝之壁面形成熱氧化膜，便能在 SOI 基板上形成溝槽型元件隔離結構。換言之，因不需要會成為氧化膜沿第一絕緣膜／半導體層界面生長之原因的熱氧化步驟了，故能徹底防止起因於作用在溝槽角等上之應力而出現在位於元件形成區域之那一部份半導體層上的結晶缺陷。

於本發明之半導體裝置之製造方法下，較佳者，係在沈積第二絕緣膜的步驟中，將元件隔離用溝的一部份填起來；較佳者，係還包括於沈積第二絕緣膜的步驟之後，再形成嵌埋層而將元件隔離用溝全部填起來的步驟。

如此做之同時，再讓用於形成嵌埋層的材料和半導體層的材料一樣，則嵌埋層和半導體層間的熱膨脹係數等物理常數之差異消失，故無論在半導體製造工藝中之哪一個熱處理步驟下，和僅用絕緣膜將元件隔離用溝之整個內部填起來相比，皆能抑製應力之發生，由此而提高元件之可靠性。

五、發明說明(5)

還有，若這時在形成嵌埋層的步驟之後，還包括在嵌埋層上形成第三絕緣膜的步驟，則就是在嵌埋層具有導電性之情形下，亦不會導致元件之可靠性下降。

於本發明之半導體裝置之製造方法下，較佳者，係在形成元件隔離用溝的步驟與沈積第二絕緣膜的步驟之間，還包括借助氧化半導體層中靠近元件隔離用溝之壁面之那一部份形成氧化膜的步驟；較佳者，係在沈積第二絕緣膜的步驟中，還包括沈積第二絕緣膜以將氧化膜覆蓋起來的步驟。

是以，形成了由借助氧化(具體而言，為熱氧化)元件隔離用溝之壁面而形成之氧化膜、和利用氣相沈積法在該氧化膜上形成之第二絕緣膜而構成的疊層結構，從而實現了具有該疊層結構的溝槽型元件隔離結構。結果是，因大幅度地減小了形成在元件隔離用溝之壁面上之氧化膜之厚度，故能夠在用以形成氧化膜的熱氧化步驟下，給氧化膜設定一保證不會因應力集中在溝槽角等而導致結晶缺陷發生之厚度。

這時，較佳者，係氧化膜的厚度在 50nm 以下。

是以，便確能防止在用以形成氧化膜的熱氧化步驟下發生結晶缺陷。

[發明之實施形態]

(第一實施形態)

以下，參考附圖，對本發明之第一實施形態所關係之半導體裝置之製造方法加以說明。

五、發明說明(6)

圖 1 至圖 5 皆為剖面圖，係顯示第一實施形態所關係之半導體裝置之製造方法中之每一個步驟。

首先，如圖 1 所示，準備為 SOI 結構之半導體基板 101，該半導體基板 101，係由分別由單結晶半導體矽製成的基板主體部份 102 和基板表面部份 103 中間夾著由氧化矽製成的第一絕緣膜 104 接合而成者。其次，在半導體基板 101 之基板表面部份 103 之整個表面上塗敷光阻材料並形成光阻膜，然後再利用微影技術將該光阻膜圖案化，在以後的步驟中，形成在位於將成為元件隔離區域的規定區域上具有開口之光阻圖案 105。最後，以光阻圖案 105 作蝕刻掩護罩對基板表面部份 103 進行乾式蝕刻，而在基板表面部份 103 形成通至半導體基板 101 之第一絕緣膜 104 的元件隔離用溝 106。順便提一下，在對基板表面部份 103 進行乾式蝕刻的步驟下，第一絕緣膜 104 本身亦可被用作蝕刻中止層。

其次，如圖 2 所示，去除光阻圖案 105 之後，再利用氣相沈積法在包括元件隔離用溝 106 之內側的基板表面部份 103 的整個表面上沈積由氧化矽製成的第二絕緣膜 107，藉以將元件隔離用溝 106 的一部份填起來。接著，再在第二絕緣膜 107 上形成由多結晶矽製成的嵌埋層 108，藉以將元件隔離用溝 106 全部填起來。

其次，利用反應離子蝕刻(RIE: Reactive Ion Etching)等乾式非等向性蝕刻對嵌埋層 108 進行回蝕，如圖 3 所示，去除元件隔離用溝 106 以外之嵌埋層 108，而僅留下元件隔

五、發明說明(7)

離用溝 106 內部之嵌埋層 108。接著，利用爐步驟熱氧化留下之嵌埋層 108 的上部，而在嵌埋層 108 之表面上形成由氧化矽製成的第三絕緣膜 109。順便提一下，在回蝕嵌埋層 108 的步驟下，第二絕緣膜 107 可用作蝕刻中止層。

其次，在半導體基板 101 的整個表面上塗敷光阻材料而形成光阻膜(圖示省略)，之後將該光阻膜圖案化而形成在元件形成區域上具有開口的光阻圖案(圖示省略)，之後，再以該光阻圖案作蝕刻掩護罩來對第二絕緣膜 107 進行例如濕式蝕刻。是以，如圖 4 所示，去除了第二絕緣膜 107 中位於元件形成區域之部份。之後，去除上述光阻圖案，亦即完成了由第二絕緣膜 107、嵌埋層 108 及第三絕緣膜 109 構成的溝槽型元件隔離結構 110 的形成工作。

其次，在第二絕緣膜 107 已被去除的元件形成區域，即基板表面部份 103 中由溝槽型元件隔離結構 110 圍起之區域形成所需之元件。具體而言，在第一實施形態中，如圖 5 所示，在半導體基板 101 的基板表面部份 103 上形成所需形狀之閘電極 112，其間夾著閘極氧化膜 111。之後，以構成溝槽型元件隔離結構 110 的第二絕緣膜 107 及第三絕緣膜 109、閘電極 112 作掩護罩向基板表面部份 103 植入離子，以便在基板表面部份 103 中閘電極 112 之兩側形成一對具有所需之導電型的雜質擴散層 113 作源極區和汲極區。是以，形成了由閘電極 112 及雜質擴散層 113 等而構成的 MOS 電晶體 114。

如上所述，依照第一實施形態，係利用氣相沈積法於形成

五、發明說明(8)

在第一絕緣膜 104 上的基板表面部份 103(即單結晶矽層)上、且通至第一絕緣膜 104 的元件隔離用溝 106 中沈積了第二絕緣膜 107，故不用於元件隔離用溝之壁面形成熱氧化膜，便能在半導體基板 101，即 SOI 基板上形成溝槽型元件隔離結構 110。換言之，因不需要會成為氧化膜沿第一絕緣膜 104／基板表面部份 103 界面生長之原因的熱氧化步驟了，故能徹底防止起因於作用在元件隔離用溝 106 的下方角等上之應力而出現在位於元件形成區域之那一部份單結晶矽層上的結晶缺陷。是以，元件之可靠性大大地提高了，結果是半導體裝置的良率獲得了大大的改善。

還有，依照第一實施形態，係沈積將元件隔離用溝 106 填了一部份的第二絕緣膜 107，且在第二絕緣膜 107 上形成將元件隔離用溝 106 全部填起來的嵌埋層 108。因這時用於形成嵌埋層 108 的材料和基板表面部份 103 的材料(矽)一樣，故可抑製因嵌埋層 108 和基板表面部份 103 間之熱膨脹係數的不同等而導致之應力之發生，由此可提高元件之可靠性。而且，因這時在嵌埋層 108 的表面形成了第三絕緣膜 109，故就是在嵌埋層 108 具有導電性之情形下，亦不會導致元件之可靠性下降。

順便提一下，在第一實施形態中，係利用光阻圖案 105 作用來形成元件隔離用溝 106 的蝕刻掩護罩，不僅如此，亦可利用例如氧化矽膜、或者氮化矽膜(參考第二實施形態)、或者氧化矽膜和氮化矽膜的疊層膜等來作蝕刻掩護罩。

五、發明說明(9)

還有，在第一實施形態中，較佳者，係先在元件隔離用溝 106 的內部形成第二絕緣膜 107，之後再進行對第二絕緣膜 107 進行退火處理的爐步驟(退火時的氣體環境，既可以是氮氣，亦可以是氧氣)。因如此可使第二絕緣膜 107 很致密，故可提高第二絕緣膜 107 的電氣絕緣特性。

還有，在第一實施形態中，沈積第二絕緣膜 107 時，較佳者，係採用化學氣相沈積法。是以，可在元件隔離用溝 106 之內側獲得由第二絕緣膜 107 均勻地覆蓋著之覆蓋結構。

還有，在第一實施形態中，係在對嵌埋層 108 進行回蝕而僅留下元件隔離用溝 106 內部的嵌埋層 108 之後，再進行用來對留下之嵌埋層 108 之上部進行熱氧化的爐步驟，然後，再以光阻圖案作蝕刻掩護罩去除第二絕緣膜 107 中與元件形成區域相對應之那一部份。亦可以用下述作法代替之。即在對嵌埋層 108 進行回蝕而僅留下元件隔離用溝 106 內部的嵌埋層 108 之後，再以光阻圖案作蝕刻掩護罩去除第二絕緣膜 107 中與元件形成區域相對應之那一部份，然後再進行用來對留下之嵌埋層 108 的上部進行熱氧化的爐步驟。

還有，在第一實施形態中，係用多結晶矽作了嵌埋層 108 之材料，亦可以代替它，用例如非晶質矽等作嵌埋層 108 的材料。惟，較佳者，係用於形成嵌埋層 108 的材料和基板表面部份 103 的材料一樣。因若如此，嵌埋層 108 和基板表面部份 103 間的热膨脹係數等物理常數之差异消

五、發明說明 (10)

失，故無論在半導體製造工藝中的哪一個熱處理步驟下，和僅用絕緣膜將元件隔離用溝 106 的整個內部填起來相比，都能抑製應力的發生，由此而可提高元件之可靠性。對嵌埋層 108 所進行的回蝕步驟下的最後檢查亦很容易進行。

還有，在第一實施形態中，係在元件形成區域形成了 MOS 電晶體 114，不用說，並不限於此，在該元件形成區域形成例如雙載子元件或者電阻元件等其它元件亦係完全可以者。

(第二實施形態)

下面，參考附圖，對本發明之第二實施形態所關係之半導體裝置之製造方法加以說明。

圖 6 至圖 13 皆為剖面圖，係顯示第二實施形態所關係之半導體裝置之製造方法中的每一個步驟。

首先，如圖 6 所示，準備為 SOI 結構之半導體基板 201，該半導體基板 201，係由分別由單結晶半導體矽製成的基板主體部份 202 和基板表面部份 203 中間夾著由氧化矽製成的第一絕緣膜 204 接合而成者。

順便提一下，在第二實施形態中，係利用 LOCOS(Local Oxidation of Silicon)法在基板表面部份 203 中元件形成區域以外之區域形成氧化矽膜 205。換言之，在第二實施形態中，係同時使用 LOCOS 元件隔離法和溝槽元件隔離法，故可依照欲形成之元件之種類決定該使用哪一種元件隔離法。在形成例如 BiCMOS(Bipolar-CMOS)積體電路之情形

五、發明說明(11)

下，用溝槽元件隔離法隔離雙載子元件；而用 LOCOS 隔離 MOS 電晶體。

接著，如圖 6 所示，利用氣相沈積法在半導體基板 201 的整個表面上形成氮化矽膜 206，再在半導體基板 201 的整個表面上塗敷光阻材料並形成光阻膜(圖示省略)，之後，再利用微影技術將該光阻膜圖案化，在以後的步驟中，形成在位於將成為元件隔離區域的規定區域上具有開口之光阻圖案(圖示省略)。之後，以該光阻圖案作蝕刻掩護罩依次對氮化矽膜 206 及氧化矽膜 205 進行乾式蝕刻，而將氮化矽膜 206 及氧化矽膜 205 圖案化，之後將上述光阻圖案去除。其次，以已被圖案化之氮化矽膜 206 作蝕刻掩護罩對基板表面部份 203 進行乾式蝕刻，而在基板表面部份 203 上形成通至半導體基板 201 中之第一絕緣膜 204 的元件隔離用溝 207。順便提一下，在對基板表面部份 203 進行乾式蝕刻的步驟中，第一絕緣膜 204 本身可被用作蝕刻中止層。

其次，如圖 7 所示，對基板表面部份 203 中靠近元件隔離用溝 207 壁面之那一部份進行利用了爐步驟之熱氧化，藉以形成由氧化矽製成的氧化膜 208。氧化膜 208 起電氣絕緣層之作用，在第二實施形態中，係設定上述爐步驟中的條件，藉以讓氧化膜 208 的膜厚在 2~50nm 之間。其次，利用氣相沈積法在包括元件隔離用溝 207 之內側的半導體基板 201 的整個表面上沈積由氧化矽製成的第二絕緣膜 209，藉以覆蓋氧化膜 208 並將元件隔離用溝 207 的一

五、發明說明 (12)

部份填起來。其次，再在第二絕緣膜 209 上形成由多結晶矽構成的嵌埋層 210，藉以將元件隔離用溝 207 全部填起來。

其次，如圖 8 所示，利用 RIE 等乾式非等向性蝕刻對嵌埋層 210 進行回蝕，去除元件隔離用溝 207 以外的嵌埋層 210，而僅留下元件隔離用溝 207 內部之嵌埋層 210。順便提一下，在回蝕嵌埋層 210 的步驟下，第二絕緣膜 209 可作蝕刻中止層用。

其次，如圖 9 所示，利用例如濕式蝕刻將第二絕緣膜 209 中與氮化矽膜 206 接觸之部份去除，接著，再利用例如濕式蝕刻將氮化矽膜 206 去除。

其次，如圖 10 所示，利用氣相沈積法在半導體基板 201 的整個表面上沈積第三絕緣膜 211，再在該第三絕緣膜 211 的整個表面上塗敷光阻材料而形成光阻膜(圖示省略)並將該光阻膜圖案化而形成在元件形成區域上具有開口的光阻圖案(圖示省略)，之後，再以該光阻圖案作蝕刻掩護罩來對第三絕緣膜 211 進行例如濕式蝕刻，去除第三絕緣膜 211 中與元件形成區域相對應之那一部份，如圖 11 所示。然後，再將上述光阻圖案去除。是以，完成了由氧化膜 208、第二絕緣膜 209、嵌埋層 210 及第三絕緣膜 211 構成的溝槽型元件隔離結構 212 的形成工作。

其次，在第三絕緣膜 211 已被去除的元件形成區域，即基板表面部份 203 中由溝槽型元件隔離結構 212 圍起之區域形成所需之元件。具體而言，在第二實施形態中，如圖

五、發明說明 (13)

12 所示，在半導體基板 201 的基板表面部份 203 上形成所需形狀的閘電極 214，其間夾著閘極氧化膜 213。之後，以氧化矽膜 205、構成溝槽型元件隔離結構 212 的第三絕緣膜 211 及閘電極 214 作掩護罩向基板表面部份 203 植入離子，而在基板表面部份 203 中閘電極 214 的兩側形成一對具有所需之導電型的雜質擴散層 215 作源極區和汲極區。是以，形成了由閘電極 214 及雜質擴散層 215 等而構成的 MOS 電晶體 216。

如上所述，依照第二實施形態，係由借助熱氧化在元件隔離用溝 207 的壁面所形成的氧化膜 208、和利用氣相沈積法在氧化膜 208 上所形成的第二絕緣膜 209 之疊層結構，實現了溝槽型元件隔離結構 212。因如此大大地減小了在元件隔離用溝 207 之壁面所形成的氧化膜 208 的厚度，故可給氧化膜 208 設定如此之一個厚度，即能保證在用以形成氧化膜 208 的熱氧化步驟中，不發生起因於應力集中在元件隔離用溝 207 的下方角等上而出現在位於元件形成區域之那一部份基板表面部份 203(即單結晶矽層)上的結晶缺陷。是以，元件之可靠性大大地提高了，結果是半導體裝置的良率被大大地改善了。

還有，依照第二實施形態，係沈積將元件隔離用溝 207 填起來一部份之第二絕緣膜 209，且在第二絕緣膜 209 上形成將元件隔離用溝 207 全部填起來的嵌埋層 210。因這時用於形成嵌埋層 210 的材料和基板表面部份 203 的材料(矽)一樣，故可抑製因嵌埋層 210 和基板表面部份 203 間

五、發明說明 (14)

之熱膨脹係數的不同等而導致之應力之發生，由此可提高元件之可靠性。而且，因這時在嵌埋層 210 上形成了第三絕緣膜 211，故就是在嵌埋層 210 具有導電性之情形下，亦不會導致元件之可靠性下降。

順便提一下，在第二實施形態中，較佳者，係將氧化膜 208 的厚度設在 50nm 以下。如此設定以後，便確能防止在用以形成氧化膜 208 的熱氧化步驟中發生結晶缺陷了。

還有，在第二實施形態中，係利用氮化矽膜 206 作用來形成元件隔離用溝 207 的蝕刻掩護罩，不僅如此，亦可利用例如氧化矽膜、或者氧化矽膜和氮化矽膜的疊層膜等來作。還有，和第一實施形態一樣，亦可以用光阻圖案作用以形成元件隔離用溝 207 的蝕刻掩護罩用。

還有，在第二實施形態中，較佳者，係先在元件隔離用溝 207 的內部形成第二絕緣膜 209，之後再進行對第二絕緣膜 209 進行退火處理的爐步驟(退火時的氣體環境，既可以是氮氣，亦可以是氧氣)。因如此可使第二絕緣膜 209 很致密，故可提高第二絕緣膜 209 的電氣絕緣特性。

還有，在第二實施形態中，沈積第二絕緣膜 209 時，較佳者，係採用化學氣相沈積法。是以，可在元件隔離用溝 207 的內側獲得被第二絕緣膜 209 均勻地覆蓋起之覆蓋結構。

還有，在第二實施形態中，係在包括元件隔離用溝 207 之內側的半導體基板 201 上形成第二絕緣膜 209 之後，再在第二絕緣膜 209 上形成將元件隔離用溝 207 全部填起來

五、發明說明 (15)

的嵌埋層 210，之後，再對嵌埋層 210 進行回蝕而僅留下元件隔離用溝 207 內部的嵌埋層 210，這之後，再依次去除第二絕緣膜 209 中與氮化矽膜 206 相接觸的部份及氮化矽膜 206。亦可以用下述作法來代替之。即形成元件隔離用溝 207 後就將氮化矽膜 206 去除，之後，在包括元件隔離用溝 207 之內側的半導體基板 201 上形成第二絕緣膜 209，這之後，再在第二絕緣膜 209 上形成將元件隔離用溝 207 全部填起來的嵌埋層 210，之後，再對嵌埋層 210 進行回蝕而僅留下元件隔離用溝 207 內部的嵌埋層 210，這之後，再將第二絕緣膜 209 中元件隔離用溝 207 以外的部份去除。這時，亦可在回蝕完嵌埋層 210 之後立刻利用濕式蝕刻或者乾式蝕刻將第二絕緣膜 209 中元件隔離用溝 207 以外的那一部份去除；或者，在回蝕完嵌埋層 210 之後，再先在半導體基板 201 上形成第三絕緣膜 211，然後，再在去除第三絕緣膜 211 中與元件形成區域相對應的那一部份時，同時將第二絕緣膜 209 中與元件形成區域相對應的那一部份去除。

還有，在第二實施形態中，如圖 13 所示，在元件形成區域以外的區域(基板表面部份 203 中由氧化矽膜 205 覆蓋的區域)一對元件隔離用溝 207 相鄰之情形下，可將第三絕緣膜 211 圖案化成連續地覆蓋這一對元件隔離用溝 207 的圖案。

還有，在第二實施形態中，係用多結晶矽作了嵌埋層 210 的材料，亦可以代替它，用例如非晶質矽等作嵌埋層

五、發明說明 (16)

210 的材料。惟，較佳者，係用於形成嵌埋層 210 的材料和基板表面部份 203 的材料一樣。因若如此嵌埋層 210 和基板表面部份 203 間的熱膨脹係數等物理常數之差異消失，故無論在半導體製造工藝中的哪一個熱處理步驟下，和僅用絕緣膜將元件隔離用溝 207 的整個內部填起來相比，都能抑製應力的發生，由此而可提高元件之可靠性。對嵌埋層 210 所進行的回蝕步驟下的最後檢查亦很容易進行。

還有，在第二實施形態中，係在元件形成區域形成了 MOS 電晶體 216，不用說，並不限於此，在該元件形成區域形成例如雙載子元件或者電阻元件等其它元件亦是完全可以的。

[發明之效果]

依照本發明，因不用於元件隔離用溝之壁面形成熱氧化膜，便能在 SOI 基板上形成溝槽型元件隔離結構，故不需要會成為氧化膜沿第一絕緣膜／半導體層界面生長之原因的熱氧化步驟了。結果，能徹底防止起因於作用在溝槽角等上之應力而出現在位於元件形成區域之那一部份半導體層上的結晶缺陷，而可大大地提高元件之可靠性，最終是半導體裝置的良率被大大地改善了。

[附圖之簡單說明]

圖 1 為剖面圖，係顯示本發明之第一實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 2 為剖面圖，係顯示本發明之第一實施形態所關係之

五、發明說明 (17)

半導體裝置之製造方法中的一個步驟。

圖 3 為剖面圖，係顯示本發明之第一實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 4 為剖面圖，係顯示本發明之第一實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 5 為剖面圖，係顯示本發明之第一實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 6 為剖面圖，係顯示本發明之第二實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 7 為剖面圖，係顯示本發明之第二實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 8 為剖面圖，係顯示本發明之第二實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 9 為剖面圖，係顯示本發明之第二實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 10 為剖面圖，係顯示本發明之第二實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 11 為剖面圖，係顯示本發明之第二實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 12 為剖面圖，係顯示本發明之第二實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 13 為剖面圖，係顯示本發明之第二實施形態所關係之半導體裝置之製造方法中的一個步驟。

圖 14 為習知之半導體裝置的剖面圖。

五、發明說明 (18)

圖 15(a)及圖 15(b)皆為剖面圖，係顯示習知之半導體裝置之製造方法中的各個步驟。

[符號之簡單說明]

- 101 半導體基板
- 102 基板主體部份
- 103 基板表面部份
- 104 第一絕緣膜
- 105 光阻圖案
- 106 元件隔離用溝
- 107 第二絕緣膜
- 108 嵌埋層
- 109 第三絕緣膜
- 110 溝槽型元件隔離結構
- 111 閘極氧化膜
- 112 閘電極
- 113 雜質擴散層
- 114 MOS 電晶體
- 201 半導體基板
- 202 基板主體部份
- 203 基板表面部份
- 204 第一絕緣膜
- 205 氧化矽膜
- 206 氮化矽膜
- 207 元件隔離用溝

五、發明說明 (19)

- 208 氧化膜
- 209 第二絕緣膜
- 210 嵌埋層
- 211 第三絕緣膜
- 212 溝槽型元件隔離結構
- 213 閘極氧化膜
- 214 閘電極
- 215 雜質擴散層
- 216 MOS 電晶體

裝

訂

線

四、中文發明摘要(發明之名稱：半導體裝置之製造方法)

本發明旨在徹底抑制在 SOI 基板上形成溝槽型元件隔離結構時，起因於作用在溝槽角等上之應力而出現在位於元件形成區域之半導體層上的結晶缺陷之發生。

一種半導體裝置之製造方法，於形成在第一絕緣膜 104 上的基板表面部分 103 中形成通至第一絕緣膜 104 的元件隔離用溝 106 以後，利用氣相沈積法在元件隔離用溝 106 上沈積第二絕緣膜 107。

英文發明摘要(發明之名稱：METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE)

In a semiconductor layer formed on a first insulating film is formed an element isolation groove extending to the first insulating film. Thereafter, a second insulating film is deposited in the element isolation groove by using a vapor deposition method.

六、申請專利範圍

1. 一種半導體裝置之製造方法，其中：

於形成在第一絕緣膜上之半導體層上形成通至上述第一絕緣膜之元件隔離用溝的步驟，和利用氣相沈積法將第二絕緣膜沈積在上述元件隔離用溝中的步驟。

2. 如申請專利範圍第 1 項所記載之半導體裝置之製造方法，其中：

於形成在第一絕緣膜上之半導體層上形成通在上述沈積第二絕緣膜的步驟下，將上述元件隔離用溝的一部份填起來，

還包括在上述沈積第二絕緣膜的步驟之後，再形成嵌埋層而將上述元件隔離用溝全部填起來的步驟。

3. 如申請專利範圍第 2 項所記載之半導體裝置之製造方法，其中：

在上述形成嵌埋層的步驟之後，還包括在上述嵌埋層上形成第三絕緣膜的步驟。

4. 如申請專利範圍第 1 項所記載之半導體裝置之製造方法，其中：

在上述形成元件隔離用溝的步驟與上述沈積第二絕緣膜的步驟之間，還包括藉由氧化上述半導體層中靠近上述元件隔離用溝之壁面之那一部份而形成氧化膜的步驟；

上述沈積第二絕緣膜的步驟中，還包括沈積上述第二絕緣膜以將上述氧化膜覆蓋起來的步驟。

5. 如申請專利範圍第 4 項所記載之半導體裝置之製造方法，其中：

上述氧化膜的厚度在 50nm 以下。

(請先閱讀背面之注意事項再填寫本頁)

訂

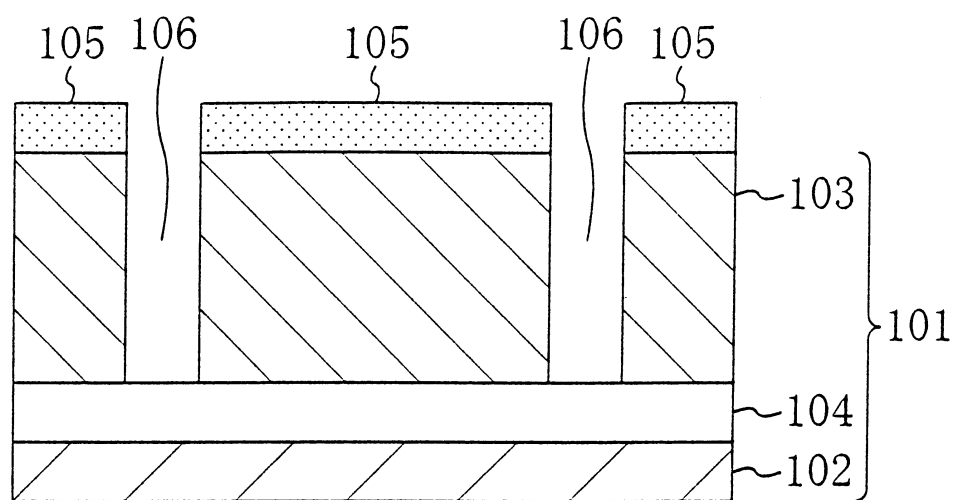


圖 1

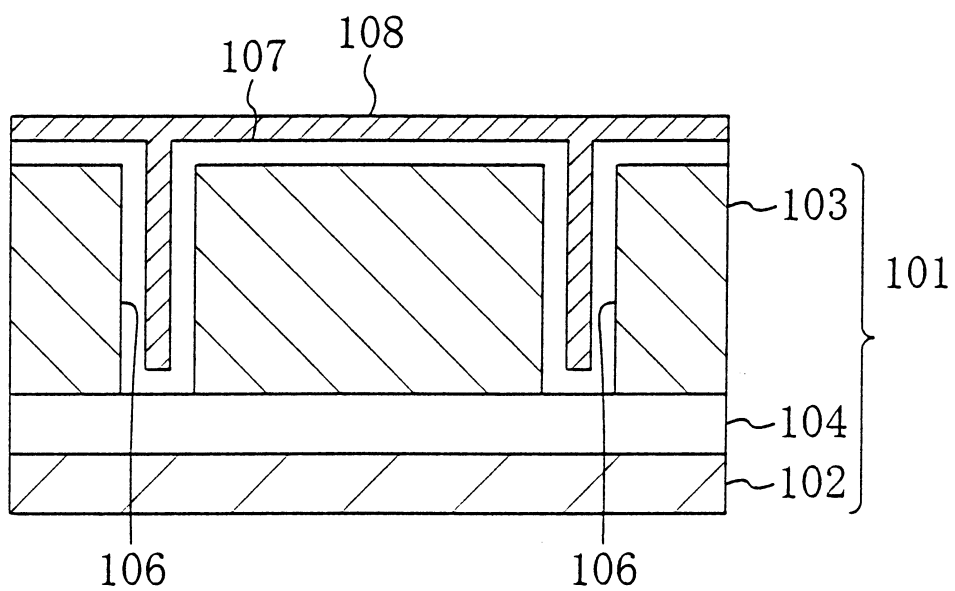


圖 2

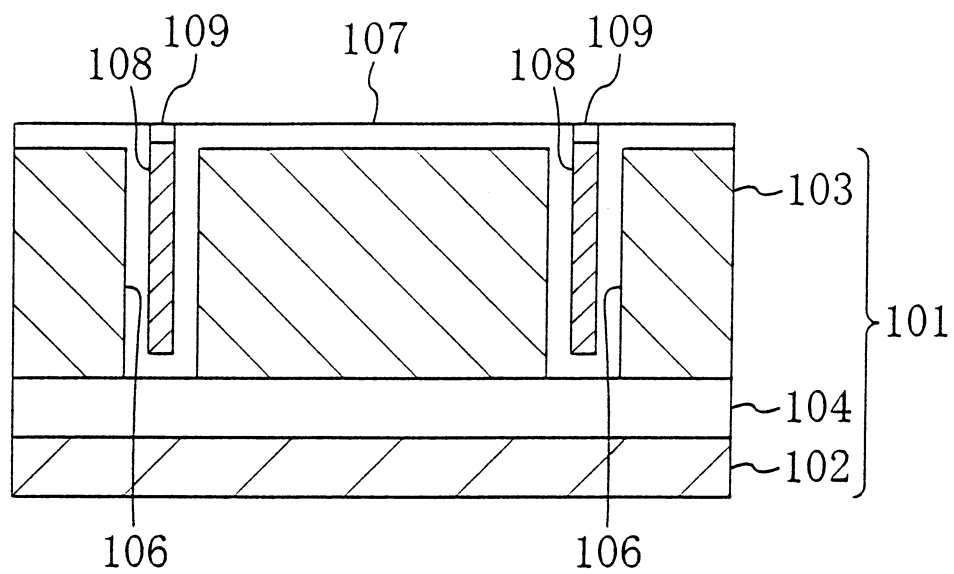


圖 3

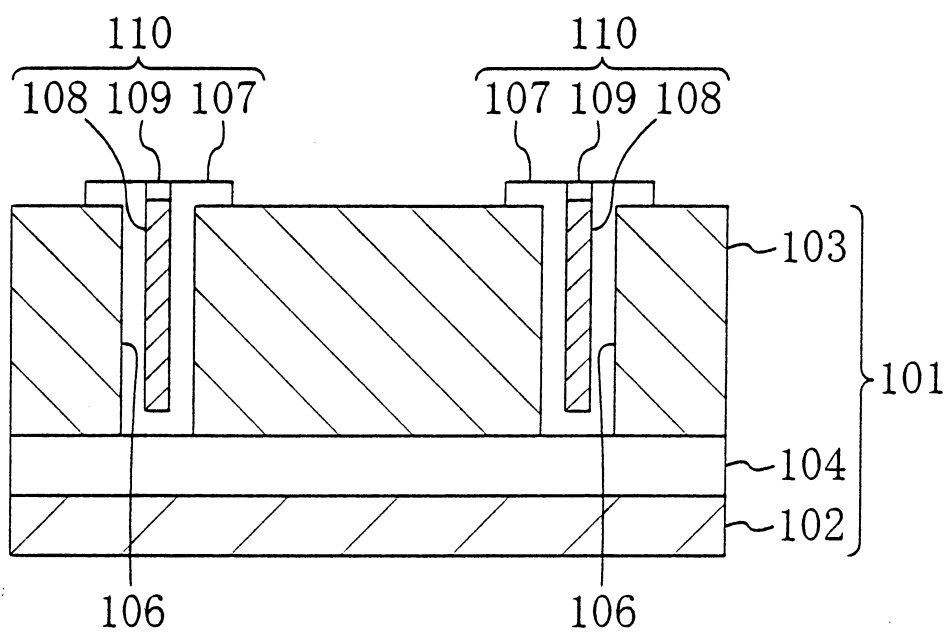


圖 4

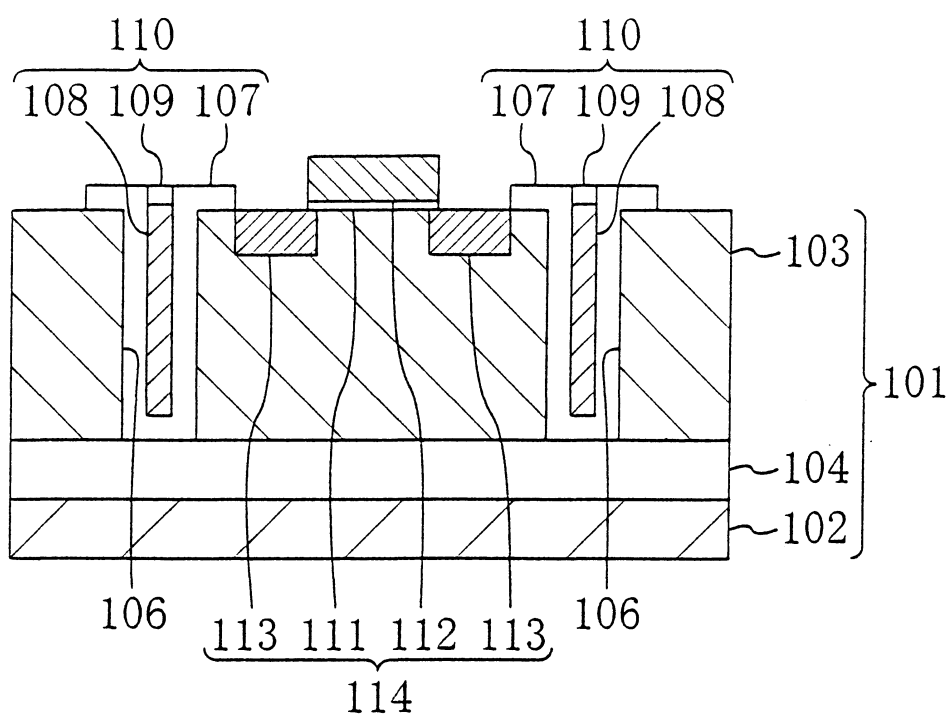


圖 5

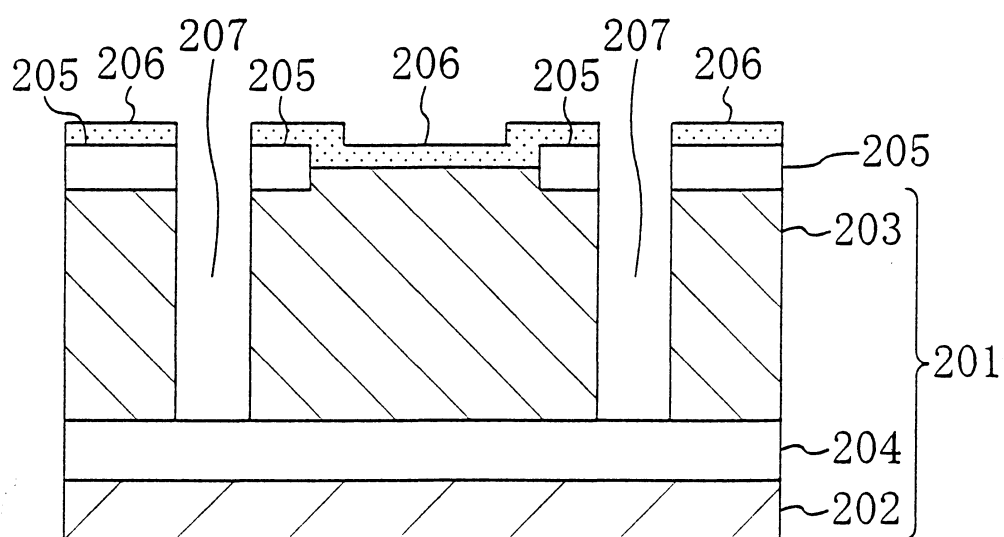


圖 6

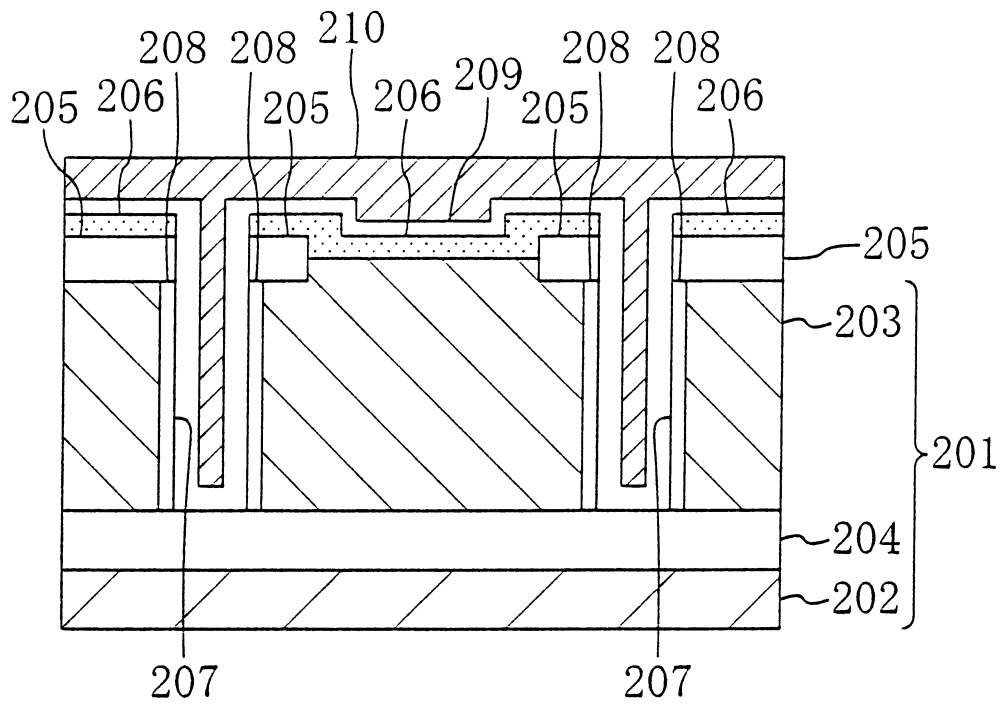


圖 7

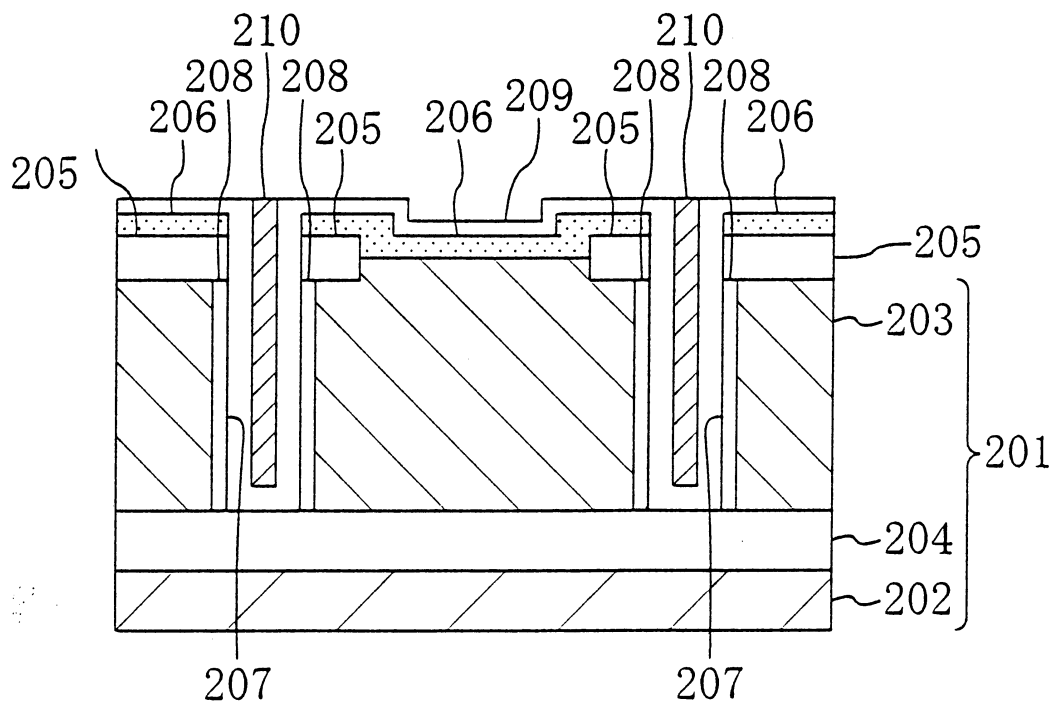


圖 8

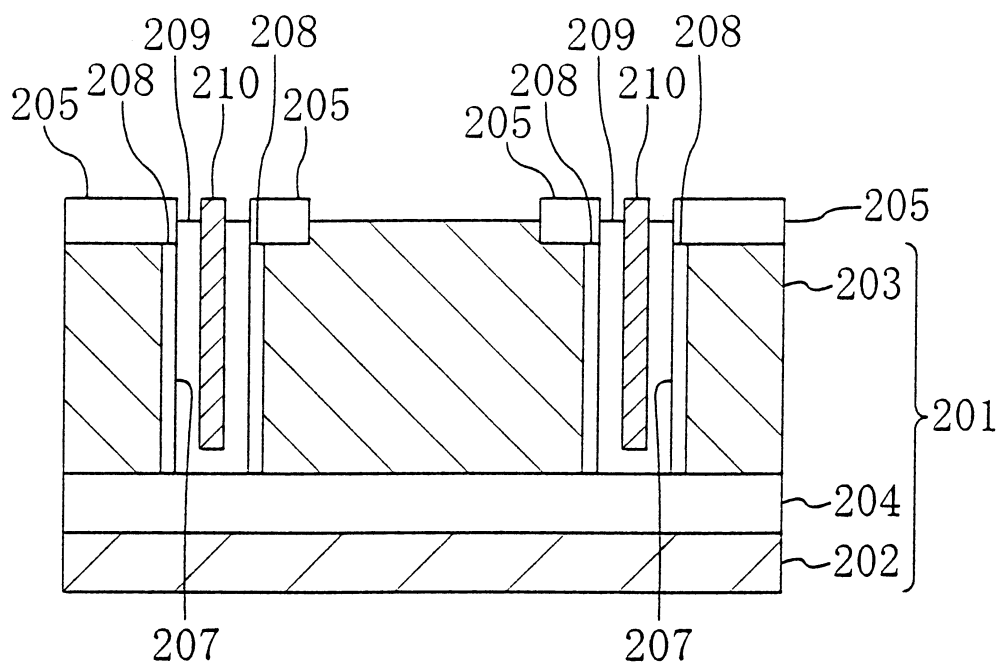


圖 9

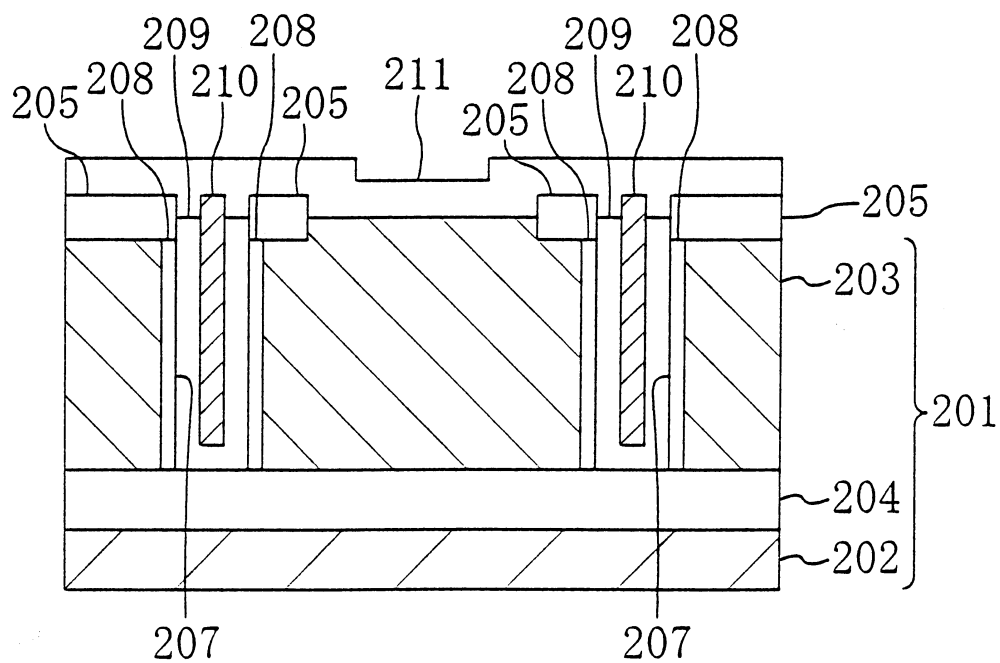


圖 10

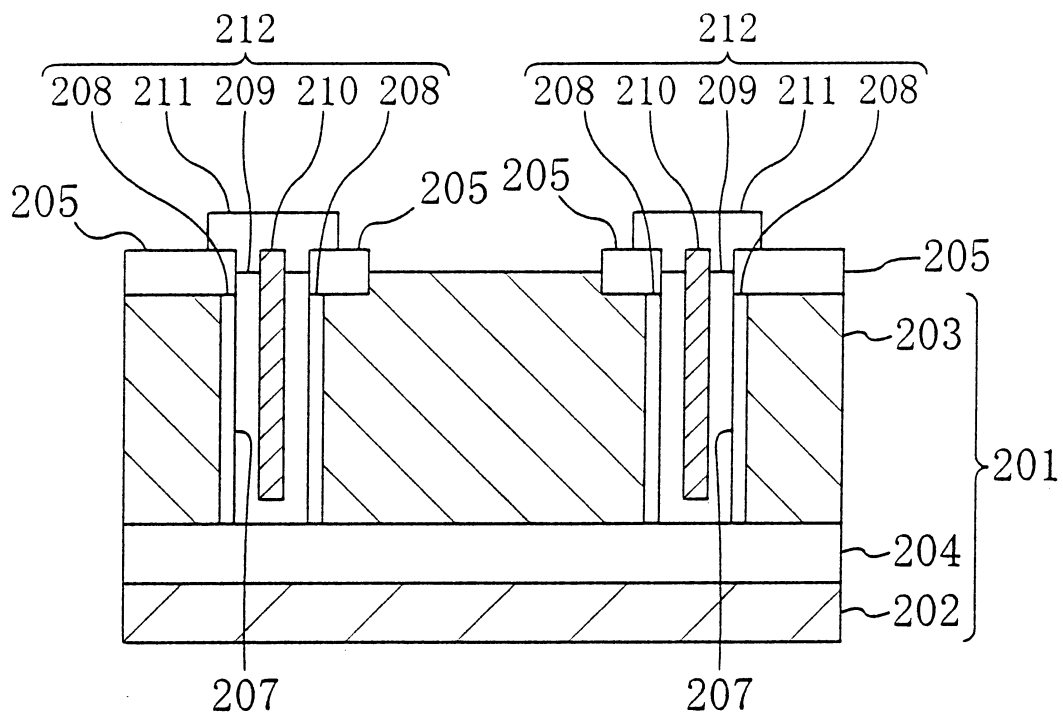


圖 11

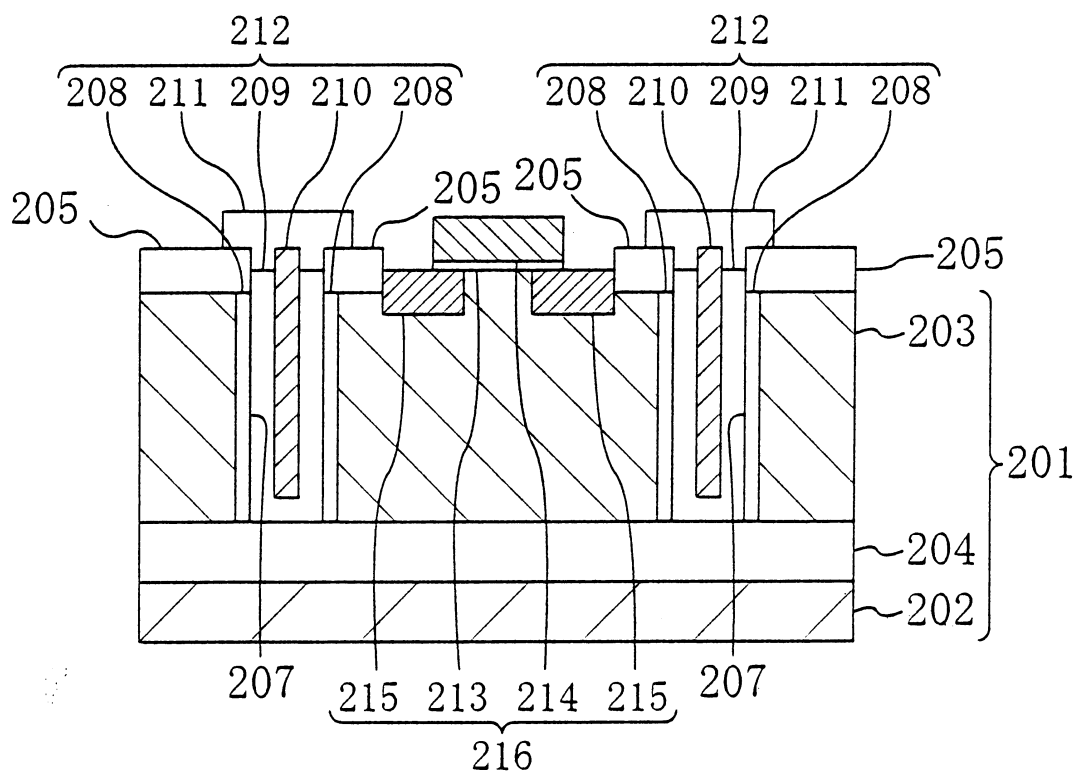


圖 12

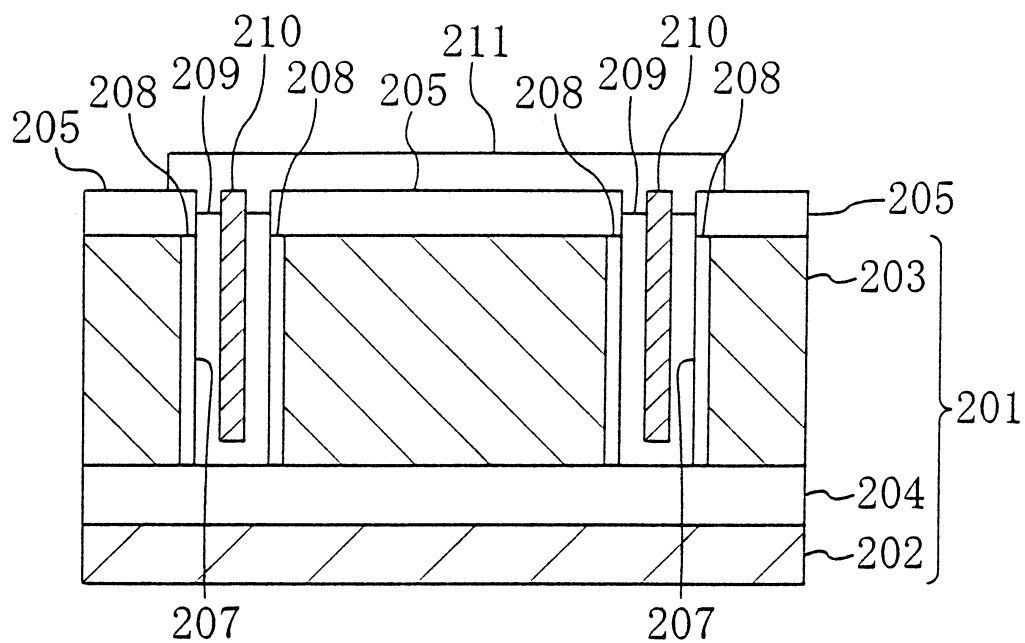


圖 13

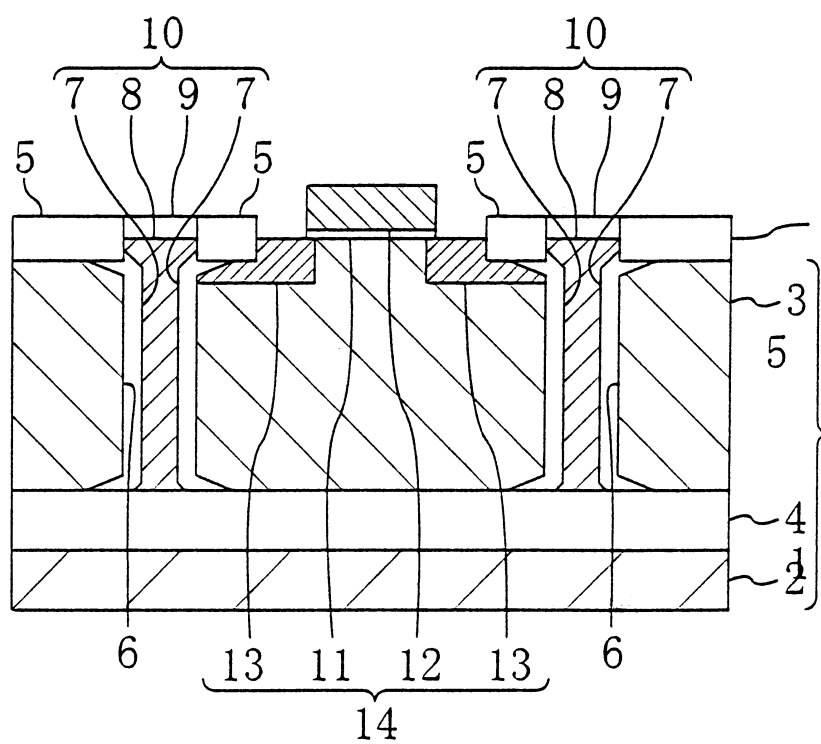


圖 14

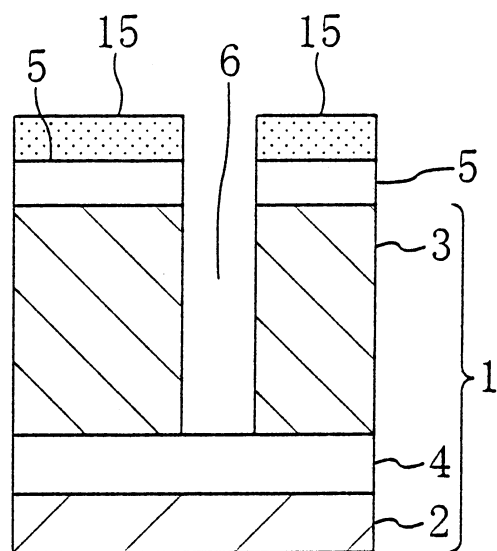


圖 15(a)

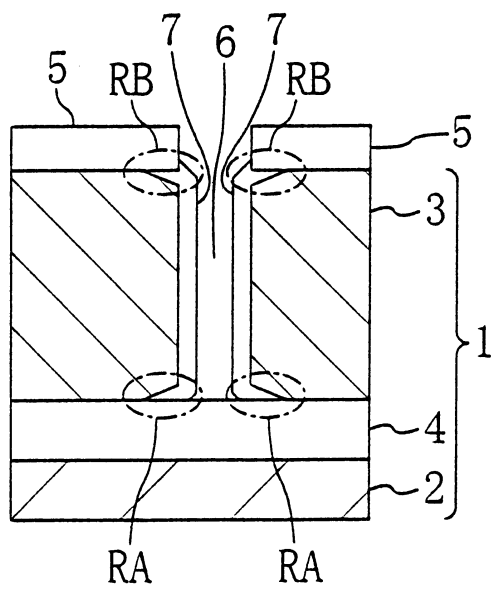


圖 15(b)