



(12) 发明专利

(10) 授权公告号 CN 110809123 B

(45) 授权公告日 2023.03.21

(21) 申请号 201910932708.3

(22) 申请日 2015.05.21

(65) 同一申请的已公布的文献号
申请公布号 CN 110809123 A

(43) 申请公布日 2020.02.18

(30) 优先权数据
2014-114143 2014.06.02 JP
2014-230000 2014.11.12 JP
2014-230001 2014.11.12 JP
2014-230002 2014.11.12 JP

(62) 分案原申请数据
201580027951.0 2015.05.21

(73) 专利权人 索尼公司
地址 日本东京

(72) 发明人 丹羽笃亲 植野洋介 手岛嗣纹
穴井大二郎 古泽良信
吉田武一心 内村贵弘 平田英治

(74) 专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290
专利代理师 陈桂香 曹正建

(51) Int.Cl.
H04N 25/772 (2023.01)
H04N 25/778 (2023.01)
H04N 25/75 (2023.01)
H04N 25/10 (2023.01)
H01L 27/146 (2006.01)
H03M 1/12 (2006.01)
H03M 1/56 (2006.01)

(56) 对比文件
CN 101888490 A, 2010.11.17
US 2013146749 A1, 2013.06.13
CN 102036020 A, 2011.04.27
CN 103220475 A, 2013.07.24

审查员 吕洋

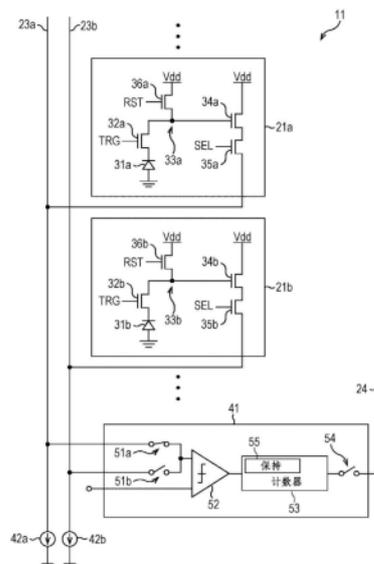
权利要求书2页 说明书29页 附图31页

(54) 发明名称

摄像元件和电子设备

(57) 摘要

本发明的摄像元件包括:像素区,其包括以矩阵模式呈二维状布置的多个像素;对应于每一列像素而设置的第一列信号线和第二列信号线,其中偶数行中的两个以上像素共用所述第一列信号线,奇数行中的两个以上像素共用所述第二列信号线;以及对应于每一列像素而设置的列处理部,其由所述第一列信号线和所述第二列信号线共用,其中所述列处理部对来自像素的像素信号进行信号处理。



1. 摄像元件,包括:
 - 像素区,其包括以矩阵模式呈二维状布置的多个像素;
 - 对应于每一列像素而设置的第一列信号线和第二列信号线,其中偶数行中的两个以上像素共用所述第一列信号线,奇数行中的两个以上像素共用所述第二列信号线;
 - 屏蔽线,其设置在所述第一列信号线和所述第二列信号线之间;
 - 对应于每一列像素而设置的列处理部,其由所述第一列信号线和所述第二列信号线共用,其中所述列处理部对来自像素的像素信号进行信号处理;以及
 - 第二屏蔽线,所述第二屏蔽线连接到所述屏蔽线,其中,在平面图中,所述第一列信号线、所述第二列信号线和所述屏蔽线沿相同的方向延伸,
 - 所述第一列信号线、所述第二列信号线和所述屏蔽线在第一金属层中,
 - 所述第二屏蔽线位于第二金属层中,并且
 - 在横截面图中,所述第二金属层直接位于所述第二列信号线下方。
2. 如权利要求1所述的摄像元件,其中每个像素被配置成包括:
 - 光电转换部,其将入射光经过光电转换而转换成电荷,并且存储这些电荷;
 - 传输晶体管,其传输在所述光电转换部中存储的电荷;
 - 浮动扩散部,其存储经由所述传输晶体管传输过来的电荷;
 - 放大晶体管,其输出具有与存储在所述浮动扩散部中的电荷对应的电平的像素信号;
 - 选择晶体管,其把从所述放大晶体管输出的像素信号输出至相应的所述列信号线;以及及
 - 复位晶体管,其排放和复位在所述浮动扩散部中存储的电荷。
3. 如权利要求2所述的摄像元件,其中,多个像素采用像素共用结构,在所述像素共用结构中,所述浮动扩散部和/或所述放大晶体管是被共用的。
4. 如权利要求1所述的摄像元件,其中,所述列处理部的信号处理包括:
 - 进行所述像素信号的模数转换,并且输出通过求出对应于复位电平的像素信号与对应于信号电平的像素信号之间的差分而消除了复位噪声的输出信号。
5. 如权利要求4所述的摄像元件,其中,所述列处理部被配置成包括:
 - 两个输入开关,分别连接至所述第一列信号线和所述第二列信号线;以及
 - 输出开关。
6. 如权利要求5所述的摄像元件,其中,所述列处理部被配置成包括:
 - 比较器和计数器,它们都位于所述两个输入开关与所述输出开关之间,
 - 其中,所述比较器的输出端子连接至所述计数器的输入端子。
7. 如权利要求6所述的摄像元件,其中,所述比较器把经由所述两个输入开关中的一者从所述第一列信号线传输过来的第一信号或者经由所述两个输入开关中的另一者从所述第二列信号线传输过来的第二信号与来自参考信号生成电路的参考信号进行比较。
8. 如权利要求7所述的摄像元件,其中,所述计数器对从当所述参考信号的电位开始以恒定斜率下降的时候到当从所述比较器输出的比较结果信号从高电平切换至低电平的时候的时钟数量进行计数。
9. 如权利要求8所述的摄像元件,其中,所述计数器包括用于保持计数值的保持部。

10. 如权利要求1所述的摄像元件,其中,所述第一列信号线和所述第二列信号线各者分别连接至电流源。

11. 如权利要求1至10中任一项所述的摄像元件,其中,两个所述列处理部分别设置于所述像素区的上侧和下侧。

12. 如权利要求2所述的摄像元件,其中,

负电位被用作所述传输晶体管或所述选择晶体管的关断电位。

13. 如权利要求12所述的摄像元件,还包括:

传输信号供给部,其连接至所述传输晶体管的栅极,且被配置成包括一对晶体管和一个放大器,

其中,传输信号在反相后被提供给所述一对晶体管中的一者,并且所述传输信号在未经反相的情况下被提供给所述一对晶体管中的另一者。

14. 如权利要求12所述的摄像元件,其中,

在作为初级的像素与作为次级的像素中执行所述负电位的系统分离。

15. 如权利要求14所述的摄像元件,还包括:

传输信号供给部,其连接至所述初级像素和所述次级像素各者中的所述传输晶体管的栅极,

其中,所述传输信号供给部被配置成包括第一放大器和第二放大器,所述第一放大器向所述初级像素提供传输信号,所述第二放大器向所述次级像素提供传输信号。

16. 如权利要求15所述的摄像元件,其中,

所述第一放大器通过第一电容器接地,第一电荷泵连接至所述第一放大器与所述第一电容器的连接点,并且

所述第二放大器通过第二电容器接地,第二电荷泵连接至所述第二放大器与所述第二电容器的连接点。

摄像元件和电子设备

[0001] 本申请是申请日为2015年5月21日、发明名称为“摄像元件和电子设备”、且申请号为201580027951.0的专利申请的分案申请。

技术领域

[0002] 本发明涉及摄像元件和电子设备,并且特别地,涉及能够使用低电力消耗实现速度提高的摄像元件和电子设备。

[0003] 相关申请的交叉参考

[0004] 本申请要求2014年6月2日提交的日本在先专利申请JP 2014-114143、2014年11月12日提交的日本在先专利申请JP 2014-230001、2014年11月12日提交的日本在先专利申请JP 2014-230002 以及2014年11月12日提交的日本在先专利申请JP 2014-230000的优先权权益,因此将这些日本在先专利申请的全部内容以引用的方式全体并入本文中。

背景技术

[0005] 在现有技术中,诸如数码照相机或数码摄影机等具有摄像功能的电子设备使用诸如电荷耦合器件(CCD:charge coupled device)图像传感器或互补金属氧化物半导体(CMOS:complementary metal oxide semiconductor)图像传感器等固体摄像元件。所述固体摄像元件包括如下像素:在所述像素中,用于执行光电转换的光电二极管(PD:photodiode)和多个晶体管被组合起来,并且基于从以平面的方式设置着的多个像素输出的图像信号来形成图像。此外,例如,从各像素输出的图像信号利用被设置于每个像素列中的多个模数(AD:analog to digital)转换器而被从模拟信号并行地转换成数字信号。

[0006] 对于这种固体摄像元件,本申请人曾提出了一种能够通过AD转换器中以递减计数模式和递增计数模式执行计数处理来提高AD转换处理速度的固体摄像元件(例如,参考PTL 1)。

[0007] 此外,本申请人曾提出了一种能够通过复位电平的像素信号和信号电平的像素信号重复多次地执行AD转换来降低噪声的固体摄像元件(例如,参考PTL 2)。

[0008] 引用文献列表

[0009] 专利文献

[0010] [PTL 1]日本专利申请特开第2005-303648号

[0011] [PTL 2]日本专利申请特开第2009-296423号

发明内容

[0012] 要解决的技术问题

[0013] 然而,在现有技术中,必须从固体摄像元件中高速读取像素信号。此外,近年来,用于诸如所谓的智能手机或可穿戴装置等小型终端的应用已经变得普及,且因此需要降低固体摄像元件的电力消耗。例如,在现有技术中,速度提高是通过增加上述的列并行式AD转换器的数量而实现的。但是,在这样做时,电力消耗就与列并行式AD转换器的数量成比例地增

加,因此难以提高电力效率(即,速度/电力)。即,电力消耗随着速度提高而增加,并且速度根据低电力消耗而减小。

[0014] 期望的是,能够在消耗低电力的同时提高速度。

[0015] 解决问题所采取的技术方案

[0016] 根据本发明一个实施例的摄像元件包括:像素区,其包括以矩阵模式呈二维状布置的多个像素;对应于每一列像素而设置的第一列信号线 and 第二列信号线,其中偶数行中的两个以上像素共用所述第一列信号线,奇数行中的两个以上像素共用所述第二列信号线;以及对应于每一列像素而设置的列处理部,其由所述第一列信号线和所述第二列信号线共用,其中所述列处理部对来自像素的像素信号进行信号处理。

[0017] 根据本发明第一实施方式的摄像元件包括:像素阵列,所述像素阵列包括以矩阵模式呈二维状布置的多个像素;多条列信号线,所述多条列信号线对应于第一列的所述像素而被设置着,其中所述多条列信号线中的至少一条列信号线被连接至所述第一列中的两个以上所述像素;以及模数转换器,所述模数转换器被所述多条列信号线共用。

[0018] 根据本发明第二实施方式的电子设备包括光学系统和摄像元件,所述光学系统包括至少一个镜头,所述摄像元件被配置成接收通过所述光学系统的光。这里,所述摄像元件包括:像素阵列,所述像素阵列包括以矩阵模式呈二维状布置的多个像素;多条列信号线,所述多条列信号线对应于第一列的所述像素而被设置着,其中所述多条列信号线中的至少一条列信号线被连接至所述第一列中的两个以上所述像素;以及模数转换器,所述模数转换器被所述多条列信号线共用。

[0019] 根据本发明第三实施方式的比较器包括:第一差分对部,它被连接至摄像元件的第一条列信号线;以及第二差分对部,它被连接至所述摄像元件的第二条列信号线。这里,所述第一列信号线和所述第二列信号线用于像素阵列中的像素阵列单元的同列。

[0020] 本发明的有益效果

[0021] 根据本发明的实施方式,能够使用低电力消耗实现速度提高。

附图说明

[0022] 图1是图示了根据应用本发明的摄像元件第一实施例的构造示例的框图。

[0023] 图2是图示了像素和列处理部的构造示例的框图。

[0024] 图3是用来解释本发明摄像元件的AD转换的操作的时序图。

[0025] 图4是用来解释现有技术的摄像元件的AD转换的操作的时序图。

[0026] 图5是用来解释采用采样和保持技术的现有技术的摄像元件的AD 转换的操作的时序图。

[0027] 图6是图示了根据本发明摄像元件第二实施例的构造示例的一部分的框图。

[0028] 图7是图示了根据本发明摄像元件第三实施例的构造示例的一部分的框图。

[0029] 图8是图示了由本发明摄像元件执行的CDS处理的顺序的图。

[0030] 图9是图示了由本发明摄像元件执行的CDS处理的顺序的图。

[0031] 图10是图示了根据本发明摄像元件第四实施例的构造示例的一部分的框图。

[0032] 图11是图示了本发明摄像元件的布线布局的第一构造示例的图。

[0033] 图12是图示了与图11中的XII-XII截面对应的部分的图。

- [0034] 图13示图了与图11中的XIII-XIII截面对应的部分的图。
- [0035] 图14是图了本发明摄像元件的布线布局的第二构造示例的图。
- [0036] 图15是图了与图14中的XV-XV截面对应的部分的图。
- [0037] 图16是图了与图14中的XVI-XVI截面对应的部分的图。
- [0038] 图17是图了本发明比较器的电路构造的图。
- [0039] 图18是用来解释本发明比较器的驱动的时序图。
- [0040] 图19是图了本发明比较器的电路构造的第一变形例的图。
- [0041] 图20是图了本发明比较器的电路构造的第二变形例的图。
- [0042] 图21是图了本发明比较器的电路构造的第三变形例的图。
- [0043] 图22是图了本发明比较器的电路构造的第四变形例的图。
- [0044] 图23是用来解释本发明摄像元件的驱动的时序图。
- [0045] 图24是图了图23的时序图的像素布置的图。
- [0046] 图25是用来解释传输信号的伪读取控制的时序图。
- [0047] 图26是用来解释复位信号的伪读取控制的时序图。
- [0048] 图27是图了像素区和垂直驱动电路的一部分的构造示例的图。
- [0049] 图28是用来解释现有技术的负电位的系统分离的图。
- [0050] 图29是用来解释本发明摄像元件的负电位的系统分离的图。
- [0051] 图30是图了应用本发明的摄像装置的一个实施例的构造示例的框图。
- [0052] 图31是图了使用图像传感器的应用示例的图。

具体实施方式

- [0053] 在下文中,将参照附图详细地说明应用本发明的具体实施例。
- [0054] 图1是图了根据应用本发明的摄像元件第一实施例的构造示例的框图。
- [0055] 如图1所示,摄像元件11被配置成包括像素区12、垂直驱动电路 13、列信号处理电路14、水平驱动电路15、输出电路16、斜坡信号生成电路17和控制电路18。
- [0056] 像素区12是用来接收由光学系统(未图示)收集的光的受光面。在像素区12中以矩阵的方式设置有多个像素21,各个像素21经由水平信号线22而被连接至各行中的垂直驱动电路13并且经由垂直信号线23而被连接至各列中的列信号处理电路14。所述多个像素21分别输出具有与受光量对应的电平的像素信号,并且在像素区12上成像的被摄对象的图像是由这些像素信号构建的。
- [0057] 垂直驱动电路13针对被设置于像素区12中的所述多个像素21的各行而把用来驱动(即,传输、选择或复位等)各个像素21的驱动信号经由水平信号线22按顺序地提供给像素21。
- [0058] 列信号处理电路14针对从所述多个像素21经由垂直信号线23输出的像素信号执行相关双采样(CDS:correlated double sampling)处理,并且因此执行像素信号的AD转换且消除复位噪声。例如,列信号处理电路14被配置成包括与像素21的列数对应的多个列处理部41(参照稍后说明的图2),并且能够针对像素21的各列并行地执行CDS处理。
- [0059] 水平驱动电路15将驱动信号提供给列信号处理电路14,该驱动信号用来把从被设置于像素区12中的所述多个像素21的各列按顺序传输过来的像素信号从列信号处理电路

14输出至数据输出信号线24。

[0060] 输出电路16放大在根据水平驱动电路15的驱动信号的时序下从列信号处理电路14经由数据输出信号线24提供过来的像素信号,并且将放大后的信号被输出至下一级的信号处理电路。

[0061] 斜坡信号生成电路17生成随着时间以恒定斜率下降的电压(即,斜坡电压)的斜坡信号以作为当列信号处理电路14执行像素信号的AD转换时所要使用的参考信号,并且将该斜坡信号提供给列信号处理电路14。

[0062] 控制电路18驱动摄像元件11中的各个内部块。例如,控制电路18 根据各个块的驱动周期生成块信号,并且将这些块信号分别提供给各个块。此外,例如,控制电路18执行用来从像素21读取像素信号的控制,以使得像素信号的AD转换能够在列信号处理电路14中高速地被执行。

[0063] 接下来,图2图示了摄像元件11中的像素21和列处理部41的构造示例。

[0064] 图2图示了被设置于图1的像素区12中的多个像素21之中的、以并行的方式设置在预定列中的两个像素21a和21b。此外,图2图示了列信号处理电路14中所包括的多个列处理部41之中的、对应于上述预定列而设置的列处理部41。

[0065] 如图1和图2所示,在摄像元件11中,对应于一列像素21而设置有包括第一垂直信号线23a和第二信号线23b的两条信号线。像素21a(例如,奇数(ODD)行中的像素21)被连接至第一垂直信号线23a,并且像素21b(例如,偶数(EVEN)行中的像素21)被连接至第二垂直信号线23b。此外,构成源极跟随电路的恒电流源42a被连接至第一垂直信号线23a,并且构成源极跟随电路的恒电流源42b被连接至第二垂直信号线23b。第一垂直信号线23a和第二垂直信号线23b被连接至对应于上述预定列而设置的一个列处理部41。

[0066] 像素21a被配置成包括PD 31a、传输晶体管32a、FD(floating diffusion)部33a、放大晶体管34a、选择晶体管35a和复位晶体管36a。

[0067] PD 31a是这样的光电转换部:它将入射光经过光电转换而转换成电荷,并且存储这些电荷。PD 31a的阳极端子接地,并且PD 31a的阴极端子被连接至传输晶体管32a。

[0068] 传输晶体管32a被从垂直驱动电路13提供过来的传输信号TRG驱动,并且如果传输晶体管32a被接通,那么存储在PD 31a中的电荷被传输至FD部33a。

[0069] FD部33a是具有预定的存储电容器的浮动扩散区,该存储电容器被连接至放大晶体管34a的栅极电极并且存储从PD 31a传输过来的电荷。

[0070] 放大晶体管34a将具有与存储在FD部33a中的电荷对应的电平(即,FD部33a的电位)的像素信号经由选择晶体管35a而输出至第一垂直信号线23a。即,由于FD部33a被连接至放大晶体管34a的栅极电极的构造,所以FD部33a和放大晶体管34a充当把在PD 31a中生成的电荷转换成具有与所述电荷对应的电平的像素信号的转换部。

[0071] 选择晶体管35a被从垂直驱动电路13提供过来的选择信号SEL驱动,并且如果选择晶体管35a被接通以使得选择晶体管35a处于接通状态,那么从放大晶体管34a输出的像素信号能够被输出至第一垂直信号线23a。

[0072] 复位晶体管36a被从垂直驱动电路13提供过来的复位信号RST驱动,并且如果复位晶体管36a被接通,那么存储在FD部33a中的电荷向电源线Vdd排放,因此,FD部33a被复位。

[0073] 此外,以与像素21a相同的方式,像素21b被配置成包括PD 31b、传输晶体管32b、FD

部33b、放大晶体管34b、选择晶体管35b和复位晶体管36b。因此,因为像素21b的各个部件与上述的像素21a的各个部件相同和/或相似的方式操作,所以将会省略这些部件的详细说明。此外,在下文中,如果不必区分像素21a和像素21b,那么像素21a和21b 将会被简称为像素21,并且构成像素21的各个部件将会在适当的时候同样也被简称。

[0074] 列处理部41被配置成包括两个输入开关51a和51b、比较器52、计数器53和输出开关54。

[0075] 比较器52的负侧上的输入端子经由输入开关51a而被连接至第一垂直信号线23a,并且经由输入开关51b而被连接至第二垂直信号线23b。此外,比较器52的正侧上的输入端子被连接至图1中的斜坡信号生成电路17。比较器52的输出端子被连接至计数器53的输入端子,并且计数器53的输出端子经由输出开关54而被连接至数据输出信号线24。

[0076] 输入开关51a和51b通过图1中的控制电路18的控制而被闭合和断开,并且切换比较器52的负侧上的输入端子与第一垂直信号线23a之间和与第二垂直信号线23b之间的连接。例如,如果输入开关51a闭合而输入开关51b断开,那么比较器52的负侧上的输入端子被连接至第一垂直信号线23a,然后从像素21a输出的像素信号被输入至比较器52。另一方面,如果输入开关51b闭合而输入开关51a断开,那么比较器52的负侧上的输入端子被连接至第二垂直信号线23b,然后从像素21b输出的像素信号被输入至比较器52。

[0077] 比较器52比较被输入至正侧上的输入端子的斜坡信号和被输入至负侧上的输入端子的像素信号的大小,然后输出表明比较结果的比较结果信号。例如,当斜坡信号大于模拟像素信号时,比较器52输出具有高电平的比较结果信号,而当斜坡信号等于或小于模拟像素信号时,比较器 52输出具有低电平的比较结果信号。

[0078] 例如,计数器53对从当从斜坡信号生成电路17输出的斜坡信号的电位开始以恒定斜率下降的时候到当从比较器52输出的比较结果信号从高电平切换至低电平的时候的时钟数量进行计数。于是,由计数器53计数的值变为与被输入至比较器52中的像素信号的电平对应的值,由此,从像素21输出的模拟像素信号被转换成数字值。

[0079] 作为另一个示例,在摄像元件11中,从像素21输出:与像素21的 FD部33被复位时的复位电平对应的像素信号;和与像素21的FD部33 保持着通过PD 31的光电转换而获得的电荷时的信号电平对应的像素信号。然后,当列处理部41执行所述像素信号的AD转换时,所输出的是如下的输出信号:在该输出信号中,通过求出上述两种像素信号之间的差分而消除了复位噪声。此外,计数器53包括用于保持计数值的保持部 55,这种计数值可以是暂时保持的,稍后将会对此作出说明。

[0080] 输出开关54通过从水平驱动电路15输出的驱动信号而被闭合或断开。例如,如果设置有预定列处理部41的列中的像素信号被输出,那么输出开关54通过从水平驱动电路15输出的驱动信号而被闭合,并且计数器53的输出端子被连接至数据输出信号线24。因此,通过列处理部 41的AD转换而获得的像素信号被输出至数据输出信号线24。

[0081] 摄像元件11以这种方式配置而成,并且列处理部41能够交替地执行从像素21a输出的像素信号的AD转换和从像素21b输出的像素信号的AD转换。因此,摄像元件11能够以如下的方式来控制像素信号的读取,该方式是:通过执行像素21a和像素21b中的一者的复位操作或信号传输操作而获得的像素信号的建立(settling)能够在AD转换处理的同时被交替且重复地执行。因此,可以通过列处理部41对从另一者像素输出的像素信号执行AD转换。

[0082] 以这种方式,列处理部41交替地切换像素21a的像素信号和像素21b的像素信号,并且在像素21a和像素21b各自的像素信号的建立的同时执行AD转换,因此,能够加快列处理部41的AD转换。此外,摄像元件11能够在不用增加列处理部41的数量的前提下就加快AD转换,因而,能够避免电力消耗的增加。即,摄像元件11能够以低电力消耗实现AD转换的速度提高。

[0083] 接下来,图3图示了用来解释摄像元件11的AD转换的操作的时序图。

[0084] 图3从顶部往下依次图示了被连接至第一垂直信号线23a的像素21a的操作、被连接至第二垂直信号线23b的像素21b的操作和列处理部41的操作。

[0085] 首先,在第一操作周期中,被连接至第一垂直信号线23a的像素21a使FD部33a复位,且待机直到与复位电平对应的像素信号的输出被充分地建立(即,复位周期)。在这个操作的同时,在第一操作周期中,被连接至第二垂直信号线23b的像素21b保持着在前一个操作周期中建立的、具有与PD 31b中的受光量对应的信号电平的像素信号的输出。然后,列处理部41执行从像素21b输出的与信号电平对应的像素信号的AD转换(AD转换周期)。此时,在列处理部41中,计数器53将与像素21b的具有信号电平的像素信号对应的计数值保持在保持部55中。

[0086] 然后,在第二操作周期中,被连接至第一垂直信号线23a的像素21a保持着在第一操作周期中建立的与复位电平对应的像素信号的输出,并且列处理部41执行从像素21a输出的具有复位电平的像素信号的AD转换。另外,此时,列处理部41将与像素21a的复位电平对应的计数值保持在保持部55中。在这个操作的同时,在第二操作周期中,被连接至第二垂直信号线23b的像素21b使FD部33b复位,且待机直到与复位电平对应的像素信号的输出被充分地建立。

[0087] 在第三操作周期中,被连接至第一垂直信号线23a的像素21a将通过PD 31a获得的电荷传输至FD部33a,且待机直到具有与PD 31a中的受光量对应的信号电平的像素信号的输出被充分地建立(信号传输周期)。在这个操作的同时,在第三操作周期中,被连接至第二垂直信号线 23b的像素21b保持着在第二操作周期中建立的与复位电平对应的像素信号的输出,并且列处理部41执行从像素21b输出的具有复位电平的像素信号的AD转换。然后,列处理部41求出与该复位电平对应的计数值与被保持在保持部55中的与像素21b的信号电平对应的计数值之间的差分,并且输出与已经被消除了复位噪声的像素信号对应的像素信号。

[0088] 在第四操作周期中,被连接至第一垂直信号线23a的像素21a保持着在第三操作周期中建立的与信号电平对应的像素信号的输出,并且列处理部41执行从像素21a输出的与信号电平对应的像素信号的AD转换。然后,列处理部41求出与具有该信号电平的像素信号对应的计数值与被保持在保持部55中的与像素21a的复位电平对应的计数值之间的差分,并且输出与已经被消除了复位噪声的像素信号对应的像素信号。在这个操作的同时,在第四操作周期中,被连接至第二垂直信号线23b的像素 21b将通过PD 31b获得的电荷传输至FD部33b,且待机直到具有与PD 31b中的受光量对应的信号电平的像素信号的输出被充分地建立。

[0089] 在第四操作周期结束之后,处理返回到第一操作周期,并且在下文中,以与上述方式相同的方式,后续各行中的像素21a和像素21b被设定为操作对象,并且按顺序地重复执

行从第一操作周期到第四操作周期的操作。此外,在像素21a和像素21b中,各个操作周期可以以半周期的偏移而被实施。

[0090] 如上所述,在摄像元件11中,像素21a的像素信号和像素21b的像素信号之中的一个像素信号的AD转换是在另一个像素的像素信号的建立的同时而被执行的。因此,例如,第一操作周期中的像素21b的与信号电平对应的像素信号的AD转换被完成,并且紧接着,第二操作周期中的像素21a的与复位电平对应的像素信号的AD转换被完成。以相同的方式,第二操作周期中的像素21a的与复位电平对应的像素信号的AD转换被完成,并且紧接着,第三操作周期中的像素21b的与复位电平对应的像素信号的AD转换被完成。而且,第三操作周期中的像素21b的与复位电平对应的像素信号的AD转换被完成,并且紧接着,第四操作周期中的像素21a的与信号电平对应的像素信号的AD转换被完成。因为第四操作周期中的像素21a的具有信号电平的像素信号和第一操作周期中的像素21b的具有信号电平的像素信号各者都对应于在各自的光电二极管中积累且被传输至各自的浮动扩散区(其具有与复位电平对应的预先存在的电荷)的电荷量,所以可以消除该复位电平或复位噪声,以使得能够获得与已经被消除了复位噪声的像素信号对应的像素信号。

[0091] 因此,例如,与列处理部41让AD转换待机直到像素信号的建立完成为止的构造相比,摄像元件11能够更高速地执行AD转换。

[0092] 这里,将参照图4中所示的时序图来说明现有技术的摄像元件的AD转换的操作。

[0093] 现有技术的摄像元件被配置成包括对应于一列像素而设置的一条垂直信号线,并且在第一操作周期中,像素使FD部复位,且待机直到具有复位电平的像素信号的输出被充分地建立,并且列处理部不执行处理。然后,在第二操作周期中,像素继续保持着在第一操作周期中建立的具有复位电平的像素信号的输出,并且列处理部执行从该像素输出的与复位电平对应的像素信号的AD转换。

[0094] 在AD转换完成之后,在第三操作周期中,像素将通过PD的光电转换而获得的电荷传输至FD部,且待机直到具有与PD中的受光量对应的信号电平的像素信号的输出被充分地建立,并且列处理部不执行处理。然后,在第四操作周期中,像素继续保持着在第三操作周期中建立的具有信号电平的像素信号的输出,并且列处理部执行从该像素输出的具有信号电平的像素信号的AD转换。

[0095] 以这种方式,在现有技术的摄像元件中,列处理部在像素信号的输出被建立的时候不执行AD转换,因此,为了执行像素信号的AD转换且输出该信号,与图3中所示的AD转换的操作相比,就需要使时间大致增加一倍。

[0096] 此外,现有技术的一些摄像元件采用采样/保持(Sample/Hold)技术。

[0097] 这里,将参照图5中所示的时序图来说明采用采样/保持技术的现有技术的摄像元件的AD转换操作。

[0098] 如图5所示,在采用采样/保持技术的现有技术的摄像元件中,对应于像素的每一列而设置有一条垂直信号线,所建立的像素信号被采样且被保持在电容元件中,因此能够保持电压电平。因此,可以在具有复位电平的像素信号的建立的同时执行所保持的具有信号电平的像素信号的AD转换,并且可以在具有信号电平的像素信号的建立的同时执行所保持的具有复位电平的像素信号的AD转换。

[0099] 然而,近年来,用于诸如所谓的智能手机或可佩戴装置等小型终端的固体摄像元

件使用大约1微米的细小像素尺寸,因此采用采样/保持技术是不太实际的。此外,如果用于采样/保持的电容元件太小,那么通过采样/保持而产生的噪声(即,所谓的kT/C噪声)会增大。这种噪声可能难以通过CDS处理而被消除,且因此图像质量会显著劣化。此外,如果用于采样/保持的电容元件变大到使噪声不会影响图像质量的程度,那么垂直信号线的电容负载就会增大,且因此,建立速度降低,从而导致列信号处理的处理速度降低。

[0100] 与此相反,在摄像元件11中,因为在使用采样/保持技术的构造中不会出现噪声,所以能够避免图像质量劣化,并且能够实现处理速度的提高。

[0101] 此外,如图3所示,摄像元件11以如下的顺序来实施AD转换处理,该顺序是:执行像素21a的与复位电平对应的像素信号的AD转换、执行像素21b的与复位电平对应的像素信号的AD转换、执行像素21a的与信号电平对应的像素信号的AD转换、以及执行像素21b的与信号电平对应的像素信号的AD转换。例如,即使在上述PTL 2中所披露的固体摄像元件中也以同样的顺序来读取像素信号,但是该固体摄像元件与摄像元件11的不同之处在于,AD转换是针对具有相同的复位电平和信号电平的像素信号而被重复进行的。因此,摄像元件11具有用来消除kT/C噪声的列处理部41的电路构造或操作顺序,这与PTL 2的固体摄像元件是不同的。

[0102] 接下来,图6是图示了摄像元件11的第二实施例的构造的一部分的框图。在摄像元件11中,如图6所示,与图2中所示的摄像元件11的构造相同的构造被赋予相同的符号或附图标记,并且将会省略这些构造的详细说明。

[0103] 如图6所示,摄像元件11A的构造与图2中所示的摄像元件11的构造的不同之处在于:多个像素21采用像素共用结构,在该像素共用结构中,用来构成像素21的诸如FD部33或放大晶体管34等部分是被共用的。

[0104] 用来构成摄像元件11A的共用像素61采用了由以4行×2列的矩阵方式设置着的8个像素21形成的像素共用结构。摄像元件11A具有这样的构造:在该构造中,在像素21上以所谓的拜耳模式设置有彩色滤光片,并且在图6中,在像素21中图示了各个彩色滤光片的颜色(R、G、B)。

[0105] 此外,同样在摄像元件11A中,以与图2的摄像元件11相同的方式,与设置有共用像素61的每一列对应地设置有第一垂直信号线23a和第二垂直信号线23b,并且向比较器52输入的像素信号能够利用输入开关51a 和51b而被切换。

[0106] 因此,在摄像元件11A中,针对沿列方向排列的共用像素61a和共用像素61b这两个共用像素中所分别包含的像素21,交替地执行具有信号电平的像素信号的AD转换和具有复位电平的像素信号的AD转换。然后,如果共用像素61a和共用像素61b中所包含的8个像素21的像素信号的AD转换结束,那么将下一行中的共用像素61a和共用像素61b 设定为处理对象,并且重复执行AD转换。

[0107] 以这种方式,在采用像素共用结构的摄像元件11A中,以与图2中的摄像元件11相同的方式,能够以低电力消耗实现AD转换的速度提高。

[0108] 接下来,图7是图示了根据摄像元件11的第三实施例的构造示例的一部分的框图。在图7所示的摄像元件11B中,与图6中所示的摄像元件11A的构造相同的构造被赋予相同的符号或附图标记,并且将会省略这些构造的详细说明。

[0109] 即,摄像元件11B的构造与图6的摄像元件11A的构造的不同之处在于,自动调零技

术被用来改善一个或多个特性。具体地,在摄像元件 11B中,电容器71a连接于输入开关51a与比较器52的负侧上的输入端子之间,并且电容器71b连接于输入开关51b与比较器52的负侧上的输入端子之间。此外,在摄像元件11B中,比较器52的正侧上的输入端子经由电容器72而被连接至斜坡信号生成电路17(参照图1),并且比较器52的输出端子经由反馈开关73而被连接至比较器52的负侧上的输入端子。

[0110] 因此,摄像元件11B被配置成通过使用由列处理部41执行的CDS 处理来抵消由于采样而产生的噪声(kT/C噪声)。

[0111] 将参照图8和图9来说明由摄像元件11B执行的CDS处理的顺序。

[0112] 首先,如图8的上段所示,在第一步中,使输入开关51a和反馈开关73闭合。然后,如图8的中段所示,在第二步中,使反馈开关73断开,斜坡信号开始下降,并且执行经由第一垂直信号线23a而输入的和复位电平对应的像素信号的AD转换。

[0113] 随后,如图8的下段所示,在第三步中,使输入开关51a断开,并且使输入开关51b和反馈开关73闭合。然后,如图9的上段所示,在第四步中,使反馈开关73断开,斜坡信号开始下降,并且执行经由第二垂直信号线23b而输入的和复位电平对应的像素信号的AD转换。

[0114] 此外,如图9的中段所示,在第五步中,使输入开关51b断开,使输入开关51a闭合,斜坡信号开始下降,并且执行经由第一垂直信号线 23a而输入的和信号电平对应的像素信号的AD转换。然后,如图9的下段所示,在第六步中,使输入开关51a断开,使输入开关51b闭合,斜坡信号开始下降,并且执行经由第二垂直信号线23b而输入的和信号电平对应的像素信号的AD转换。

[0115] 这里,在从第一步到第二步的过渡中,kT/C噪声被施加到与第一垂直信号线23a连接的电容器71a中。随后,在从第三步到第五步的过渡中,该电容器的一侧变为开端(高阻抗节点),使得电容电荷不会移动,因此,避免了新的kT/C噪声的施加。因此,通过求出从第一步到第五步的AD转换的结果之间的差分,并且通过执行数字CDS处理,能够抵消 kT/C噪声。

[0116] 因此,摄像元件11B能够拍摄出具有更小噪声的图像,能够避免图像质量劣化,并且能够实现处理速度的速度提高。

[0117] 接下来,图10是图示了根据摄像元件11的第四实施例的构造示例的一部分的框图。在图10所示的摄像元件11C中,与图7中所示的摄像元件11B的构造相同的构造被赋予相同的符号或附图标记,并且将会省略这些构造的详细说明。

[0118] 如图10所示,摄像元件11C的构造与图7的摄像元件11B的构造的不同之处在于,与共用像素61的每一列对应地设置有第一垂直信号线 23a-1、第二垂直信号线23b-1、第三垂直信号线23a-2和第四垂直信号线 23b-2这四条垂直信号线,并且沿着像素区的列方向在下侧和上侧分别设置有两个列处理部41-1和41-2。即,摄像元件11C具有添加了第三垂直信号线23a-2、第四垂直信号线23b-2和列处理部41-2的构造。此外,恒电流源42a-1被连接至第一垂直信号线23a-1,恒电流源42b-1被连接至第二垂直信号线23b-1,恒电流源42a-2被连接至第三垂直信号线23a-2,并且恒电流源42b-2被连接至第四垂直信号线23b-2。

[0119] 在摄像元件11C中,共用像素61a-1经由第一垂直信号线23a-1而被连接至列处理部41-1,并且共用像素61b-1经由第二垂直信号线23b-1 而被连接至列处理部41-1。此外,在摄像元件11C中,共用像素61a-2 经由第三垂直信号线23a-2而被连接至列处理部41-2,并且共用像素 61b-2经由第四垂直信号线23b-2而被连接至列处理部41-2。

[0120] 因此,在摄像元件11C中,针对分别包括在共用像素61a-1和共用像素61b-1各者中所分别包含的像素21,在列处理部41-1中交替地执行与信号电平对应的像素信号的AD转换和与复位电平对应的像素信号的AD转换。与此同时,在摄像元件11C中,针对共用像素61a-2和共用像素61b-2各者中所分别包含的像素21,在列处理部41-2中交替地执行与信号电平对应的像素信号的AD转换和与复位电平对应的像素信号的AD转换。

[0121] 以这种方式,在摄像元件11C中,列处理部41-1和列处理部41-2能够同时执行AD转换,且因此,例如,与图7中的摄像元件11B相比,能够使执行AD转换时的速度增加一倍。

[0122] 如上所述,根据上述各实施例的摄像元件11具有这样的构造:在该构造中,未使用上述的采样/保持技术,并且未增加列处理部41的数量。因而,能够在不增加电力消耗的前提下实现AD转换处理的速度提高。即,可以提高能够执行快速处理的摄像元件11的电力效率。

[0123] 接下来,将会说明摄像元件11的布线布局。

[0124] 首先,将参照图11至图13来说明摄像元件11的布线布局的第一构造示例。图11图示了摄像元件11中所包括的像素21a和像素21b的平面构造。图12图示了与图11中所示的XII-XII截面对应的部分的截面构造,即,图示了将像素21a连接至第一垂直信号线23a的连接部分的截面构造。图13图示了与图11中所示的XIII-XIII截面对应的部分的截面构造,即,图示了将像素21b连接至第二垂直信号线23b的连接部分的截面构造。

[0125] 如图11所示,像素21a被配置成包括PD 31a、传输晶体管32a、FD部33a、放大晶体管34a、选择晶体管35a和复位晶体管36a。此外,沿着像素21a的水平方向设置着水平信号线22VSS-a、水平信号线22TRG-a、水平信号线22RST-a、水平信号线22VDD-a和水平信号线22SEL-a,源极电压通过水平信号线22VSS-a而被提供,行传输脉冲通过水平信号线22TRG-a而被提供给传输晶体管32a,行复位脉冲通过水平信号线22RST-a而被提供给复位晶体管36a,漏极电压通过水平信号线22VDD-a而被提供,并且行选择脉冲通过水平信号线22SEL-a而被提供给选择晶体管35a。

[0126] 以相同的方式,像素21b被配置成包括PD 31b、传输晶体管32b、FD部33b、放大晶体管34b、选择晶体管35b和复位晶体管36b。此外,沿着像素21b的水平方向设置有水平信号线22VSS-b、水平信号线22TRG-b、水平信号线22RST-b、水平信号线22VDD-b和水平信号线22SEL-b,源极电压通过水平信号线22VSS-b而被提供,行传输脉冲通过水平信号线22TRG-b而被提供给传输晶体管32b,行复位脉冲通过水平信号线22RST-b而被提供给复位晶体管36b,漏极电压通过水平信号线22VDD-b而被提供,并且行选择脉冲通过水平信号线22SEL-b而被提供给选择晶体管35b。

[0127] 此外,第一垂直信号线23a和第二垂直信号线23b沿着像素21a和像素21b的排列方向即垂直方向而被设置着。然后,在第一垂直信号线23a与第二垂直信号线23b之间设置有信号线间屏蔽件(inter-signal-line shield)101。信号线间屏蔽件101被连接至水平信号线22VSS-a和水平信号线22VSS-b,并且被固定到所述源极电压。

[0128] 这里,因为形状的一样性在像素布局中通常是重要的,所以除了像素21a与第一垂直信号线23a的连接部分以及像素21b与第二垂直信号线23b的连接部分以外,像素21a和像素21b具有相同的构造。即,图12中所示的第一像素21a与第一垂直信号线23a的连接部分的构造不同于图13中所示的像素21b与第二垂直信号线23b的连接部分的构造。

[0129] 如图12所示,在像素21a中,从半导体基板(阱)121侧开始依次层叠着栅极层、接触层、第一金属层、第一通路层、第二金属层、第二通路层以及第三金属层,在所述栅极层中形成有栅极电极122-1a和122-2a,在所述接触层中形成有接触部123-1a和123-2a,在所述第一金属层中形成有金属布线124-1a和124-2a,在所述第一通路层中形成有通路125a,在所述第二金属层中形成有金属布线126a,在所述第二通路层中形成有通路127a,并且在所述第三金属层中形成有第一垂直信号线23a、第二垂直信号线23b和信号线间屏蔽件101。

[0130] 金属布线124-1a被连接至图11中的FD部33a,并且经由接触部123-1a而被连接至构成放大晶体管34a的栅极电极122-1a。因此,具有与存储于FD部33a中的电荷对应的电位的电位经由金属布线124-1a和接触部123-1a而被施加到栅极电极122-1a上。

[0131] 如图11所示,栅极电极122-2a用于构成选择晶体管35a并且被连接至水平信号线22SEL-a,行选择脉冲通过该水平信号线22SEL-a而被提供。接着,位于选择晶体管35a的源极侧的扩散层经由接触部123-2a、金属布线124-2a、通路125a、金属布线126a和通路127a而被连接至第一垂直信号线23a。

[0132] 此外,如图13所示,在像素21b中,以与像素21a相同的方式,在栅极层中形成有栅极电极122-1b和122-2b,在接触层中形成有接触部123-1b和123-2b,在第一金属层中形成有金属布线124-1b和124-2b,在第一通路层中形成有通路125b,在第二金属层中形成有金属布线126b,在第二通路层中形成有通路127b,并且在第三金属层中形成有第一垂直信号线23a、第二垂直信号线23b和信号线间屏蔽件101。

[0133] 金属布线124-1b被连接至图11中的FD部33b,并且经由接触部123-1b而被连接至构成放大晶体管34b的栅极电极122-1b。因此,具有与存储于FD部33b中的电荷对应的电位的电位经由金属布线124-1b和接触部123-1b而被施加到栅极电极122-1b上。

[0134] 如图11所示,栅极电极122-2b用于构成选择晶体管35b并且被连接至水平信号线22SEL-b,行选择脉冲通过该水平信号线22SEL-b而被提供。接着,位于选择晶体管35b的源极侧的扩散层通过接触部123-2b、金属布线124-2b、通路125b、金属布线126b和通路127b而被连接至第二垂直信号线23b。

[0135] 如图12和图13所示,在第三金属层中,固定到源极电压的信号线间屏蔽件101被设置于第一垂直信号线23a与第二垂直信号线23b之间。因此,例如,在第三金属层中能够防止在第一垂直信号线23a与第二垂直信号线23b之间直接产生耦合电容。因此,即使所执行的是诸如像素信号的AD转换和建立同时且交替地被切换等读取操作,也能够防止第一垂直信号线23a和第二垂直信号线23b彼此影响,并且例如,能够防止串扰噪声的出现。

[0136] 然而,在第三金属层中,第一垂直信号线23a、第二垂直信号线23b和信号线间屏蔽件101是沿垂直方向设置的。在第二金属层中,金属布线126a和金属布线126b是沿水平方向设置的。即,布线布局是以如下方式形成的,该方式是:在第三金属层与第二金属层之间,垂直信号线23与金属布线126是交替地交叉的。

[0137] 因此,如图12所示,增加了在第三金属层的第二垂直信号线23b与第二金属层的金属布线126a之间出现的耦合电容Ca。即,金属布线126a被连接至第一垂直信号线23a,且因此第一垂直信号线23a与第二垂直信号线23b之间间接地产生了耦合电容Ca。

[0138] 以相同的方式,如图13所示,增加了在第三金属层的第一垂直信号线23a与第二金属层的金属布线126b之间产生的耦合电容Cb。即,金属布线126b被连接至第二垂直信号线

23b,且因此在第一垂直信号线23a 与第二垂直信号线23b之间间接地产生了耦合电容Ca。

[0139] 如上所示,在摄像元件11中,在像素21a和像素21b中,像素信号的AD转换和建立是同时执行的,并且读取像素信号的读取操作是以交替地切换所述AD转换和所述建立的方式而被执行的。在该读取操作中,在第一垂直信号线23a和第二垂直信号线23b中在像素信号被读取的时刻发生了偏移。由于此原因,例如,在不执行像素21a的像素信号的建立时,如果对像素21b的像素信号进行读取,那么第一垂直信号线23a 的电位变化通过耦合电容Ca和Cb而被传达至第二垂直信号线23b,因而信号质量有可能发生劣化性。

[0140] 结果,通过第一垂直信号线23a和第二垂直信号线23b而被传输的像素信号的噪声增大了,并且该噪声可能会显著地影响图像质量。此外,必须确保用来充分地使信号质量返回到原始状态的建立时间,因此,恐怕不会实现速度提高。这样,因为通过第一垂直信号线23a与第二垂直信号线23b之间间接出现的耦合电容Ca和Cb而引起的串扰,所以会产生负面影响。

[0141] 因此,在摄像元件11中采用能够抑制该负面影响的产生的布线布局。

[0142] 接下来,将参照图14至图16来说明摄像元件11的布线布局的第二构造示例。图14图示了摄像元件11中所包括的像素21a和像素21b的平面构造。图15图示了与图14中所示的XV-XV截面对应的部分(即,将像素21a连接至第一垂直信号线23a的连接部分)的截面构造。图16 图示了与图14中所示的XVI-XVI截面对应的部分(即,将像素21b连接至第二垂直信号线23b的连接部分)的截面构造。

[0143] 在图14至图16所示的摄像元件11的布线布局中,与参照上述图11 至图13说明的摄像元件11的布线布局的构造相同的构造被赋予相同的符号或附图标记,因此,将会省略这些构造的详细说明。例如,在摄像元件11的布线布局的第二构造示例中,图14至图16中所示的连接部分的构造不同于参照上述图11至图13说明的摄像元件11的布线布局的构造。

[0144] 例如,如图15所示,在将像素21a连接至第一垂直信号线23a的连接部分中,在第一金属层中形成有直到第二垂直信号线23b下方的位置处的金属布线124-3a。此外,在第二金属层中,以分离的方式形成了金属布线126-1a和金属布线126-2a。接着,金属布线126-1a通过通路125a 而被连接至金属布线124-3a,并且通过通路127-1a而被连接至第一垂直信号线23a。此外,金属布线126-2a通过通路127-2a而被连接至信号线间屏蔽件101。

[0145] 以这种方式,在将像素21a连接至第一垂直信号线23a的连接部分中,通过被设置于第一金属层中的金属布线124-3a以及被设置于第二金属层中的金属布线126-1a和金属布线126-2a来形成两层结构。接着,与固定到源极电位的信号线间屏蔽件101连接的金属布线126-2a被设置于第二垂直信号线23b与金属布线124-3a之间。因此,提供了如下的屏蔽结构:在该屏蔽结构中,第一垂直信号线23a相对于不用来从像素21a 读取像素信号的第二垂直信号线23b而被屏蔽开。即,在第二垂直信号线23b与金属布线126-2a之间产生了耦合电容Ca',并且在上述的第一垂直信号线23a与第二垂直信号线23b之间耦合电容Ca(图12)能够被减小。

[0146] 以相同的方式,如图16所示,在将像素21b连接至第二垂直信号线 23b的连接部分中,在第一金属层中形成有直到第二垂直信号线23b下方的位置处的金属布线124-3b。此外,在第二金属层中,以分离的方式形成了金属布线126-1b和金属布线126-2b。接着,金属布线126-2b通过通路125b而被连接至金属布线124-3b,并且通过通路127-1b而被连接至第

二垂直信号线23b。此外,金属布线126-1b通过通路127-2b而被连接至信号线间屏蔽件101。

[0147] 以这种方式,在将像素21b连接至第二垂直信号线23b的连接部分中,通过被设置于第一金属层中的金属布线124-3b以及被设置于第二金属层中的金属布线126-1b和金属布线126-2b来形成两层结构。接着,与固定到源极电位的信号线间屏蔽件101连接的金属布线126-1b被设置于第一垂直信号线23a与金属布线124-3b之间。因此,提供了如下的屏蔽结构:在该屏蔽结构中,第二垂直信号线23b相对于不用来从像素21b 读取像素信号的第一垂直信号线23a而被屏蔽开。即,在第一垂直信号线23a与金属布线126-1b之间产生了耦合电容 C_b' ,并且在上述的第一垂直信号线23a与第二垂直信号线23b之间耦合电容 C_b (图13)能够被减小。

[0148] 如上所述,摄像元件11能够在将像素21a连接至第一垂直信号线23a 的连接部分和将像素21b连接至第二垂直信号线23b的连接部分中配备用于互补性屏蔽的屏蔽结构。

[0149] 即,在将像素21a连接至第一垂直信号线23a的连接部分中,通过把被设置于金属布线124-3a与第二垂直信号线23b之间的金属布线 126-2a连接至信号线间屏蔽件101,形成了将第一垂直信号线23a相对于第二垂直信号线23b屏蔽开的屏蔽结构。以相同的方式,在将像素21b 连接至第二垂直信号线23b的连接部分中,通过把被设置于金属布线 124-3b与第一垂直信号线23a之间的金属布线126-1b连接至信号线间屏蔽件101,形成了将第二垂直信号线23b相对于第一垂直信号线23a屏蔽开的屏蔽结构。

[0150] 这样,就能够减小第一垂直信号线23a与第二垂直信号线23b之间的耦合电容,并且能够抑制串扰的出现。因此,能够降低通过第一垂直信号线23a和第二垂直信号线23b而被传输的像素信号的噪声,并且能够获得具有更好的图像质量的图像。此外,不必确保长的、用于充分地使信号质量返回到原始状态的建立时间,并且因为建立时间的量可以减少,所以可以增大处理速度。

[0151] 因此,在用于执行诸如同时且交替地切换像素信号的AD转换和建立等读取操作的摄像元件11中,可以实现速度提高和高精度。

[0152] 参照图14至图16说明的布线布局不受限于像素21的共用数、垂直信号线23的数量、以及构成像素21的晶体管的方向(包括各元件的布置、或单位像素中的反转布置等),并且能够被应用到具有各种各样构造的摄像元件11。

[0153] 此外,本发明不受限于针对像素列而设置两条垂直信号线23的构造,因为本发明能够应用到设置有三条以上垂直信号线23的构造并且能够针对任意的垂直信号线23的组合进行互补性屏蔽。在设置有例如四条垂直信号线23的构造中,由第三垂直信号线23和第四垂直信号线23组成的一对垂直信号线可以相对于由第一垂直信号线23和第二垂直信号线23 组成的另一对垂直信号线而被互补性地屏蔽。在这种构造中,第一金属层中的金属布线124的数量能够被减少与两条垂直信号线23相应的线数,且因此能够防止负载的增大。

[0154] 此外,例如,通过进一步向上述第一金属层至第三金属层添加金属层并且由此构成同样的屏蔽结构,可以进一步抑制串扰。

[0155] 参照图14至图16说明的屏蔽结构可以被应用于例如源极跟随电路的输入之间(FD部33之间)。即,当针对图6中所示的共用像素61的单位像素中的多个FD部33而言不能忽视FD部33之间的电容时,可以在FD部33之间形成有屏蔽结构。因此,在诸如同时且交替地切换像素信号的AD转换和建立等读取操作中,能够抑制在单位像素中在多个FD 部33之间产生

的负面影响。

[0156] 然而,如上所述,摄像元件11被配置成使用输入开关51a和51b来切换比较器52的输入。在这种构造中,存在着如下的可能:在输入开关 51a和51b的开关操作时的注入泄漏 (injection leakage) 和馈通 (feedthrough) 向比较器52添加了噪声。此外,存在着如下的可能:在输入开关51a和51b被接通时的电阻可能导致通过第一垂直信号线23a 和第二垂直信号线23b而被传输的像素信号的建立的延迟。另外,曾提出了这样的一种安装方法:该方法为了加速摄像元件的操作,通过使用两个比较器同时执行读取操作来使读取速度增加一倍。但是,在该安装方法中,存在着比较器的尺寸增大一倍并且电流消耗也增大一倍的可能。

[0157] 因此,摄像元件11采用具有如下构造的比较器52:在该构造中,差分对部 (differential pair units)彼此并行地设置着,并且用于切换所述差分对部的活动状态和待机状态的开关被合并进来,由此降低比较器的尺寸增大一倍和/或电流消耗也增大一倍的可能性。在这种构造中,没有设置输入开关51a和51b,并且第一垂直信号线23a和第二垂直信号线23b 直接连接至比较器52。

[0158] 图17图示了比较器52的电路构造。

[0159] 如图17所示,比较器52被配置成包括差分对电路201、第二放大部 (第二AMP) 202 和第三放大部(第三AMP) 203。

[0160] 来自第一垂直信号线23a和第二垂直信号线23b的像素信号以及来自斜坡信号生成电路17的斜坡信号被输入至差分对电路201。然后,来自差分对电路201的差分对输出被提供给第二放大部202,于是在此被放大并且反相。来自第二放大部202的输出通过第三放大部203而被放大直至预定电平,随后作为上述的比较结果信号而被输出。

[0161] 差分对电路201被配置成包括晶体管211至213、第一差分对部214a 和第二差分对部214b,并且如图17所示,第一差分对部214a和第二差分对部214b并行地设置着。

[0162] 第一差分对部214a被连接至第一垂直信号线23a和斜坡信号生成电路17,并且比较通过第一垂直信号线23a提供过来的像素信号和从斜坡信号生成电路17提供过来的斜坡信号。第二差分对部214b被连接至第二垂直信号线23b和斜坡信号生成电路17,并且比较通过第二垂直信号线23b提供过来的像素信号和通过斜坡信号生成电路17提供过来的斜坡信号。

[0163] 第一差分对部214a被配置成包括一对电容器221-1a和221-2a、一对晶体管222-1a和222-2a、一对晶体管223-1a和223-2a以及一对晶体管224-1a和224-2a。

[0164] 电容器221-1a被连接至第一垂直信号线23a且保持着与像素信号的电平对应的电位,并且电容器221-2a被连接至斜坡信号生成电路17且保持着与斜坡信号的电平对应的电位。

[0165] 保持在电容器221-1a中的电位被施加给晶体管222-1a的栅极电极,并且保持在电容器221-2a中的电位被施加给晶体管222-2a的栅极电极。因此,这一对晶体管222-1a和222-2a被用来比较通过第一垂直信号线 23a提供过来的像素信号和通过斜坡信号生成电路17提供过来的斜坡信号。

[0166] 晶体管223-1a被设置成连接于电容器221-1a跟晶体管222-1a的栅极电极的连接点与晶体管222-1a跟晶体管224-1a的连接点之间。此外,晶体管223-2a被设置成连接于电

容器221-2a跟晶体管222-2a的栅极电极的连接点与晶体管222-2a跟晶体管224-2a的连接点之间。因此,这一对晶体管223-1a和223-2a被自动调零控制信号AZP-a驱动,并且执行第一差分对部214a的自动调零操作。

[0167] 晶体管224-1a被设置于晶体管222-1a(其被施加有与像素信号的电平对应的电位)的源极侧上。晶体管224-2a被设置于晶体管222-2a(其被施加有与斜坡信号的电平对应的电位)的源极侧上。然后,所述一对晶体管224-1a和224-2a被比较操作选择信号SEL-a驱动,并且被用来通过执行向所述一对晶体管222-1a和222-2a的电源供给的接通/关断(ON/OFF)来切换第一差分对部214a的活动状态和待机状态。

[0168] 即,所述一对晶体管224-1a和224-2a被接通,由此电源被供给至所述一对晶体管222-1a和222-2a。因此,第一差分对部214a进入活动状态(ACTIVE),并且像素信号和斜坡信号被比较。另一方面,所述一对晶体管224-1a和224-2a被关断,由此不向所述一对晶体管222-1a和222-2a供给电源。因此,第一差分对部214a进入待机状态(Standby),并且像素信号和斜坡信号的比较被停止。

[0169] 以与第一差分对部214a相同的方式,第二差分对部214b被配置成包括一对电容器221-1b和221-2b、一对晶体管222-1b和222-2b、一对晶体管223-1b和223-2b以及一对晶体管224-1b和224-2b。

[0170] 因此,所述一对晶体管224-1b和224-2b被接通,由此电源被供给至所述一对晶体管222-1b和222-2b。因此,第二差分对部214b进入活动状态,并且像素信号和斜坡信号被比较。另一方面,所述一对晶体管224-1b和224-2b被关断,由此不向一对晶体管222-1b和222-2b供给电源。因此,第二差分对部214b进入待机状态,并且像素信号和斜坡信号的比较被停止。

[0171] 比较器52以如下这种方式而被构成:提供给晶体管224-1a和224-2a的比较操作选择信号SEL-a以及提供给晶体管224-1b和224-2b的比较操作选择信号SEL-b在同一时刻在电平上相互反转。因此,第一差分对部214a和第二差分对部214b的活动状态和待机状态能够被交替地切换。

[0172] 例如,在从被连接至第一垂直信号线23a的像素21a输出的像素信号的AD转换周期(上述的图3中的第二和第四操作周期)中,第一差分对部214a能够被设定为活动状态,并且第二差分对部214b能够被设定为待机状态。此外,在从被连接至第二垂直信号线23b的像素21b输出的像素信号的AD转换周期(上述的图3中的第一和第三操作周期)中,第二差分对部214b能够被设定为活动状态,并且第一差分对部214a能够被设定为待机状态。

[0173] 以这种方式,在摄像元件11中,利用被合并入比较器52中的切换部(所述一对晶体管224-1a和224-2a以及所述一对晶体管224-1b和224-2b),作为在列处理部41中被执行AD转换的对象的像素信号能够被切换。

[0174] 于是,因为包括具有这种构造的比较器52的摄像元件11能够切换比较器52内的输入,所以能够在没有输入开关51a和51b的前提下将摄像元件11配置而成。因此,可以避免由于设置有输入开关51a和51b的构造而导致的负面影响,例如,当输入开关51a和51b被切换时所产生的噪声,或诸如由于输入开关51a和51b的接通电阻而导致的建立延迟等负面影响。

[0175] 因此,摄像元件11能够拍摄出具有较小噪声的图像,并且能够进一步实现速度提

高。

[0176] 此外,与通过设置两个比较器来实现速度提高的构造相比,比较器 52能够实现低电力消耗和小型化。即,因为比较器52共用第一差分对部214a和第二差分对部214b的电流路径并且共用第二放大部202和第三放大部203,所以比较器52能够以与设置有一个比较器的构造中的消耗电流相同的消耗电流而被驱动,并且比较器52能够以被减小了上述共用部分的尺寸的面积而被安装。例如,与具有仅包括第二差分对部214b的构造的比较器相比,比较器52能够通过仅仅由于将第一差分对部214a设置于第二差分对部214b外侧而带来的面积增大而被实现,由此,可以减少对芯片规格的妥协(trade-off)。

[0177] 接下来,图18图示了用来解释比较器52的驱动的时序图。

[0178] 图18从顶部往下按顺序图示了从斜坡信号生成电路17提供过来的斜坡信号RAMP、被提供给一对晶体管224-1a和224-2a的比较操作选择信号SEL-a、被提供给一对晶体管224-1b和224-2b的比较操作选择信号 SEL-b、被提供给一对晶体管223-1a和223-2a的自动调零控制信号 AZP-a、被提供给一对晶体管223-1b和223-2b的自动调零控制信号AZP-b 以及从比较器52输出的比较结果信号VCO。

[0179] 首先,在第一周期的P阶段(P phase)中,当比较操作选择信号SEL-a变为L(低)电平并且第一差分对部214a进入活动状态时,比较操作选择信号SEL-b变为H(高)电平并且第二差分对部214b进入待机状态。此外,自动调零控制信号AZP-a变为L电平并且第一差分对部214a的自动调零操作在第一周期的P阶段的前半部分中被执行,随后,具有复位电平的像素信号的AD转换被第一差分对部214a执行。相应地,比较结果信号VCO根据通过第一垂直信号线23a输入的具有复位电平的像素信号而被反相。

[0180] 接着,在第二周期的P阶段中,当比较操作选择信号SEL-a变为H 电平并且第一差分对部214a进入待机状态时,比较操作选择信号SEL-b 变为L电平并且第二差分对部214b进入活动状态。此外,自动调零控制信号AZP-b变为L电平并且第二差分对部214b的自动调零操作在第二周期的P阶段的前半部分中被执行,随后,具有复位电平的像素信号的 AD转换被第二差分对部214b执行。相应地,比较结果信号VCO根据通过第二垂直信号线23b输入的具有复位电平的像素信号而被反相。

[0181] 随后,在第一周期的D阶段(D phase)中,在比较操作选择信号 SEL-a变为L电平并且第一差分对部214a进入活动状态的同时,比较操作选择信号SEL-b变为H电平并且第二差分对部214b进入待机状态。然后,具有信号电平的像素信号的AD转换被第一差分对部214a执行,并且比较结果信号VCO根据通过第一垂直信号线23a输入的具有信号电平的像素信号而被反相。

[0182] 然后,在第二周期的D阶段中,在比较操作选择信号SEL-a变为H 电平并且第一差分对部214a进入待机状态的同时,比较操作选择信号 SEL-b变为L电平并且第二差分对部214b进入活动状态。然后,具有信号电平的像素信号的AD转换被第二差分对部214b执行,并且比较结果信号VCO根据通过第二垂直信号线23b输入的具有信号电平的像素信号而被反相。

[0183] 这样,在包括具有图17中所示的构造的比较器52的摄像元件11中,同样能够以与现有技术相同的方式来执行通过P阶段和D阶段而被实施的CDS操作。

[0184] 此外,如图18所示,通过执行比较操作选择信号SEL-a和比较操作选择信号SEL-b

的反相操作,就执行了用于交替地选择第一差分对部 214a和第二差分对部214b的活动状态和待机状态的控制。因此,当比较操作选择信号SEL-a处于H电平时,比较操作选择信号SEL-b变为L电平,由此能够防止处于活动状态的第二差分对部214b的信号被传播到处于待机状态的第一差分对部214a。相反,当比较操作选择信号SEL-b处于H电平时,比较操作选择信号SEL-a变为L电平,由此能够防止处于活动状态的第一差分对部214a的信号被传播到处于待机状态的第二差分对部214b。

[0185] 例如,在比较器52中,提供给晶体管224-1b和224-2b的比较操作选择信号SEL-b以及提供给晶体管223-1b和223-2b的自动调零控制信号AZP-b能够一直被固定到H电平。在这种情况下,第一差分对部214a 一直处于活动状态,第二差分对部214b一直处于待机状态,并且比较器 52能够实施与仅使用第一差分对部214a的现有技术的比较器的驱动相同的驱动。相反,当比较操作选择信号SEL-a和自动调零控制信号AZP-a 一直被固定到H电平时,比较器52能够实施与仅使用第二差分对部214b 的现有技术的比较器的驱动相同的驱动。

[0186] 图19图示了比较器52的电路构造的第一变形例。

[0187] 在图19所示的比较器52A中,与图17的比较器52的构造相同的构造被赋予相同的符号或附图标记,并且将会省略这些构造的详细说明。即,比较器52A与图17的比较器52的相同之处在于,比较器52A包括第二放大部202和第三放大部203并且差分对电路201A包括晶体管211 至213。此外,比较器52A的构造与图17的比较器52的构造的相同之处还在于,第一差分对部214a-A和二差分对部214b-A彼此并行地设置着。

[0188] 另一方面,在比较器52A中,用来切换第一差分对部214a-A和第二差分对部214b-A的活动状态和待机状态的各晶体管的布置不同于图17 的比较器52中的布置。

[0189] 即,在图17的比较器52的第一差分对部214a中,用于切换活动状态和待机状态的一对晶体管224-1a和224-2a分别被设置于用来比较信号的一对晶体管222-1a和222-2a的源极侧上。此外,在图17的比较器52 的第二差分对部214b中,用于切换活动状态和待机状态的一对晶体管 224-1b和224-2b分别被设置于用来比较信号的一对晶体管222-1b和222-2b的源极侧上。

[0190] 与此相反,比较器52A的第一差分对部214a-A具有这样的构造:在该构造中,用于切换活动状态和待机状态的一对晶体管225-1a和225-2a 分别被设置于用来比较信号的一对晶体管222-1a和222-2a的漏极侧上。以相同的方式,比较器52A的第二差分对部214b-A具有这样的构造:在该构造中,用于切换活动状态和待机状态的一对晶体管225-1b和 225-2b 分别被设置于用来比较信号的一对晶体管222-1b和222-2b的漏极侧上。

[0191] 比较器52A以这种方式被配置而成,并且能够以与图17的比较器 52相同的方式执行上面参照图18所描述的驱动。

[0192] 然后,例如,比较器52A能够防止施加给晶体管222-2a和222-2b 的栅极电极的斜坡信号通过晶体管222-2a和222-2b的漏极侧的连接点而作为噪声被传播到晶体管222-1a和222-1b侧。因此,包括比较器52A 的摄像元件11能够拍摄出具有较小噪声的良好图像。

[0193] 图20图示了比较器52的电路构造的第二变形例。

[0194] 在图20所示的比较器52B中,与图17的比较器52的构造相同的构造被赋予相同的符号或附图标记,并且将会省略这些构造的详细说明。即,比较器52B与图17的比较器52的相同之处在于,比较器52B包括第二放大部202和第三放大部203并且差分对电路201B包括

晶体管211 至213。此外,比较器52B的构造与图17的比较器52的构造的相同之处还在于,第一差分对部214a-B和二差分对部214b-B彼此并行地设置着。

[0195] 另一方面,在比较器52B中,用来切换第一差分对部214a-B和第二差分对部214b-B的活动状态和待机状态的各晶体管的布置不同于图17 的比较器52中的布置。

[0196] 即,在比较器52B的第一差分对部214a-B中,以与图17的比较器 52相同的方式,用于切换活动状态和待机状态的一对晶体管224-1a和 224-2a分别被设置于用来比较信号的一对晶体管222-1a和222-2a的源极侧上。除此之外,比较器52B的第一差分对部214a-B还具有这样的构造:在该构造中,用于切换活动状态和待机状态的一对晶体管225-1a和 225-2a分别被设置于用来比较信号的一对晶体管222-1a和222-2a的漏极侧上。

[0197] 即,比较器52B的第一差分对部214a-B具有这样的构造:在该构造中,一对晶体管224-1a和224-2a以及一对晶体管225-1a和225-2a分别被设置于一对晶体管222-1a和222-2a的源极侧和漏极侧上。

[0198] 以相同的方式,比较器52B的第二差分对部214b-B具有这样的构造:在该构造中,一对晶体管224-1b和224-2b以及一对晶体管225-1b和 225-2b分别被设置于一对晶体管222-1b和222-2b的源极侧和漏极侧上。

[0199] 比较器52B以这种方式被配置而成,并且能够以与图17的比较器 52相同的方式执行上面参照图18所描述的驱动。

[0200] 于是,例如,比较器52B能够防止施加给晶体管222-2a和222-2b 的栅极电极的斜坡信号通过晶体管222-2a和222-2b的漏极侧的连接点而作为噪声被传播到晶体管222-1a和222-1b侧。此外,因为处于待机状态的那个差分对部(第一差分对部214a-B和第二差分对部214b-B中的任一者)的负载不被看作差分对输出,所以比较器52B能够避免由于负载增大而导致的速度降低。相应地,包括比较器52B的摄像元件11能够高速拍摄出具有较小噪声的良好图像。

[0201] 图21图示了比较器52的电路构造的第三变形例。

[0202] 在图21所示的比较器52C中,与图17的比较器52的构造相同的构造被赋予相同的符号或附图标记,并且将会省略这些构造的详细说明。即,比较器52C与图17的比较器52的相同之处在于,比较器52C包括第二放大部202和第三放大部203并且差分对电路201C包括晶体管211 至213。此外,比较器52C的构造与图17的比较器52的构造的相同之处还在于,第一差分对部214a-C和第二差分对部214b-C彼此并行地设置着。

[0203] 另一方面,在比较器52C中,用于执行自动调零操作的一对晶体管 223-1a和223-2a的连接构造不同于图17的比较器52中的连接构造。

[0204] 即,在图17的比较器52的第一差分对部214a中,用于执行自动调零操作的一对晶体管223-1a和223-2a分别被设置成连接于如下两个连接点之间:一个是用来比较信号的一对晶体管222-1a和222-2a的栅极电极与一对电容器221-1a和221-2a中的相应电容器的连接点,另一个是用来比较信号的一对晶体管222-1a和222-2a与用于切换活动状态和待机状态的一对晶体管224-1a和224-2a的连接点。此外,在图17的比较器52的第二差分对部214b中,用于执行自动调零操作的一对晶体管223-1b和 223-2b分别被设置成连接于如下两个连接点之间:一个是用来比较信号的一对晶体管222-1b和222-2b的栅极电极与一对电容器221-1b和221-2b 中的相应电容器的连接点,另一个是用来比较信号的一对晶体管222-1b

和222-2b与用于切换活动状态和待机状态的一对晶体管224-1b和224-2b 的连接点。

[0205] 与此相反,在比较器52C的第一差分对部214a-C中,用于执行自动调零操作的一对晶体管223-1a和223-2a分别被设置成连接于如下两者之间:一者是用来比较信号的一对晶体管222-1a和222-2a的栅极电极与一对电容器221-1a和221-2a中的相应电容器的连接点,另一者是用于切换活动状态和待机状态的一对晶体管224-1a和224-2a的源极侧。

[0206] 以相同的方式,在比较器52C的第二差分对部214b-C中,用于执行自动调零操作的一对晶体管223-1b和223-2b分别被设置成连接于如下两者之间:一者是用来比较信号的一对晶体管222-1b和222-2b的栅极电极与一对电容器221-1b和221-2b中的相应电容器的连接点,另一者是用于切换活动状态和待机状态的一对晶体管224-1b和224-2b的源极侧。

[0207] 以这种方式配置而成的比较器52C包括一对晶体管224-1a和224-2a 以及一对晶体管224-1b和224-2b,因此比较器52C能够执行自动调零操作,并且能够调准这些晶体管的电压阈值之间的差分。

[0208] 图22图示了比较器52的电路构造的第四变形例。

[0209] 在图22所示的比较器52D中,与图17的比较器52的构造相同的构造被赋予相同的符号或附图标记,并且将会省略这些构造的详细说明。即,比较器52D与图17的比较器52的相同之处在于,比较器52D包括第二放大部202和第三放大部203并且差分对电路201D包括晶体管211 至213。此外,比较器52D的构造与图17的比较器52的构造的相同之处还在于,第一差分对部214a-D和第二差分对部214b-D彼此并行地设置着。

[0210] 另一方面,比较器52D的构造与图17的比较器52的构造的不同之处在于,位于被连接至斜坡信号生成电路17并且被供给有斜坡信号的一侧的电路构造被第一差分对部214a-D和第二差分对部214b-D共同使用。即,比较器52D以如下方式被配置而成:其中,位于斜坡信号侧的配置有电容器221、晶体管222和晶体管223的电路构造被第一差分对部 214a-D和第二差分对部214b-D共同使用。

[0211] 即,第一差分对部214a-D使用位于像素信号侧的配置有电容器 221-1a、晶体管222-1a和晶体管223-1a的电路构造并且使用位于斜坡信号侧的配置有电容器221、晶体管222和晶体管223的电路构造,来执行像素信号和斜坡信号的比较操作。以相同的方式,第二差分对部214b-D 使用位于像素信号侧的配置有电容器221-1b、晶体管222-1b和晶体管223-1b的电路构造并且使用位于斜坡信号侧的配置有电容器221、晶体管222和晶体管223的电路构造,来执行像素信号和斜坡信号的比较操作。

[0212] 于是,与第一差分对部214a-D中的位于像素信号侧的电路构造连接的晶体管224-1a以及与第二差分对部214b-D中的位于像素信号侧的电路构造连接的晶体管224-1b被用来切换活动状态和待机状态。

[0213] 在以这种方式配置而成的比较器52D中,位于斜坡信号侧的电路构造被第一差分对部214a-D和第二差分对部214b-D共用,且因此,例如与图17的比较器52相比,能够配置出小面积的比较器52D。因此,能够实现整个摄像元件11的小型化。

[0214] 接下来,将参照图23来说明摄像元件11的驱动信号和像素信号。

[0215] 图23图示了当以如图24所示那样被布置着的像素21a-1、像素 21b-1、像素21a-2和像素21b-2的顺序来读取像素信号时的一个水平周期(1H)的时序图。

[0216] 从图23的顶侧往下按顺序图示了:被提供给与第一垂直信号线23a 连接的像素

21a-1和像素21a-2的选择信号SEL1、复位信号RST1、传输信号TG1和TG2;被提供给与第二垂直信号线23b连接的像素21b-1和像素21b-2的选择信号SEL2、复位信号RST3、传输信号TG3和TG4;通过第一垂直信号线23a输出的像素信号VSL1;通过第二垂直信号线 23b输出的像素信号VSL2;以及从斜坡信号生成电路17输出的斜坡信号Ramp。

[0217] 首先,驱动像素21a-1和像素21b-1,读取像素21a-1的P阶段(具有复位电平的像素信号),且随后读取像素21b-1的P阶段。此后,读取像素21a-1的D阶段(具有信号电平的像素信号),且随后读取像素21b-1的D阶段。接着,驱动像素21a-2和像素21b-2,读取像素21a-2的P阶段,且随后读取像素21b-2的P阶段。此后,读取像素21a-2的D阶段,且随后读取像素21b-2的D阶段。

[0218] 在下文中,关于像素21a-1和像素21b-1,首先被读取像素信号的像素21a-1称为初级,并且随后被读取像素信号的像素21b-1称为次级。类似地,像素21a-2称为初级,并且像素21b-2称为次级。

[0219] 在根据该时序图而被驱动的摄像元件11中,如果在像素21a和像素 21b中的一者的读取操作的期间内另一者的快门操作结束,那么电源负载发生变化。因此,在读取操作和快门操作同时被执行的行与仅读取操作被执行的行之间可能会出现被为快门级差(shutter step)的横带状的噪声。

[0220] 因此,在摄像元件11中,为了避免电源负载的这种变化,可以设置有伪读取行。在伪读取行中不执行像素信号的读取,并且伪读取行可以采用提供复位脉冲和传输脉冲的伪读取控制。

[0221] 将参照图25和图26来说明伪读取控制。

[0222] 图25图示了当执行由于伪读取行中的传输信号而使得能够抑制电源负载的变化的控制时的时序图。

[0223] 从图25的顶侧往下按顺序图示了:从斜坡信号生成电路17输出的斜坡信号Ramp;被执行像素信号的读取的开口行中的初级的传输信号和次级的传输信号;伪读取行中的初级的传输信号和次级的传输信号;在未执行伪读取控制的情况下的负电位变化;以及在执行伪读取控制的情况下的负电位变化。负电位变化涉及与第二垂直信号线23b连接的电源。

[0224] 如图25所示,当执行伪读取控制时,执行如下的控制:与开口行中的次级的传输信号的脉冲的产生时间一致地,产生伪读取行中的次级的传输信号的脉冲。此外,在初级的D阶段结束的时刻,执行如下的控制:产生伪读取行中的初级的传输信号的脉冲。

[0225] 通过执行这种伪读取控制,就能够使用初级行中的P阶段和D阶段以及次级行中的P阶段和D阶段来调节与第二垂直信号线23b连接的电源的负电位变化。相应地,摄像元件11能够避免上述的被称为快门级差的横带状的噪声。

[0226] 图26图示了当执行由于伪读取行中的复位信号而使得能够抑制电源负载的变化的控制时的时序图。

[0227] 从图26的顶侧往下按顺序图示了:从斜坡信号生成电路17输出的斜坡信号Ramp;被执行像素信号的读取的开口行中的初级的选择信号和次级的选择信号;被执行像素信号的读取的开口行中的初级的复位信号和次级的复位信号;伪读取行中的初级的选择信号和次级的选择信号;以及伪读取行中的初级的复位信号和次级的复位信号。

[0228] 如图26所示,在伪读取行中的初级的复位信号中,在初级的P阶段与次级的P阶段

之间执行如下的伪读取控制:产生用于执行伪读取操作的脉冲。

[0229] 通过执行该伪读取控制,就能够使用初级行中的P阶段和D阶段以及次级行中的P阶段和D阶段来调节与第二垂直信号线23b连接的电源的负电位变化。相应地,摄像元件11能够避免上述的被称为快门级差的横带状的噪声。

[0230] 如上所述,设置有不执行像素信号的读取的伪读取行,针对作为初级的像素21a和作为次级的像素21b而执行了能够抑制负电位变化的伪读取控制,且因此,摄像元件11能够抑制噪声的出现并且能够拍摄出具有更高图像质量的图像。

[0231] 然而,在摄像元件11中,当负电位被用作传输晶体管32或选择晶体管35的关断电位时,由于快门操作而导致的负电位变化或者来自垂直信号线23的电位变化的产生等会影响所读取的信号(即,从像素21读取的信号)。

[0232] 因此,为了避免因为由于快门操作而导致的负电位变化或来自垂直信号线23的电位变化的产生等所导致的负面影响,摄像元件11能够采用如下的构造:在该构造中,负电位被分离成用于读取和用于快门的两个系统。

[0233] 接下来,将参照图27至图29来说明被配置成使负电位分离成两个系统的摄像元件11。

[0234] 图27图示了摄像元件11中的像素区12和垂直驱动电路13的一部分。

[0235] 图27所示的像素区12中包括以矩阵的方式设置着的多个像素21之中的16行×4列的像素21,并且像素21采用上面参照图6所描述的像素共用结构。即,在图27的共用像素303中,由4行×2列的八个像素21 构成了像素共用结构,并且八个共用像素303被布置成4行×2列。这里,共用像素303a-1和共用像素303a-2是初级,并且共用像素303b-1和共用像素303b-2是次级。

[0236] 此外,在垂直驱动电路13中,在用于驱动上述16行中的各像素21 的16行驱动部(VS_unit)301中,设置有四个4行驱动部302,它们分别对应于由每4行设置而成的共用像素303。

[0237] 4行驱动部302a-1将驱动信号提供给共用像素303a-1,4行驱动部 302a-2将驱动信号提供给共用像素303a-2,4行驱动部302b-1将驱动信号提供给共用像素303b-1,并且4行驱动部302b-2将驱动信号提供给共用像素303b-2。

[0238] 此时,垂直驱动电路13以如下的方式被配置而成:利用驱动共用像素303a-1的4行驱动部302a-1、驱动共用像素303a-2的4行驱动部 302a-2、驱动共用像素303b-1的4行驱动部302b-1和驱动共用像素303b-2 的4行驱动部302b-2,把要被使用的负电位分离。

[0239] 以这种方式,通过使用初级和次级来使负电位分离,可以防止由于快门操作而导致的负电位变化或来自垂直信号线23的电位变化的产生等对所读取的信号造成影响。

[0240] 这里,将参照图28来说明现有技术的负电位的系统分离。

[0241] 如图28所示,与像素21连接的传输信号供给部311被配置成包括一对晶体管321-1和321-2以及放大器322。然后,成为传输信号的脉冲通过反相放大部312而被反相,反相后的信号被提供给晶体管321-1,并且成为传输信号的上述脉冲在不反相的情况下被提供给晶体管321-2。此外,晶体管321-1通过电容器314-1而被接地,并且电荷泵313-1被连接至晶体管321-1与电容器314-1的连接点VRL1。以相同的方式,晶体管 321-2通过电容器314-2而被接地,并且电荷泵313-2被连接至晶体管 321-2与电容器314-2的连接点VRL2。

[0242] 传输信号供给部311根据上述脉冲而使电荷泵313-1和电荷泵313-2 在读取状态和建立状态间切换,并且因此,传输信号供给部311被配置成针对各个状态而将负电位分离。

[0243] 以这种方式,在现有技术中,负电位在一个像素21的读取状态和建立状态下分离。在作为初级的像素21a与作为次级的像素21b之间未考虑负电位的分离。

[0244] 与此相反,将参照图29来说明摄像元件11的负电位的系统分离。

[0245] 如图29所示,在摄像元件11中,在作为初级的像素21a与作为次级的像素21b中执行了负电位的系统分离。

[0246] 即,传输信号供给部311被配置成包括向像素21a提供传输信号的放大器322a和向像素21b提供传输信号的放大器322b。接着,放大器 322a通过电容器314a而被接地,并且电荷泵313a被连接至放大器322a 与电容器314a的连接点VRL2。以相同的方式,放大器322b通过电容器 314b而被接地,并且电荷泵313b被连接至放大器322b与电容器314b 的连接点VRL1。

[0247] 以这种方式,摄像元件11被配置成将负电位在作为初级的像素21a 和作为次级的像素21b中分离。相应地,能够抑制在像素21a与像素21b 之间产生噪声。因此,摄像元件11能够防止噪声影响到像素,并且能够拍摄出具有更高图像质量的图像。

[0248] 在本实施例中,使用了这样的构造示例:在该构造示例中,与以矩阵的方式设置于像素区12中的像素21的一列对应地设置有第一垂直信号线23a和第二垂直信号线23b这两条信号线,但是也可以使用设置有两条以上的多条垂直信号线23的构造。例如,在图3的示例中,像素信号的建立和保持需要大致相同的时间,但是例如,如果AD转换处理本身能够被加速且用于保持像素信号的输出的时间能够被缩短,那么在多个像素执行像素信号的建立的同时,从其他的多个像素输出的像素信号的AD转换能够按顺序被执行。因此,能够进一步加速全体AD转换。

[0249] 此外,摄像元件11不仅能够应用到表面照射型CMOS图像传感器 (在该表面照射型CMOS图像传感器中,光照射到形成有像素21的半导体基板的层叠有布线层的表面上),还能够应用到背侧照射型CMOS 图像传感器(在该背侧照射型CMOS图像传感器中,光照射到与上述表面相反的背侧中)。此外,摄像元件11能够应用到通过把形成有像素21 的传感器基板堆叠到形成有控制电路18(图1)等的电路基板上而构成的堆叠型CMOS图像传感器。此外,如上所述,用于读取像素信号并且执行所读取的信号的AD转换的处理能够通过利用控制电路18来执行程序而被实现。

[0250] 根据上述各个实施例的摄像元件11能够应用到各种各样的电子设备,该电子设备例如是摄像系统(例如,数码照相机或数码摄影机、具有摄像功能的移动电话、或具有摄像功能的其它设备)。

[0251] 图30是图示了安装在电子设备中的摄像装置的构造示例的框图。

[0252] 如图30所示,摄像装置401被配置成包括光学系统402、摄像元件 403、信号处理电路404、监视器405和存储器406,并且摄像装置401 能够拍摄静止图像和运动图像。

[0253] 光学系统402被配置成:其包括一个或多个镜头,把来自被摄对象的图像光(即,入射光)引导到摄像元件403,并且在摄像元件403的受光面(即,传感器部分)上进行图像的成像。

[0254] 根据上述各实施例的摄像元件11被应用为摄像元件403。在根据通过光学系统402在上述受光面中形成的图像而定的预定时间段内,将电子存储在摄像元件403中。然后,将与存储在摄像元件403中的电子对应的信号提供给信号处理电路404。

[0255] 信号处理电路404对从摄像元件403输出的像素信号执行各种各样的信号处理。通过利用信号处理电路404执行信号处理而获得的图像(即,图像数据)被提供给监视器405以供显示,并且被提供给存储器406以供存储(记录)在这里。

[0256] 以这种方式配置而成的摄像装置401能够应用根据上述各实施例的摄像元件11,由此加速了AD转换处理,并且因此能够例如以更高的帧频来拍摄图像。

[0257] 图31是图示了使用上述图像传感器(即,摄像元件11)的应用示例的图。

[0258] 上述的图像传感器能够被用于下列的对诸如可见光、红外光、紫外光或X射线等光进行感测的各种情况。

[0259] • 为欣赏(观看)而配备的摄像设备,例如数码照相机或具有照相机功能的便携式设备。

[0260] • 为交通而配备的设备,例如:为了诸如自动停车等安全驾驶、或驾驶员的状态识别等而对车辆的前后、周围或内部等进行拍摄的车载传感器;用于监控行驶车辆或道路的监控相机;或用于执行例如车辆间的距离测量的测距传感器。

[0261] • 为了拍摄用户的姿势并根据该姿势来执行机器操作而配备给诸如 TV、冰箱或空调等家用电器的设备。

[0262] • 为了医疗或保健而配备的设备,例如内窥镜或通过接收红外光而执行血管造影的设备。

[0263] • 为了安保而配备的设备,例如用于安保的监控摄像头或用于人物身份验证的相机。

[0264] • 为了美容而配备的设备,例如用于拍摄皮肤的皮肤测量设备或用于拍摄头皮的显微镜。

[0265] • 为了运动而配备的设备,例如用于运动的运动相机或可佩戴相机。

[0266] • 为了农业而配备的设备,例如用于监视田地或农作物的状况的相机。

[0267] 而且,例如,本发明能够实现下列技术方案。

[0268] (1) 一种摄像元件,其包括:

[0269] 像素阵列,所述像素阵列包括以矩阵模式呈二维状布置的多个像素;

[0270] 多条列信号线,所述多条列信号线对应于第一列的所述像素而被设置着,其中所述多条列信号线中的至少一条列信号线被连接至所述第一列中的两个以上所述像素;以及

[0271] 模数转换器,所述模数转换器被所述多条列信号线共用。

[0272] (2) 根据(1)所述的摄像元件,其中,对应于所述第一列而被设置着的所述多条列信号线是彼此并行的。

[0273] (3) 根据(2)或(3)所述的摄像元件,其还包括:所述多条列信号线中的第一条列信号线;和所述多条列信号线中的第二条列信号线,

[0274] 其中,偶数行中的所述像素共用所述第一条列信号线,并且奇数行中的所述像素共用所述第二条列信号线。

[0275] (4) 根据(1)至(3)中任一项所述的摄像元件,其中,所述多条列信号线中的一条以

上列信号线被选择性地接合至同一个比较器。

[0276] (5) 根据(4)所述的摄像元件,其还包括:对应于所述多条列信号线中的各条列信号线而设置的开关,

[0277] 其中,各个所述开关被接合至所述比较器的第一端子。

[0278] (6) 根据(5)所述的摄像元件,其还包括:斜坡信号生成电路,所述斜坡信号生成电路被连接至所述比较器的第二端子;以及计数部,所述计数部被连接至所述比较器的输出端子,

[0279] 其中,所述计数部被接合至数据输出信号线。

[0280] (7) 根据(4)至(6)中任一项所述的摄像元件,其中所述比较器包括:第一差分对部,所述第一差分对部被连接至所述多条列信号线中的第一条列信号线;以及第二差分对部,所述第二差分对部被连接至所述多条列信号线中的第二条列信号线。

[0281] (8) 根据(7)所述的摄像元件,其中,所述第一差分对部和所述第二差分对部被连接至从斜坡信号生成电路提供的斜坡信号节点。

[0282] (9) 根据(8)所述的摄像元件,其中,

[0283] 当所述第一差分对部活动时,所述第二差分对部是不活动的,并且

[0284] 当所述第一差分对部不活动时,所述第二差分对部是活动的。

[0285] (10) 根据(9)所述的摄像元件,其中,偶数行中的所述像素共用所述第一列信号线,并且奇数行中的所述像素共用所述第二列信号线。

[0286] (11) 根据(7)至(10)中任一项所述的摄像元件,其中,来自所述第一差分对部和所述第二差分对部中的至少一者的输出被提供给第一放大部和第二放大部中的至少一者。

[0287] (12) 根据(7)至(11)中任一项所述的摄像元件,其中,所述第一差分对部包括被连接至第一自动调零连接节点的两个晶体管,并且所述第二差分对部包括被连接至第二自动调零连接节点的两个晶体管。

[0288] (13) 根据(7)至(12)中任一项所述的摄像元件,其中,所述第一差分对部包括被连接至第一自动调零连接节点的晶体管,所述第二差分对部包括被连接至第二自动调零连接节点的晶体管,并且所述第一差分对部和所述第二差分对部共用被连接至第三自动调零连接节点的晶体管。

[0289] (14) 根据(4)至(6)中任一项所述的摄像元件,其还包括:对应于所述多条列信号线中的各条列信号线而设置的开关;以及对应于所述多条列信号线中的各条列信号线而设置的电容器,

[0290] 其中,所述电容器的第一端子被连接至所述开关,并且所述电容器的第二端子被连接至所述比较器的第一端子。

[0291] (15) 根据(1)至(14)中任一项所述的摄像元件,其还包括:第一像素共用结构,它包括相邻列中的至少两个像素和相邻行中的至少两个像素;第二像素共用结构,它包括相邻列中的至少两个像素和相邻行中的至少两个像素,

[0292] 其中,所述第一像素共用结构和所述第二像素共用结构被布置在同一列中,

[0293] 所述第一像素共用结构被连接至所述多条列信号线中的第一条列信号线,并且

[0294] 所述第二像素共用结构被连接至所述多条列信号线中的第二条列信号线。

[0295] (16) 根据(15)所述的摄像元件,其还包括彩色滤光片,所述彩色滤光片被设置于

相邻列中的所述至少两个像素上和相邻行中的所述至少两个像素上，

[0296] 其中，所述彩色滤光片按照拜耳模式而被布置着。

[0297] (17) 根据 (1) 至 (16) 中任一项所述的摄像元件，其中，与所述多条列信号线中的第二条列信号线相关的复位信号的读取发生在如下两个读取之间：一个是与所述多条列信号线中的第一条列信号线相关的复位信号的读取，另一个是与被连接至所述第一条列信号线的光电二极管中的受光量对应的信号的读取。

[0298] (18) 一种电子设备，其包括：

[0299] 光学系统，所述光学系统包括至少一个镜头；以及

[0300] 摄像元件，所述摄像元件被配置成接收通过所述光学系统的光，其中所述摄像元件包括：

[0301] 像素阵列，所述像素阵列包括以矩阵模式呈二维状布置的像素；

[0302] 多条列信号线，所述多条列信号线对应于第一列的所述像素而被设置着，其中所述多条列信号线中的至少一条列信号线被连接至所述第一列中的两个以上所述像素；以及

[0303] 模数转换器，所述模数转换器被所述多条列信号线共用。

[0304] (19) 一种比较器，它包括差分对电路，所述差分对电路包括：

[0305] 第一差分对部，它被连接至摄像元件的第一条列信号线；以及

[0306] 第二差分对部，它被连接至所述摄像元件的第二条列信号线，

[0307] 其中，所述第一条列信号线和所述第二条列信号线用于像素阵列中的像素阵列单元的同列。

[0308] (20) 根据 (19) 所述的比较器，其中，所述第一差分对部和所述第二差分对部被连接至从斜坡信号生成电路提供的斜坡信号节点。

[0309] (21) 根据 (19) 或 (20) 所述的比较器，其中，

[0310] 当所述第一差分对部活动时，所述第二差分对部是不活动的，并且

[0311] 当所述第一差分对部不活动时，所述第二差分对部是活动的。

[0312] (22) 根据 (19) 至 (21) 中任一项所述的比较器，其中，偶数行中的像素单元共用所述第一列信号线，并且奇数行中的像素单元共用所述第二列信号线。

[0313] (23) 根据 (19) 至 (22) 中任一项所述的比较器，其还包括：第一放大部；和第二放大部，

[0314] 其中，来自所述第一差分对部和所述第二差分对部中的至少一者的输出被提供给所述第一放大部和所述第二放大部。

[0315] (24) 根据 (19) 至 (23) 中任一项所述的比较器，其中，所述第一差分对部包括被连接至第一自动调零连接节点的两个晶体管，并且所述第二差分对部包括被连接至第二自动调零连接节点的两个晶体管。

[0316] (25) 根据 (19) 至 (23) 中任一项所述的比较器，其中，所述第一差分对部包括被连接至第一自动调零连接节点的晶体管，所述第二差分对部包括被连接至第二自动调零连接节点的晶体管，并且所述第一差分对部和所述第二差分对部共用被连接至第三自动调零连接节点的晶体管。

[0317] (26) 一种摄像元件，其包括：像素区，在该像素区中以矩阵的方式设置着多个像素；以及列AD信号处理部，在该列AD信号处理部中，与所述像素的各列对应地设置有用以对

从所述像素输出的像素信号执行 AD(模数)转换的AD转换部,并且被设置于该同一列中的多个像素通过预定数量的垂直信号线而被连接至所述AD转换部,

[0318] 其中,通过所述预定数量的垂直信号线中的一部分而被连接的所述像素执行复位操作或信号传输操作,而且同时,所述AD转换部执行从通过其它所述垂直信号线而被连接的所述像素输出的像素信号的AD转换操作,并且这两种操作交替地重复。

[0319] (27)根据(26)所述的摄像元件,其中,针对共用所述多个像素中的所述像素的一部分的各个共用像素,所述复位操作或所述信号传输操作以及所述AD转换操作在各个所述共用像素所包括的所述像素中交替并同时地执行。

[0320] (28)根据(26)或(27)所述的摄像元件,其中,在所述预定数量的垂直信号线与所述AD转换部的输入端子之间分别设置着预定数量的电容器,并且开关将所述电容器连接至所述AD转换部的输出端子。

[0321] (29)根据(26)至(28)中任一项所述的摄像元件,其中,在所述像素区的列方向上在上侧和下侧分别设置着两个所述列AD信号处理部。

[0322] (30)根据(26)至(29)中任一项所述的摄像元件,其中,所述 AD转换部被设置于所述像素的每一列中,并且被设置于所述一列中的多个像素通过第一垂直信号线或第二垂直信号线而被连接至所述AD转换部,

[0323] 其中,被连接至所述第一垂直信号线的所述像素的复位操作周期和对从被连接至所述第二垂直信号线的所述像素输出的具有信号电平的像素信号执行AD转换的AD转换周期是同时发生的,

[0324] 对从被连接至所述第一垂直信号线的所述像素输出的具有复位电平的像素信号执行AD转换的AD转换周期和被连接至所述第二垂直信号线的所述像素的复位操作周期是同时发生的,

[0325] 被连接至所述第一垂直信号线的所述像素的信号传输周期和对从被连接至所述第二垂直信号线的所述像素输出的具有复位电平的像素信号执行AD转换的AD转换周期是同时发生的,并且

[0326] 在被连接至所述第一垂直信号线的所述像素中对具有信号电平的像素信号执行AD转换的AD转换周期和被连接至所述第二垂直信号线的所述像素的信号传输周期是同时发生的。

[0327] (31)根据(30)所述的摄像元件,其中,所述AD转换部包括保持部,所述保持部保持通过执行所述像素信号的AD转换而获得的值,

[0328] 其中,所述AD转换部保持通过对从被连接至所述第二垂直信号线的所述像素输出的具有信号电平的所述像素信号执行AD转换而获得的值,且对从被连接至所述第二垂直信号线的所述像素输出的具有复位电平的所述像素信号执行AD转换,随后输出这两个值之间的差分,并且

[0329] 所述AD转换部保持通过对从被连接至所述第一垂直信号线的所述像素输出的具有复位电平的所述像素信号执行AD转换而获得的值,且对从被连接至所述第一垂直信号线的所述像素输出的具有信号电平的所述像素信号执行AD转换,随后输出这两个值之间的差分。

[0330] (32)根据(26)至(31)中任一项所述的摄像元件,其中,在形成有所述预定数量的

垂直信号线的金属层中,在所述垂直信号线之间形成有被固定到预定电位的信号线间屏蔽件。

[0331] (33) 根据 (32) 所述的摄像元件,其中,在预定像素和用来从所述预定像素读取像素信号的预定垂直信号线的连接部分中,设置有屏蔽结构,该屏蔽结构将所述预定垂直信号线相对于不用来从所述预定像素读取所述像素信号的其它垂直信号线屏蔽开。

[0332] (34) 根据 (33) 所述的摄像元件,其中,所述屏蔽结构是使用至少两个金属层配置而成的,所述至少两个金属层被设置于半导体基板与形成有所述垂直信号线和所述信号线间屏蔽件的金属层之间,

[0333] 其中,所述至少两个金属层之中的位于上侧的所述金属层被连接至所述信号线间屏蔽件,且所述位于上侧的金属层被设置于所述至少两个金属层之中的位于下侧的被连接至所述预定垂直信号线的所述金属层与其它所述垂直信号线之间。

[0334] (35) 根据 (26) 至 (34) 任一项所述的摄像元件,其中,

[0335] 所述AD转换部中包括比较器,在所述比较器中,对应于预定数量的各垂直信号线而以彼此并行的方式设置有差分对部,每个所述差分对部接收斜坡信号和从所述像素输出的像素信号并且比较这两个信号以便执行所述像素信号的AD转换,并且

[0336] 在每个所述差分对部中设置着切换部,每个所述切换部在活动状态和待机状态之间切换,在所述活动状态下所述像素信号和所述斜坡信号被比较,在所述待机状态下所述像素信号和所述斜坡信号不被比较。

[0337] (36) 根据 (35) 所述的摄像元件,其中,所述切换部被设置于一对晶体管的源极侧上,所述一对晶体管的栅极电极分别被施加有所述像素信号和所述斜坡信号。

[0338] (37) 根据 (35) 所述的摄像元件,其中,所述切换部被设置于一对晶体管的漏极侧上,所述一对晶体管的栅极电极分别被施加有所述像素信号和所述斜坡信号。

[0339] (38) 根据 (35) 所述的摄像元件,其中,所述切换部被设置于一对晶体管的源极侧和漏极侧这两侧上,所述一对晶体管的栅极电极分别被施加有所述像素信号和所述斜坡信号。

[0340] (39) 根据 (35) 所述的摄像元件,其中,

[0341] 在每个所述差分对部中设置有一对电容器和一对用于自动调零的晶体管,所述一对电容器分别保持与所述像素信号和所述斜坡信号的电平对应的电位,所述一对用于自动调零的晶体管用于执行所述差分对部的自动调零操作,并且

[0342] 所述一对用于自动调零的晶体管被设置成被连接在一对用于比较的晶体管跟所述电容器的各连接点与所述一对用于比较的晶体管跟所述切换部的各连接点之间,所述一对用于比较的晶体管的栅极电极分别被施加有所述像素信号和所述斜坡信号。

[0343] (40) 根据 (35) 所述的摄像元件,其中

[0344] 在每个所述差分对部中设置有一对电容器和一对晶体管,所述一对电容器分别保持与所述像素信号和所述斜坡信号的电平对应的电位,所述一对晶体管用于执行所述差分对部的自动调零操作,

[0345] 所述切换部被设置于一对用于比较的晶体管的源极侧上,所述一对用于比较的晶体管的栅极电极分别被施加有所述像素信号和所述斜坡信号,并且

[0346] 所述一对用于自动调零的晶体管被设置成被连接在所述一对用于比较的晶体管

跟所述电容器的各连接点与所述切换部的各源极侧之间。

[0347] (41) 根据 (35) 至 (40) 中任一项所述的摄像元件,其中,在预定数量的所述差分对部中,位于被输入有所述斜坡信号的一侧上的电路构造是共用的。

[0348] (42) 根据 (26) 至 (41) 中任一项所述的摄像元件,其中,

[0349] 设置有伪读取行,在所述伪读取行中,布置着不执行像素信号的读取的像素,并且

[0350] 执行这样的控制:该控制能够抑制同时并交替地执行复位操作或信号传输操作以及AD转换操作的那些像素的负电位的变化。

[0351] (43) 根据 (26) 至 (41) 中任一项所述的摄像元件,其中,负电位被配置成针对同时并交替地执行复位操作或信号传输操作以及AD转换操作的各像素而言是分离的。

[0352] (44) 一种摄像元件的摄像方法,该摄像元件包括:像素区,在该像素区中以矩阵的方式设置着多个像素;以及列AD信号处理部,在该列AD信号处理部中,对应于所述像素的各列而设置有对从所述像素输出的像素信号执行AD(模数)转换的AD转换部,并且被设置于同一列中的多个像素通过预定数量的垂直信号线而被连接至所述AD转换部,所述方法包括:使用通过所述预定数量的垂直信号线中的一部分而被连接的所述像素来执行复位操作或信号传输操作,并且同时,使用所述AD转换部来执行从通过其它所述垂直信号线而被连接的所述像素输出的像素信号的AD转换操作,并且这两种操作交替地重复。

[0353] (45) 一种电子设备,它包括摄像元件,所述摄像元件包括:像素区,在该像素区中以矩阵的方式设置着多个像素;以及列AD信号处理部,在该列AD信号处理部中,对应于所述像素的各列而设置有对从所述像素输出的像素信号执行AD(模数)转换的AD转换部,并且被设置于同一列中的多个像素通过预定数量的垂直信号线而被连接至所述AD转换部,其中,通过所述预定数量的垂直信号线中的一部分而被连接的所述像素执行复位操作或信号传输操作,而且同时,所述AD转换部执行从通过其它所述垂直信号线而被连接的所述像素输出的像素信号的AD转换操作,且这两种操作交替地重复。

[0354] 本领域技术人员应当理解的是,可以根据设计要求和其它因素进行各种修改、组合、子组合和变更,只要它们落入随附权利要求及其等同物的范围内即可。

[0355] 附图标记列表

[0356] 11:摄像元件

[0357] 12:像素区

[0358] 13:垂直驱动电路

[0359] 14:列信号处理电路

[0360] 15:水平驱动电路

[0361] 16:输出电路

[0362] 17:斜坡信号生成电路

[0363] 18:控制电路

[0364] 21:像素

[0365] 22:水平信号线

[0366] 23:垂直信号线

[0367] 24:数据输出信号线

[0368] 31:PD(光电二极管)

- [0369] 32:传输晶体管
- [0370] 33:FD部(浮动扩散部)
- [0371] 34:放大晶体管
- [0372] 35:选择晶体管
- [0373] 36:复位晶体管
- [0374] 41:列处理部
- [0375] 42:恒电流源
- [0376] 51:输入开关
- [0377] 52:比较器
- [0378] 53:计数器
- [0379] 54:输出开关
- [0380] 55:保持部(retention unit)
- [0381] 61:共用像素
- [0382] 71、72:电容器
- [0383] 73:反馈开关

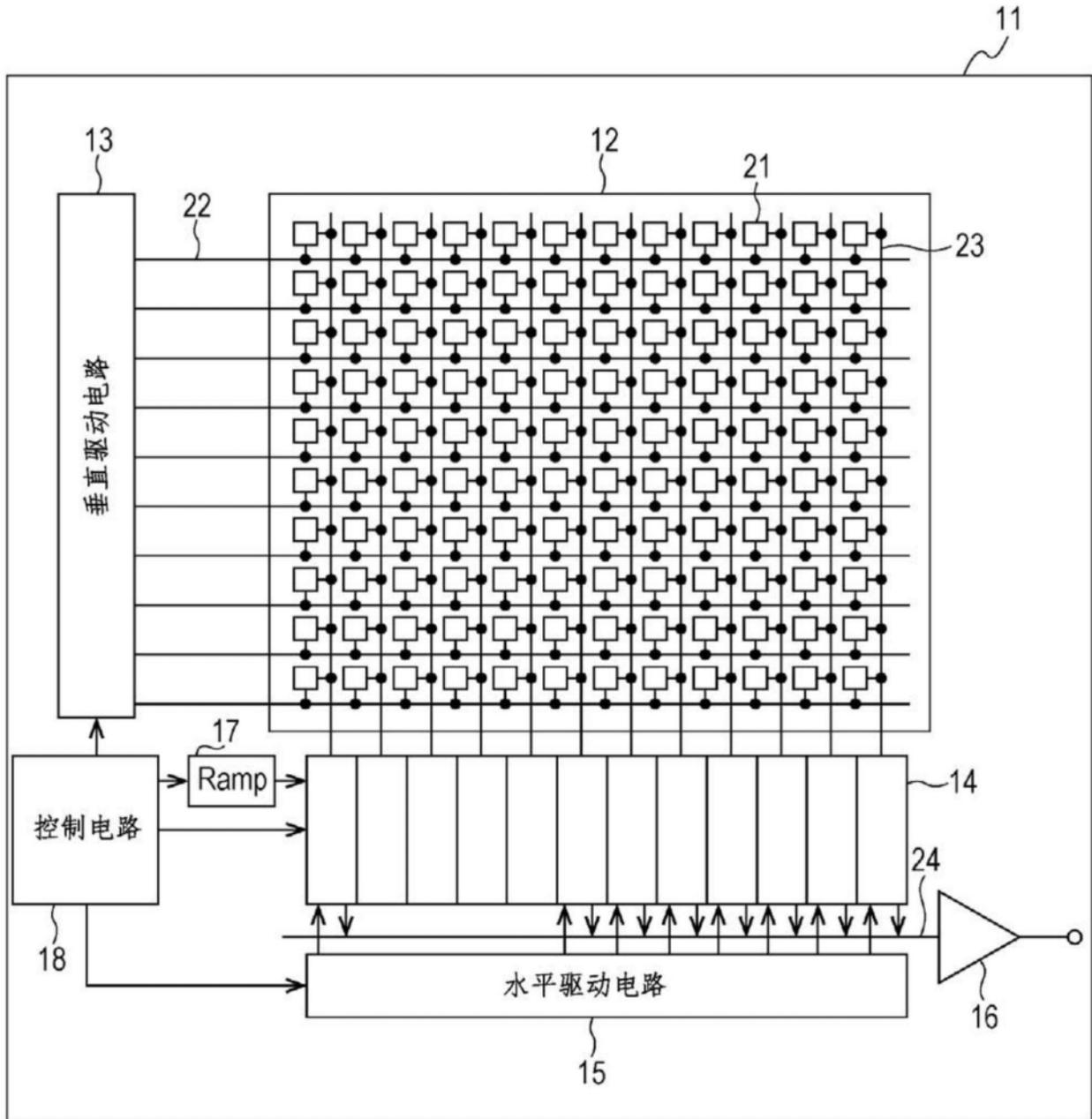


图1

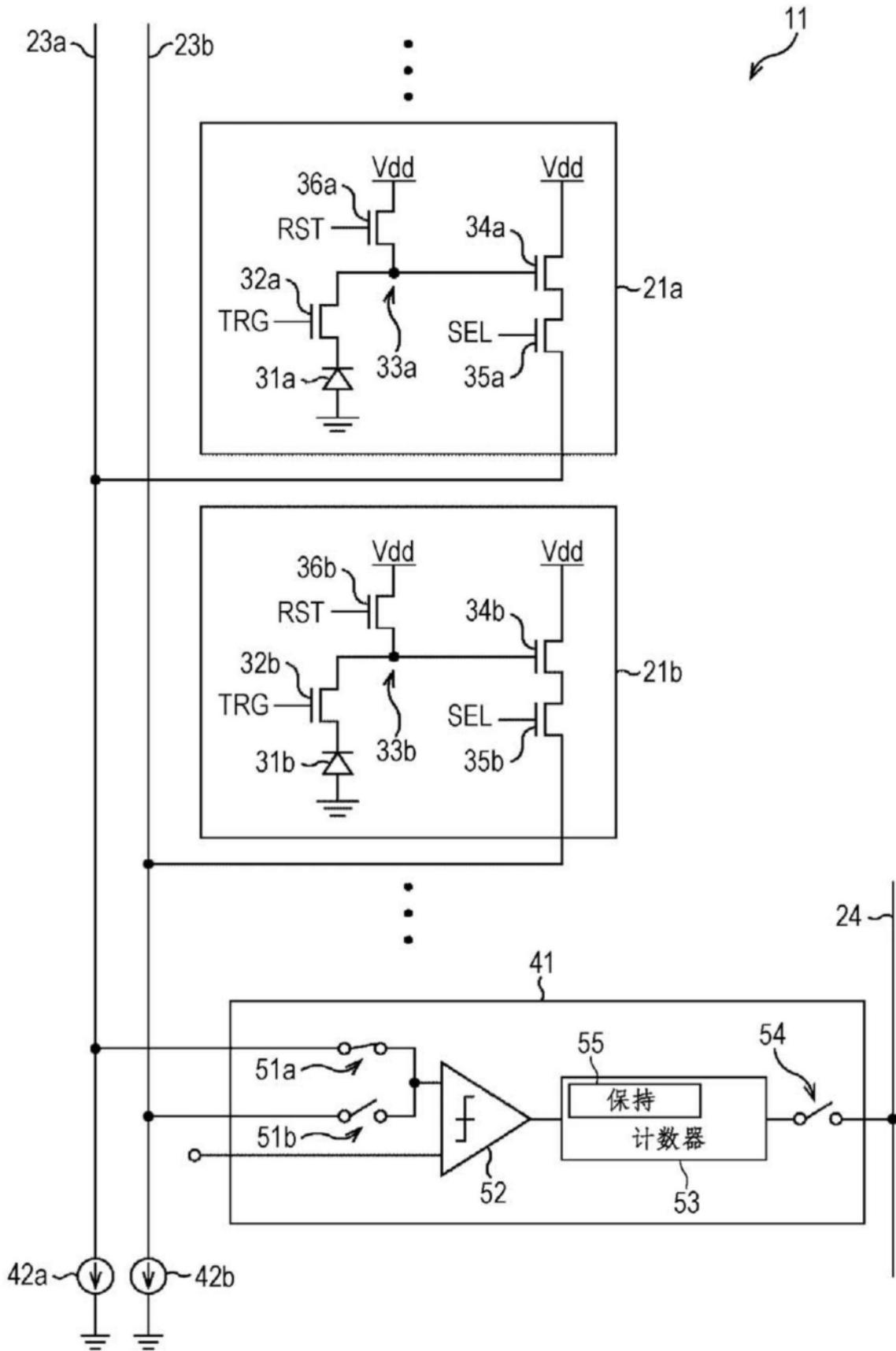


图2



图3

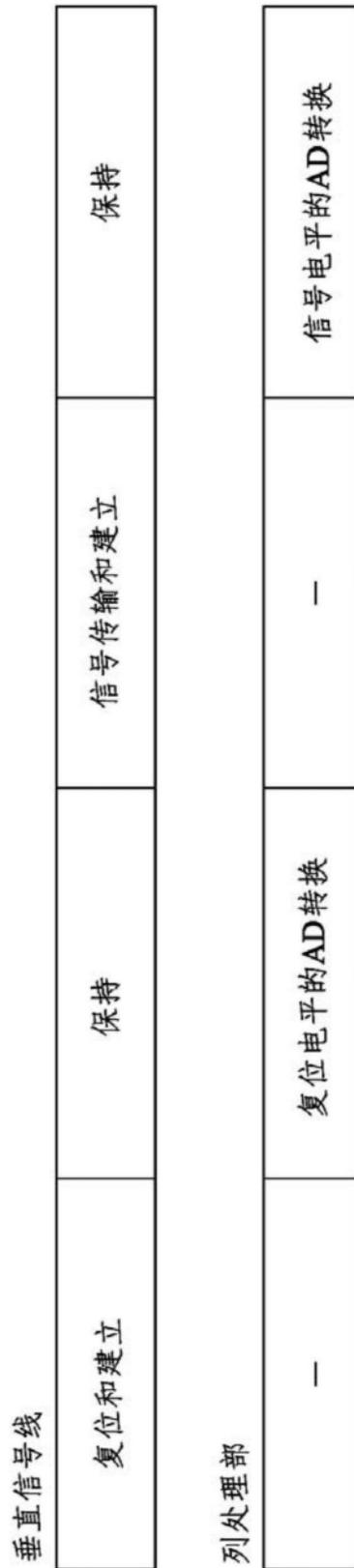


图4

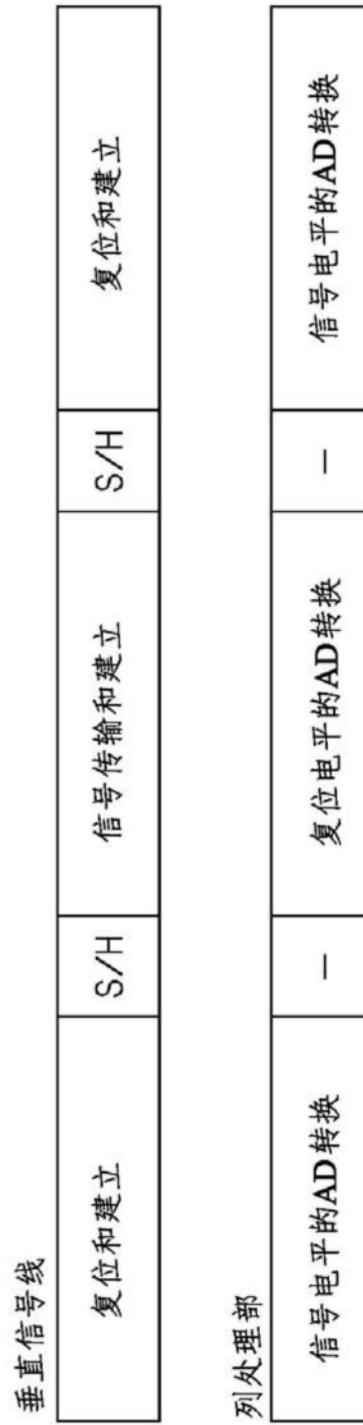


图5

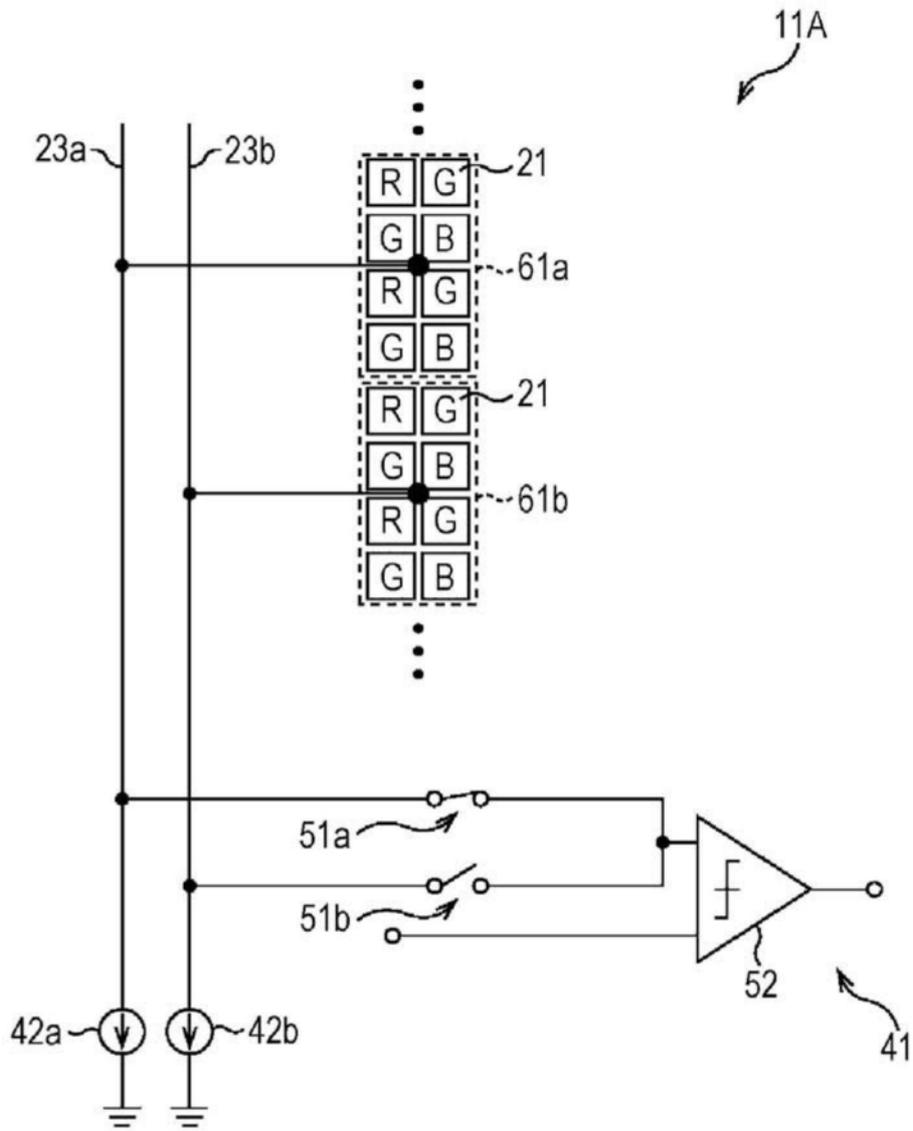


图6

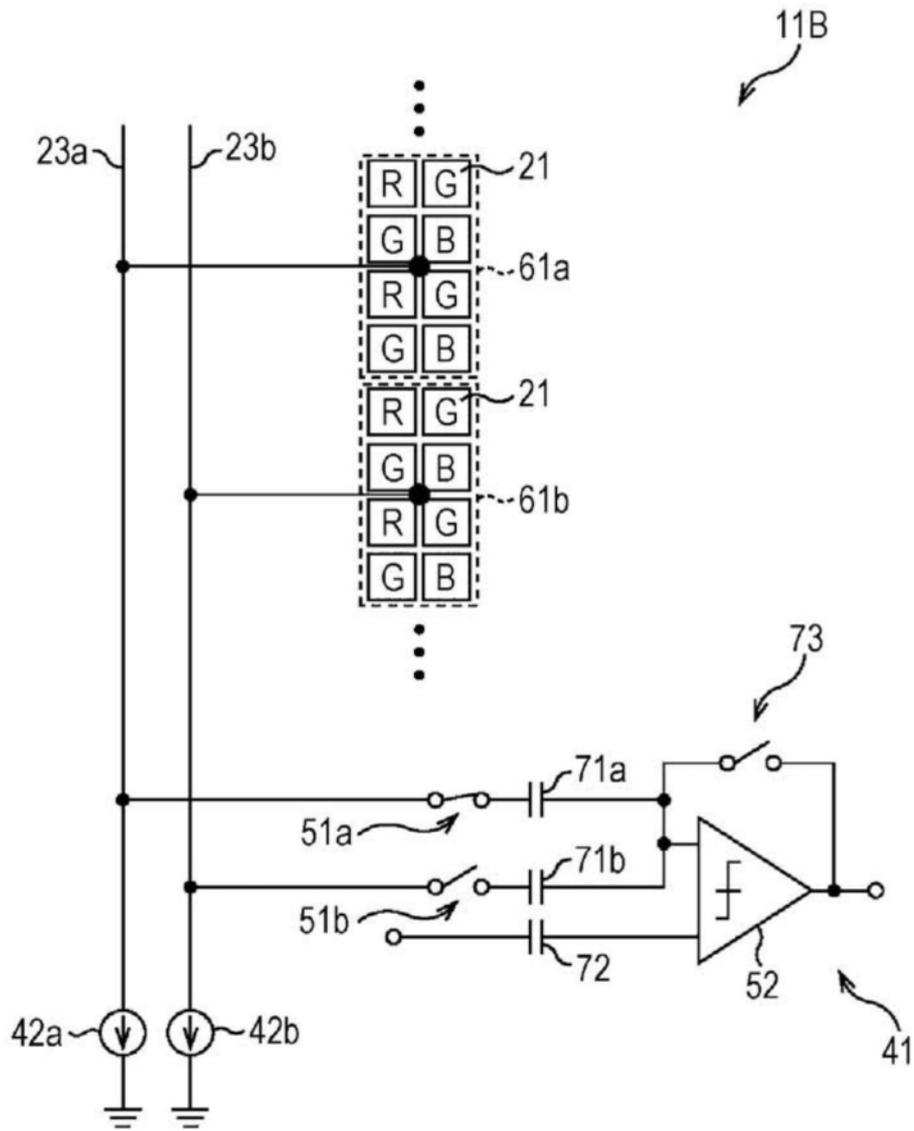


图7

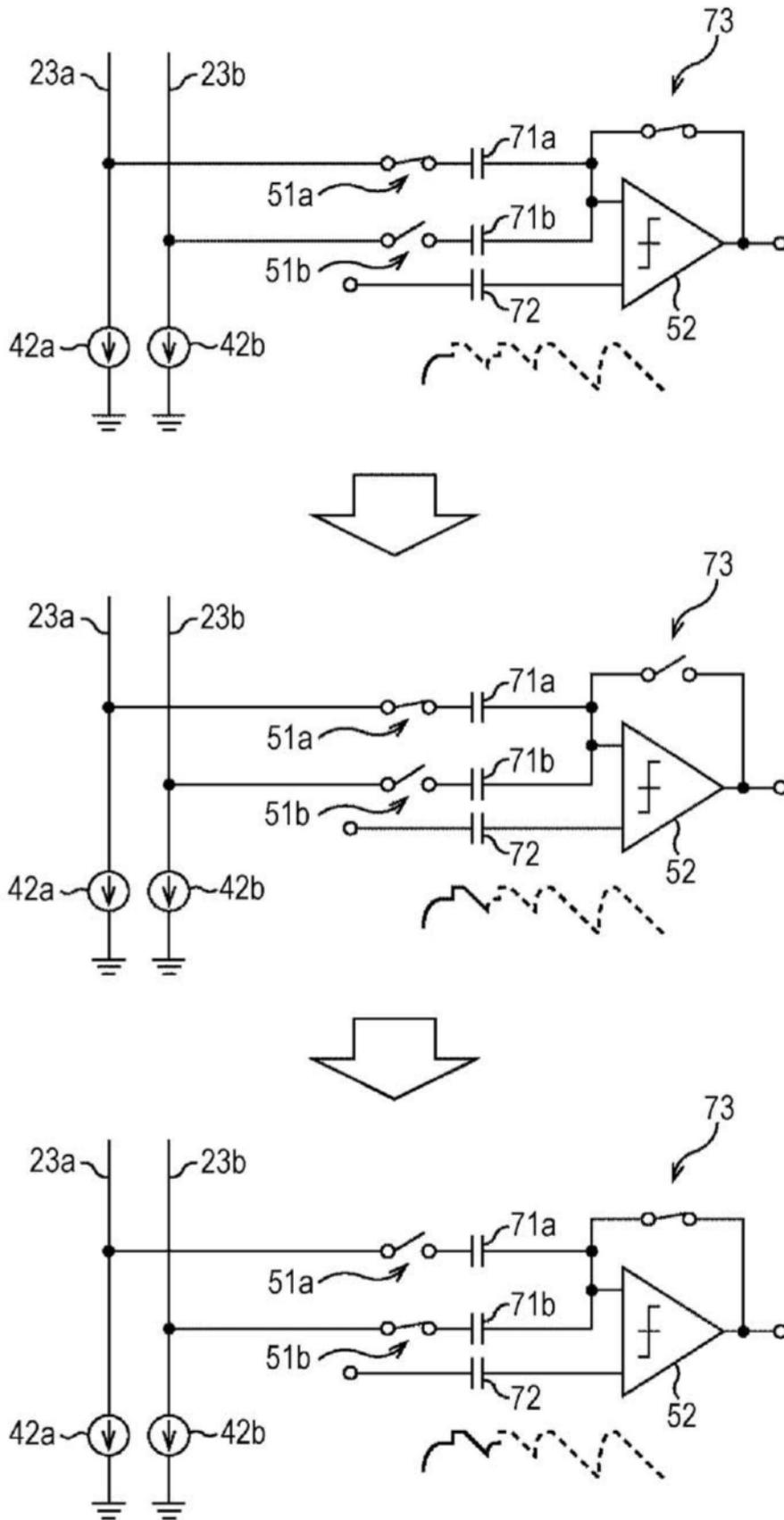


图8

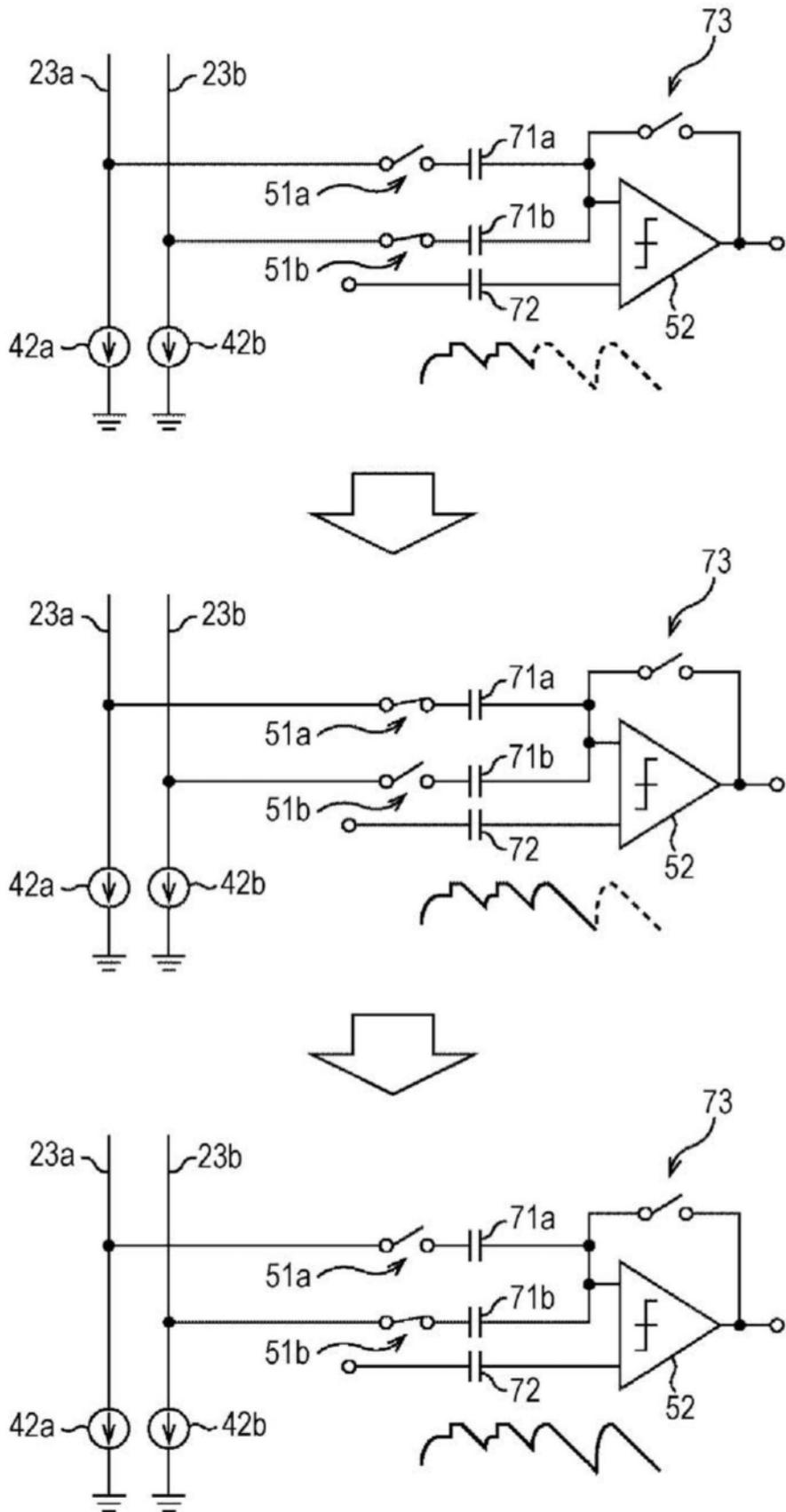


图9

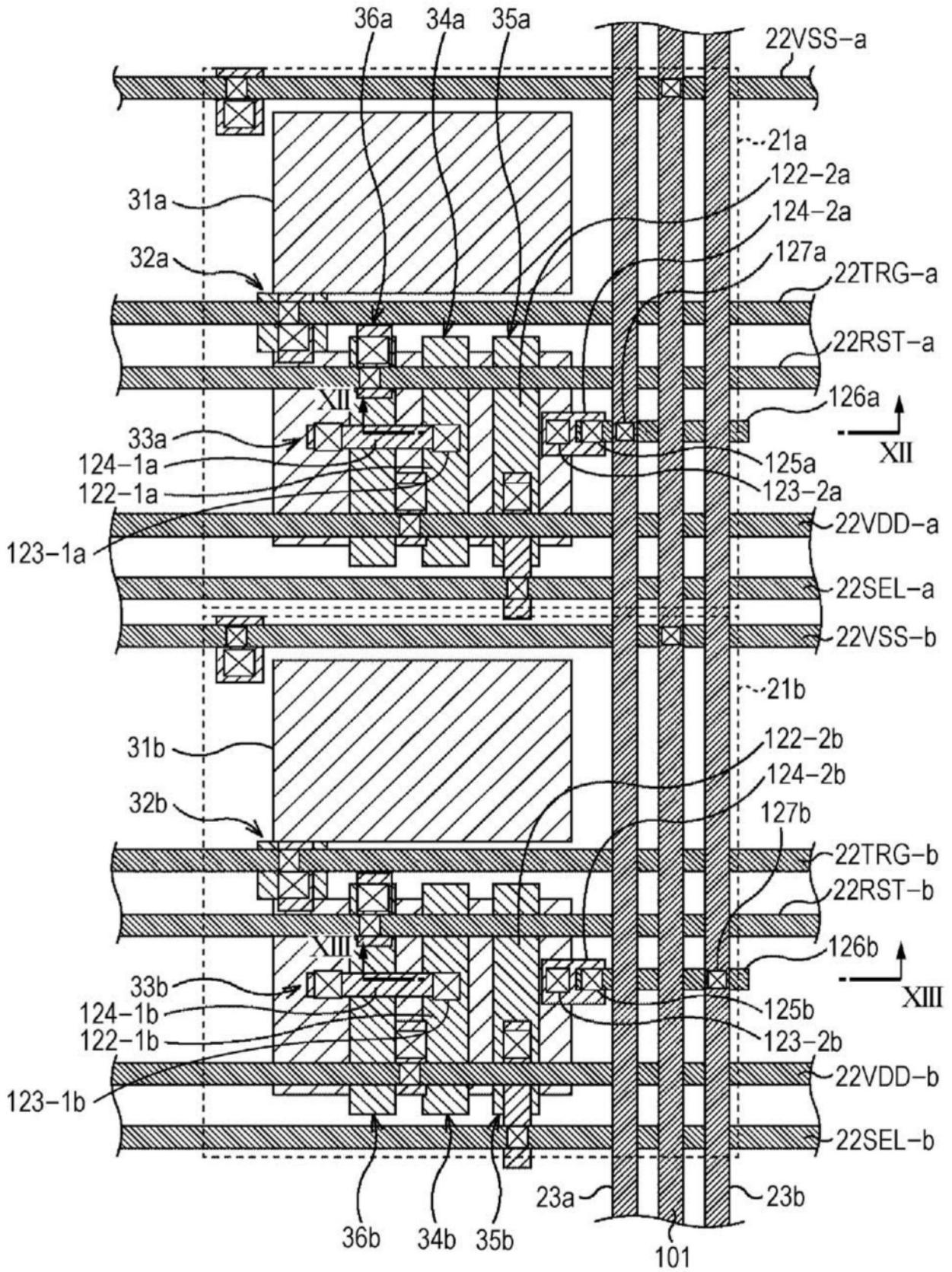


图11

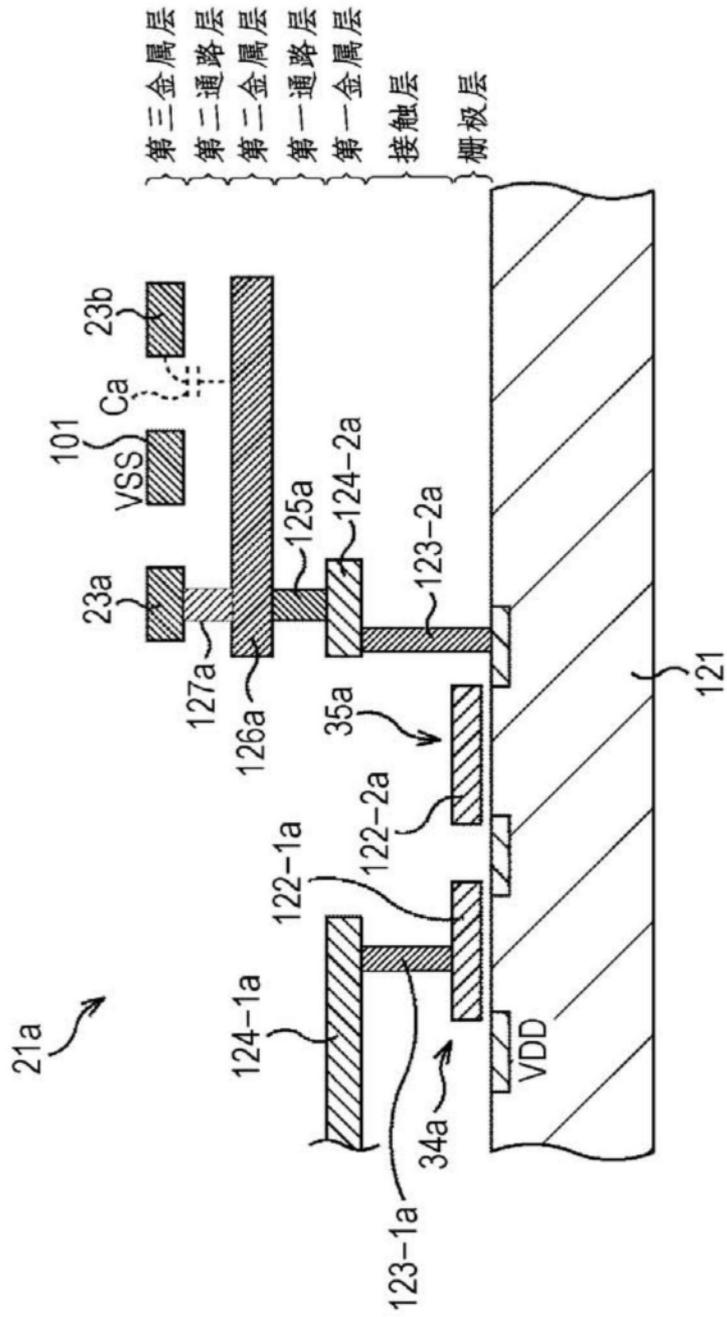


图12

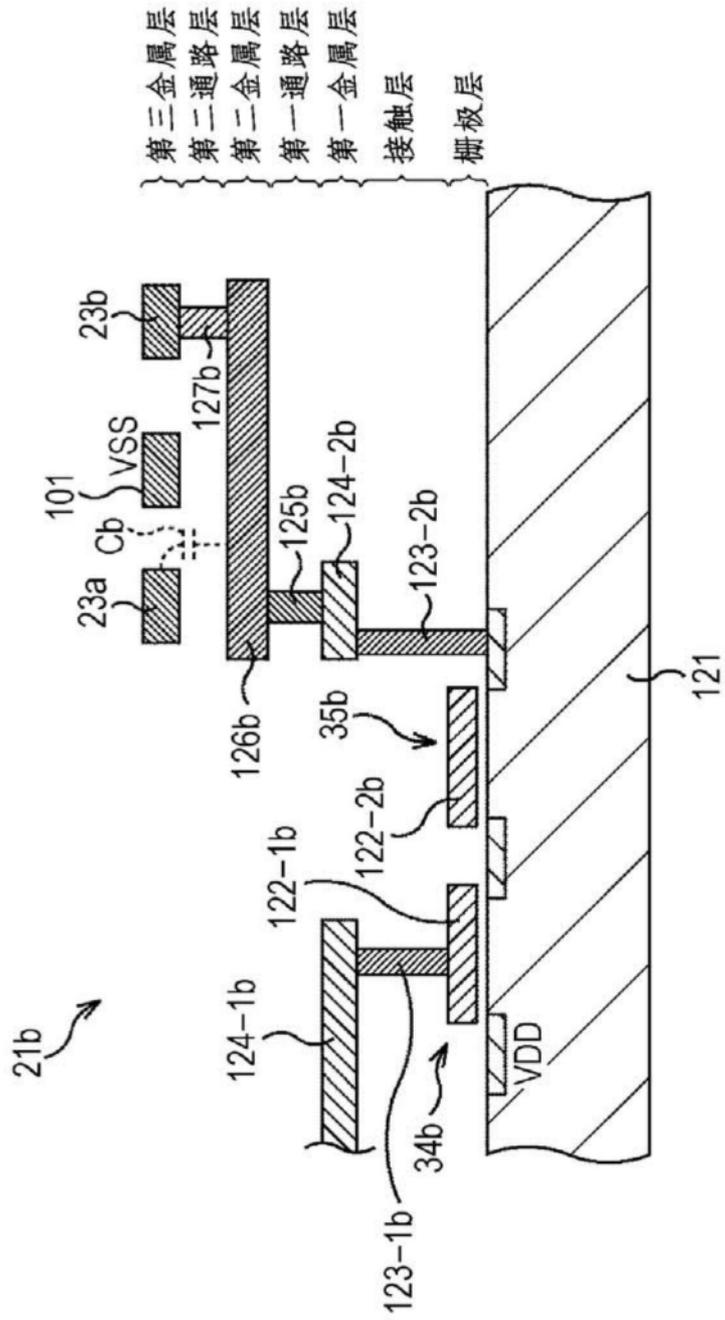


图13

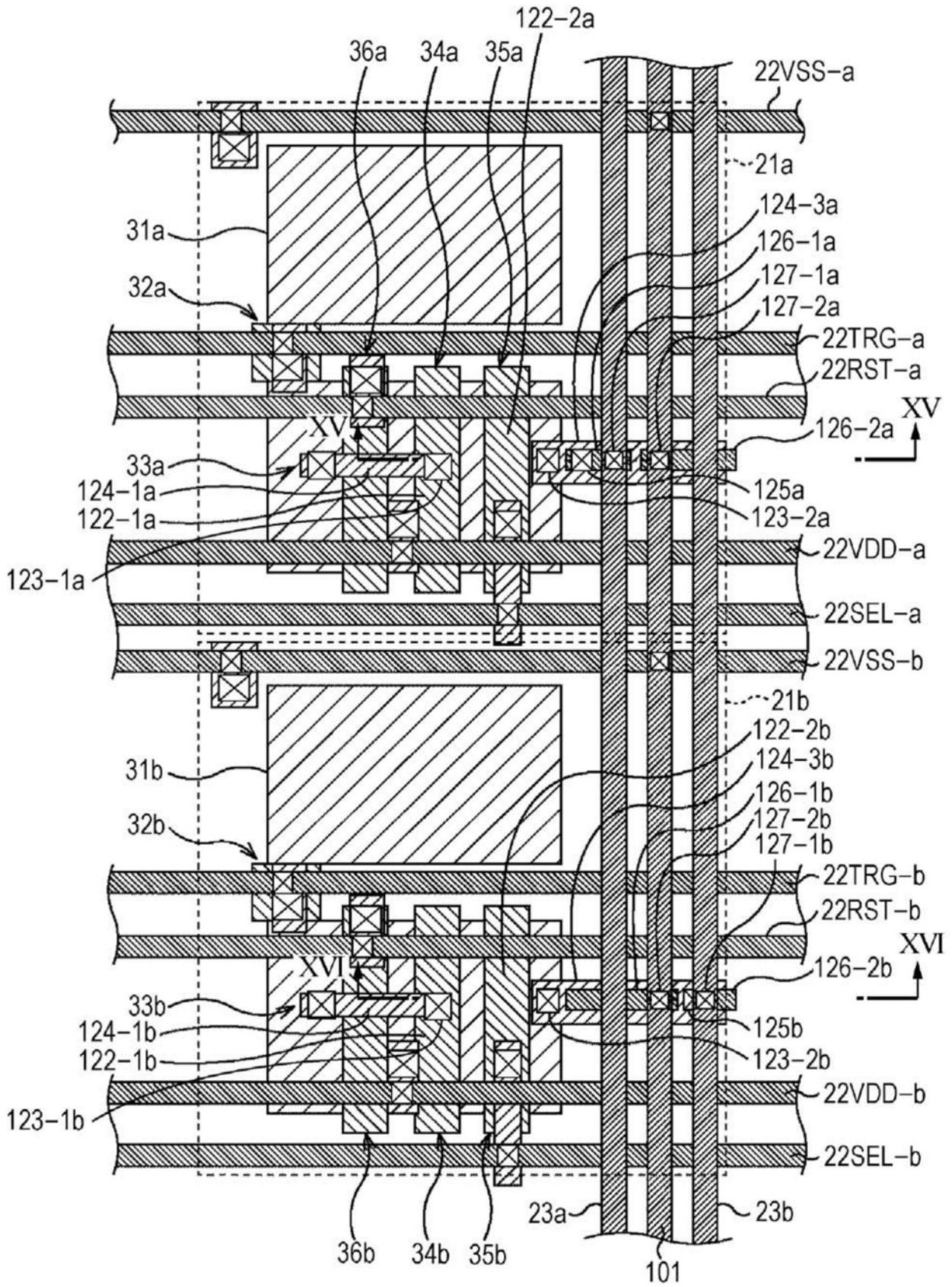


图14

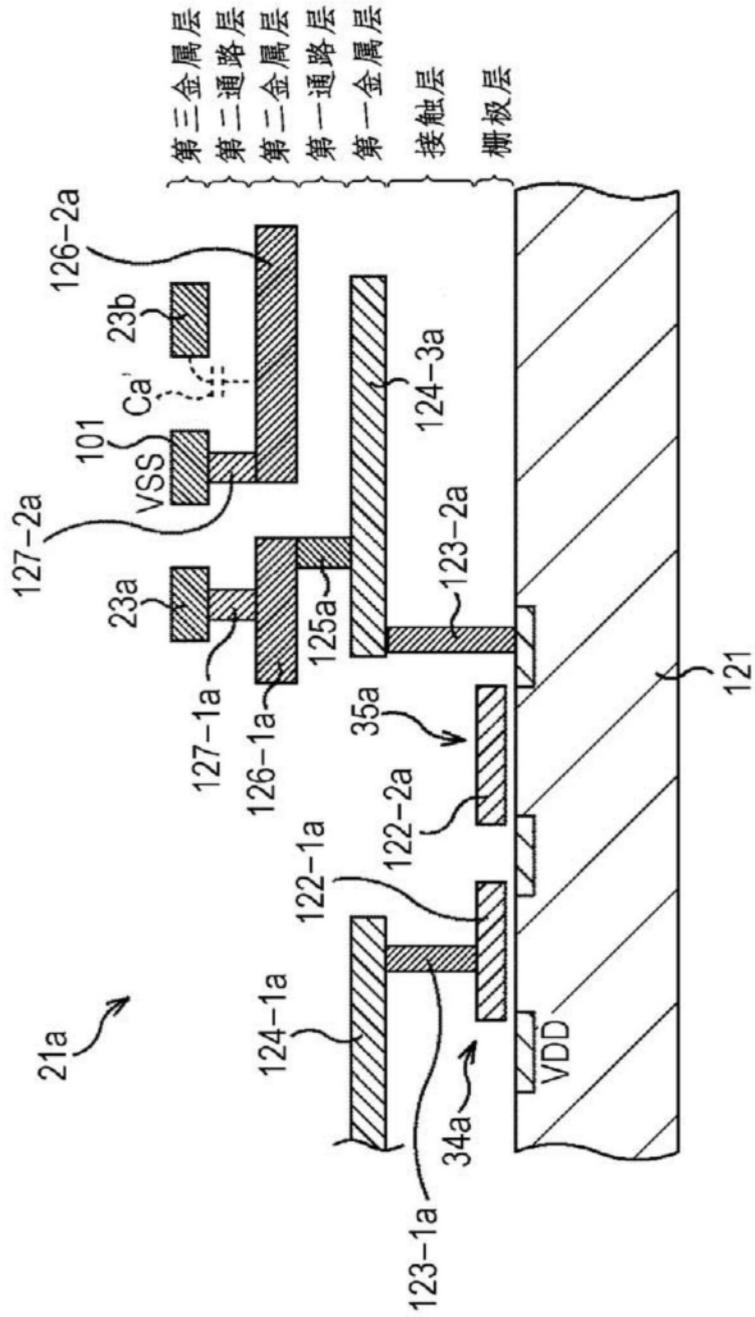


图15

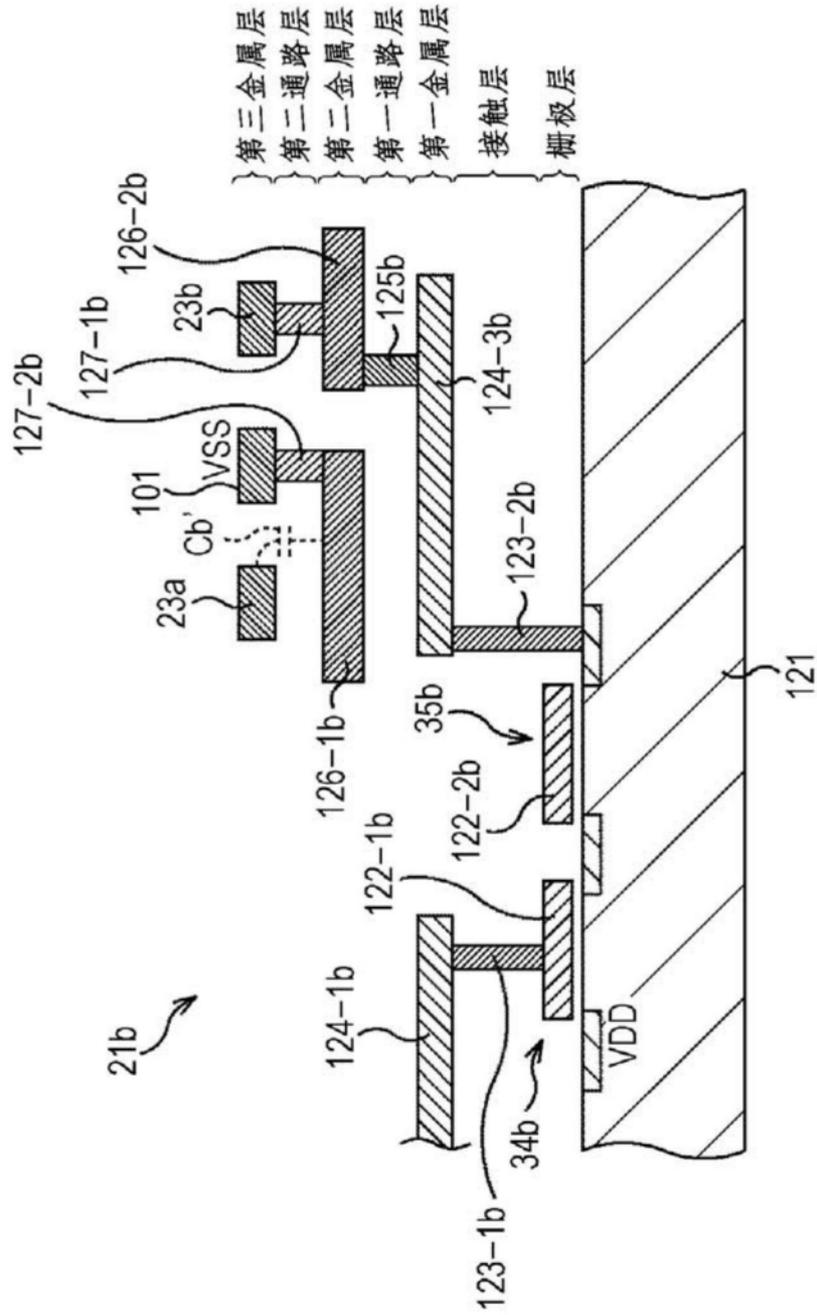


图16

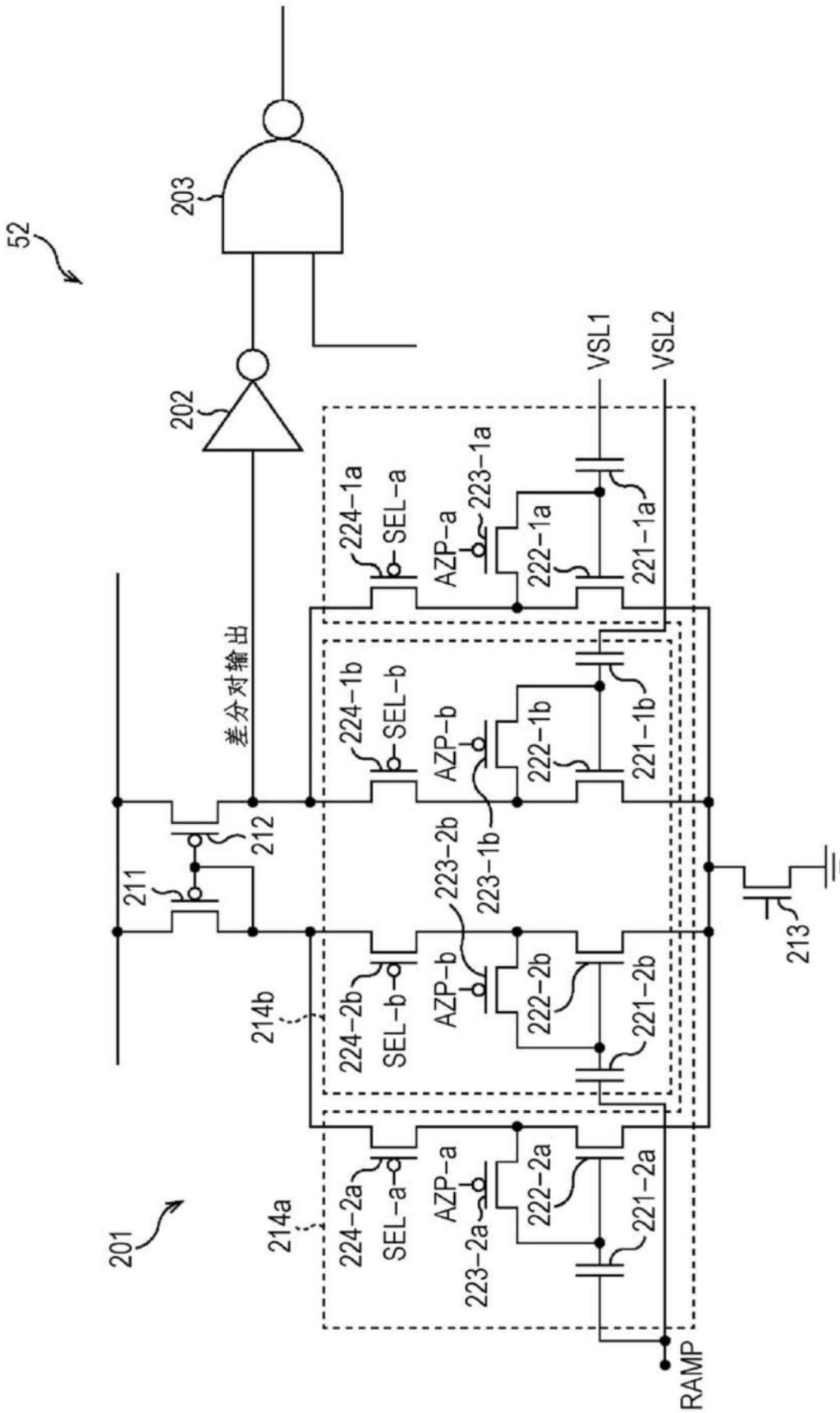


图17

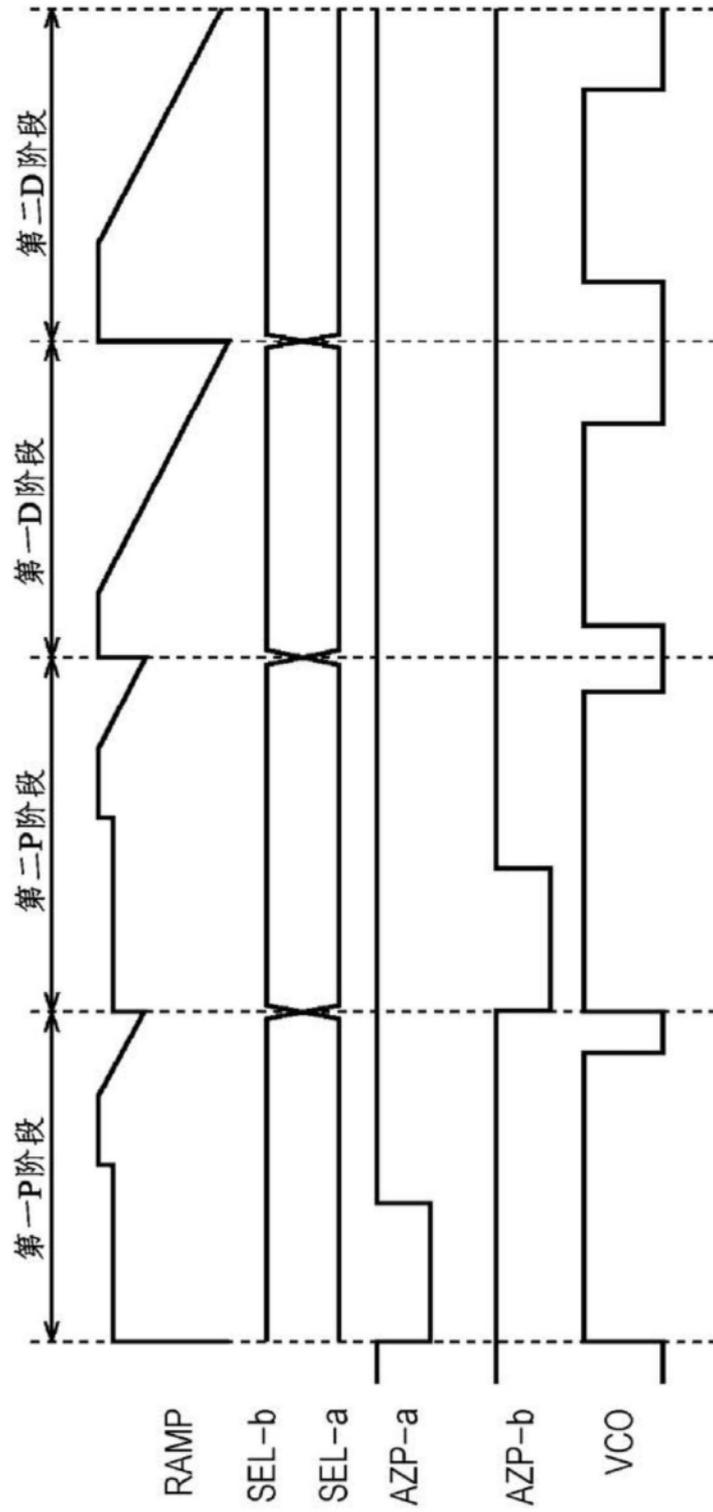


图18

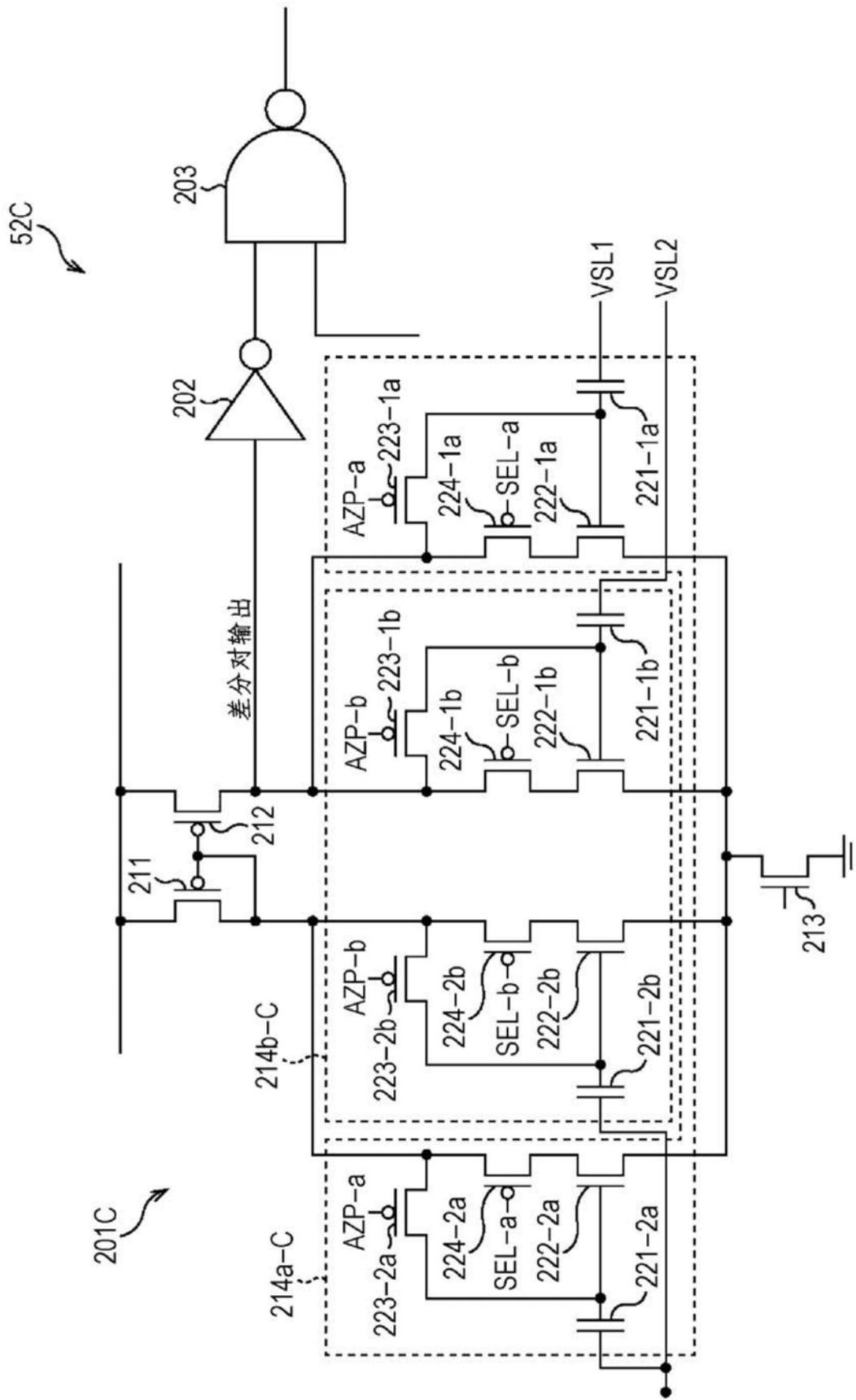


图21

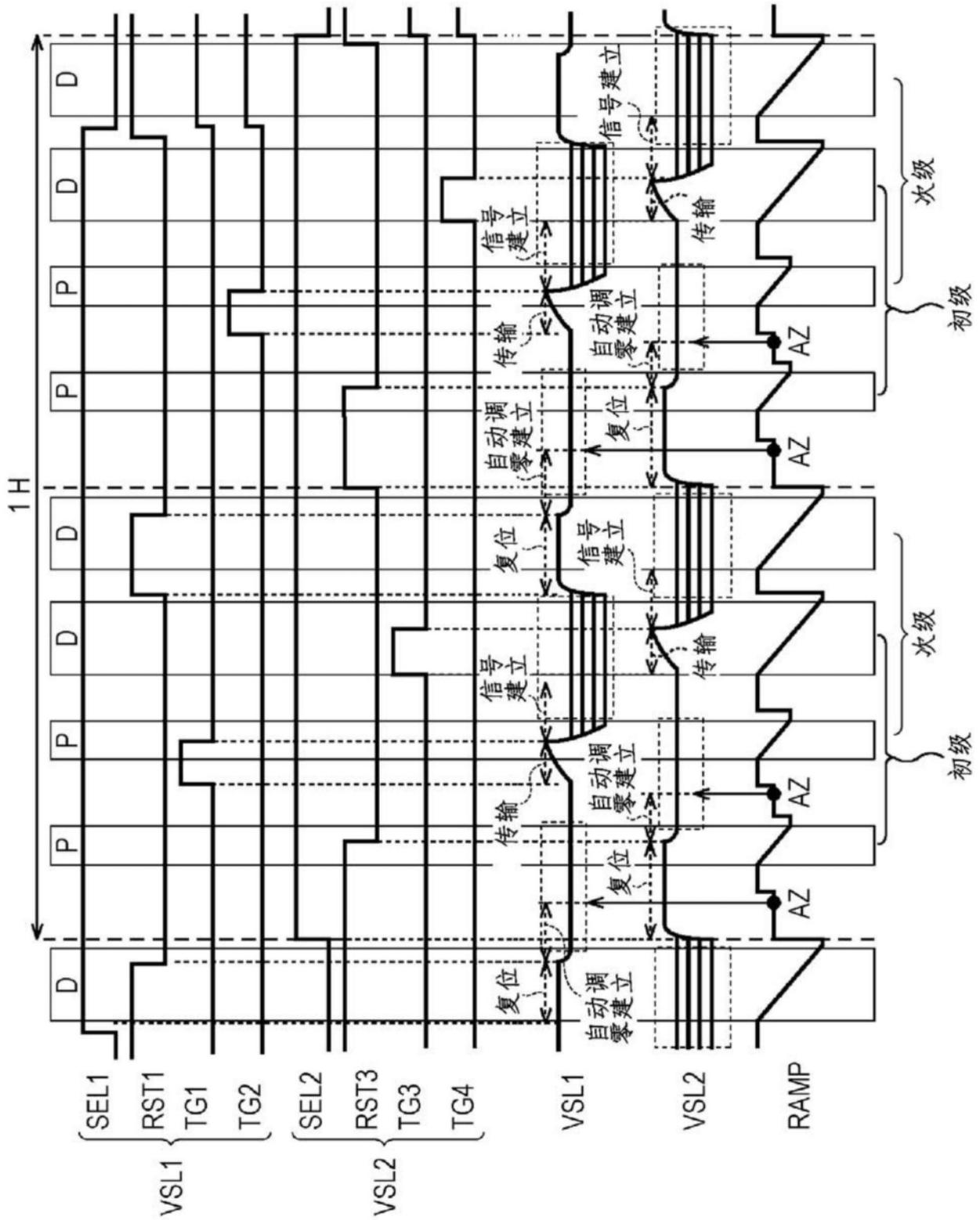


图23

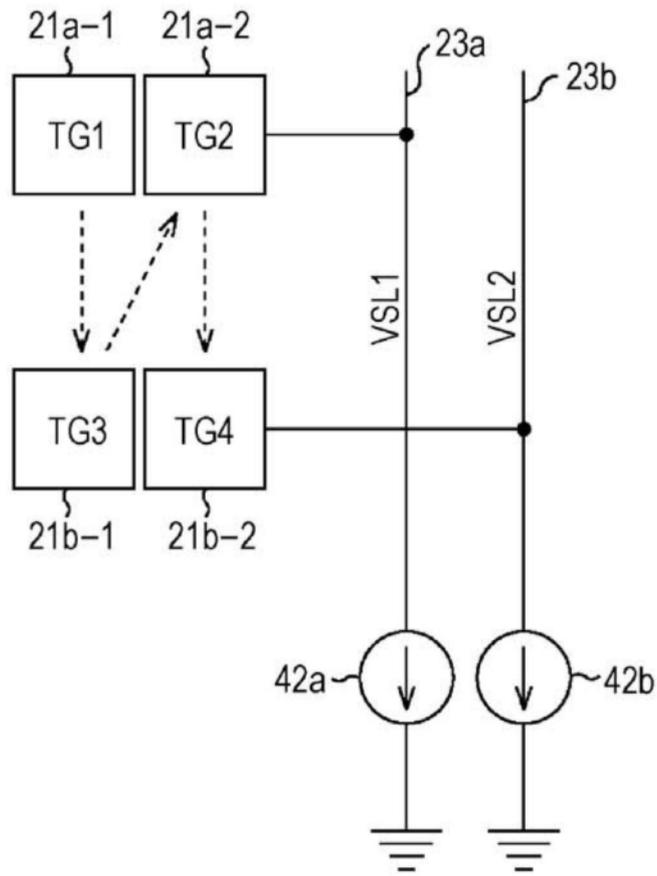


图24

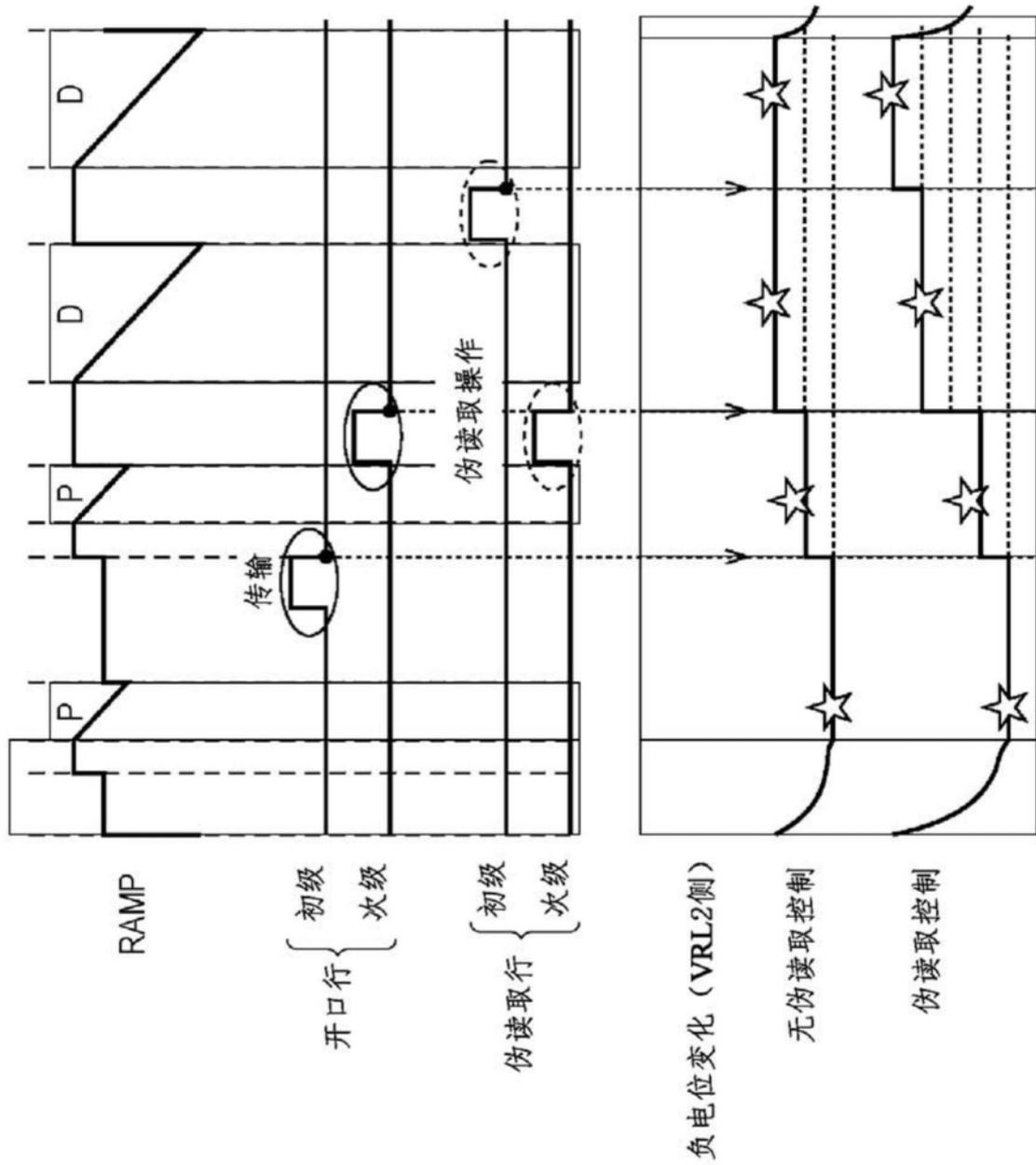


图25

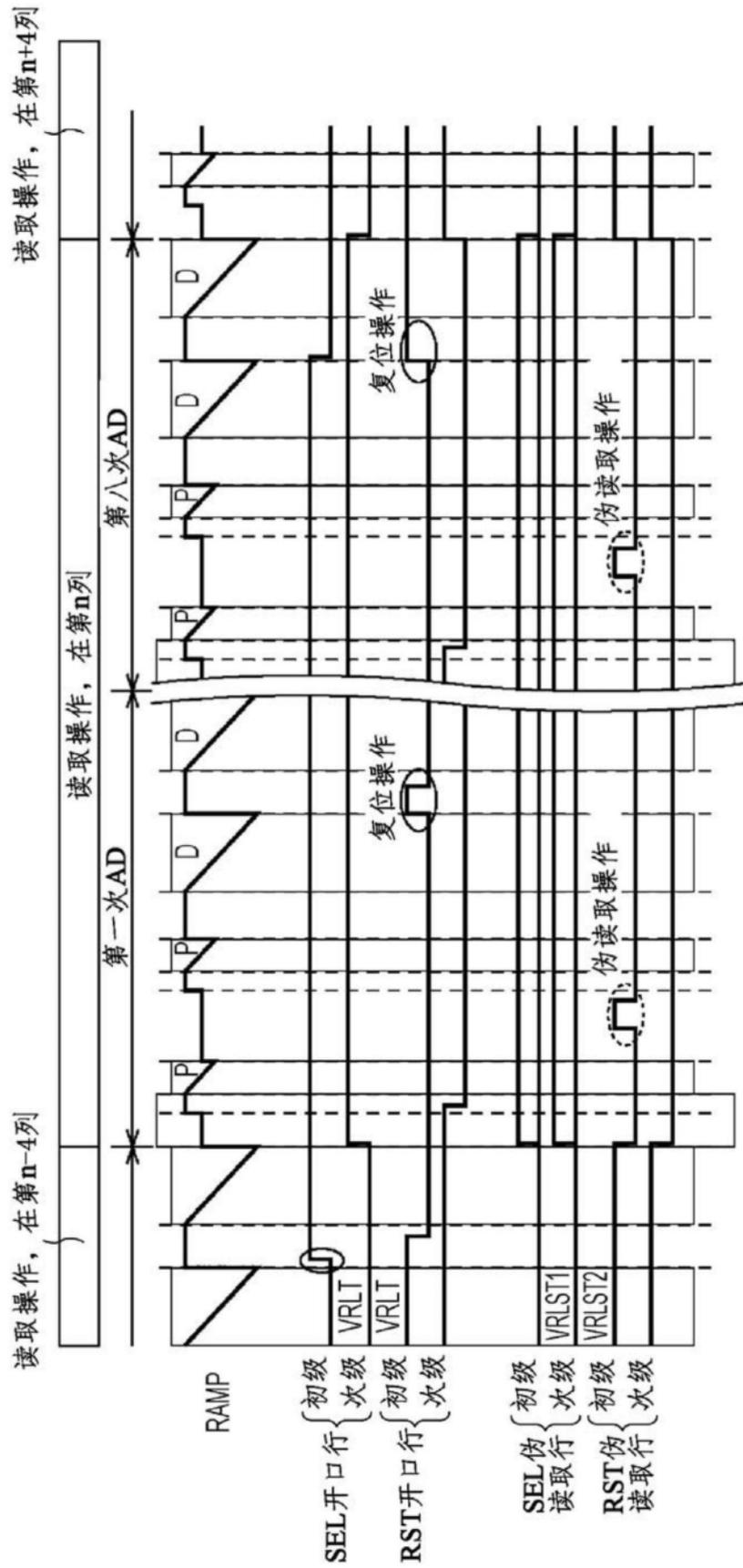


图26

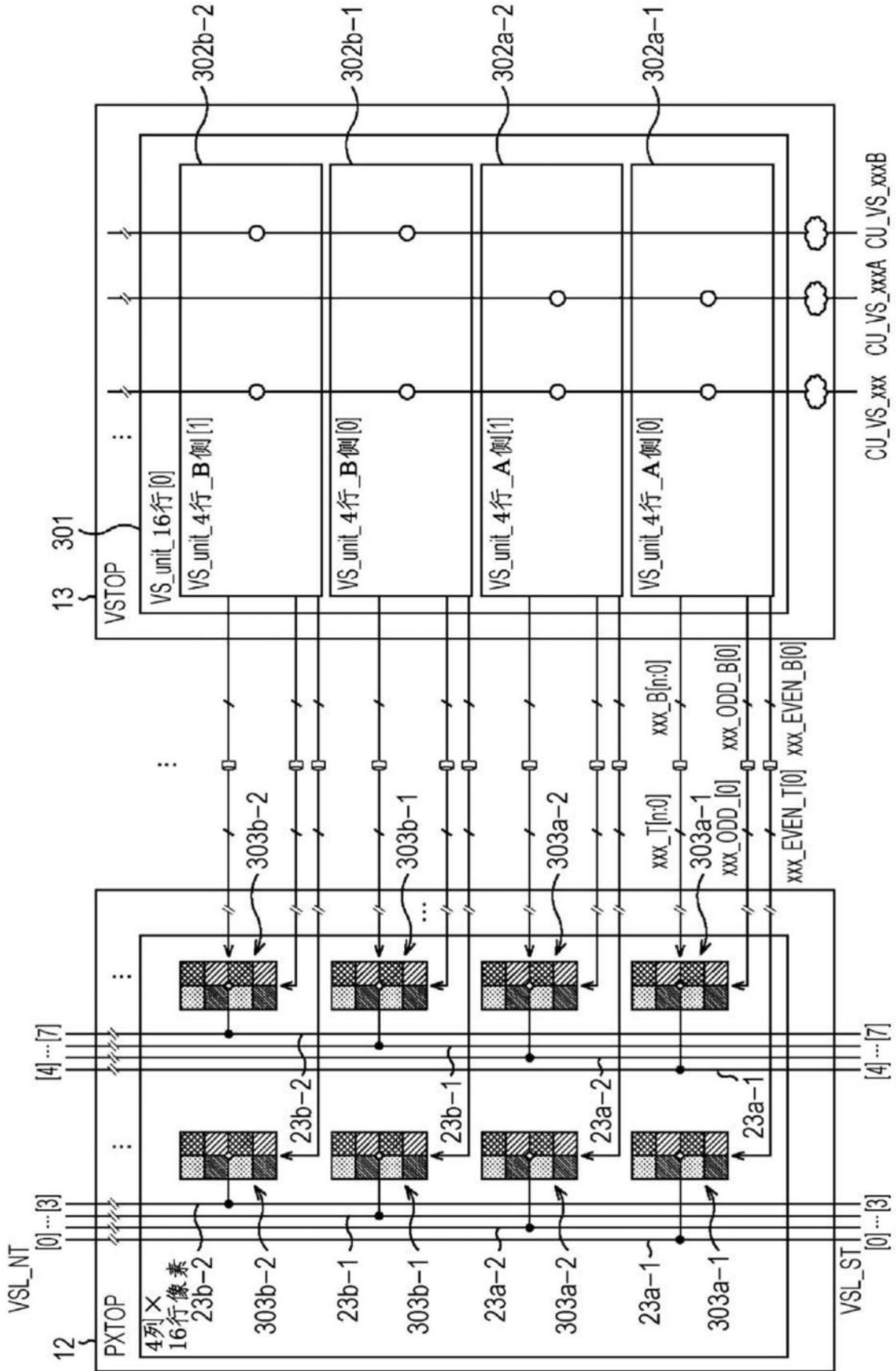


图27

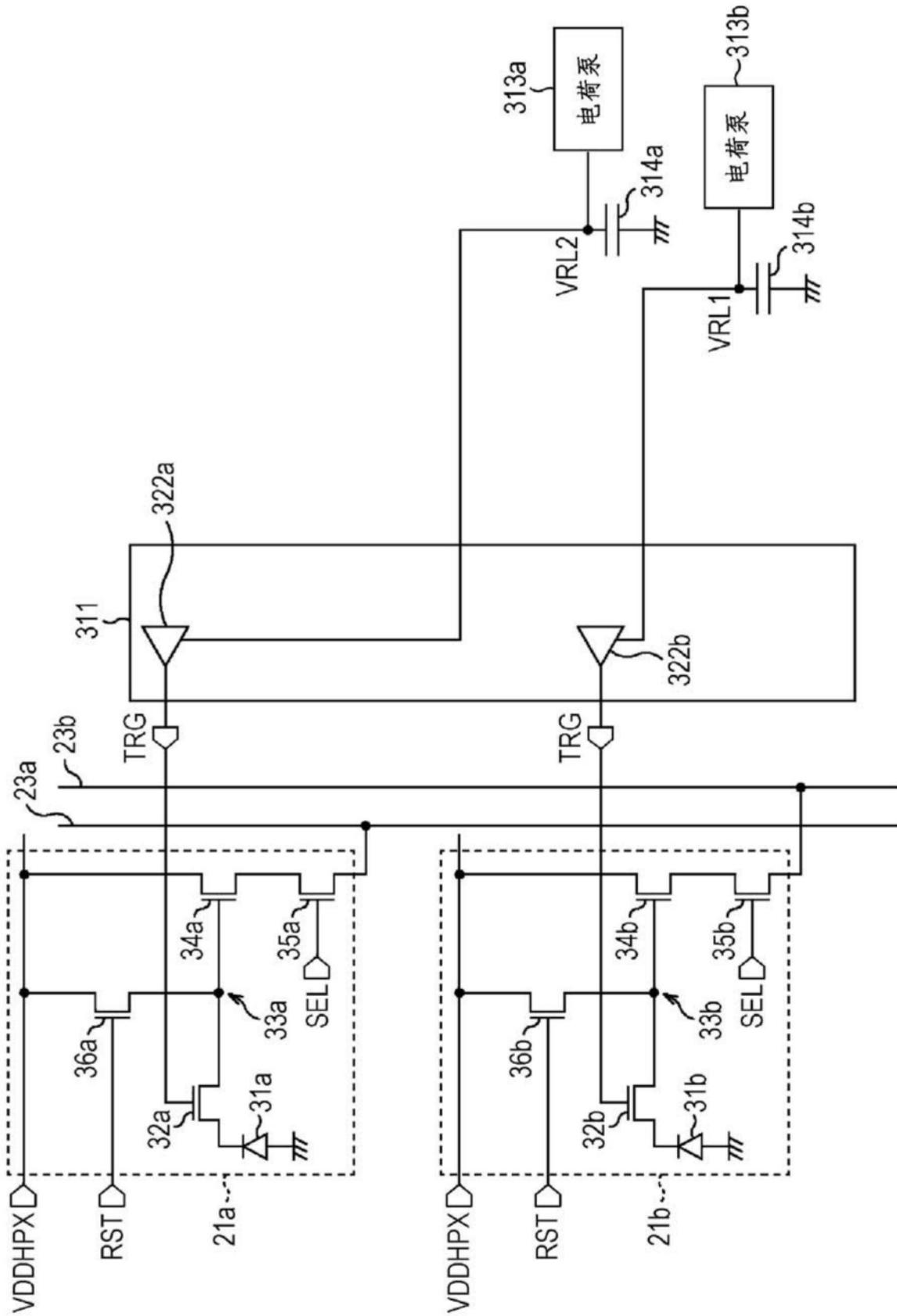


图29

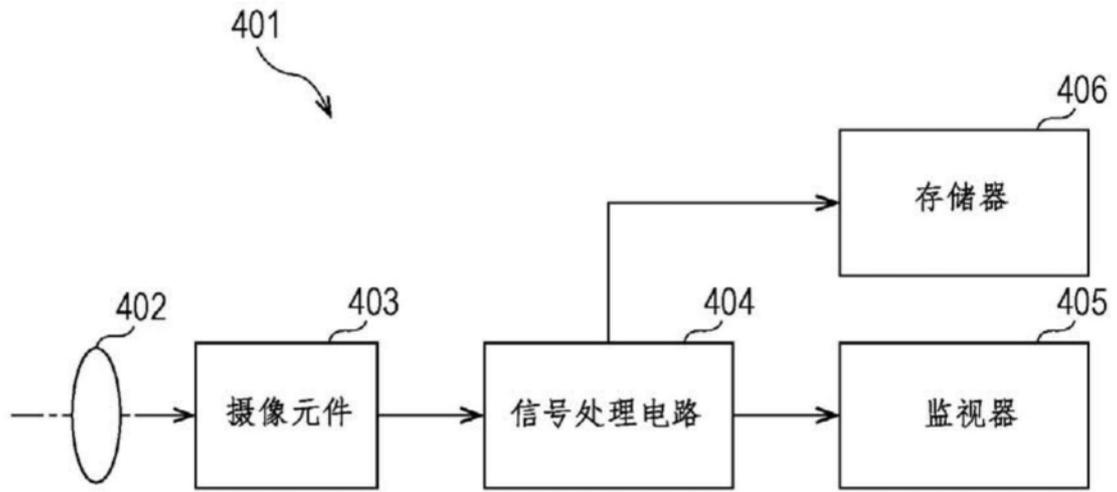


图30

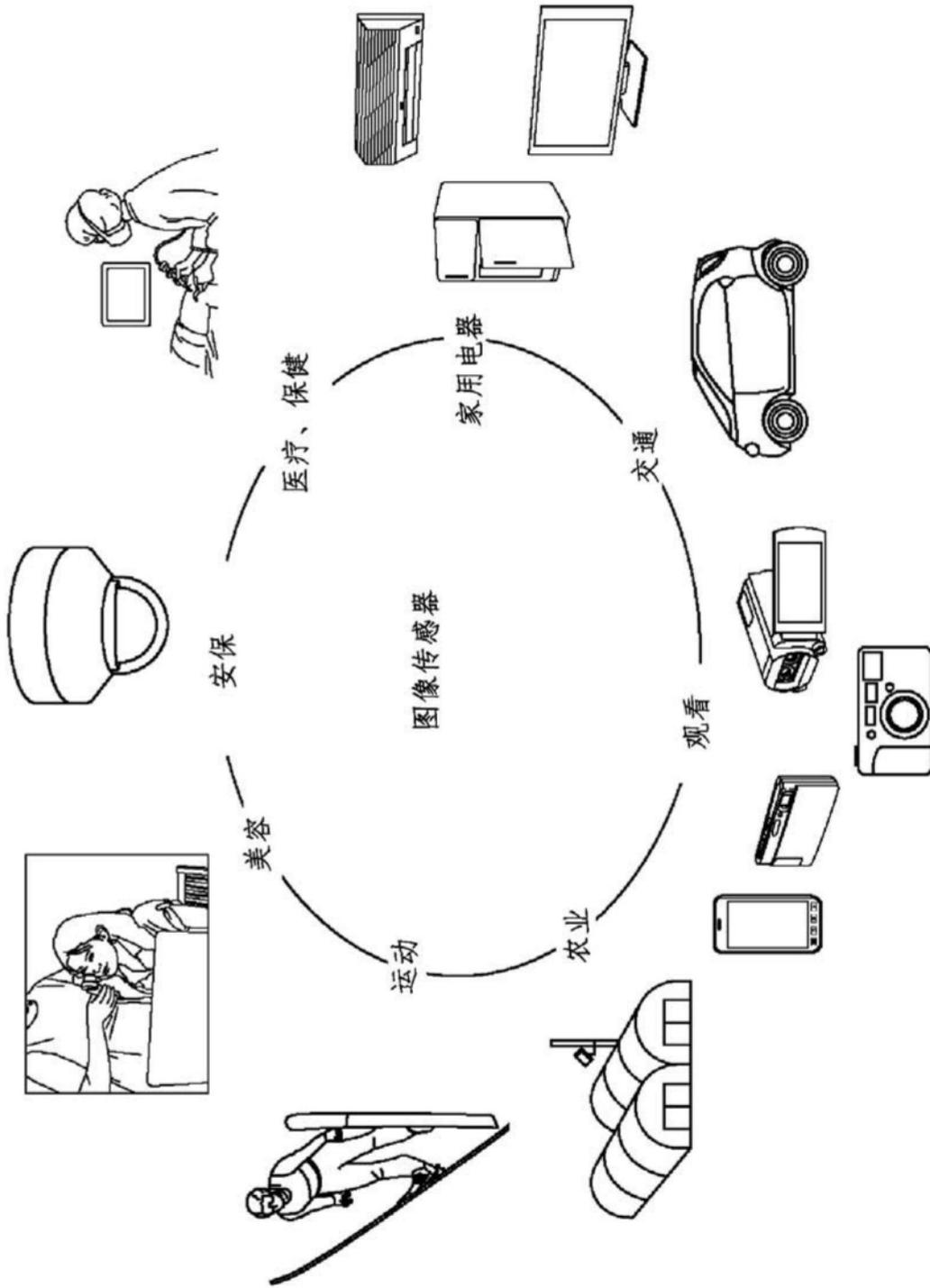


图31