

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年3月18日(18.03.2021)



(10) 国際公開番号

WO 2021/048695 A1

(51) 国際特許分類:

H04N 5/378 (2011.01) *H01L 29/786* (2006.01)

H01L 27/146 (2006.01) *H04N 5/374* (2011.01)

(21) 国際出願番号: PCT/IB2020/058145

(22) 国際出願日: 2020年9月2日(02.09.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-167175 2019年9月13日(13.09.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

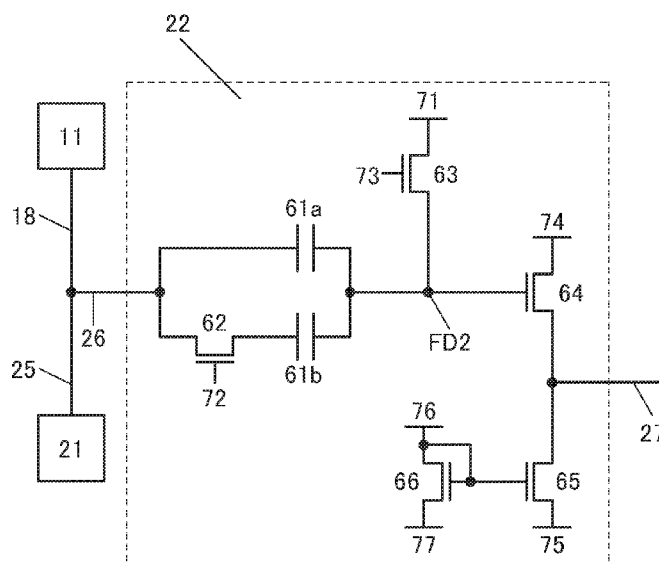
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 川島進 (KAWASHIMA, Susumu); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 渡邊一徳(WATANABE, Kazunori); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 楠紘慈(KUSUNOKI, Koji); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 吉本智史(YOSHIMOTO, Satoshi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(54) Title: IMAGING DEVICE AND DRIVING METHOD THEREOF

(54) 発明の名称: 撮像装置、及びその駆動方法

図6



(57) Abstract: Provided is an imaging device that has a biometric authentication function, and a touch sensor or near touch sensor function. The imaging device includes pixels, a current mirror circuit, and a CDS circuit. The pixels, the current mirror circuit, and the CDS circuit are electrically connected to a read line. The current mirror circuit includes first and second transistors. Either the source or the drain of the first transistor is electrically connected to the read line, and a power source potential is supplied to the other of the source and the drain of the second transistor. The imaging

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

device outputs image data written to the pixels to the read line as a first signal during a first period, subsequently resets the image data in a second period, and outputs a second signal from the pixels to the read line. A first potential is supplied to a terminal during the first period, and a second potential is supplied to the terminal during the second period. The difference between the second potential and the power source potential is greater than the difference between the first potential and the power source potential.

(57) 要約: 生体認証機能と、タッチセンサ又はニアタッチセンサとしての機能と、を有する撮像装置を提供する。画素と、カレントミラー回路と、CDS回路と、を有する撮像装置。画素、カレントミラー回路、及びCDS回路は、読み出し線と電氣的に接続される。カレントミラー回路は、第1及び第2のトランジスタを有する。第1のトランジスタのソース又はドレインの一方は、読み出し線と電氣的に接続され、第2のトランジスタのソース又はドレインの他方には、電源電位が供給される。撮像装置は、画素に書き込まれた撮像データを、第1の期間において第1の信号として読み出し線に出力した後、第2の期間において当該撮像データをリセットして、第2の信号を画素から読み出し線に出力する。第1の期間では、端子に第1の電位を、第2の期間では、端子に第2の電位を供給する。第2の電位と電源電位の差は、第1の電位と電源電位の差より大きい。

明細書

発明の名称

撮像装置、及びその駆動方法

技術分野

[0001]

本発明の一態様は、撮像装置、及びその駆動方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ等）、入出力装置（例えば、タッチパネル等）、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。半導体装置は、半導体特性を利用することで機能しうる装置全般を指す。

背景技術

[0003]

撮像装置は従来、写真や動画を撮影する用途に用いられているが、近年はこれらの用途だけでなく、顔認証、指紋認証、及び静脈認証等の生体認証や、タッチセンサ又はモーションセンサ等の入力デバイス等に応用されており、用途が多様化している。特許文献1には、指紋認証を行うことができる、スマートフォン等の電子機器について開示されている。

[先行技術文献]

[特許文献]

[0004]

[特許文献1] 特開2019-79415号公報

発明の概要

発明が解決しようとする課題

[0005]

例えば、撮像装置が設けられている電子機器が、タッチセンサ又はニアタッチセンサとしての機能と、指紋認証等の生体認証機能と、を有する場合、タッチセンサ又はニアタッチセンサとしての機能を用いる場合は、指等の検出対象物の動きを高い精度で検出できるように、高いフレーム周波数で撮像を行うことが好ましい。一方、生体認証を行う際は、認証の精度を高めるために高精度の撮像を行うことが好ましい。

[0006]

本発明の一態様は、高いフレーム周波数で撮像を行うことができる撮像装置を提供することを課題の一とする。又は、高精度な撮像を行うことができる撮像装置を提供することを課題の一とする。又は、高精度な生体認証を行うことができる撮像装置を提供することを課題の一とする。又は、検出対象物の位置を高精度に検出することができる撮像装置を提供することを課題の一とする。又は、信頼性の高い撮像装置を提供することを課題の一とする。又は、新規な撮像装置を提供することを課題の一とする。又は、上記撮像装置が設けられている半導体装置を提供することを課題の一とする。

[0007]

本発明の一態様は、高いフレーム周波数で撮像を行うことができる撮像装置の駆動方法を提供する

ことを課題の一とする。又は、高精度な撮像を行うことができる撮像装置の駆動方法を提供することを課題の一とする。又は、高精度な生体認証を行うことができる撮像装置の駆動方法を提供することを課題の一とする。又は、検出対象物の位置を高精度に検出することができる撮像装置の駆動方法を提供することを課題の一とする。又は、信頼性の高い撮像装置の駆動方法を提供することを課題の一とする。又は、新規な撮像装置の駆動方法を提供することを課題の一とする。又は、上記方法で駆動する撮像装置が設けられている半導体装置を提供することを課題の一とする。

[0008]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項等の記載から抽出することが可能である。

課題を解決するための手段

[0009]

本発明の一態様は、画素と、CDS回路を有し、CDS回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の容量と、第2の容量と、を有し、画素は、配線を介して第1のトランジスタのソース又はドレインの一方、及び第1の容量の一方の電極と電気的に接続され、第1のトランジスタのソース又はドレインの他方は、第2の容量の一方の電極と電気的に接続され、第2のトランジスタのソース又はドレインの一方は、第3のトランジスタのゲート、第1の容量の他方の電極、及び第2の容量の他方の電極と電気的に接続される撮像装置である。

[0010]

又は、上記態様において、画素は、画素に書き込まれた撮像データを、第1の信号として配線に出力する第1の期間と、画素に書き込まれた撮像データをリセットし、第2の信号を配線に出力する第2の期間と、を有し、CDS回路は、第1の期間において、第2のトランジスタを導通状態とする機能を有し、第2の期間において、第2のトランジスタを非導通状態とする機能を有してもよい。

[0011]

又は、上記態様において、第1のトランジスタ、及び第2のトランジスタは、チャネル形成領域に金属酸化物を有し、金属酸化物は、 In と、 Zn と、 M (M は Al 、 Ti 、 Ga 、 Sn 、 Y 、 Zr 、 La 、 Ce 、 Nd または Hf)と、を有してもよい。

[0012]

又は、本発明の一態様は、画素と、カレントミラー回路と、を有し、画素、及びカレントミラー回路は、配線と電気的に接続され、カレントミラー回路は、第1のトランジスタと、第2のトランジスタと、を有し、第1のトランジスタのソース又はドレインの一方は、配線と電気的に接続される撮像装置の駆動方法であって、画素に書き込まれた撮像データを、第1の期間において第1の信号として配線に出力し、画素に書き込まれた撮像データを、第2の期間においてリセットして、第2の信号を画素から配線に出力し、第1の期間では、第1のトランジスタのゲート、第2のトランジスタのゲート、及び第2のトランジスタのソース又はドレインの一方に第1の電位を供給し、第2のトランジスタのソース又はドレインの他方に電源電位を供給し、第2の期間では、第1のトランジスタのゲート、第2のトランジスタのゲート、及び第2のトランジスタのソース又はドレインの一方に第2の電位を供給し、第2のトランジスタのソース又はドレインの他方に電源電位を供給し、第2の電位と、電源電位と、の差は、第1の電位と、電源電位と、の差より大きい撮像装置の駆動方法である。

[0013]

又は、上記態様において、CDS回路を有し、CDS回路は、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第1の容量と、第2の容量と、を有し、配線は、第3のトランジスタのソース又はドレインの一方、及び第1の容量の一方の電極と電気的に接続され、第3のトランジスタのソース又はドレインの他方は、第2の容量の一方の電極と電気的に接続され、第4のトランジスタのソース又はドレインの一方は、第5のトランジスタのゲート、第1の容量の他方の電極、及び第2の容量の他方の電極と電気的に接続される撮像装置の駆動方法であって、第1の期間では、第4のトランジスタを導通状態とし、第2の期間では、第4のトランジスタを非導通状態としてもよい。

[0014]

又は、上記態様において、第3のトランジスタ、及び第4のトランジスタは、チャネル形成領域に金属酸化物を有し、金属酸化物は、Inと、Znと、M（MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf）と、を有してもよい。

発明の効果

[0015]

本発明の一態様により、高いフレーム周波数で撮像を行うことができる撮像装置を提供することができる。又は、高精度な撮像を行うことができる撮像装置を提供することができる。又は、高精度な生体認証を行うことができる撮像装置を提供することができる。又は、検出対象物の位置を高精度に検出することができる撮像装置を提供することができる。又は、信頼性の高い撮像装置を提供することができる。又は、新規な撮像装置を提供することができる。又は、上記撮像装置が設けられている半導体装置を提供することができる。

[0016]

本発明の一態様により、高いフレーム周波数で撮像を行うことができる撮像装置の駆動方法を提供することができる。又は、高精度な撮像を行うことができる撮像装置の駆動方法を提供することができる。又は、高精度な生体認証を行うことができる撮像装置の駆動方法を提供することができる。又は、検出対象物の位置を高精度に検出することができる撮像装置の駆動方法を提供することができる。又は、信頼性の高い撮像装置の駆動方法を提供することができる。又は、新規な撮像装置の駆動方法を提供することができる。又は、上記方法で駆動する撮像装置が設けられている半導体装置を提供することができる。

[0017]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項等の記載から抽出することが可能である。

図面の簡単な説明

[0018]

図1A、及び図1Bは、撮像装置の構成例を示すブロック図である。

図2は、撮像装置の構成例を示す回路図である。

図3は、撮像装置の駆動方法の一例を示すタイミングチャートである。

図4は、撮像装置の駆動方法の一例を示す回路図である。

図5は、撮像装置の駆動方法の一例を示す回路図である。

図 6 は、撮像装置の構成例を示す回路図である。

図 7 は、撮像装置の駆動方法の一例を示すタイミングチャートである。

図 8 A、及び図 8 B は、撮像装置の駆動方法の一例を示す回路図である。

図 9 A、並びに図 9 B 1 及び図 9 B 2 は、半導体装置の構成例を示す模式図である。

図 10 は、撮像装置の構成例を示すブロック図である。

図 11 A、及び図 11 B は、撮像装置の構成例を示す回路図である。

図 12 A は、撮像装置の構成例を示すブロック図である。図 12 B は、撮像装置の構成例を示す回路図である。

図 13 は、撮像装置の駆動方法の一例を示すタイミングチャートである。

図 14 A 及び図 14 B は、撮像装置の駆動方法の一例を示す回路図である。

図 15 は、撮像装置の駆動方法の一例を示す回路図である。

図 16 A、及び図 16 B は、半導体装置の構成例を示す図である。

図 17 は、撮像装置の構成例を示すブロック図である。

図 18 A 乃至図 18 C は、半導体装置の構成例を示す断面図である。

図 19 A 乃至図 19 C は、半導体装置の構成例を示す断面図である。

図 20 は、半導体装置の構成例を示す断面図である。

図 21 は、半導体装置の構成例を示す断面図である。

図 22 A 及び図 22 B は、半導体装置の構成例を示す断面図である。

図 23 A 及び図 23 B は、電子機器の一例を示す図である。

図 24 A 乃至図 24 D は、電子機器の一例を示す図である。

図 25 A 乃至図 25 F は、電子機器の一例を示す図である。

発明を実施するための形態

[0019]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その説明の繰り返しは省略する。

[0020]

また、図面等において示す各構成の、位置、大きさ、範囲等は、発明の理解を容易とするため、実際の位置、大きさ、範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲等に限定されない。例えば、実際の製造工程において、エッチング等の処理によりレジストマスク等が意図せずに目減りすることがあるが、理解を容易とするために図に反映しないことがある。

[0021]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合等も含む。

[0022]

また、本明細書等において、「抵抗」の抵抗値を、配線の長さによって決める場合がある。又は、抵抗値は、配線で用いる導電層とは異なる抵抗率を有する導電層と接続することにより決める場合がある。又は、半導体層に不純物をドーピングすることで抵抗値を決める場合がある。

[0023]

また、本明細書等において、電気回路における「端子」とは、電流の入力又は出力、電圧の入力又は出力、もしくは、信号の受信又は送信が行なわれる部位をいう。よって、配線又は電極の一部が端子として機能する場合がある。

[0024]

なお、本明細書等において「上」、「上方」、「下」、又は「下方」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。また、「導電層Cの上方の導電層D」の表現であれば、導電層Cの上に導電層Dが直接接して形成されている必要はなく、導電層Cと導電層Dとの間に他の構成要素を含むものを除外しない。また、「上方」、又は「下方」には、斜め方向に配置されている場合も除外しない。

[0025]

また、ソース及びドレインの機能は、異なる極性のトランジスタを採用する場合や、回路駆動において電流の方向が変化する場合等、駆動条件等によって互いに入れ替わるため、いずれがソース又はドレインであるかを限定することが困難である。このため、本明細書においては、ソース及びドレインの用語は、入れ替えて用いることができるものとする。

[0026]

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的作用を有するもの」を介して接続される場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。また、「直接接続」と表現される場合であっても、異なる導電層にコンタクトを介して配線が形成される場合が含まれる。したがって、配線には、異なる導電層が一つ以上の同じ元素を含む場合と、異なる元素を含む場合と、がある。

[0027]

なお、本明細書等において、計数値及び計量値に関して「同一」、「同じ」、「等しい」又は「均一」等という場合は、明示されている場合を除き、プラスマイナス20%の誤差を含むものとする。

[0028]

また、電圧は、ある電位と、基準の電位（例えば接地電位又はソース電位）との電位差のことを示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書等では、特段の明示が無いかぎり、電圧と電位を言い換えることができるものとする。

[0029]

なお、「半導体」と記載した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する。よって、「半導体」を「絶縁体」に置き換えて用いることも可能である。この場合、「半導体」と「絶縁体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「絶縁体」は、互いに読み換えることができる場合がある。

[0030]

また、「半導体」と記載した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する。よって、「半導体」を「導電体」に置き換えて用いることも可能である。この場合、「半導体」と「導電体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「導電体」は、互いに読み換えることができる場合がある。

[0031]

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、工程順又は積層順等、何らかの順番や順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲において異なる序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲等において序数詞を省略する場合がある。

[0032]

なお、本明細書等において、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡しているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断しているとみなせる状態をいう。例えば、導通状態のトランジスタは、線形領域で駆動することができる。

[0033]

また、本明細書等において、「オン電流」とは、トランジスタが導通状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタが非導通状態である時にソースとドレイン間に流れる電流をいう場合がある。

[0034]

また、本明細書等において、ゲートとは、ゲート電極及びゲート配線の一部又は全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0035]

また、本明細書等において、ソースとは、ソース領域、ソース電極、及びソース配線の一部又は全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0036]

また、本明細書等において、ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部又は全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0037]

(実施の形態1)

本実施の形態では、本発明の一態様の撮像装置について説明する。

[0038]

本発明の一態様の撮像装置は、 m 行 n 列（ m 、 n は1以上の整数）の画素がマトリクス状に配列されている画素部を有する。画素には、読み出し線が電氣的に接続される。画素に書き込まれた撮像データは、読み出し線から撮像信号として出力されることにより、読み出される。同一列の画素は、同一の読み出し線と電氣的に接続することができる。つまり、本発明の一態様の撮像装置には、 n 本の読み出し線を設けることができる。

[0039]

また、本発明の一態様の撮像装置は、カレントミラー回路と、CDS（Correlated Double Sampling）回路と、を有する。読み出し線は、画素の他、カレントミラー回路、及びCDS回路と電氣的に接続される。カレントミラー回路、及びCDS回路は、画素の列ごとに設けることができる。つまり、カレントミラー回路、及びCDS回路は、 n 個ずつ設けることができる。

[0040]

カレントミラー回路は、第1のトランジスタと、第2のトランジスタと、を有する。第1のトランジスタのソース又はドレインの一方は、読み出し線と電氣的に接続される。また、第1のトランジスタのゲート、第2のトランジスタのゲート、及び第2のトランジスタのソース又はドレインの一方は、1つの端子と電氣的に接続される。さらに、第1のトランジスタのソース又はドレインの他方、及び第2のトランジスタのソース又はドレインの他方には、第1の電源電位が供給される。

[0041]

カレントミラー回路は、負荷としての機能を有する。上記端子の電位を制御することにより、カレントミラー回路に流れる電流の大きさを制御することができる。つまり、負荷の大きさを制御することができる。よって、上記端子は、負荷制御信号入力端子といえることができる。

[0042]

CDS回路は、第1の容量を有する。読み出し線は、第1の容量の一方の電極と電氣的に接続される。

[0043]

本発明の一態様の撮像装置は、書き込み期間において、画素に撮像データを書き込み、読み出し期間において、画素に書き込まれた撮像データを読み出す。読み出し期間では、画素に書き込まれた撮像データを、第1の期間において撮像信号として読み出し線に出力した後、第2の期間において上記画素に書き込まれた撮像データをリセットし、リセットした撮像データを基準信号として読み出し線に出力する。

[0044]

本発明の一態様では、カレントミラー回路に設けられている負荷制御信号入力端子に供給する電位を、第1の期間と第2の期間とで異ならせる。第1の期間では、負荷制御信号入力端子に供給する電位の値を、第2のトランジスタのソース又はドレインの他方に供給されている第1の電源電位と近い値にする。これにより、画素から読み出し配線に流れる電流のうち、カレントミラー回路に流れる電流の大きさを小さくし、大部分の電流をCDS回路に流すことができる。したがって、CDS回路に設けられている第1の容量に素早く電荷を充電することができる。

[0045]

一方、第2の期間では、負荷制御信号入力端子に供給する電位の値と、第2のトランジスタのソー

ス又はドレインの他方に供給されている第1の電源電位の値と、の差を大きくする。これにより、CDS回路と、第1のトランジスタと、の間を流れる電流が大きくなり、第1の容量に充電された電荷を素早く放電することができる。

[0046]

以上、本発明の一態様では、CDS回路に設けられている第1の容量の充放電を高速に行うことができる。よって、読み出し動作を高速に行うことができ、本発明の一態様の撮像装置を高速に駆動させることができる。以上より、本発明の一態様の撮像装置は、高いフレーム周波数で撮像を行うことができる。

[0047]

ここで、CDS回路は、第1の容量の他、第2の容量、第3のトランジスタ、第4のトランジスタ、及び第5のトランジスタを有する構成とすることができる。当該構成のCDS回路では、読み出し線は、第1の容量の一方の電極の他、第3のトランジスタのソース又はドレインの一方と電気的に接続される。また、第3のトランジスタのソース又はドレインの他方は、第2の容量の一方の電極と電気的に接続される。さらに、第4のトランジスタのソース又はドレインの一方は、第5のトランジスタのゲート、第1の容量の他方の電極、及び第2の容量の他方の電極と電気的に接続される。また、第4のトランジスタのソース又はドレインの他方には、第2の電源電位を供給することができる。

[0048]

CDS回路では、画素が撮像信号を読み出し線に出力する第1の期間において、第4のトランジスタを導通状態とする。これにより、撮像信号の電位によらず、第4のトランジスタのソース又はドレインの一方と、第5のトランジスタのゲートと、第1の容量の他方の電極と、第2の容量の他方の電極と、が電気的に接続されるノードの電位を、第2の電源電位とすることができる。つまり、第1の期間は、上記ノードの電位を、第2の電源電位にリセットする期間であるということができる。よって、第1の期間は、CDSリセット期間であるということができる。

[0049]

また、画素が基準信号を読み出し線に出力する第2の期間において、第4のトランジスタを非導通状態とする。これにより、撮像信号の電位と、基準信号の電位と、の差の分だけ、上記ノードの電位が変動する。つまり、上記ノードの電位が、撮像信号の電位に対応する電位となる。これにより、第5のトランジスタのソース又はドレインの一方から、撮像信号に対応する信号がCDS回路の外部に出力される。よって、第2の期間は、CDS出力期間であるということができる。

[0050]

ここで、上記ノードには、寄生容量が生じる。例えば、第5のトランジスタのゲートと、第5のトランジスタのソースと、による寄生容量が生じる。また、第5のトランジスタのゲートと、第5のトランジスタのドレインと、による寄生容量が生じる。寄生容量により、第2の期間における上記ノードの電位の変動幅が、撮像信号の電位と、基準信号の電位と、の差より小さくなる。このように、上記ノードの電位の値が、寄生容量の影響を受けた値となることにより、CDS回路が出力する信号のS/N比が低下する。

[0051]

そこで、第1の期間において、第3のトランジスタを導通状態とすると、撮像信号に対応する電荷を、第1の容量と、第2の容量と、の両方に充電することができる。これにより、上記ノードに生

じる寄生容量の影響を、相対的に小さくすることができる。したがって、CDS回路が出力する信号のS/N比を高めることができるようになる。よって、本発明の一態様の撮像装置は高精度な撮像を行うことができる。

[0052]

一方、第1の期間において、第3のトランジスタを非導通状態とすると、撮像信号に対応する電荷を、第1の容量にのみ充電すればよいことになる。これにより、CDS回路に設けられている容量への電荷の充放電に要する時間が短くなるため、第1及び第2の期間を短くすることができる。したがって、読み出し動作を高速に行うことができ、本発明の一態様の撮像装置を高速に駆動させることができる。以上より、本発明の一態様の撮像装置は、高いフレーム周波数で撮像を行うことができる。

[0053]

以上のように、本発明の一態様では、必要となる撮像の精度、及びフレーム周波数に応じて、CDS回路の駆動モードを変更することができる。ここで、第1の期間において第3のトランジスタを導通状態とする駆動モードを第1のモードとし、第1の期間において第3のトランジスタを非導通状態とする駆動モードを第2のモードとする。高精度な撮像を行う必要がある場合は、CDS回路を第1のモードで駆動させ、高いフレーム周波数で撮像を行う必要がある場合は、CDS回路を第2のモードで駆動させることができる。

[0054]

ここで、本発明の一態様の撮像装置は、例えば指紋認証等の生体認証を行う機能を有することができる。また、本発明の一態様の撮像装置は、例えば撮像装置に接触した、又は非接触だが近接した指等の検出対象物の位置を検出する機能を有することができる。つまり、タッチセンサ、又はニアタッチセンサとして機能させることができる。ここで、ニアタッチセンサとは、近接した物体を検出する機能を有するセンサを示す。例えば、撮像装置が有する画素にニアタッチセンサが設けられている場合は、ニアタッチセンサとは、当該画素に近接した物体を検出する機能を有するセンサを示す。つまり、ニアタッチセンサは、物体が接触していなくても、当該物体を検出することができる。

[0055]

生体認証を行う場合は、認証の精度を高めるために高精度の撮像を行うことが好ましい。よって、例えば本発明の一態様の撮像装置が生体認証を行う場合は、CDS回路を第1のモードで駆動させることが好ましい。一方、画素部に接触、又は近接した指等の検出対象物の位置を検出する（タッチ動作、又はニアタッチ動作を検出する）場合は、検出対象物の動きを高い精度で検出できるように、高いフレーム周波数で撮像を行うことが好ましい。よって、例えば本発明の一態様の撮像装置がタッチ動作、又はニアタッチ動作を検出する場合は、CDS回路を第2のモードで駆動させることが好ましい。以上により、本発明の一態様の撮像装置は、生体認証等を高精度に行う機能と、検出対象物の動きを高い精度で検出する機能と、の両方を有することができる。

[0056]

<撮像装置の構成例>

図1Aは、撮像装置10の構成例を示すブロック図である。撮像装置10は、m行n列（m、nは1以上の整数）の画素11がマトリクス状に配列されている画素部12と、ゲートドライバ回路13と、読み出し回路14と、A/D（Analog to Digital）変換回路15と、を

有する。

[0057]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“[1]”、“[m]”、“[1, 1]”、“[m, n]”、“<1>”、“<p>”、“(1)”、“(n/p)”等の識別用の符号を付記して記載する場合がある。例えば、1行1列目の画素11を画素11[1, 1]と記載し、m行n列目の画素11を画素11[m, n]と記載する。

[0058]

ゲートドライバ回路13は、配線16を介して画素11と電氣的に接続される。また、ゲートドライバ回路13は、配線17を介して画素11と電氣的に接続される。読み出し回路14は、配線18を介して画素11と電氣的に接続される。さらに、読み出し回路14は、配線19を介してA/D変換回路15と電氣的に接続される。

[0059]

図1Aでは、同一行の画素11が同一の配線16、及び同一の配線17と電氣的に接続され、同一列の画素11が同一の配線18と電氣的に接続される構成を示している。本明細書等において、例えば1行目の画素11と電氣的に接続される配線16を配線16[1]と記載し、m行目の画素11と電氣的に接続される配線16を配線16[m]と記載する。また、例えば1行目の画素11と電氣的に接続される配線17を配線17[1]と記載し、m行目の画素11と電氣的に接続される配線17を配線17[m]と記載する。また、例えば1列目の画素11と電氣的に接続される配線18を配線18[1]と記載し、n列目の画素11と電氣的に接続される配線18を配線18[n]と記載する。

[0060]

また、詳細は後述するが、読み出し回路14、及びA/D変換回路15は、n/p本（pは1以上の整数）の配線19を介して電氣的に接続される。つまり、配線19の本数は、配線18の本数以下とすることができる。図1Aでは、配線19(1)乃至配線19(n/p)をまとめて配線19(1:n/p)と記載している。他の図面等でも同様の表記をする。

[0061]

ゲートドライバ回路13は、撮像データを読み出す画素11を選択する機能を有する。具体的には、配線16に信号を供給することにより、撮像データを読み出す画素11を選択することができる。また、ゲートドライバ回路13は、配線17に信号を供給する機能を有する。

[0062]

読み出し回路14は、画素11に書き込まれた撮像データの読み出し動作を制御する機能を有する。画素11に書き込まれた撮像データは、撮像信号として配線18から読み出し回路14に出力され、読み出される。よって、配線18は、読み出し線ということができる。

[0063]

A/D変換回路15は、読み出し回路14から出力された、撮像信号に対応するアナログ信号を、デジタル信号に変換する機能を有する。例えば、A/D変換回路15に入力されるアナログ信号の電位の大きさに対応するデジタル値のデジタル信号を出力する機能を有する。

[0064]

図1Bは、読み出し回路14の構成例を示すブロック図である。読み出し回路14は、負荷回路2

1 と、CDS回路22と、信号出力回路23と、シフトレジスタ回路24と、を有する。

[0065]

負荷回路21及びCDS回路22は、例えば画素11の列ごとに設けることができる。つまり、負荷回路21及びCDS回路22は、例えばn個ずつ設けることができる。

[0066]

図1Bに示すように、配線18は、配線25と配線26に分岐する。そして、配線25は負荷回路21と電氣的に接続され、配線26はCDS回路22と電氣的に接続される。つまり、負荷回路21は、配線18と配線25を介して画素11と電氣的に接続され、CDS回路22は、配線18と配線26を介して画素11と電氣的に接続される。また、CDS回路22は、配線27を介して信号出力回路23と電氣的に接続される。なお、配線25及び配線26を、配線18と同様に読み出し線といってもよい。

[0067]

CDS回路22の入力端子は、配線26を介して画素11と電氣的に接続され、CDS回路22の出力端子は、配線27を介して信号出力回路23と電氣的に接続される。よって、CDS回路22は、画素11が出力した信号に対して処理を行い、処理済の信号を信号出力回路23に供給する機能を有するといえることができる。当該処理の具体的な内容については後述する。

[0068]

本明細書等において、例えば配線18[1]と電氣的に接続される配線25を配線25[1]と記載し、配線18[n]と電氣的に接続される配線25を配線25[n]と記載する。また、例えば配線25[1]と電氣的に接続される負荷回路21を負荷回路21[1]と記載し、配線25[n]と電氣的に接続される負荷回路21を負荷回路21[n]と記載する。また、例えば配線18[1]と電氣的に接続される配線26を配線26[1]と記載し、配線18[n]と電氣的に接続される配線26を配線26[n]と記載する。また、例えば配線26[1]と電氣的に接続されるCDS回路22をCDS回路22[1]と記載し、配線26[n]と電氣的に接続されるCDS回路22をCDS回路22[n]と記載する。また、例えばCDS回路22[1]と電氣的に接続される配線27を配線27[1]と記載し、CDS回路22[n]と電氣的に接続される配線27を配線27[n]と記載する。

[0069]

シフトレジスタ回路24は、p本の配線28を介して信号出力回路23と電氣的に接続される。図1Bでは、配線28<1>乃至配線28<p>をまとめて配線28<1:p>と記載している。他の図面等でも同様の表記をする。

[0070]

前述のように、信号出力回路23は、例えばn本の配線27、p本の配線28、及びn/p本の配線19と電氣的に接続される。よって、配線28の本数と、配線19の本数と、の積を、配線27の本数とすることができる。

[0071]

負荷回路21は、電流源としての機能を有する。CDS回路22は、相関二重サンプリングを行う機能を有する。信号出力回路23は、CDS回路22から出力された信号の、A/D変換回路15への出力を制御する機能を有する。具体的には、信号出力回路23は、シフトレジスタ回路24から出力された信号に基づき、CDS回路22からA/D変換回路15へ出力する信号を選択する機

能を有する。負荷回路 2 1 及び C D S 回路 2 2 の構成、機能等の詳細については後述する。

[0072]

<画素の構成例>

図 2 は、画素 1 1、負荷回路 2 1、及び C D S 回路 2 2 の構成例を示す回路図である。具体的には、画素 1 1 [i , j] (i は 1 以上 m - 1 以下の整数、 j は 1 以上 n 以下の整数)、画素 1 1 [i + 1 , j]、負荷回路 2 1 [j]、及び C D S 回路 2 2 [j] の構成例を示している。

[0073]

図 2 では、すべてのトランジスタを n チャネル型トランジスタとしているが、電位の大小関係を適宜逆転させること等により、一部又はすべてのトランジスタを p チャネル型トランジスタとしても、以下の説明を適用することができる。他の図面に示す回路構成においても同様である。

[0074]

図 2 に示す構成の画素 1 1 は、光電変換素子 3 0 と、トランジスタ 3 1 と、トランジスタ 3 2 と、トランジスタ 3 3 と、トランジスタ 3 4 と、容量 3 5 と、を有する。なお、トランジスタ 3 2 のゲート容量が十分大きい場合等は、容量 3 5 は設けなくてもよい。

[0075]

光電変換素子 3 0 の一方の電極は、トランジスタ 3 1 のソース又はドレインの一方と電氣的に接続される。トランジスタ 3 1 のソース又はドレインの他方は、トランジスタ 3 2 のゲートと電氣的に接続される。トランジスタ 3 2 のソース又はドレインの一方は、トランジスタ 3 3 のソース又はドレインの一方と電氣的に接続される。トランジスタ 3 2 のゲートは、トランジスタ 3 4 のソース又はドレインの一方と電氣的に接続される。トランジスタ 3 4 のソース又はドレインの一方は、容量 3 5 の一方の電極と電氣的に接続される。なお、トランジスタ 3 1 のソース又はドレインの他方、トランジスタ 3 2 のゲート、トランジスタ 3 4 のソース又はドレインの一方、及び容量 3 5 の一方の電極が電氣的に接続されるノードを、ノード F D 1 とする。ここで、画素 1 1 [i , j] に設けられるノード F D 1 をノード F D 1 [i , j] と記載し、画素 1 1 [i + 1 , j] に設けられるノード F D 1 をノード F D 1 [i + 1 , j] と記載する。

[0076]

トランジスタ 3 1 のゲートは、配線 4 1 と電氣的に接続される。トランジスタ 3 3 のゲートは、配線 1 6 と電氣的に接続される。トランジスタ 3 4 のゲートは、配線 1 7 と電氣的に接続される。トランジスタ 3 3 のソース又はドレインの他方は、配線 1 8 と電氣的に接続される。光電変換素子 3 0 の他方の電極は、配線 4 0 と電氣的に接続される。トランジスタ 3 2 のソース又はドレインの他方は、配線 4 2 と電氣的に接続される。トランジスタ 3 4 のソース又はドレインの他方は、配線 4 4 と電氣的に接続される。容量 3 5 の他方の電極は、配線 4 5 と電氣的に接続される。

[0077]

配線 1 6 の電位を制御することにより、トランジスタ 3 3 の動作を制御することができる。例えば、配線 1 6 の電位を高電位とすると、トランジスタ 3 3 が導通状態となり、配線 1 6 の電位を低電位とすると、トランジスタ 3 3 が非導通状態となる。同様に、配線 1 7 の電位を制御することにより、トランジスタ 3 4 の動作を制御することができ、配線 4 1 の電位を制御することにより、トランジスタ 3 1 の動作を制御することができる。

[0078]

配線 4 0、配線 4 2、配線 4 4、及び配線 4 5 には、電源電位を供給することができる。よって、

配線 4 0、配線 4 2、配線 4 4、及び配線 4 5 は、電源線としての機能を有するということができる。例えば、配線 4 2 には高電位を供給し、配線 4 5 には低電位を供給することができる。また、図 2 に示すように、光電変換素子 3 0 のカソードが配線 4 0 と電気的に接続される場合、配線 4 0 を高電位、配線 4 4 を低電位とすることができる。一方、光電変換素子 3 0 のアノードが配線 1 8 と電気的に接続される場合、配線 4 0 を低電位、配線 4 4 を高電位とすることができる。

[0079]

本明細書等において、高電位とは、低電位よりも高い電位を示す。なお、複数の配線の電位を高電位とする場合、高電位の具体的な電位の大きさは、配線ごとに異ならせてもよい。例えば、配線 4 0 の電位と配線 4 2 の電位を高電位とする場合、配線 4 0 の電位と、配線 4 2 の電位を異ならせてもよい。例えば、配線 4 0 の電位を 0 V とし、配線 4 2 の電位を 6 V とすることができる。同様に、複数の配線の電位を低電位とする場合、低電位の具体的な電位の大きさは、配線ごとに異ならせてもよい。例えば、配線 4 4 の電位と配線 4 5 の電位を低電位とする場合、配線 4 4 の電位と、配線 4 5 の電位を異ならせてもよい。例えば、配線 4 4 の電位を -4 V とし、配線 4 5 の電位を 0 V とすることができる。

[0080]

また、高電位とされる電位と、低電位とされる電位と、がそれぞれ複数存在する場合は、必ずしも全ての高電位が、全ての低電位より高いことを要しない。低電位とされる複数の電位のうち、少なくとも一つの電位より高い電位は、高電位であるということができる。また、高電位とされる複数の電位のうち、少なくとも一つの電位より低い電位は、低電位であるということができる。例えば、上述の場合では、配線 4 0 の電位と配線 4 5 の電位は、いずれも 0 V とすることができる。しかしながら、配線 4 0 の電位は、配線 4 4 の電位とすることができる -4 V より高いため、配線 4 0 の電位は高電位であるということができる。一方、配線 4 5 の電位は、配線 4 2 の電位とすることができる 6 V より低いため、配線 4 5 の電位は低電位であるということができる。

[0081]

図 2 に示す構成の負荷回路 2 1 は、トランジスタ 3 6 及びトランジスタ 3 7 を有する。トランジスタ 3 6 のソース又はドレインの一方は、配線 2 5 と電気的に接続される。トランジスタ 3 6 のゲート、トランジスタ 3 7 のゲート、及びトランジスタ 3 7 のソース又はドレインの一方は、端子 LC と電気的に接続される。トランジスタ 3 6 のソース又はドレインの他方は、配線 4 6 と電気的に接続される。トランジスタ 3 7 のソース又はドレインの他方は、配線 4 7 と電気的に接続される。以上より、トランジスタ 3 6 と、トランジスタ 3 7 と、によりカレントミラー回路が構成されるということができる。よって、負荷回路 2 1 には、カレントミラー回路が含まれるということができる。

[0082]

配線 4 6、及び配線 4 7 には、電源電位を供給することができる。よって、配線 4 6、及び配線 4 7 は、電源線としての機能を有するということができる。配線 4 6 の電位、及び配線 4 7 の電位は、配線 4 2 の電位より低くすることができる。よって、配線 4 6 の電位、及び配線 4 7 の電位は、低電位であるということができる。

[0083]

なお、配線 4 4 の電位と、配線 4 6 及び配線 4 7 の電位と、はいずれも低電位とすることができるが、配線 4 4 の具体的な電位の値と、配線 4 6 及び配線 4 7 の具体的な電位の値と、は異ならせることができる。例えば、配線 4 6 及び配線 4 7 の電位は、配線 4 4 の電位より低くすることができ

る。例えば、配線 4 4 の電位を、前述のように -4 V とすると、配線 4 6 及び配線 4 7 の電位は、 -16 V とすることができる。

[0084]

端子 LC には、信号を入力することができる。当該信号の電位は、配線 4 7 の電位より大きなものとしてすることができる。端子 LC に入力される信号の電位を制御することにより、トランジスタ 3 7 のドレインソース間を流れる電流の大きさを制御することができるため、配線 2 5 を流れる電流の大きさを制御することができる。つまり、負荷回路 2 1 の負荷の大きさを制御することができる。よって、端子 LC に入力される信号は、負荷制御信号といえることができ、端子 LC は、負荷制御信号入力端子といえることができる。

[0085]

CDS 回路 2 2 は、容量 3 8 を有する。配線 2 6 は、容量 3 8 の一方の電極と電氣的に接続される。

[0086]

<撮像装置の駆動方法の一例-1>

図 3 は、図 2 に示す構成の画素 1 1 $[i, j]$ 、画素 1 1 $[i+1, j]$ 、及び負荷回路 2 1 の駆動方法の一例を説明するタイミングチャートである。ここで、配線 4 0、及び配線 4 2 の電位を高電位とし、配線 4 4、配線 4 5、配線 4 6、及び配線 4 7 の電位を低電位とする。また、配線 4 6 及び配線 4 7 の電位は、配線 4 4 の電位より低いものとする。なお、図 3 において、“H” は高電位を示し、“L” は低電位を示す。他の図面においても、同様の表記をする。

[0087]

図 3 では、画素 1 1 $[i, j]$ 、画素 1 1 $[i+1, j]$ 、及び負荷回路 2 1 が駆動する期間として、期間 T 1 及び期間 T 2 を示している。また、期間 T 1 には期間 8 1、期間 8 2、期間 8 3、及び期間 8 4 が含まれ、期間 T 2 には期間 8 5 a、期間 8 5 b、期間 8 6 a、及び期間 8 6 b が含まれるとしている。

[0088]

まず、期間 T 1 における駆動方法の一例を説明する。期間 8 1 において、配線 4 1、及び配線 1 7 の電位を高電位とし、配線 1 6 の電位を低電位とする。これにより、トランジスタ 3 1 及びトランジスタ 3 4 が導通状態となり、トランジスタ 3 3 が非導通状態となる。トランジスタ 3 4 が導通状態となることにより、ノード FD 1 の電位が、配線 4 4 の電位である低電位となる。また、トランジスタ 3 4 の他、トランジスタ 3 1 が導通状態となることにより、光電変換素子 3 0 の一方の電極とトランジスタ 3 1 のソース又はドレインの一方が電氣的に接続されたノードの電位が、配線 4 4 の電位である低電位となる。これにより、容量 3 5 等に充電された電荷がリセットされる。よって、期間 8 1 は、リセット期間であるといえることができる。

[0089]

期間 8 2 において、配線 4 1、及び配線 1 7 の電位を低電位とする。これにより、トランジスタ 3 1、及びトランジスタ 3 4 が非導通状態となる。この状態で光電変換素子 3 0 に光が照射されると、光電変換素子 3 0 の一方の電極とトランジスタ 3 1 のソース又はドレインの一方が電氣的に接続されたノードに、当該光の照度に応じた電荷が蓄積される。よって、期間 8 2 は、露光期間であるといえることができる。

[0090]

期間 8 3 において、配線 4 1 の電位を高電位とする。これにより、トランジスタ 3 1 が導通状態と

なる。これにより、光電変換素子 30 の一方の電極とトランジスタ 31 のソース又はドレインの一方が電氣的に接続されたノードに蓄積された電荷が、ノード FD 1 に転送される。よって、ノード FD 1 の電位が上昇する。以上より、期間 83 は、転送期間であるといえることができる。

[0091]

期間 84 において、配線 41 の電位を低電位とする。これにより、トランジスタ 31 が非導通状態となり、ノード FD 1 の電位が保持される。

[0092]

以上が期間 T1 の駆動方法の一例である。期間 T1 では、撮像データが画素 11 に書き込まれる。具体的には、ノード FD 1 の電位が、撮像データに対応する電位となる。よって、期間 T1 は、書き込み期間であるといえることができる。

[0093]

次に、期間 T2 における駆動方法の一例を説明する。期間 85a において、配線 16 [i] の電位を高電位とする。また、端子 LC [j] の電位を電位 V1 とする。配線 16 [i] の電位を高電位とすることにより、画素 11 [i, j] に設けられるトランジスタ 33 が導通状態となり、画素 11 [i, j] に書き込まれた撮像データが読み出される。具体的には、画素 11 [i, j] に書き込まれた撮像データに対応する電位の撮像信号が、配線 18 [j] に出力される。配線 18 [j] に出力された撮像信号は、配線 26 [j] を介して CDS 回路 22 [j] に供給される。以上より、期間 85a は、撮像信号出力期間であるといえることができる。

[0094]

期間 85b において、配線 17 [i] の電位を高電位とする。また、端子 LC [j] の電位を電位 V2 とする。配線 17 [i] の電位を高電位とすることにより、画素 11 [i, j] に設けられるトランジスタ 34 が導通状態となり、画素 11 [i, j] に書き込まれた撮像データがリセットされる。具体的には、ノード FD 1 [i, j] の電位が、配線 44 の電位である低電位となる。ここで、画素 11 [i, j] に設けられるトランジスタ 33 が導通状態であるため、配線 18 [j] 及び配線 26 [j] の電位も、ノード FD 1 [i, j] の電位変化に応じて変化する。以上により、リセットした撮像データに対応する信号である基準信号が、画素 11 [i, j] から配線 18 [j] を介して CDS 回路 22 [j] に供給される。よって、期間 85b は、基準信号出力期間であるといえることができる。なお、期間 85b において、ノード FD 1 [i, j] の電位は、配線 44 の電位である低電位となるが、配線 46 の電位は配線 44 の電位より低いいため、トランジスタ 32 は非導通状態とはならない。

[0095]

基準信号出力期間において、CDS 回路 22 [j] は、撮像信号と基準信号の差分に対応する信号を出力する。以上のように、CDS 回路 22 が撮像信号と基準信号の差分をとる、つまり CDS 動作を行うことにより、撮像装置 10 の外部に出力する、撮像データに対応する信号を、撮像信号に含まれるノイズの影響を低減したものといえることができる。

[0096]

ここで、電位 V1 及び電位 V2 は、配線 47 の電位より高い電位とする。これにより、トランジスタ 37 のドレインソース間に電流が流れるため、配線 25 [j]、及びトランジスタ 36 のドレインソース間にも電流が流れ、負荷回路 21 を負荷として機能させることができる。また、詳細は後述するが、電位 V2 は、電位 V1 より高い電位とする。つまり、期間 85b における端子 LC

[j] の電位と配線 47 の電位との差を、期間 85 a における端子 LC [j] の電位と配線 47 の電位との差より大きくする。電位 V1 は、例えば 6 V とすることができ、電位 V2 は、例えば -14 V とすることができ、配線 47 の電位は、例えば -16 V とすることができる。

[0097]

期間 86 a において、配線 16 [i] 及び配線 17 [i] の電位を低電位とする。これにより、画素 11 [i, j] に設けられる、トランジスタ 33 及びトランジスタ 34 が非導通状態となる。また、期間 86 a において、配線 16 [i+1] の電位を高電位とし、端子 LC [j] の電位を電位 V1 とする。配線 16 [i+1] の電位を高電位とすることにより、画素 11 [i+1, j] に設けられるトランジスタ 33 が導通状態となり、画素 11 [i+1, j] に書き込まれた撮像データが読み出される。具体的には、画素 11 [i+1, j] に書き込まれた撮像データに対応する電位の撮像信号が、配線 18 [j] に出力される。配線 18 [j] に出力された撮像信号は、配線 26 [j] を介して CDS 回路 22 [j] に供給される。以上より、期間 86 a は、期間 85 a と同様に、撮像信号出力期間であるということが出来る。なお、期間 86 b においても、期間 85 b と同様に、トランジスタ 32 は非導通状態とはならない。

[0098]

期間 86 b において、配線 17 [i+1] の電位を高電位とする。また、端子 LC [j] の電位を電位 V2 とする。配線 17 [i+1] の電位を高電位とすることにより、画素 11 [i+1, j] に設けられるトランジスタ 34 が導通状態となり、画素 11 [i+1, j] に書き込まれた撮像データがリセットされる。具体的には、ノード FD1 [i+1, j] の電位が、配線 44 の電位である低電位となる。ここで、画素 11 [i+1, j] に設けられるトランジスタ 33 が導通状態であるため、配線 18 [j] 及び配線 26 [j] の電位も、ノード FD1 [i+1, j] の電位変化に応じて変化する。以上により、CDS 回路 22 [j] に基準信号が供給される。よって、期間 86 b は、期間 85 b と同様に、基準信号出力期間であるということが出来る。

[0099]

前述のように、電位 V2 は、電位 V1 より高い電位である。よって、期間 86 b における端子 LC [j] の電位と配線 47 の電位との差は、期間 86 a における端子 LC [j] の電位と配線 47 の電位との差より大きくなる。

[0100]

期間 86 b の後において、配線 16 [i+1] の電位、及び配線 17 [i+1] の電位を低電位とする。これにより、画素 11 [i+1, j] が有する、トランジスタ 33 及びトランジスタ 34 が非導通状態となる。

[0101]

以上が期間 T2 の駆動方法の一例である。期間 T2 では、画素 11 に書き込まれた撮像データが読み出される。具体的には、配線 18 の電位が、画素 11 に書き込まれた撮像データに対応する電位となる。よって、期間 T2 は、読み出し期間であるということが出来る。

[0102]

画素 11 [1, 1] 乃至画素 11 [m, n] への撮像データの書き込みは、グローバルシャッタ方式により行うことが好ましい。ここで、グローバルシャッタ方式とは、全画素で同時に撮像データを書き込む方式を示す。グローバルシャッタ方式により撮像データの書き込みを行うことにより、撮像の同時性を確保することができるため、被写体が高速に移動する場合であっても歪の小さい画

像を容易に得ることができる。

[0103]

一方、画素11 [1, 1] 乃至画素11 [m, n] からの撮像データの読み出しは、例えば1行ごとに行う。よって、撮像データの書き込みをグローバルシャッタ方式により書き込む場合、撮像データの書き込みから読み出しまでの期間が長くなる画素11が生じる。したがって、ノードFDに蓄積された電荷を長期間保持できるようにすることが好ましい。

[0104]

ノードFDに長期間電荷を保持するには、ノードFDと電氣的に接続されるトランジスタを、オフ電流が低いトランジスタとすればよい。オフ電流が低いトランジスタとして、チャネル形成領域に金属酸化物を用いたトランジスタ（以下、OSトランジスタ）が挙げられる。よって、トランジスタ31及びトランジスタ34は、OSトランジスタとすることが好ましい。

[0105]

OSトランジスタは、チャネル形成領域に金属酸化物を有することが好ましい。また、OSトランジスタに適用される金属酸化物は、インジウム（In）及び亜鉛（Zn）の少なくとも一方を含む酸化物であることが好ましい。

[0106]

このような酸化物としては、In-M-Zn酸化物、In-M酸化物、Zn-M酸化物、In-Zn酸化物（元素Mは、例えば、アルミニウム（Al）、ガリウム（Ga）、イットリウム（Y）、スズ（Sn）、ホウ素（B）、シリコン（Si）、チタン（Ti）、鉄（Fe）、ニッケル（Ni）、ゲルマニウム（Ge）、ジルコニウム（Zr）、モリブデン（Mo）、ランタン（La）、セリウム（Ce）、ネオジム（Nd）、バナジウム（V）、ベリリウム（Be）、ハフニウム（Hf）、タンタル（Ta）、及びタングステン（W）の中から選ばれる一または複数）などが挙げられる。In-M-Zn酸化物としては、代表的にはIn-Ga-Zn酸化物、In-Sn-Zn酸化物、In-Ga-Sn-Zn酸化物などが挙げられる。

[0107]

OSトランジスタは、チャネル幅1 μm あたりのオフ電流を1 y A/ μm （y；ヨクト、 10^{-24} ）以上1 z A/ μm （z；zepto、 10^{-21} ）以下程度に低くすることができる。

[0108]

また、OSトランジスタには、CAC（Cloud-Aligned Composite）-OSを用いることが好ましい。CAC-OSの詳細については、後の実施の形態で説明する。

[0109]

トランジスタ31及びトランジスタ34として、オフ電流が低ければOSトランジスタを適用しないことができる。例えば、バンドギャップが大きい半導体を用いたトランジスタを適用してもよい。バンドギャップが大きい半導体とは、バンドギャップが2.2 eV以上の半導体を指す場合がある。例えば、炭化ケイ素、窒化ガリウム、ダイヤモンド等が挙げられる。

[0110]

なお、トランジスタ31及びトランジスタ34を、チャネル形成領域にシリコンを用いたトランジスタ（以下、Siトランジスタ）等としてもよい。Siトランジスタは、OSトランジスタと比べてオフ電流が高い。しかしながら、容量35の容量値を大きくすること等により、トランジスタ31及びトランジスタ34のオン電流が高くても、画素11 [1, 1] 乃至画素11 [m, n] への

撮像データの書き込みをグローバルシャッタ方式により行うことができる。なお、画素11[1, 1]乃至画素11[m, n]への撮像データの書き込みを、ローリングシャッタ方式により行ってもよい。この場合、トランジスタ31及びトランジスタ34をオフ電流が大きいトランジスタとしても、容量35の容量値を大きくしなくてよい。

[0111]

また、トランジスタ32及びトランジスタ33は、Siトランジスタとしてもよいし、OSトランジスタとしてもよい。例えば、トランジスタ32及びトランジスタ33として、結晶性のシリコン（代表的には、低温ポリシリコン、単結晶シリコン等）を有するトランジスタを用いると、トランジスタ32及びトランジスタ33のオン電流を高めることができる。よって、撮像データの読み出しを高速で行うことができる。一方、トランジスタ31乃至トランジスタ34を全てOSトランジスタとすると、画素11が有するトランジスタを全て同一の層に形成することができる。さらに、トランジスタ31乃至トランジスタ34も含め、撮像装置10が有する全てのトランジスタをOSトランジスタとすると、撮像装置10が有するトランジスタを全て同一の層に形成することができる。以上により、撮像装置10の作製工程を簡略化することができる。

[0112]

図4は、撮像信号出力期間である期間85aの駆動方法を示す回路図であり、図5は、基準信号出力期間である期間85bの駆動方法を示す回路図である。図4及び図5において、非導通状態となっているトランジスタを、×印を付して示している。

[0113]

図4に示すように、期間85aでは、配線18[j]に電流52が流れる。電流52は、配線25[j]と配線26[j]の接続点で分岐し、配線25[j]には電流52aが流れ、配線26[j]には電流52bが流れる。ここで、電位V1は、配線47の電位より高いが、その差は小さいものとなっている。よって、トランジスタ37のドレインソース間の電位差が小さいものとなるため、トランジスタ37のドレインソース間に流れる電流は小さくなる。トランジスタ37と、トランジスタ36と、によりカレントミラー回路が構成されるため、トランジスタ36のドレインソース間に流れる電流も小さくなる。したがって、配線25[j]を介して負荷回路21[j]に流れる電流52aの大きさを小さくし、電流52のうち大部分を、配線26[j]を介してCDS回路22[j]に流すことができる。これにより、CDS回路22[j]に設けられる容量38に素早く電荷を充電することができる。なお、期間86aにおいても、図4に示す説明を適用することができる。

[0114]

図5に示すように、期間85bでは、容量38に充電された電荷が負荷回路21に向かって放電される。これにより、容量38と配線46との間に電流54が流れる。ここで、前述のように、電位V2は電位V1より大きくする。これにより、トランジスタ37のドレインソース間の電位差が大きいものとなるため、トランジスタ37のドレインソース間に流れる電流が大きくなる。したがって、トランジスタ36のドレインソース間に流れる電流も大きくなる。よって、期間85bにおいて端子LC[j]の電位を電位V1のままとする場合より、容量38に充電された電荷を素早く放電することができる。また、期間85bにおいて、トランジスタ36のドレインソース間に流れる電流が大きいほど、配線18[j]の電位が配線46の電位に近づくため、期間86aの開始時点における配線42の電位と、配線18[j]の電位と、の差を大きくすることができる。

よって、期間 8 6 a において、配線 1 8 [j] を流れる電流を大きくすることができるため、画素 1 1 [i + 1, j] から出力される撮像信号に対応する電荷を、容量 3 8 に素早く充電することができる。なお、期間 8 6 b においても、図 5 に示す説明を適用することができる。

[0 1 1 5]

以上、本発明の一態様では、CDS 回路 2 2 に設けられている容量 3 8 の充放電を高速に行うことができる。よって、期間 T 2 に行われる動作である読み出し動作を高速に行うことができ、撮像装置 1 0 を高速に駆動させることができる。以上より、撮像装置 1 0 は、高いフレーム周波数で撮像を行うことができる。

[0 1 1 6]

<CDS 回路の構成例>

図 6 は、CDS 回路 2 2 の具体的な構成例を示す回路図である。なお、図 6 では説明の便宜のため、画素 1 1 を表すブロック、及び負荷回路 2 1 を表すブロックも示している。前述のように、CDS 回路 2 2 は、配線 2 6、及び配線 1 8 を介して画素 1 1 と電氣的に接続され、配線 2 6、及び配線 2 5 を介して負荷回路 2 1 と電氣的に接続される。

[0 1 1 7]

図 6 に示す構成の CDS 回路 2 2 は、容量 6 1 a と、容量 6 1 b と、トランジスタ 6 2 と、トランジスタ 6 3 と、トランジスタ 6 4 と、トランジスタ 6 5 と、トランジスタ 6 6 と、を有する。

[0 1 1 8]

配線 2 6 は、容量 6 1 a の一方の電極、及びトランジスタ 6 2 のソース又はドレインの一方と電氣的に接続される。トランジスタ 6 2 のソース又はドレインの他方は、容量 6 1 b の一方の電極と電氣的に接続される。容量 6 1 a の他方の電極、及び容量 6 1 b の他方の電極は、トランジスタ 6 3 のソース又はドレインの一方、及びトランジスタ 6 4 のゲートと電氣的に接続される。トランジスタ 6 4 のソース又はドレインの一方は、配線 2 7 と電氣的に接続される。配線 2 7 は、トランジスタ 6 5 のソース又はドレインの一方と電氣的に接続される。トランジスタ 6 5 のゲートは、トランジスタ 6 6 のゲート、及びトランジスタ 6 6 のソース又はドレインの一方と電氣的に接続される。なお、容量 6 1 a の他方の電極、容量 6 1 b の他方の電極、トランジスタ 6 3 のソース又はドレインの一方、及びトランジスタ 6 4 のゲートが電氣的に接続されるノードを、ノード FD 2 とする。

[0 1 1 9]

トランジスタ 6 2 のゲートは、配線 7 2 と電氣的に接続される。トランジスタ 6 3 のゲートは、配線 7 3 と電氣的に接続される。トランジスタ 6 4 のソース又はドレインの他方は、配線 7 4 と電氣的に接続される。トランジスタ 6 5 のソース又はドレインの他方は、配線 7 5 と電氣的に接続される。トランジスタ 6 6 のソース又はドレインの一方は、配線 7 6 と電氣的に接続される。トランジスタ 6 6 のソース又はドレインの他方は、配線 7 7 と電氣的に接続される。

[0 1 2 0]

配線 7 2 の電位を制御することにより、トランジスタ 6 2 の動作を制御することができる。例えば、配線 7 2 の電位を高電位とすると、トランジスタ 6 2 が導通状態となり、配線 7 2 の電位を低電位とすると、トランジスタ 6 2 が非導通状態となる。同様に、配線 7 3 の電位を制御することにより、トランジスタ 6 3 が非導通状態となる。

[0 1 2 1]

配線 7 1、及び配線 7 4 乃至配線 7 7 には、電源電位を供給することができる。よって、配線 7 1、

及び配線 7 4 乃至配線 7 7 は、電源線としての機能を有するということができる。例えば、配線 7 1、配線 7 4、及び配線 7 6 には高電位を供給し、配線 7 5、及び配線 7 7 には低電位を供給することができる。

[0122]

なお、CDS 回路 2 2 を図 6 に示す構成とする場合、図 2 等に示す容量 3 8 は、例えば図 6 に示す容量 6 1 a に相当する。

[0123]

<撮像装置の駆動方法の一例__2>

図 7 は、CDS 回路 2 2 が図 6 に示す構成である場合の、撮像装置 1 0 の駆動方法の一例を説明するタイミングチャートである。図 7 は、図 3 に示す駆動方法に、配線 7 3 [j]、及びノード FD 2 [j] の電位変動を追加したものである。ここで、配線 7 1、配線 7 4、及び配線 7 6 の電位を高電位とし、配線 7 5、及び配線 7 7 の電位を低電位とする。なお、CDS 回路 2 2 [j] と電気的に接続される配線 7 3 を配線 7 3 [j] と記載し、CDS 回路 2 2 [j] に設けられるノード FD 2 をノード FD 2 [j] と記載する。

[0124]

図 7 に示すように、撮像信号出力期間である期間 8 5 a、及び期間 8 6 a において、配線 7 3 [j] の電位を高電位とする。これにより、CDS 回路 2 2 [j] に設けられるトランジスタ 6 3 が導通状態となり、ノード FD 2 [j] の電位を、配線 7 1 の電位である高電位とすることができる。つまり、期間 8 5 a、及び期間 8 6 a は、ノード FD 2 [j] の電位をリセットする期間であるということができる。よって、撮像信号出力期間は、CDS リセット期間ともいうことができる。

[0125]

また、基準信号出力期間である期間 8 5 b、及び期間 8 6 b において、配線 7 3 [j] の電位を低電位とする。これにより、CDS 回路 2 2 [j] に設けられるトランジスタ 6 3 が非導通状態となり、撮像信号の電位と、基準信号の電位と、の差の分だけ、ノード FD 2 [j] の電位が変動する。つまり、ノード FD 2 [j] の電位が、撮像信号の電位に対応する電位となる。これにより、配線 2 7 から、撮像信号に対応する信号が CDS 回路 2 2 の外部に出力される。よって、期間 8 5 b、及び期間 8 6 b は、CDS 出力期間であるということができる。

[0126]

期間 8 5 a、及び期間 8 6 a 等の CDS リセット期間において、配線 7 2 の電位は高電位、又は低電位とすることができる。図 8 A は、配線 7 2 の電位を高電位として、トランジスタ 6 2 を導通状態とした場合における、図 6 に示す回路の等価回路である。図 8 B は、配線 7 2 の電位を低電位として、トランジスタ 6 2 を非導通状態とした場合における、図 6 に示す回路の等価回路である。

[0127]

トランジスタ 6 2 を導通状態とした場合には、図 8 A に示すように、配線 2 6 が容量 6 1 a の一方の電極、及び容量 6 1 b の一方の電極の両方と電気的に接続される。よって、画素 1 1 から出力される撮像信号に対応する電荷が、容量 6 1 a と容量 6 1 b の両方に充電される。一方、トランジスタ 6 2 を非導通状態とした場合には、図 8 B に示すように、配線 2 6 が容量 6 1 a の一方の電極にのみ電気的に接続され、容量 6 1 b の一方の電極とは電気的に接続されない。よって、画素 1 1 から出力される撮像信号に対応する電荷は、容量 6 1 a にのみ充電され、容量 6 1 b には充電されない。

[0128]

ここで、図8A及び図8Bに示すように、ノードFD2には寄生容量PCが生じる。例えば、トランジスタ64のゲートと、トランジスタ64のソースと、による寄生容量が生じる。また、トランジスタ64のゲートと、トランジスタ64のドレインと、による寄生容量が生じる。寄生容量PCにより、CDS出力期間におけるノードFD2の電位の変動幅が、撮像信号の電位と、基準信号の電位と、の差より小さくなる。例えば、CDS出力期間である期間85bにおけるノードFD2の電位の変動幅が、期間85aにおいてCDS回路22に供給された撮像信号の電位と、期間85bにおいてCDS回路22に供給された基準信号の電位と、の差より小さくなる。また、CDS出力期間である期間86bにおけるノードFD2の電位の変動幅が、期間86aにおいてCDS回路22に供給された撮像信号の電位と、期間86bにおいてCDS回路22に供給された基準信号の電位と、の差より小さくなる。このように、CDSリセット期間において、ノードFD2の電位の値が、寄生容量PCの影響を受けた値となることにより、CDS回路22が配線27へ出力する信号のS/N比が低下する。

[0129]

ここで、図7に示すように、期間85bの終了時点におけるノードFD2[j]の電位 V_{FD2} は、数式1で示される。ここで、電位 $V_{H_{FD2}}$ は、期間85aの終了時点におけるノードFD2[j]の電位を示し、電位V3は、期間85aの終了時点における配線26[j]の電位を示し、電位 $V_{L_{WX}}$ は、期間85bの終了時点における配線26[j]の電位を示す。

[0130]

[数1]

$$V_{FD2} = V_{H_{FD2}} - k_{FD2}(V3 - V_{L_{WX}}) \quad (1)$$

[0131]

k_{FD2} は、数式2で示される。 k_{FD2} は、ノードFD2[j]の容量結合係数ということができる。また、容量値 C_{FD2} は、ノードFD2[j]の容量の合計値を示し、容量値 C_{PC} は、寄生容量PCの容量値を示す。なお、詳細は後述するが、容量値 C_{FD2} には容量値 C_{PC} が含まれる。また、容量結合係数 k_{FD2} の最大値は1となる。

[0132]

[数2]

$$k_{FD2} = 1 - \frac{C_{PC}}{C_{FD2}} \quad (2)$$

[0133]

同様に、期間86bの終了時点におけるノードFD2[j]の電位 V'_{FD2} は、数式3で示される。ここで、電位 $V3'$ は、期間86aの終了時点における配線26[j]の電位を示す。

[0134]

[数3]

$$V'_{FD2} = V_{H_{FD2}} - k_{FD2}(V3' - V_{L_{WX}}) \quad (3)$$

[0135]

図8Aに示すようにトランジスタ62を導通状態とする場合、容量値 C_{FD2} は数式4で示される。

ここで、容量値 C_a は容量61aの容量値を示し、容量値 C_b は容量61bの容量値を示し、容量値 C_{PC} は寄生容量PCの容量値を示す。

[0136]

[数4]

$$C_{FD2} = C_a + C_b + C_{PC} \quad (4)$$

[0137]

数式2及び数式4より、トランジスタ62を導通状態とする場合のノードFD2[j]の容量結合係数 k_{FD2} は、数式5で示される。

[0138]

[数5]

$$k_{FD2} = \frac{C_a + C_b}{C_a + C_b + C_{PC}} \quad (5)$$

[0139]

図8Bに示すようにトランジスタ62を非導通状態とする場合、容量値 C_{FD2} は数式6で示される。

[0140]

[数6]

$$C_{FD2} = C_a + C_{PC} \quad (6)$$

[0141]

数式2及び数式6より、トランジスタ62を非導通状態とする場合のノードFD2[j]の容量結合係数 k_{FD2} は、数式7で示される。

[0142]

[数7]

$$k_{FD2} = \frac{C_a}{C_a + C_{PC}} \quad (7)$$

[0143]

数式5及び数式7に示すように、トランジスタ62を導通状態とすると、トランジスタ62を非導通状態とする場合より容量結合係数 k_{FD2} が大きくなる。つまり、トランジスタ62を導通状態とすると、トランジスタ62を非導通状態とする場合より寄生容量PCの影響を相対的に小さくすることができる。よって、数式1及び数式3に示すように、トランジスタ62を導通状態とすると、トランジスタ62を非導通状態とする場合より、CDS出力期間におけるノードFD2[j]の電位の変動幅を、撮像信号の電位と、基準信号の電位と、の差に近づけることができる。具体的には、期間85bにおけるノードFD2[j]の変動幅を、電位“ $V_{HFD2} - (V_3 - V_{LWX})$ ”に近づけることができ、期間86bにおけるノードFD2[j]の変動幅を、電位“ $V_{HFD2} - (V_3 - V_{LWX})$ ”に近づけることができる。以上により、CDS回路22[j]が、配線27[j]からS/N比の高い信号を出力することができるようになる。よって、撮像装置10は高精度な撮像を行うことができる。

[0144]

一方、トランジスタ62を非導通状態とすると、画素11から出力された撮像信号に対応する電荷

を、容量61aにのみ充電すればよいことになる。これにより、CDS回路22に設けられている容量への電荷の充放電に要する時間が短くなる。よって、期間T2に行われる動作である読み出し動作を高速に行うことができ、撮像装置10を高速に駆動させることができる。以上より、撮像装置10は、高いフレーム周波数で撮像を行うことができる。

[0145]

なお、トランジスタ62が非導通状態である場合は、容量61bの一方の電極はフローティング状態となるため、容量61bの一方の電極には電荷が流入しない。このため、ノードFD2[j]の電位が変動しても、容量61bの一方の電極と、容量61bの他方の電極と、の間に設けられる絶縁層である誘電層は、誘電分極しない。したがって、ノードFD2[j]の電位が変動しても、容量61a等に充電された電荷は、容量61bに流入しない。以上より、トランジスタ62が非導通状態である場合は、容量61bは容量結合係数 k_{FD2} に影響を与えず、よって容量61bはノードFD2[j]の電位に影響を与えない。

[0146]

以上のように、本発明の一態様では、必要となる撮像の精度、及びフレーム周波数に応じて、CDS回路22の駆動モードを変更することができる。ここで、期間85a、及び期間86a等のCDSリセット期間においてトランジスタ62を導通状態とする駆動モードを第1のモードとし、CDSリセット期間においてトランジスタ62を非導通状態とする駆動モードを第2のモードとする。高精度な撮像を行う必要がある場合は、CDS回路22を第1のモードで駆動させ、高いフレーム周波数で撮像を行う必要がある場合は、CDS回路22を第2のモードで駆動させることができる。

[0147]

<半導体装置の構成例__1>

以下では、図1A等に示す撮像装置10を有する半導体装置について説明する。図9Aは、撮像装置10を有する半導体装置90の構成例を示す。半導体装置90は、基板91及び基板92を有し、基板91と基板92の間に発光装置93、及び撮像装置10が設けられる。

[0148]

発光装置93は、光94を発する機能を有する。光94は、赤外光、又は可視光とすることができる。

[0149]

撮像装置10は、照射された光95を検出する機能を有する。具体的には、図2等 to 示す光電変換素子30に照射された光95を検出する機能を有する。

[0150]

半導体装置90は、例えば光94を検出対象物に照射し、当該検出対象物により反射された光を光95として撮像装置10が検出することができる。

[0151]

半導体装置90は、認証モード、及び位置検出モードにより駆動させることができる。図9B1は、認証モードについて示す図であり、図9B2は、位置検出モードについて示す図である。図9B1及び図9B2に示す場合では、上記検出対象物を指97としている。指97は、例えば半導体装置90の使用者の指とすることができる。

[0152]

認証モードでは、指97に光94を照射し、指97によって反射された光を光95として撮像装置

10が検出することにより、指97が有する指紋99を検出することができる。これにより、指紋認証等の生体認証を行うことができる。

[0153]

位置検出モードでは、発光装置93が光94を発し、指97によって反射された光95を撮像装置10が検出することにより、指97の位置を検出することができる。ここで、図9B2に示すように、検出対象物である指97は半導体装置90に近接していれば、接していなくてもよい。なお、指97が半導体装置90に接していてもよい。つまり、位置検出モードでは、半導体装置90を、タッチセンサ、又はニアタッチセンサとして機能させることができる。なお、検出対象物は、指97に限られず、タッチペン等としてもよい。

[0154]

生体認証等を行う場合は、認証の精度を高めるために高精度の撮像を行うことが好ましい。よって、半導体装置90が認証モードで駆動する場合は、CDS回路22を第1のモードで駆動させることが好ましい。一方、タッチ動作、又はニアタッチ動作を検出する場合は、検出対象物の動きを高い精度で検出できるように、高いフレーム周波数で撮像を行うことが好ましい。よって、半導体装置90が位置検出モードで駆動する場合は、CDS回路22を第2のモードで駆動させることが好ましい。以上により、半導体装置90は、生体認証等を高精度に行う機能と、検出対象物の動きを高い精度で検出する機能と、の両方を有することができる。

[0155]

<シフトレジスタ回路の構成例>

図10は、図1Bに示すシフトレジスタ回路24の構成例を示すブロック図である。シフトレジスタ回路24は、レジスタ回路R<1>乃至レジスタ回路R<p>と、レジスタ回路RDと、を有する。

[0156]

レジスタ回路R<1>乃至レジスタ回路R<p>、及びレジスタ回路RDのそれぞれには、端子CLK(1)、端子CLK(2)、端子CLK(3)、及び端子CLK(4)の中の2つが電氣的に接続される。例えば、レジスタ回路R<1>には端子CLK(1)、及び端子CLK(2)を電氣的に接続し、レジスタ回路R<2>には端子CLK(2)、及び端子CLK(3)を電氣的に接続することができる。また、図示していないが、レジスタ回路R<3>には端子CLK(3)、及び端子CLK(4)を電氣的に接続し、レジスタ回路R<4>には端子CLK(4)、及び端子CLK(1)を電氣的に接続することができる。さらに、pを4の倍数-1(例えば、p=27)とする場合は、レジスタ回路R<p>には端子CLK(3)、及び端子CLK(4)を電氣的に接続し、レジスタ回路RDには端子CLK(4)、及び端子CLK(1)を電氣的に接続することができる。

[0157]

レジスタ回路R<1>乃至レジスタ回路R<p>には、端子LIN、端子RIN、端子RES、端子RES_V、及び端子R_OUTが電氣的に接続される。また、レジスタ回路RDには、端子LIND、端子RES、端子RES_V、及び端子RD_OUTが電氣的に接続される。

[0158]

ここで、レジスタ回路R<1>乃至レジスタ回路R<p>と電氣的に接続される端子LINを、それぞれ端子LIN<1>乃至端子LIN<p>と記載する。また、レジスタ回路R<1>乃至レジスタ回路R<p>と電氣的に接続される端子RINを、それぞれ端子RIN<1>乃至端子RIN

< p >と記載する。さらに、レジスタ回路R< 1 >乃至レジスタ回路R< p >と電氣的に接続される端子R__OUTを、それぞれ端子R__OUT< 1 >乃至端子R__OUT< p >と記載する。なお、レジスタ回路R< 1 >乃至レジスタ回路R< p >、及びレジスタ回路RDは、互いに同一の端子RESと電氣的に接続することができ、互いに同一の端子RES__Vと電氣的に接続することができる。

[0159]

詳細は後述するが、端子LIN、端子RIN、端子RES、及び端子RES__Vを介してレジスタ回路Rに信号が入力され、レジスタ回路Rから端子R__OUTに信号が出力される。よって、端子LIN、端子RIN、端子RES、及び端子RES__Vは入力端子であるということができ、端子R__OUTは出力端子であるということが出来る。また、端子CLKには、クロック信号が入力される。よって、端子CLKは、クロック信号入力端子であるということが出来る。

[0160]

端子LIN< 1 >には、スタートパルス信号が入力される。端子LIN< 1 >にスタートパルス信号が入力されることにより、レジスタ回路R< 1 >は端子R__OUT< 1 >に信号を出力することができる。

[0161]

端子R__OUT< 1 >は、端子LIN< 2 >と電氣的に接続される。よって、レジスタ回路R< 1 >が端子R__OUT< 1 >から出力した信号は、端子LIN< 2 >を介してレジスタ回路R< 2 >に入力される。端子LIN< 2 >に信号が入力されることにより、レジスタ回路R< 2 >は端子R__OUT< 2 >に信号を出力することができる。

[0162]

また、端子R__OUT< p >は、端子LINDと電氣的に接続される。よって、レジスタ回路R< p >が端子R__OUT< p >から出力した信号は、端子LINDを介してレジスタ回路RDに入力される。端子LINDに信号が入力されることにより、レジスタ回路RDは端子RD__OUTに信号を出力することができる。

[0163]

以上のように、レジスタ回路R< 1 >乃至レジスタ回路R< p >、及びレジスタ回路RDは、端子LIN< 2 >乃至端子LIN< p >、及び端子LINDを介して直列に接続される。

[0164]

また、レジスタ回路R< 1 >乃至レジスタ回路R< p >は、それぞれ端子R__OUT< 1 >乃至端子R__OUT< p >に信号を出力することができる。ここで、端子R__OUT< 1 >乃至端子R__OUT< p >は、図1Bに示す配線28< 1 >乃至配線28< p >と順に電氣的に接続される。図1Bに示すように、配線28< 1 >乃至配線28< p >は、信号出力回路23と電氣的に接続される。以上より、レジスタ回路Rが端子R__OUTに出力した信号は、信号出力回路23に供給される。

[0165]

端子R__OUT< 2 >は、端子RIN< 1 >と電氣的に接続される。よって、レジスタ回路R< 2 >が端子R__OUT< 2 >に出力した信号は、端子RIN< 1 >を介してレジスタ回路R< 1 >に入力される。つまり、端子RINには、1つ後段のレジスタ回路Rから出力される信号を入力することができる。なお、図示していないが、端子RIN< 2 >は、レジスタ回路R< 3 >と電氣的に

接続される端子R__OUT<3>と電氣的に接続される。

[0166]

ここで、端子RIN<p>には、レジスタ回路RDが端子RD__OUTに出力した信号が入力される。ここで、端子RD__OUTは、配線28とは電氣的に接続されない。よって、レジスタ回路RDが端子RD__OUTに出力した信号は、信号出力回路23に供給されない。したがって、レジスタ回路RDは、ダミー段であるといえることができる。

[0167]

シフトレジスタ回路24にダミー段のレジスタ回路RDを設けることにより、端子RIN<p>に信号を供給することができる。

[0168]

図11Aは、レジスタ回路Rの構成例を示す回路図である。レジスタ回路Rは、トランジスタ101、トランジスタ102、トランジスタ103、トランジスタ104、トランジスタ105、トランジスタ106、トランジスタ107、トランジスタ108、及びトランジスタ109と、容量111及び容量112と、を有する。ここで、図11Aに示す端子CLK(h1)、及び端子CLK(h2)は、端子CLK(1)乃至端子CLK(4)のいずれかとすることができる。例えば、レジスタ回路R<1>では、端子CLK(h1)は端子CLK(1)とすることができ、端子CLK(h2)は端子CLK(2)とすることができる。また、レジスタ回路R<2>では、端子CLK(h1)は端子CLK(2)とすることができ、端子CLK(h2)は端子CLK(3)とすることができる。さらに、レジスタ回路R<p>では、端子CLK(h1)は端子CLK(3)とすることができ、端子CLK(h2)は端子CLK(4)とすることができる。

[0169]

端子CLK(h1)は、トランジスタ106のソース又はドレインの一方と電氣的に接続される。端子CLK(h2)は、トランジスタ102のゲートと電氣的に接続される。端子LINは、トランジスタ101のゲート、及びトランジスタ108のゲートと電氣的に接続される。端子RINは、トランジスタ103のゲートと電氣的に接続される。端子RESは、トランジスタ104のゲートと電氣的に接続される。端子RES__Vは、トランジスタ109のソース又はドレインの一方と電氣的に接続される。端子R__OUTは、トランジスタ106のソース又はドレインの他方、トランジスタ109のソース又はドレインの他方、及び容量111の一方の電極と電氣的に接続される。

[0170]

トランジスタ101のソース又はドレインの一方、及びトランジスタ107のソース又はドレインの一方は、トランジスタ105のソース又はドレインの一方と電氣的に接続される。トランジスタ105のソース又はドレインの他方は、トランジスタ106のゲートと電氣的に接続される。トランジスタ106のゲートは、容量111の他方の電極と電氣的に接続される。トランジスタ102のソース又はドレインの一方、トランジスタ103のソース又はドレインの一方、及びトランジスタ104のソース又はドレインの一方は、トランジスタ107のゲート、トランジスタ108のソース又はドレインの一方、トランジスタ109のゲート、及び容量112の一方の電極と電氣的に接続される。

[0171]

トランジスタ101のソース又はドレインの他方、トランジスタ102のソース又はドレインの他方、トランジスタ103のソース又はドレインの他方、トランジスタ104のソース又はドレイン

の他方、及びトランジスタ105のゲートには、電位VDDを供給することができる。また、トランジスタ107のソース又はドレインの他方、トランジスタ108のソース又はドレインの他方、及び容量112の他方の電極には、電位VSSを供給することができる。ここで、電位VDDは高電位を示し、電位VSSは低電位を示す。

[0172]

端子LINに高電位の信号を入力すると、トランジスタ101、及びトランジスタ108が導通状態となる。トランジスタ101が導通状態となることにより、トランジスタ106のゲートの電位が高電位となるため、トランジスタ106が導通状態となる。一方、トランジスタ108が導通状態となることにより、トランジスタ109のゲートの電位が低電位となるため、トランジスタ109が非導通状態となる。以上より、端子CLK(h1)に入力された信号を、端子R__OUTから出力することができる。

[0173]

一方、端子CLK(h2)に高電位の信号を入力すると、トランジスタ102が導通状態となる。これにより、トランジスタ107のゲートの電位が高電位となるため、トランジスタ107が導通状態となる。トランジスタ107が導通状態となることにより、トランジスタ106のゲートの電位が低電位となるため、トランジスタ106が非導通状態となる。一方、トランジスタ102が導通状態となることにより、トランジスタ109のゲートの電位が高電位となるため、トランジスタ109が導通状態となる。以上より、端子RES__Vに入力された信号を、端子R__OUTから出力することができる。

[0174]

また、端子RINに高電位の信号を入力した場合、又は端子RESに高電位の信号を入力した場合であっても、端子CLK(h2)に高電位の信号を入力した場合と同様に、トランジスタ109が導通状態、トランジスタ106が非導通状態となる。よって、端子RES__Vに入力された信号を、端子R__OUTから出力することができる。

[0175]

図11Bは、レジスタ回路RDの構成例を示す回路図である。前述のように、レジスタ回路RDには、端子RINは電氣的に接続されていない。よって、レジスタ回路RDは、トランジスタ103を有しない点が、図11Aに示す構成のレジスタ回路Rと異なる。

[0176]

図11Bに示す構成のレジスタ回路RDでは、トランジスタ106のソース又はドレインの一方は、端子CLK(4)と電氣的に接続される。トランジスタ102のゲートは、端子CLK(1)と電氣的に接続される。トランジスタ101のゲート、及びトランジスタ108のゲートは、端子LINと電氣的に接続される。トランジスタ106のソース又はドレインの他方、トランジスタ109のソース又はドレインの他方、及び容量111の一方の電極は、端子RD__OUTと電氣的に接続される。

[0177]

<信号出力回路の構成例>

図12Aは、図1Bに示す信号出力回路23の構成例を示すブロック図である。信号出力回路23は、マルチプレクサ回路MUX(1)乃至マルチプレクサ回路MUX(n/p)を有する。

[0178]

マルチプレクサ回路MUXは、 p 個の選択信号入力端子と、 p 個の入力端子と、1 個の出力端子を有する構成とすることができる。マルチプレクサ回路MUX (1) 乃至マルチプレクサ回路MUX (n/p) の選択信号入力端子のそれぞれに、配線28<1>乃至配線28< p >の全てを電氣的に接続することができる。つまり、図10等に示すシフトレジスタ回路24の出力端子である、端子R__OUT<1>乃至端子R__OUT< p >の全てを電氣的に接続することができる。ここで、マルチプレクサ回路MUXの選択信号入力端子が、シフトレジスタ回路24の出力端子である端子R__OUTと電氣的に接続されることから、シフトレジスタ回路24は選択信号を出力する機能を有するということができる。

[0179]

マルチプレクサ回路MUXの入力端子は、配線27を介して端子CDS__OUTと電氣的に接続される。図1B等に示すように、配線27は、CDS回路22の出力端子と電氣的に接続される。以上より、端子CDS__OUTには、CDS回路22から出力された信号が入力される。

[0180]

ここで、マルチプレクサ回路MUXの入力端子1個当たり、1 個の端子CDS__OUTが電氣的に接続される。つまり、マルチプレクサ回路MUXが有する p 個の入力端子には、互いに異なる端子CDS__OUTが電氣的に接続される。また、マルチプレクサ回路MUX (1) 乃至マルチプレクサ回路MUX (n/p) の入力端子には、互いに異なる端子CDS__OUTが電氣的に接続される。つまり、例えばマルチプレクサ回路MUX (1) の p 個の入力端子には、端子CDS__OUT [1] 乃至端子CDS__OUT [p] が順に電氣的に接続される。また、マルチプレクサ回路MUX (2) の p 個の入力端子には、端子CDS__OUT [$p+1$] 乃至端子CDS__OUT [$2p$] が順に電氣的に接続される。さらに、マルチプレクサ回路MUX (n/p) の p 個の入力端子には、端子CDS__OUT [$n-p+1$] 乃至端子CDS__OUT [n] が順に電氣的に接続される。

[0181]

マルチプレクサ回路MUXの出力端子は、配線19を介して端子MUX__OUTと電氣的に接続される。図1Aに示すように、配線19は、A/D変換回路15と電氣的に接続される。以上より、信号出力回路23は、端子MUX__OUTを介して信号を出力することができる。

[0182]

ここで、マルチプレクサ回路MUX (1) 乃至マルチプレクサ回路MUX (n/p) の出力端子には、互いに異なる端子MUX__OUTが電氣的に接続される。例えば、マルチプレクサ回路MUX (1) の出力端子には、端子MUX__OUT (1) が電氣的に接続され、マルチプレクサ回路MUX (2) の出力端子には、端子MUX__OUT (2) が電氣的に接続され、マルチプレクサ回路MUX (n/p) の出力端子には、端子MUX__OUT (n/p) が電氣的に接続される。

[0183]

図12Bは、マルチプレクサ回路MUX (t) (t は1以上 n/p 以下の整数) の構成例を示す回路図である。マルチプレクサ回路MUX (t) は、トランジスタ120<1>乃至トランジスタ120< p >を有する。

[0184]

トランジスタ120<1>乃至トランジスタ120< p >のゲートには、端子R__OUT<1>乃至端子R__OUT< p >がそれぞれ電氣的に接続される。トランジスタ120<1>乃至トランジスタ120< p >のソース又はドレインの一方には、端子CDS__OUT [($t-1$) $p+1$] 乃

至端子CDS__OUT [t・p] がそれぞれ電氣的に接続される。トランジスタ120<1>乃至トランジスタ120<p>のソース又はドレインの他方には、端子MUX__OUT (t) が電氣的に接続される。つまり、トランジスタ120<1>乃至トランジスタ120<p>は、トランジスタ120<1>乃至トランジスタ120<p>のソース又はドレインの他方により互いに並列に接続される。

[0185]

＜シフトレジスタ回路、及び信号出力回路の駆動方法の一例＞

図13は、図3に示す読み出し期間である期間T2における、シフトレジスタ回路24、及び信号出力回路23の駆動方法の一例を示すタイミングチャートである。なお、図13において、ブートストラップによる電位の上昇、リーク電流による電位の低下等は考慮していない。他のタイミングチャートについても同様とする。また、pを4の倍数-1とする。

[0186]

図14A並びに図14B、及び図15は、図12Bに示す構成のマルチプレクサ回路MUX (t) の駆動方法の一例を示すための回路図である。図14A並びに図14B、及び図15では、×印を付したトランジスタ120は非導通状態のトランジスタ120であり、×印を付していないトランジスタ120は導通状態のトランジスタ120である。

[0187]

まず、期間T201において、端子LIN<1>に、スタートパルス信号として高電位の信号を入力する。これにより、レジスタ回路R<1>が有するトランジスタ101のゲートの電位が高電位となるため、レジスタ回路R<1>が有するトランジスタ101が導通状態となる。したがって、レジスタ回路R<1>が有するトランジスタ106のゲートの電位が高電位となり、レジスタ回路R<1>が有するトランジスタ106が導通状態となる。また、端子LIN<1>に高電位の信号が入力されることにより、レジスタ回路R<1>が有するトランジスタ108のゲートの電位が高電位となるため、レジスタ回路R<1>が有するトランジスタ108が導通状態となる。したがって、レジスタ回路R<1>が有するトランジスタ107、及びトランジスタ109のゲートの電位が低電位となり、レジスタ回路R<1>が有するトランジスタ107、及びトランジスタ109が非導通状態となる。

[0188]

期間T202から、端子CLK (1) 乃至端子CLK (4) にクロック信号を順次入力する。これにより、期間T202には端子CLK (1) の電位が高電位となり、端子CLK (2)、端子CLK (3)、及び端子CLK (4) の電位が低電位となる。また、期間T203、及び期間T204には端子CLK (2) の電位が高電位となり、端子CLK (1)、端子CLK (3)、及び端子CLK (4) の電位が低電位となる。さらに、期間T205には端子CLK (3) の電位が高電位となり、端子CLK (1)、端子CLK (2)、及び端子CLK (4) の電位が低電位となる。

[0189]

期間T202において、端子LIN<1>の電位が低電位となり、レジスタ回路R<1>が有するトランジスタ101が非導通状態となるが、レジスタ回路R<1>が有するトランジスタ107は非導通状態のままであるため、レジスタ回路R<1>が有するトランジスタ106のゲートはフローティング状態となる。よって、レジスタ回路R<1>が有するトランジスタ106のゲートの電位は高電位のままとなり、期間T201に引き続いてレジスタ回路R<1>が有するトランジスタ

106は導通状態となる。したがって、端子CLK(1)に入力されるクロック信号が端子ROUT<1>から出力される。前述のように、期間T202における端子CLK(1)の電位は高電位であるため、端子ROUT<1>から高電位の選択信号が出力される。よって、端子ROUT<1>と電氣的に接続される端子LIN<2>に高電位の信号が入力される。

[0190]

図14Aは、期間T202におけるマルチプレクサ回路MUX(t)の駆動方法の一例を示すための回路図である。期間T202では、端子ROUT<1>の電位は高電位となり、端子ROUT<2>乃至端子ROUT<p>の電位は低電位となる。よって、トランジスタ120<1>のゲートの電位は高電位となるため、トランジスタ120<1>は導通状態となる。また、トランジスタ120<2>乃至トランジスタ120<p>のゲートの電位は低電位となるため、トランジスタ120<2>乃至トランジスタ120<p>は非導通状態となる。以上により、端子CDS_OUT[(t-1)p+1]からマルチプレクサ回路MUX(t)の入力端子に入力された信号が、信号S<1>として端子MUX_OUT(t)に出力される。

[0191]

以上のように、期間T202では、マルチプレクサ回路MUX(1)乃至マルチプレクサ回路MUX(n/p)の出力端子である端子MUX_OUT(1)乃至端子MUX_OUT(n/p)から、信号S<1>が出力される。

[0192]

期間T202において、端子LIN<2>に高電位の信号が入力されることにより、レジスタ回路R<2>が有するトランジスタ101のゲートの電位が高電位となるため、レジスタ回路R<2>が有するトランジスタ101が導通状態となる。したがって、レジスタ回路R<2>が有するトランジスタ106のゲートの電位が高電位となり、レジスタ回路R<2>が有するトランジスタ106が導通状態となる。また、端子LIN<2>に高電位の信号が入力されることにより、レジスタ回路R<2>が有するトランジスタ108のゲートの電位が高電位となるため、レジスタ回路R<2>が有するトランジスタ108が導通状態となる。したがって、レジスタ回路R<2>が有するトランジスタ107、及びトランジスタ109のゲートの電位が低電位となり、レジスタ回路R<2>が有するトランジスタ107、及びトランジスタ109が非導通状態となる。

[0193]

期間T203において、端子LIN<2>の電位が低電位となり、レジスタ回路R<2>が有するトランジスタ101が非導通状態となるが、レジスタ回路R<2>が有するトランジスタ107は非導通状態のままであるため、レジスタ回路R<2>が有するトランジスタ106のゲートはフローティング状態となる。よって、レジスタ回路R<2>が有するトランジスタ106のゲートの電位は高電位のままとなり、期間T202に引き続いてレジスタ回路R<2>が有するトランジスタ106は導通状態となる。したがって、端子CLK(2)に入力されるクロック信号が端子ROUT<2>から出力される。前述のように、期間T203における端子CLK(2)の電位は高電位であるため、端子ROUT<2>から高電位の選択信号が出力される。よって、端子ROUT<2>と電氣的に接続される端子LIN<3>に高電位の信号が入力される。

[0194]

期間T203では、端子ROUT<2>の電位は高電位となり、端子ROUT<1>、及び端子ROUT<3>乃至端子ROUT<p>の電位は低電位となる。よって、トランジスタ12

0<2>のゲートの電位は高電位となるため、トランジスタ120<2>は導通状態となる。また、トランジスタ120<1>、及びトランジスタ120<3>乃至トランジスタ120<p>のゲートの電位は低電位となるため、トランジスタ120<1>、及びトランジスタ120<3>乃至トランジスタ120<p>は非導通状態となる。以上により、端子CDS__OUT [(t-1)p+2]に入力された信号が、信号S<2>として端子MUX__OUT (t)に出力される。

[0195]

以上のように、期間T203では、マルチプレクサ回路MUX (1)乃至マルチプレクサ回路MUX (n/p)の出力端子である端子MUX__OUT (1)乃至端子MUX__OUT (n/p)から、信号S<2>が出力される。

[0196]

期間T204において、端子LIN<p>に高電位の信号が入力される。これにより、レジスタ回路R<p>が有するトランジスタ101のゲートの電位が高電位となるため、レジスタ回路R<p>が有するトランジスタ101が導通状態となる。したがって、レジスタ回路R<p>が有するトランジスタ106のゲートの電位が高電位となり、レジスタ回路R<p>が有するトランジスタ106が導通状態となる。また、端子LIN<p>に高電位の信号が入力されることにより、レジスタ回路R<p>が有するトランジスタ108のゲートの電位が高電位となるため、レジスタ回路R<p>が有するトランジスタ108が導通状態となる。したがって、レジスタ回路R<p>が有するトランジスタ107、及びトランジスタ109のゲートの電位が低電位となり、レジスタ回路R<p>が有するトランジスタ107、及びトランジスタ109が非導通状態となる。

[0197]

期間T205において、端子LIN<p>の電位が低電位となり、レジスタ回路R<p>が有するトランジスタ101が非導通状態となるが、レジスタ回路R<p>が有するトランジスタ107は非導通状態のままであるため、レジスタ回路R<p>が有するトランジスタ106のゲートはフローティング状態となる。よって、レジスタ回路R<p>が有するトランジスタ106のゲートの電位は高電位のままとなり、期間T204に引き続いてレジスタ回路R<p>が有するトランジスタ106は導通状態となる。したがって、端子CLK (3)に入力されるクロック信号が端子R__OUT<p>から出力される。前述のように、期間T205における端子CLK (3)の電位は高電位であるため、端子R__OUT<p>から高電位の選択信号が出力される。よって、端子R__OUT<p>と電気的に接続される端子LINDに高電位の信号が入力される。

[0198]

図14Bは、期間T205におけるマルチプレクサ回路MUX (t)の駆動方法の一例を示すための回路図である。期間T205では、端子R__OUT<p>の電位は高電位となり、端子R__OUT<1>乃至端子R__OUT<p-1>の電位は低電位となる。よって、トランジスタ120<p>のゲートの電位は高電位となるため、トランジスタ120<p>は導通状態となる。また、トランジスタ120<1>乃至トランジスタ120<p-1>のゲートの電位は低電位となるため、トランジスタ120<1>乃至トランジスタ120<p-1>は非導通状態となる。以上により、端子CDS__OUT [t・p]に入力された信号が、信号S<p>として端子MUX__OUT (t)に出力される。

[0199]

以上のように、期間T205では、マルチプレクサ回路MUX (1)乃至マルチプレクサ回路MUX

X (n/p) の出力端子である端子MUX__OUT (1) 乃至端子MUX__OUT (n/p) から、信号S<p>が出力される。

[0200]

以上、図13に示す期間T201において端子LIN<1>に入力されたスタートパルス信号が、期間T202乃至期間T205においてレジスタ回路R<1>からレジスタ回路R<p>まで順次伝送される。これに対応して、高電位の選択信号が、端子R__OUT<1>乃至端子R__OUT<p>から順次出力される。

[0201]

期間T211及び期間T212では、期間T201乃至期間T205とは異なるモードでシフトレジスタ回路24、及び信号出力回路23を駆動させる。具体的には、期間T211において、端子CLK (1) 乃至端子CLK (4)、及び端子RESに高電位の信号を入力する。これにより、レジスタ回路R<1>乃至レジスタ回路R<p>が有するトランジスタ102、及びトランジスタ104のゲートの電位が高電位となるため、レジスタ回路R<1>乃至レジスタ回路R<p>が有するトランジスタ102、及びトランジスタ104が導通状態となる。よって、レジスタ回路R<1>乃至レジスタ回路R<p>が有するトランジスタ107、及びトランジスタ109のゲートの電位が高電位となるため、レジスタ回路R<1>乃至レジスタ回路R<p>が有するトランジスタ107、及びトランジスタ109が導通状態となる。レジスタ回路R<1>乃至レジスタ回路R<p>が有するトランジスタ107が導通状態となることにより、レジスタ回路R<1>乃至レジスタ回路R<p>が有するトランジスタ106のゲートの電位が低電位となり、レジスタ回路R<1>乃至レジスタ回路R<p>が有するトランジスタ106は非導通状態となる。以上のように、期間T211において、レジスタ回路R<1>乃至レジスタ回路R<p>が有するトランジスタ106を非導通状態とし、レジスタ回路R<1>乃至レジスタ回路R<p>が有するトランジスタ109を導通状態とする。これにより、端子RES__Vに入力された信号を、端子R__OUTから出力できるようになる。

[0202]

期間T212において、端子RES__Vに高電位の信号を入力する。期間T212では、期間T211に引き続き、レジスタ回路R<1>乃至レジスタ回路R<p>が有するトランジスタ106は非導通状態であり、レジスタ回路R<1>乃至レジスタ回路R<p>が有するトランジスタ109は導通状態である。よって、端子RES__Vに入力された高電位の信号が、端子R__OUT<1>乃至端子R__OUT<p>から出力される。

[0203]

図15は、期間T212におけるマルチプレクサ回路MUX (t) の駆動方法の一例を示すための回路図である。期間T212では、端子R__OUT<1>乃至端子R__OUT<p>の電位が全て高電位となる。よって、トランジスタ120<1>乃至トランジスタ120<p>のゲートの電位は高電位となるため、トランジスタ120<1>乃至トランジスタ120<p>は全て導通状態となる。これにより、端子CDS__OUT [(t-1)p+1] 乃至端子CDS__OUT [t・p] のそれぞれからマルチプレクサ回路MUX (t) の入力端子に入力された信号のうち、電位が最大の信号が信号S__MAXとして端子MUX__OUT (t) に出力される。

[0204]

以上のように、期間T212では、マルチプレクサ回路MUX (1) 乃至マルチプレクサ回路MU

X (n/p) の出力端子である端子MUX__OUT (1) 乃至端子MUX__OUT (n/p) から、信号S__MAXが出力される。

[0205]

期間T201乃至期間T205に示す方法でシフトレジスタ回路24、及び信号出力回路23を駆動させることにより、例えば全ての画素11から出力された撮像信号に対応する信号を、読み出し回路14から出力することができる。これにより、撮像装置10は、高精度な撮像を行うことができる。よって、例えば図9B1に示すように、撮像装置10が設けられる半導体装置90を認証モードで駆動させる場合は、認証の精度を高めるためにシフトレジスタ回路24、及び信号出力回路23を期間T201乃至期間T205に示す方法で駆動させることが好ましい。

[0206]

一方、期間T211及び期間T212に示す方法でシフトレジスタ回路24、及び信号出力回路23を駆動させることにより、例えばマルチプレクサ回路MUXが有するトランジスタ120<1>乃至トランジスタ120<p>を、同時に導通状態とすることができる。前述のように、トランジスタ120<1>乃至トランジスタ120<p>は、互いに並列に接続される。よって、マルチプレクサ回路MUXの入力端子である端子CDS__OUTと、マルチプレクサ回路MUXの出力端子である端子MUX__OUTとの間の抵抗を、例えばトランジスタ120<1>乃至トランジスタ120<p>のうち、1つのトランジスタ120のみ導通状態とする場合より低減することができる。以上より、期間T2に行われる動作である読み出し動作を高速に行うことができ、撮像装置10を高速に駆動させることができる。よって、撮像装置10は、高いフレーム周波数で撮像を行うことができる。したがって、例えば図9B2に示すように、撮像装置10が設けられる半導体装置90を位置検出モードで駆動させる場合は、検出対象物の動きを高い精度で検出できるようにするために、シフトレジスタ回路24、及び信号出力回路23を期間T211及び期間T212に示す方法で駆動させることが好ましい。

[0207]

なお、図11Aに示す構成のレジスタ回路R、及び図11Bに示す構成のレジスタ回路RDが有する、トランジスタ101及びトランジスタ107として、OSトランジスタ等、オフ電流が低いトランジスタを用いることが好ましい。これにより、トランジスタ101及びトランジスタ107が非導通状態となり、トランジスタ106のゲートがフローティング状態となった場合であっても、トランジスタ106のゲートの電位を長期間保持できる。よって、レジスタ回路Rは、端子R__OUTから信号を高い精度で出力することができ、レジスタ回路RDは、端子RD__OUTから信号を高い精度で出力することができる。

[0208]

なお、トランジスタ101及びトランジスタ107として、Siトランジスタを用いてもよい。また、図11Aに示す構成のレジスタ回路R、及び図11Bに示す構成のレジスタ回路RDが有する他のトランジスタとして、Siトランジスタを用いてもよい。トランジスタ101乃至トランジスタ109として、結晶性のシリコンを有するトランジスタを用いると、トランジスタ101乃至トランジスタ109のオン電流を高めることができる。これにより、シフトレジスタ回路24を高速に駆動させることができる。

[0209]

<半導体装置の構成例__2>

図16A及び図16Bは、半導体装置90の構成例を示す図である。図16A及び図16Bに示す構成の半導体装置90は、三つ折りの機構を有し、画素部12が向かい合うように折り畳むことができる領域と、画素部12とは逆の面が向かい合うように折り畳むことができる領域と、を有する。なお、図16A及び図16Bに示す構成の半導体装置90を、半導体装置90Aと記載する。

[0210]

半導体装置90Aは、画素部のアスペクト比が例えば16:9、18:9、21:9等比較的大きい場合であっても、折り目を短軸方向に設けることで小さく折り畳むことができる。よって、半導体装置90Aの携帯性を向上させることができる。また、半導体装置90Aを小さく折り畳んだ時に、画素部12のうち、視認できない部分に含まれる画素11を駆動させないことにより、半導体装置90Aの消費電力を低減することができる。

[0211]

図16Aは、半導体装置90Aを最小サイズに（三つ折りに）折り畳んだ状態を示す図である。図16Bは、半導体装置90Aを展開した状態を示す図である。

[0212]

半導体装置90Aは、画素部12、筐体802a、筐体802b、筐体802c、ヒンジ803a、及びヒンジ803bを有する。

[0213]

図17は、半導体装置90Aに設けられる撮像装置10である、撮像装置10Aの構成例を示すブロック図である。撮像装置10Aでは、ゲートドライバ回路13が、ゲートドライバ回路13A、ゲートドライバ回路13B、及びゲートドライバ回路13Cの3つに分割される。ゲートドライバ回路13Aと電氣的に接続される配線16、及び配線17を、それぞれ配線16A、及び配線17Aとする。また、ゲートドライバ回路13Bと電氣的に接続される配線16、及び配線17を、それぞれ配線16B、及び配線17Bとする。さらに、ゲートドライバ回路13Cと電氣的に接続される配線16、及び配線17を、それぞれ配線16C、及び配線17Cとする。

[0214]

撮像装置10Aを図17に示す構成とすることにより、画素部12のうち、視認できない部分に含まれる画素11を駆動させないようにすることができる。例えば、半導体装置90Aが図16Aに示すように三つ折りに折り畳まれている場合は、ゲートドライバ回路13A乃至ゲートドライバ回路13Cのうち、1つを駆動させ、残り2つを駆動させないようにすることにより、視認できない部分に含まれる画素11を駆動させないようにすることができる。以上により、半導体装置90Aの消費電力を低減することができる。

[0215]

なお、図16A及び図16Bは、半導体装置90の構成例として、三つ折りの機構を有する半導体装置90Aを示したが、本発明の一態様はこれに限らない。例えば、半導体装置90は、二つ折りの機構を有してもよい。この場合、撮像装置10が有するゲートドライバ回路13を、2つに分割する構成とすることができる。

[0216]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0217]

(実施の形態 2)

本実施の形態では、本発明の一態様の半導体装置の構成例について、図 18 乃至図 22 を用いて説明する。具体的には、例えば実施の形態 1 に示す半導体装置 90 に適用可能な構成例について、図 18 乃至図 22 を用いて説明する。

[0218]

以下では、図 18 及び図 19 を用いて、本発明の一態様の半導体装置の、詳細な構成について説明する。

[0219]

[半導体装置 900A]

図 18A に半導体装置 900A の断面図を示す。

[0220]

半導体装置 900A は、光電変換素子 30 及び発光素子 130 を有する。

[0221]

光電変換素子 30 は、画素電極 171、共通層 172、活性層 173、共通層 174、及び共通電極 175 を有する。

[0222]

発光素子 130 は、画素電極 191、共通層 172、発光層 193、共通層 174、及び共通電極 175 を有する。

[0223]

画素電極 171、画素電極 191、共通層 172、活性層 173、発光層 193、共通層 174、及び共通電極 175 は、それぞれ、単層構造であってもよく、積層構造であってもよい。

[0224]

画素電極 171 及び画素電極 191 は、絶縁層 214 上に位置する。画素電極 171 と画素電極 191 は、同一の材料及び同一の工程で形成することができる。

[0225]

共通層 172 は、画素電極 171 上及び画素電極 191 上に位置する。共通層 172 は、光電変換素子 30 と発光素子 130 に共通で用いられる層である。

[0226]

活性層 173 は、共通層 172 を介して、画素電極 171 と重なる。発光層 193 は、共通層 172 を介して、画素電極 191 と重なる。活性層 173 は、第 1 の有機化合物を有し、発光層 193 は、第 1 の有機化合物とは異なる第 2 の有機化合物を有する。

[0227]

共通層 174 は、共通層 172 上、活性層 173 上、及び発光層 193 上に位置する。共通層 174 は、光電変換素子 30 と発光素子 130 に共通で用いられる層である。

[0228]

共通電極 175 は、共通層 172、活性層 173、及び共通層 174 を介して、画素電極 171 と重なる部分を有する。また、共通電極 175 は、共通層 172、発光層 193、及び共通層 174 を介して、画素電極 191 と重なる部分を有する。共通電極 175 は、光電変換素子 30 と発光素子 130 に共通で用いられる層である。

[0229]

本実施の形態の半導体装置では、光電変換素子 30 の活性層 173 に有機化合物を用いる。光電変換素子 30 は、活性層 173 以外の層を、発光素子 130（EL 素子）と共通の構成にすることができる。そのため、発光素子 130 の作製工程に、活性層 173 を成膜する工程を追加するのみで、発光素子 130 の形成と並行して光電変換素子 30 を形成することができる。また、発光素子 130 と光電変換素子 30 とを同一基板上に形成することができる。したがって、作製工程を大幅に増やすことなく、半導体装置に光電変換素子 30 を内蔵することができる。

[0230]

半導体装置 900A では、光電変換素子 30 の活性層 173 と、発光素子 130 の発光層 193 と、を作り分ける以外は、光電変換素子 30 と発光素子 130 が共通の構成である例を示す。ただし、光電変換素子 30 と発光素子 130 の構成はこれに限定されない。光電変換素子 30 と発光素子 130 は、活性層 173 と発光層 193 のほかにも、互いに作り分ける層を有していてもよい（後述の半導体装置 900D、半導体装置 900E、半導体装置 900F 参照）。光電変換素子 30 と発光素子 130 は、共通で用いられる層（共通層）を 1 層以上有することが好ましい。これにより、作製工程を大幅に増やすことなく、半導体装置に光電変換素子 30 を内蔵することができる。

[0231]

半導体装置 900A は、一対の基板（基板 151 及び基板 152）間に、光電変換素子 30、発光素子 130、トランジスタ 31、及びトランジスタ 131 等を有する。

[0232]

基板 151 の外側には、接着層 150 が設けられる。接着層 150 により、半導体装置 900A を物体に固定できる。接着層 150 として、剥離が可能な接着剤を用いてもよい。さらに、剥離した後に再度接着が可能な接着剤を用いてもよい。接着層 150 として、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、EVA（エチレンビニルアセテート）樹脂等を用いることができる。が挙げられる。特に、エポキシ樹脂等の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シート等を用いてもよい。

[0233]

光電変換素子 30 において、それぞれ画素電極 171 及び共通電極 175 の間に位置する共通層 172、活性層 173、及び共通層 174 は、有機層（有機化合物を含む層）ということもできる。画素電極 171 は赤外光を反射する機能を有することが好ましい。画素電極 171 の端部は隔壁 216 によって覆われている。共通電極 175 は赤外光を透過する機能を有する。

[0234]

光電変換素子 30 は、光を検知する機能を有する。具体的には、光電変換素子 30 は、半導体装置 900A の外部から入射される光 95 を受光し、電気信号に変換する、受光素子である。光 95 は、発光素子 130 の発光を対象物が反射した光ということもできる。また、光 95 は、後述するレンズを介して光電変換素子 30 に入射してもよい。

[0235]

基板 152 の基板 151 側の面には、遮光層 BM が設けられている。遮光層 BM は、光電変換素子 30 と重なる位置及び発光素子 130 と重なる位置に開口を有する。遮光層 BM を設けることで、光電変換素子 30 が光を検出する範囲を制御することができる。

[0236]

遮光層BMとしては、発光素子からの発光を遮る材料を用いることができる。遮光層BMは、赤外光を吸収することが好ましい。遮光層BMとして、例えば、金属材料、又は、顔料（カーボンブラック等）もしくは染料を含む樹脂材料等を用いてブラックマトリクスを形成することができる。

[0237]

ここで、発光素子130の発光が対象物によって反射された光を光電変換素子30は検出する。しかし、発光素子130の発光が、半導体装置900A内で反射され、対象物を介さずに、光電変換素子30に入射されてしまう場合がある。遮光層BMは、このような迷光の影響を抑制することができる。例えば、遮光層BMが設けられていない場合、発光素子130が発した光123aは、基板152で反射され、反射光123bが光電変換素子30に入射することがある。遮光層BMを設けることで、反射光123bが光電変換素子30に入射することを抑制できる。これにより、ノイズを低減し、光電変換素子30を用いたセンサの感度を高めることができる。

[0238]

発光素子130において、それぞれ画素電極191及び共通電極175の間に位置する共通層172、発光層193、及び共通層174は、EL層ということもできる。画素電極191は赤外光を反射する機能を有することが好ましい。画素電極191の端部は隔壁216によって覆われている。画素電極171と画素電極191とは隔壁216によって互いに電氣的に絶縁されている。共通電極175は赤外光を透過する機能を有する。

[0239]

発光素子130は、赤外光を発する機能を有する。具体的には、発光素子130は、画素電極191と共通電極175との間に電圧を印加することで、基板152側に光を射出する電界発光素子である（光94参照）。

[0240]

発光層193は、光電変換素子30の受光領域と重ならないように形成されることが好ましい。これにより、発光層193が光95を吸収することを抑制でき、光電変換素子30に照射される光量を多くすることができる。

[0241]

画素電極171は、絶縁層214に設けられた開口を介して、トランジスタ31が有するソース又はドレインと電氣的に接続される。画素電極171の端部は、隔壁216によって覆われている。

[0242]

画素電極191は、絶縁層214に設けられた開口を介して、トランジスタ131が有するソース又はドレインと電氣的に接続される。画素電極191の端部は、隔壁216によって覆われている。トランジスタ131は、発光素子130の駆動を制御する機能を有する。

[0243]

トランジスタ31とトランジスタ131とは、同一の層（図18Aでは基板151）上に接している。

[0244]

光電変換素子30と電氣的に接続される回路の少なくとも一部は、発光素子130と電氣的に接続される回路と同一の材料及び同一の工程で形成されることが好ましい。これにより、2つの回路を別々に形成する場合に比べて、半導体装置の厚さを薄くすることができ、また、作製工程を簡略化できる。

[0245]

光電変換素子30及び発光素子130は、それぞれ、保護層195に覆われていることが好ましい。図18Aでは、保護層195が、共通電極175上に接して設けられている。保護層195を設けることで、光電変換素子30及び発光素子130に水等の不純物が入り込むことを抑制し、光電変換素子30及び発光素子130の信頼性を高めることができる。また、接着層142によって、保護層195と基板152とが貼り合わされている。

[0246]

[半導体装置900B]

図18Bに半導体装置900Bの断面図を示す。なお、以降の半導体装置の説明において、先に説明した半導体装置と同様の構成については、説明を省略することがある。

[0247]

図18Bに示す半導体装置900Bは、基板151、基板152、及び隔壁216を有さず、基板153、基板154、接着層155、絶縁層212、及び隔壁217を有する点で、半導体装置900Aと異なる。

[0248]

基板153の外側には、接着層150が設けられる。接着層150により、半導体装置900Bを物体に固定できる。

[0249]

基板153と絶縁層212とは接着層155によって貼り合わされている。基板154と保護層195とは接着層142によって貼り合わされている。

[0250]

半導体装置900Bは、作製基板上に形成された絶縁層212、トランジスタ31、トランジスタ131、光電変換素子30、及び発光素子130等を、基板153上に転置することで作製される構成である。基板153及び基板154は、それぞれ、可撓性を有することが好ましい。これにより、半導体装置900Bの可撓性を高めることができる。例えば、基板153及び基板154には、それぞれ、樹脂を用いることが好ましい。

[0251]

基板153及び基板154としては、それぞれ、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）等のポリエステル樹脂、ポリアクリロニトリル樹脂、アクリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート（PC）樹脂、ポリエーテルスルホン（PES）樹脂、ポリアミド樹脂（ナイロン、アラミド等）、ポリシロキサン樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリウレタン樹脂、ポリ塩化ビニル樹脂、ポリ塩化ビニリデン樹脂、ポリプロピレン樹脂、ポリテトラフルオロエチレン（PTFE）樹脂、ABS樹脂、セルロースナノファイバー等を用いることができる。基板153及び基板154の一方又は双方に、可撓性を有する程度の厚さのガラスを用いてもよい。

[0252]

本実施の形態の半導体装置が有する基板には、光学等方性が高いフィルムを用いてもよい。光学等方性が高いフィルムとしては、トリアセチルセルロース（TAC、セルローストリアセテートともいう）フィルム、シクロオレフィンポリマー（COP）フィルム、シクロオレフィンコポリマー（COC）フィルム、及びアクリル樹脂等が挙げられる。

[0253]

隔壁217は、発光素子が発した光を吸収することが好ましい。隔壁217として、例えば、顔料もしくは染料を含む樹脂材料等を用いてブラックマトリクスを形成することができる。また、茶色レジスト材料を用いることで、着色された絶縁層で隔壁217を構成することができる。

[0254]

発光素子130が発した光123cは、基板154及び隔壁217で反射され、反射光123dが光電変換素子30に入射することがある。また、光123cが隔壁217を透過し、トランジスタ又は配線等で反射されることで、反射光が光電変換素子30に入射することがある。隔壁217によって光123cが吸収されることで、反射光123dが光電変換素子30に入射することを抑制できる。これにより、ノイズを低減し、光電変換素子30を用いたセンサの感度を高めることができる。

[0255]

隔壁217は、少なくとも、光電変換素子30が検知する光の波長を吸収することが好ましい。例えば、発光素子130が発する緑色の光を光電変換素子30が検知する場合、隔壁217は、少なくとも緑色の光を吸収することが好ましい。例えば、隔壁217が、赤色のカラーフィルタを有すると、緑色の光123cを吸収することができ、反射光123dが光電変換素子30に入射することを抑制できる。

[0256]

[半導体装置900C]

図18Cに半導体装置900Cの断面図を示す。

[0257]

半導体装置900Cは、光電変換素子30上及び発光素子130上に保護層195を有さない点で、半導体装置900Bと異なる。半導体装置900Cは、接着層142によって、共通電極175と基板154とが貼り合わされている。

[0258]

[半導体装置900D、半導体装置900E、半導体装置900F]

図19Aに半導体装置900Dの断面図を示し、図19Bに半導体装置900Eの断面図を示し、図19Cに半導体装置900Fの断面図を示す。

[0259]

半導体装置900Dは、共通層174を有さず、バッファ層184及びバッファ層194を有する点で、半導体装置900Bと異なる。バッファ層184及びバッファ層194は、それぞれ、単層構造であってもよく、積層構造であってもよい。

[0260]

半導体装置900Dにおいて、光電変換素子30は、画素電極171、共通層172、活性層173、バッファ層184、及び共通電極175を有する。また、半導体装置900Dにおいて、発光素子130は、画素電極191、共通層172、発光層193、バッファ層194、及び共通電極175を有する。

[0261]

半導体装置900Eは、共通層172を有さず、バッファ層182及びバッファ層192を有する点で、半導体装置900Bと異なる。バッファ層182及びバッファ層192は、それぞれ、単層

構造であってもよく、積層構造であってもよい。

[0262]

半導体装置900Eにおいて、光電変換素子30は、画素電極171、バッファ層182、活性層173、共通層174、及び共通電極175を有する。また、半導体装置900Eにおいて、発光素子130は、画素電極191、バッファ層192、発光層193、共通層174、及び共通電極175を有する。

[0263]

半導体装置900Fは、共通層172及び共通層174を有さず、バッファ層182、バッファ層184、バッファ層192、及びバッファ層194を有する点で、半導体装置900Aと異なる。

[0264]

半導体装置900Fにおいて、光電変換素子30は、画素電極171、バッファ層182、活性層173、バッファ層184、及び共通電極175を有する。また、半導体装置900Fにおいて、発光素子130は、画素電極191、バッファ層192、発光層193、バッファ層194、及び共通電極175を有する。

[0265]

光電変換素子30と発光素子130の作製において、活性層173と発光層193を作り分けるだけでなく、他の層も作り分けることができる。

[0266]

半導体装置900Dでは、共通電極175と活性層173との間のバッファ層184と、共通電極175と発光層193との間のバッファ層194とを作り分ける例を示す。バッファ層194としては、例えば、電子注入層及び電子輸送層の一方又は双方を形成することができる。

[0267]

半導体装置900Eでは、画素電極171と活性層173との間のバッファ層182と、画素電極191と発光層193との間のバッファ層192とを作り分ける例を示す。バッファ層192としては、例えば、正孔注入層及び正孔輸送層の一方又は双方を形成することができる。

[0268]

半導体装置900Fでは、光電変換素子30と発光素子130とで、一対の電極（画素電極171又は画素電極191と共通電極175）間に、共通の層を有さない例を示す。半導体装置900Fが有する光電変換素子30及び発光素子130は、絶縁層214上に画素電極171と画素電極191とを同一の材料及び同一の工程で形成し、画素電極171上にバッファ層182、活性層173、及びバッファ層184を形成し、画素電極191上にバッファ層192、発光層193、及びバッファ層194を形成した後、画素電極171、バッファ層182、活性層173、バッファ層184、画素電極191、バッファ層192、発光層193、及びバッファ層194を覆うように共通電極175を形成することで作製できる。なお、バッファ層182、活性層173、及びバッファ層184の積層構造と、バッファ層192、発光層193、及びバッファ層194の積層構造の作製順は特に限定されない。例えば、バッファ層182、活性層173、及びバッファ層184を成膜した後に、バッファ層192、発光層193、及びバッファ層194を作製してもよい。逆に、バッファ層182、活性層173、及びバッファ層184を成膜する前に、バッファ層192、発光層193、及びバッファ層194を作製してもよい。また、バッファ層182、バッファ層192、活性層173、発光層193、等の順に交互に成膜してもよい。

[0269]

以下では、図20乃至図22を用いて、本発明の一態様の半導体装置の、より詳細な構成について説明する。

[0270]

[半導体装置100A]

図20に、半導体装置100Aの断面図を示す。

[0271]

半導体装置100Aは、基板152と基板151とが貼り合わされた構成を有する。

[0272]

半導体装置100Aは、画素部12、回路164等を有する。図20は、半導体装置100Aの、回路164を含む領域の一部、画素部12を含む領域の一部、及び、端部を含む領域の一部をそれぞれ切断したときの断面の一例を示している。

[0273]

回路164としては、例えば、実施の形態1に示すゲートドライバ回路13、読み出し回路14、及びA/D変換回路15を適用することができる。画素部12と、回路164を同一基板上に形成することにより、別途回路としてシリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。

[0274]

図20に示す半導体装置100Aは、基板151と基板152の間に、トランジスタ201、トランジスタ205、トランジスタ206、発光素子130、光電変換素子30等を有する。

[0275]

基板152と絶縁層214は接着層142を介して接着されている。発光素子130及び光電変換素子30の封止には、固体封止構造又は中空封止構造等が適用できる。図20では、基板152、接着層142、及び絶縁層214に囲まれた空間143が、不活性ガス（窒素やアルゴン等）で充填されており、中空封止構造が適用されている。接着層142は、発光素子130と重ねて設けられていてもよい。また、基板152、接着層142、及び絶縁層214に囲まれた空間143を、接着層142とは異なる樹脂で充填してもよい。

[0276]

発光素子130は、絶縁層214側から画素電極191、共通層172、発光層193、共通層174、及び共通電極175の順に積層された積層構造を有する。画素電極191は、絶縁層214に設けられた開口を介して、トランジスタ206が有する導電層222bと接続される。トランジスタ206は、発光素子130の駆動を制御する機能を有する。画素電極191の端部は、隔壁216によって覆われている。画素電極191は赤外光を反射する材料を含み、共通電極175は赤外光を透過する材料を含む。

[0277]

光電変換素子30は、絶縁層214側から画素電極171、共通層172、活性層173、共通層174、及び共通電極175の順に積層された積層構造を有する。画素電極171は、絶縁層214に設けられた開口を介して、トランジスタ205が有する導電層222bと電気的に接続される。画素電極171の端部は、隔壁216によって覆われている。画素電極171は赤外光を反射する材料を含み、共通電極175は赤外光を透過する材料を含む。

[0278]

発光素子130が発する光94は、基板152側に射出される。また、光電変換素子30には、基板152及び空間143を介して、光95が入射する。基板152には、赤外光に対する透過性が高い材料を用いることが好ましい。

[0279]

画素電極171及び画素電極191は同一の材料及び同一の工程で作製することができる。共通層172、共通層174、及び共通電極175は、光電変換素子30と発光素子130との双方に用いられる。光電変換素子30と発光素子130とは、活性層173と発光層193の構成が異なる以外は全て共通の構成とすることができる。これにより、作製工程を大幅に増やすことなく、半導体装置100Aに光電変換素子30を内蔵することができる。

[0280]

基板152の基板151側の面には、遮光層BMが設けられている。遮光層BMは、光電変換素子30と重なる位置及び発光素子130と重なる位置に開口を有する。遮光層BMを設けることで、光電変換素子30が光を検出する範囲を制御することができる。また、遮光層BMを有することで、対象物を介さずに、発光素子130から光電変換素子30に光が直接入射することを抑制できる。したがって、ノイズが少なく感度の高いセンサを実現できる。

[0281]

トランジスタ201、トランジスタ205、及びトランジスタ206は、いずれも基板151上に形成されている。これらのトランジスタは、同一の材料及び同一の工程により作製することができる。

[0282]

基板151上には、絶縁層211、絶縁層213、絶縁層215、及び絶縁層214がこの順で設けられている。絶縁層211は、その一部が各トランジスタのゲート絶縁層として機能する。絶縁層213は、その一部が各トランジスタのゲート絶縁層として機能する。絶縁層215は、トランジスタを覆って設けられる。絶縁層214は、トランジスタを覆って設けられ、平坦化層としての機能を有する。なお、ゲート絶縁層の数及びトランジスタを覆う絶縁層の数は限定されず、それぞれ単層であっても2層以上であってもよい。

[0283]

トランジスタを覆う絶縁層の少なくとも一層に、水や水素等の不純物が拡散しにくい材料を用いることが好ましい。これにより、絶縁層をバリア層として機能させることができる。このような構成とすることで、トランジスタに外部から不純物が拡散することを効果的に抑制でき、半導体装置の信頼性を高めることができる。

[0284]

絶縁層211、絶縁層213、及び絶縁層215としては、それぞれ、無機絶縁膜を用いることが好ましい。無機絶縁膜としては、例えば、窒化シリコン膜、酸化窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜等の無機絶縁膜を用いることができる。また、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜、及び酸化ネオジム膜等を用いてもよい。また、上述の絶縁膜を2以上積層して用いてもよい。

[0285]

ここで、有機絶縁膜は、無機絶縁膜に比べてバリア性が低いことが多い。そのため、有機絶縁膜は、半導体装置 100A の端部近傍に開口を有することが好ましい。これにより、半導体装置 100A の端部から有機絶縁膜を介して不純物が入り込むことを抑制することができる。又は、有機絶縁膜の端部が半導体装置 100A の端部よりも内側にくるように有機絶縁膜を形成し、半導体装置 100A の端部に有機絶縁膜が露出しないようにしてもよい。

[0286]

平坦化層として機能する絶縁層 214 には、有機絶縁膜が好適である。有機絶縁膜に用いることができる材料としては、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等が挙げられる。

[0287]

図 20 に示す領域 228 では、絶縁層 214 に開口が形成されている。これにより、絶縁層 214 に有機絶縁膜を用いる場合であっても、絶縁層 214 を介して外部から画素部 12 に不純物が入り込むことを抑制できる。したがって、半導体装置 100A の信頼性を高めることができる。

[0288]

トランジスタ 201、トランジスタ 205、及びトランジスタ 206 は、ゲートとして機能する導電層 221、ゲート絶縁層として機能する絶縁層 211、ソース及びドレインとして機能する導電層 222a 及び導電層 222b、半導体層 231、ゲート絶縁層として機能する絶縁層 213、並びに、ゲートとして機能する導電層 223 を有する。ここでは、同一の導電膜を加工して得られる複数の層に、同じハッチングパターンを付している。絶縁層 211 は、導電層 221 と半導体層 231 との間に位置する。絶縁層 213 は、導電層 223 と半導体層 231 との間に位置する。

[0289]

本実施の形態の半導体装置が有するトランジスタの構造は特に限定されない。例えば、プレーナ型のトランジスタ、スタガ型のトランジスタ、逆スタガ型のトランジスタ等を用いることができる。また、トップゲート型又はボトムゲート型のいずれのトランジスタ構造としてもよい。又は、チャネルが形成される半導体層の上下にゲートが設けられていてもよい。

[0290]

トランジスタ 201、トランジスタ 205、及びトランジスタ 206 には、チャネルが形成される半導体層を 2 つのゲートで挟持する構成が適用されている。2 つのゲートを接続し、これらに同一の信号を供給することによりトランジスタを駆動してもよい。又は、2 つのゲートのうち、一方に閾値電圧を制御するための電位を与え、他方に駆動のための電位を与えることで、トランジスタの閾値電圧を制御してもよい。

[0291]

トランジスタに用いる半導体材料の結晶性についても特に限定されず、非晶質半導体、結晶性を有する半導体（微結晶半導体、多結晶半導体、単結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0292]

トランジスタの半導体層は、金属酸化物（酸化物半導体ともいう）を有することが好ましい。又は、トランジスタの半導体層は、シリコンを有していてもよい。シリコンとしては、アモルファスシリ

コン、結晶性のシリコン（低温ポリシリコン、単結晶シリコン等）等が挙げられる。

[0293]

半導体層は、例えば、インジウムと、M（Mは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、及びマグネシウムから選ばれた一種又は複数種）と、亜鉛と、を有することが好ましい。特に、Mは、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種又は複数種であることが好ましい。

[0294]

特に、半導体層として、インジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含む酸化物（IGZOとも記す）を用いることが好ましい。

[0295]

半導体層がIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットは、Inの原子数比がMの原子数比以上であることが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8、In:M:Zn=6:1:6、In:M:Zn=5:2:5等が挙げられる。

[0296]

スパッタリングターゲットとしては、多結晶の酸化物を含むターゲットを用いると、結晶性を有する半導体層を形成しやすくなるため好ましい。なお、成膜される半導体層の原子数比は、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。例えば、半導体層に用いるスパッタリングターゲットの組成がIn:Ga:Zn=4:2:4.1 [原子数比] の場合、成膜される半導体層の組成は、In:Ga:Zn=4:2:3 [原子数比] の近傍となる場合がある。

[0297]

なお、原子数比がIn:Ga:Zn=4:2:3又はその近傍と記載する場合、Inの原子数比を4としたとき、Gaの原子数比が1以上3以下であり、Znの原子数比が2以上4以下である場合を含む。また、原子数比がIn:Ga:Zn=5:1:6又はその近傍であると記載する場合、Inの原子数比を5としたときに、Gaの原子数比が0.1より大きく2以下であり、Znの原子数比が5以上7以下である場合を含む。また、原子数比がIn:Ga:Zn=1:1:1又はその近傍であると記載する場合、Inの原子数比を1としたときに、Gaの原子数比が0.1より大きく2以下であり、Znの原子数比が0.1より大きく2以下である場合を含む。

[0298]

回路164が有するトランジスタと、画素部12が有するトランジスタは、同じ構造であってもよく、異なる構造であってもよい。回路164が有する複数のトランジスタの構造は、全て同じであってもよく、2種類以上であってもよい。同様に、画素部12が有する複数のトランジスタの構造は、全て同じであってもよく、2種類以上であってもよい。

[0299]

基板 151 の外側には接着層 150 が設けられる。接着層 150 により、半導体装置 100A を物体に固定できる。

[0300]

基板 152 の外側には各種光学部材を配置することができる。光学部材としては、偏光板、位相差板、光拡散層（拡散フィルム等）、反射防止層、及び集光フィルム等が挙げられる。また、基板 152 の外側には、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜、衝撃吸収層等を配置してもよい。

[0301]

基板 151 及び基板 152 には、それぞれ、ガラス、石英、セラミック、サファイア、樹脂等を用いることができる。基板 151 及び基板 152 に可撓性を有する材料を用いると、半導体装置の可撓性を高めることができる。

[0302]

接着層 142、接着層 155 としては、紫外線硬化型等の光硬化型接着剤、反応硬化型接着剤、熱硬化型接着剤、嫌気型接着剤等の各種硬化型接着剤を用いることができる。これら接着剤としてはエポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、EVA（エチレンビニルアセテート）樹脂等が挙げられる。特に、エポキシ樹脂等の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シート等を用いてもよい。

[0303]

発光素子 130 は、トップエミッション型、ボトムエミッション型、デュアルエミッション型等がある。光を取り出す側の電極には、赤外光を透過する導電膜を用いる。また、光を取り出さない側の電極には、赤外光を反射する導電膜を用いることが好ましい。

[0304]

発光素子 130 は少なくとも発光層 193 を有する。発光素子 130 は、発光層 193 以外の層として、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入性の高い物質、又はバイポーラ性の物質（電子輸送性及び正孔輸送性が高い物質）等を含む層をさらに有していてもよい。例えば、共通層 172 は、正孔注入層及び正孔輸送層の一方又は双方を有することが好ましい。例えば、共通層 174 は、電子輸送層及び電子注入層の一方又は双方を有することが好ましい。

[0305]

共通層 172、発光層 193、及び共通層 174 には低分子系化合物及び高分子系化合物のいずれを用いることもでき、無機化合物を含んでいてもよい。共通層 172、発光層 193、及び共通層 174 を構成する層は、それぞれ、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法等の方法で形成することができる。

[0306]

発光層 193 は、発光材料として、量子ドット等の無機化合物を有していてもよい。

[0307]

光電変換素子 30 の活性層 173 は、半導体を含む。当該半導体としては、シリコン等の無機半導体、及び、有機化合物を含む有機半導体が挙げられる。本実施の形態では、活性層が有する半導体として、有機半導体を用いる例を示す。有機半導体を用いることで、発光素子 130 の発光層 19

3と、光電変換素子30の活性層173と、を同じ方法（例えば、真空蒸着法）で形成することができ、製造装置を共通化できるため好ましい。

[0308]

活性層173が有するn型半導体の材料としては、フラーレン（例えばC₆₀、C₇₀等）又はその誘導体等の電子受容性の有機半導体材料が挙げられる。また、活性層173が有するp型半導体の材料としては、銅（II）フタロシアニン（Copper（II） phthalocyanine；CuPc）やテトラフェニルジベンゾペリフランテン（Tetraphenyldibenzoperiflanthene；DBP）等の電子供与性の有機半導体材料が挙げられる。

[0309]

例えば、活性層173は、n型半導体とp型半導体と共蒸着して形成することが好ましい。

[0310]

トランジスタのゲート、ソース及びドレインのほか、半導体装置を構成する各種配線及び電極等の導電層に用いることのできる材料としては、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、又はタングステン等の金属、又はこれを主成分とする合金等が挙げられる。これらの材料を含む膜を単層で、又は積層構造として用いることができる。

[0311]

また、透光性を有する導電材料としては、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを含む酸化亜鉛等の導電性酸化物又はグラフェンを用いることができる。又は、金、銀、白金、マグネシウム、ニッケル、タンングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、又はチタン等の金属材料や、該金属材料を含む合金材料を用いることができる。又は、該金属材料の窒化物（例えば、窒化チタン）等を用いてもよい。なお、金属材料、合金材料（又はそれらの窒化物）を用いる場合には、透光性を有する程度に薄くすることが好ましい。また、上記材料の積層膜を導電層として用いることができる。例えば、銀とマグネシウムの合金とインジウムスズ酸化物の積層膜等を用いると、導電性を高めることができるため好ましい。これらは、半導体装置を構成する各種配線及び電極等の導電層や、表示素子が有する導電層（画素電極や共通電極として機能する導電層）にも用いることができる。

[0312]

各絶縁層に用いることのできる絶縁材料としては、例えば、アクリル樹脂、エポキシ樹脂等の樹脂、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料が挙げられる。

[0313]

[半導体装置100B]

図21に、半導体装置100Bの断面図を示す。

[0314]

半導体装置100Bは、基板151及び基板152を有さず、基板153、基板154、接着層155、及び絶縁層212を有する点、及び保護層195を有する点で、主に半導体装置100Aと異なる。

[0315]

基板153と絶縁層212とは接着層155によって貼り合わされている。基板154と保護層1

95とは接着層142によって貼り合わされている。接着層142は、光電変換素子30及び発光素子130とそれぞれ重ねて設けられており、半導体装置100Bには、固体封止構造が適用されている。

[0316]

半導体装置100Bは、作製基板上で形成された絶縁層212、トランジスタ201、トランジスタ205、トランジスタ206、光電変換素子30、及び発光素子130等を、基板153上に転置することで作製される構成である。基板153及び基板154は、それぞれ、可撓性を有することが好ましい。これにより、半導体装置100Bの可撓性を高めることができる。

[0317]

基板153の外側には接着層150が設けられる。接着層150により、半導体装置100Bを物体に固定できる。

[0318]

絶縁層212には、絶縁層211、絶縁層213、及び絶縁層215に用いることができる無機絶縁膜を用いることができる。

[0319]

光電変換素子30及び発光素子130を覆う保護層195を設けることで、光電変換素子30及び発光素子130に水等の不純物が入り込むことを抑制し、光電変換素子30及び発光素子130の信頼性を高めることができる。

[0320]

半導体装置100Bの端部近傍の領域228において、絶縁層214の開口を介して、絶縁層215と保護層195とが互いに接することが好ましい。特に、絶縁層215が有する無機絶縁膜と保護層195が有する無機絶縁膜とが互いに接することが好ましい。これにより、有機絶縁膜を介して外部から半導体装置100Bに不純物が入り込むことを抑制することができる。したがって、半導体装置100Bの信頼性を高めることができる。

[0321]

保護層195は、有機絶縁膜と無機絶縁膜との積層構造であってもよい。このとき、有機絶縁膜の端部よりも無機絶縁膜の端部を外側に延在させることが好ましい。

[0322]

[半導体装置100C]

図22Aに、半導体装置100Cの断面図を示す。

[0323]

半導体装置100Cは、トランジスタの構造が、半導体装置100Bと異なる。

[0324]

半導体装置100Cは、基板153上に、トランジスタ208、トランジスタ209、及びトランジスタ210を有する。

[0325]

トランジスタ208、トランジスタ209、及びトランジスタ210は、ゲートとして機能する導電層221、ゲート絶縁層として機能する絶縁層211、チャネル形成領域231i及び一対の低抵抗領域231nを有する半導体層、一対の低抵抗領域231nの一方と接続する導電層222a、一対の低抵抗領域231nの他方と接続する導電層222b、ゲート絶縁層として機能する絶縁層

225、ゲートとして機能する導電層223、並びに、導電層223を覆う絶縁層215を有する。絶縁層211は、導電層221とチャネル形成領域231iとの間に位置する。絶縁層225は、導電層223とチャネル形成領域231iとの間に位置する。

[0326]

導電層222a及び導電層222bは、それぞれ、絶縁層225及び絶縁層215に設けられた開口を介して低抵抗領域231nと接続される。導電層222a及び導電層222bのうち、一方はソースとして機能し、他方はドレインとして機能する。

[0327]

発光素子130の画素電極191は、導電層222bを介してトランジスタ208の一对の低抵抗領域231nの一方と電氣的に接続される。

[0328]

光電変換素子30の画素電極171は、導電層222bを介してトランジスタ209の一对の低抵抗領域231nの他方と電氣的に接続される。

[0329]

図22Aでは、絶縁層225が半導体層の上面及び側面を覆う例を示す。一方、図22Bでは、絶縁層225は、半導体層231のチャネル形成領域231iと重なり、低抵抗領域231nとは重ならない。例えば、導電層223をマスクとして絶縁層225を加工することで、図22Bに示す構造を作製できる。図22Bでは、絶縁層225及び導電層223を覆って絶縁層215が設けられ、絶縁層215の開口を介して、導電層222a及び導電層222bがそれぞれ低抵抗領域231nと接続される。さらに、トランジスタを覆う絶縁層218を設けてもよい。

[0330]

[金属酸化物]

以下では、半導体層に適用可能な金属酸化物について説明する。

[0331]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。例えば、亜鉛酸窒化物 (ZnON) 等の窒素を有する金属酸化物を、半導体層に用いてもよい。

[0332]

半導体層には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0333]

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く

含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0334]

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0335]

よって、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素等の不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0336]

また、チャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0337]

本明細書等において、CAAC (c-axis aligned crystal)、及びCAC (Cloud-Aligned Composite) と記載する場合がある。CAACは結晶構造の一例を表し、CACは機能又は材料の構成の一例を表す。

[0338]

例えば、半導体層にはCAC-OSを用いることができる。

[0339]

CAC-OS又はCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS又はCAC-metal oxideを、トランジスタの半導体層に用いる場合、導電性の機能は、キャリアとなる電子（又はホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Offさせる機能) をCAC-OS又はCAC-metal oxideに付与することができる。CAC-OS又はCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0340]

また、CAC-OS又はCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。ま

た、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0341]

また、CAC-OS又はCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

[0342]

また、CAC-OS又はCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OS又はCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OS又はCAC-metal oxideをトランジスタのチャンネル形成領域に用いる場合、トランジスタの導通状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0343]

すなわち、CAC-OS又はCAC-metal oxideは、マトリックス複合材(matrix composite)、又は金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0344]

酸化物半導体(金属酸化物)は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、及び非晶質酸化物半導体等がある。

[0345]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0346]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形及び七角形等の格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう。)を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化すること等によって、歪みを許容することができるため

である。

[0347]

また、CAAC-OSは、インジウム、及び酸素を有する層（以下、In層）と、元素M、亜鉛、及び酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0348]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成等によって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損（ V_o : oxygen vacancyともいう。）等）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0349]

nc-OSは、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0350]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム-ガリウム-亜鉛酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長が難しい傾向があるため、大きな結晶（ここでは、数mmの結晶、又は数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

[0351]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆又は低密度領域を有する。すなわち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。

[0352]

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0353]

半導体層として機能する金属酸化物膜は、不活性ガス及び酸素ガスのいずれか一方又は双方を用いて成膜することができる。なお、金属酸化物膜の成膜時における酸素の流量比（酸素分圧）に、特に限定はない。ただし、電界効果移動度が高いトランジスタを得る場合においては、金属酸化物膜の成膜時における酸素の流量比（酸素分圧）は、0%以上30%以下が好ましく、5%以上30%以下がより好ましく、7%以上15%以下がさらに好ましい。

[0354]

金属酸化物は、エネルギーギャップが2 e V以上であることが好ましく、2.5 e V以上であることがより好ましく、3 e V以上であることがさらに好ましい。このように、エネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0355]

金属酸化物膜の成膜時の基板温度は、350℃以下が好ましく、室温以上200℃以下がより好ましく、室温以上130℃以下がさらに好ましい。金属酸化物膜の成膜時の基板温度が室温であると、生産性を高めることができ、好ましい。

[0356]

金属酸化物膜は、スパッタリング法により形成することができる。そのほか、例えばPLD法、PECVD法、熱CVD法、ALD法、真空蒸着法等を用いてもよい。

[0357]

受光素子は、活性層以外の少なくとも一層を、発光素子（EL素子）と共通の構成にすることができる。さらには、受光素子は、活性層以外の全ての層を、発光素子（EL素子）と共通の構成にすることもできる。例えば、発光素子の作製工程に、活性層を成膜する工程を追加するのみで、発光素子と受光素子とを同一基板上に形成することができる。また、受光素子と発光素子は、画素電極と共通電極とを、それぞれ、同一の材料及び同一の工程で形成することができる。また、受光素子と電氣的に接続される回路と、発光素子と電氣的に接続される回路と、を、同一の材料及び同一の工程で作製することで、半導体装置の作製工程を簡略化できる。このように、複雑な工程を有さなくとも、受光素子を内蔵し、利便性の高い半導体装置を作製することができる。

[0358]

また、本実施の形態の半導体装置は、受光素子と発光素子との間に、有色層を有する。当該有色層は、受光素子と発光素子とを電氣的に絶縁する隔壁が兼ねていてもよい。有色層は、半導体装置内の迷光を吸収することができるため、受光素子を用いたセンサの感度を高めることができる。

[0359]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0360]

（実施の形態3）

本実施の形態では、本発明の一態様の電子機器について説明する。

[0361]

本実施の形態の電子機器は、本発明の一態様の半導体装置を有する。例えば、電子機器の表示部に、本発明の一態様の半導体装置を適用することができる。本発明の一態様の半導体装置は、光を検出する機能を有するため、接触、非接触を問わず入力動作を行うことができる。また、表示部の撮像機能を利用して生体認証を行うことができる。これにより、電子機器の機能性や利便性等を高めることができる。

[0362]

電子機器としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用等のモニタ、デジタルサイネージ、パチンコ機等の大型ゲーム機等の比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、等が挙げられる。

[0363]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於いて又は赤外線を測定する機能を含むもの）を有していてもよい。

[0364]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出す機能等を有することができる。

[0365]

図23Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。

[0366]

電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、及び光源6508等を有する。表示部6502はタッチパネル機能を備える。

[0367]

表示部6502に、本発明の一態様の半導体装置を適用することができる。

[0368]

図23Bは、筐体6501のマイク6506側の端部を含む断面概略図である。

[0369]

筐体6501の表示面側には透光性を有する保護部材6510が設けられ、筐体6501と保護部材6510に囲まれた空間内に、表示パネル6511、光学部材6512、タッチセンサパネル6513、プリント基板6517、バッテリー6518等が配置されている。

[0370]

保護部材6510には、表示パネル6511、光学部材6512、及びタッチセンサパネル6513が接着層（図示しない）により固定されている。なお、表示パネル6511には本発明の一態様の半導体装置を適用することができ、当該表示装置のセンサ機能のみを用いる場合は、タッチセンサパネル6513を省いてもよい。

[0371]

表示部6502よりも外側の領域において、表示パネル6511の一部が折り返されており、当該折り返された部分にFPC6515が接続される。FPC6515には、IC6516が実装されている。FPC6515は、プリント基板6517に設けられた端子に接続される。

[0372]

表示パネル6511には本発明の一態様の可撓性を有する表示装置を適用することができる。そのため、極めて軽量の電子機器を実現できる。また、表示パネル6511が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー6518を搭載することもできる。また、表示パネル6511の一部を折り返して、画素部の裏側にFPC6515との接続部を配置することにより、狭額縁の電子機器を実現できる。

[0373]

図24Aにテレビジョン装置の一例を示す。テレビジョン装置7100は、筐体7101に表示部7000が組み込まれている。ここでは、スタンド7103により筐体7101を支持した構成を示している。

[0374]

表示部7000に、本発明の一態様の半導体装置を適用することができる。

[0375]

図24Aに示すテレビジョン装置7100の操作は、筐体7101が備える操作スイッチや、別体のリモコン操作機7111により行うことができる。又は、表示部7000に備えたタッチセンサ又はニアタッチセンサを機能させ、指等を表示部7000に触れる、又は近づけることでテレビジョン装置7100を操作してもよい。リモコン操作機7111は、リモコン操作機7111から出力する情報を表示する表示部を有していてもよい。リモコン操作機7111が備える操作キー又はタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部7000に表示される映像を操作することができる。

[0376]

なお、テレビジョン装置7100は、受信機及びモデム等を備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士等）の情報通信を行うことも可能である。

[0377]

図24Bに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、外部接続ポート7214等を有する。筐体7211に、表示部7000が組み込まれている。

[0378]

表示部7000に、本発明の一態様の半導体装置を適用することができる。

[0379]

図24C及び図24Dに、デジタルサイネージの一例を示す。

[0380]

図24Cに示すデジタルサイネージ7300は、筐体7301、表示部7000、及びスピーカ7303等を有する。さらに、LEDランプ、操作キー（電源スイッチ、又は操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

[0381]

図24Dは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7000を有する。

[0382]

図24C及び図24Dにおいて、表示部7000に、本発明の一態様の半導体装置を適用することができる。

[0383]

表示部7000が広いほど、一度に提供できる情報量を増やすことができる。また、表示部7000が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0384]

表示部 7000 に備えられたタッチセンサ、ニアタッチセンサを機能させることで、表示部 7000 に画像又は動画を表示するだけでなく、ユーザーの直感的な操作が可能となる。また、路線情報もしくは交通情報等の情報を取得するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[0385]

また、図 24C 及び図 24D に示すように、デジタルサイネージ 7300 又はデジタルサイネージ 7400 は、ユーザーが所持するスマートフォン等の情報端末機 7311 又は情報端末機 7411 と無線通信により連携可能であることが好ましい。例えば、表示部 7000 に表示される広告の情報を、情報端末機 7311 又は情報端末機 7411 の画面に表示させることができる。また、情報端末機 7311 又は情報端末機 7411 を操作することで、表示部 7000 の表示を切り替えることができる。

[0386]

また、デジタルサイネージ 7300 又はデジタルサイネージ 7400 に、情報端末機 7311 又は情報端末機 7411 の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数のユーザーが同時にゲームに参加し、楽しむことができる。

[0387]

図 25A 乃至図 25F に示す電子機器は、筐体 9000、表示部 9001、スピーカ 9003、操作キー 9005（電源スイッチ、又は操作スイッチを含む）、接続端子 9006、センサ 9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9008、等を有する。

[0388]

図 25A 乃至図 25F に示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有していてもよい。また、電子機器にカメラ等を設け、静止画や動画を撮影し、記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

[0389]

図 25A 乃至図 25F に示す電子機器の詳細について、以下説明を行う。図 25A 乃至図 25F に示す電子機器に本発明の一態様の半導体装置を用いることで、非接触でも入力動作が可能となる。また、表示部の撮像機能を利用して生体認証を行うことができる。これにより、電子機器の機能性や利便性等を高めることができる。

[0390]

図 25A は、携帯情報端末 9101 を示す斜視図である。携帯情報端末 9101 は、例えばスマートフォンとして用いることができる。なお、携帯情報端末 9101 は、スピーカ 9003、接続端子 9006、センサ 9007 等を設けてもよい。また、携帯情報端末 9101 は、文字や画像情報をその複数の面に表示することができる。図 25A では 3 つのアイコン 9050 を表示した例を示

している。また、破線の矩形で示す情報 9051 を表示部 9001 の他の面に表示することもできる。情報 9051 の一例としては、電子メール、SNS、電話等の着信の通知、電子メールや SNS 等の題名、送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度等がある。又は、情報 9051 が表示されている位置にはアイコン 9050 等を表示してもよい。

[0391]

図 25B は、携帯情報端末 9102 を示す斜視図である。携帯情報端末 9102 は、表示部 9001 の 3 面以上に情報を表示する機能を有する。ここでは、情報 9052、情報 9053、情報 9054 がそれぞれ異なる面に表示されている例を示す。例えばユーザーは、洋服の胸ポケットに携帯情報端末 9102 を収納した状態で、携帯情報端末 9102 の上方から観察できる位置に表示された情報 9053 を確認することもできる。ユーザーは、携帯情報端末 9102 をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

[0392]

図 25C は、腕時計型の携帯情報端末 9200 を示す斜視図である。携帯情報端末 9200 は、例えばスマートウォッチとして用いることができる。また、表示部 9001 はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末 9200 は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末 9200 は、接続端子 9006 により、他の情報端末と相互にデータ伝送を行うことや、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

[0393]

図 25D 乃至図 25F は、折り畳み可能な携帯情報端末 9201 を示す斜視図である。また、図 25D は携帯情報端末 9201 を展開した状態、図 25F は折り畳んだ状態、図 25E は図 25D と図 25F の一方から他方に変化する途中の状態の斜視図である。携帯情報端末 9201 は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末 9201 が有する表示部 9001 は、ヒンジ 9055 によって連結された 3 つの筐体 9000 に支持されている。例えば、表示部 9001 は、曲率半径 0.1 mm 以上 150 mm 以下で曲げることができる。

[0394]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[符号の説明]

[0395]

10 : 撮像装置、10A : 撮像装置、11 : 画素、12 : 画素部、13 : ゲートドライバ回路、13A : ゲートドライバ回路、13B : ゲートドライバ回路、13C : ゲートドライバ回路、14 : 回路、15 : A/D 変換回路、16 : 配線、16A : 配線、16B : 配線、16C : 配線、17 : 配線、17A : 配線、17B : 配線、17C : 配線、18 : 配線、19 : 配線、21 : 負荷回路、22 : CDS 回路、23 : 信号出力回路、24 : シフトレジスタ回路、25 : 配線、26 : 配線、27 : 配線、28 : 配線、30 : 光電変換素子、31 : トランジスタ、32 : トランジスタ、33 : トランジスタ、34 : トランジスタ、35 : 容量、36 : トランジスタ、37 : トランジスタ、38 : 容量、40 : 配線、41 : 配線、42 : 配線、44 : 配線、45 : 配線、46 : 配線、47 : 配線、52 : 電流、52a : 電流、52b : 電流、54 : 電流、61a : 容量、61b : 容量、

62 : トランジスタ、63 : トランジスタ、64 : トランジスタ、65 : トランジスタ、66 : トランジスタ、71 : 配線、72 : 配線、73 : 配線、74 : 配線、75 : 配線、76 : 配線、77 : 配線、81 : 期間、82 : 期間、83 : 期間、84 : 期間、85a : 期間、85b : 期間、86a : 期間、86b : 期間、90 : 半導体装置、90A : 半導体装置、91 : 基板、92 : 基板、93 : 発光装置、94 : 光、95 : 光、97 : 指、99 : 指紋、100A : 半導体装置、100B : 半導体装置、100C : 半導体装置、101 : トランジスタ、102 : トランジスタ、103 : トランジスタ、104 : トランジスタ、105 : トランジスタ、106 : トランジスタ、107 : トランジスタ、108 : トランジスタ、109 : トランジスタ、111 : 容量、112 : 容量、120 : トランジスタ、123a : 光、123b : 反射光、123c : 光、123d : 反射光、130 : 発光素子、131 : トランジスタ、142 : 接着層、143 : 空間、150 : 接着層、151 : 基板、152 : 基板、153 : 基板、154 : 基板、155 : 接着層、164 : 回路、171 : 画素電極、172 : 共通層、173 : 活性層、174 : 共通層、175 : 共通電極、182 : バッファ層、184 : バッファ層、191 : 画素電極、192 : バッファ層、193 : 発光層、194 : バッファ層、195 : 保護層、201 : トランジスタ、205 : トランジスタ、206 : トランジスタ、208 : トランジスタ、209 : トランジスタ、210 : トランジスタ、211 : 絶縁層、212 : 絶縁層、213 : 絶縁層、214 : 絶縁層、215 : 絶縁層、216 : 隔壁、217 : 隔壁、218 : 絶縁層、221 : 導電層、222a : 導電層、222b : 導電層、223 : 導電層、225 : 絶縁層、228 : 領域、231 : 半導体層、231i : チャネル形成領域、231n : 低抵抗領域、802a : 筐体、802b : 筐体、802c : 筐体、803a : ヒンジ、803b : ヒンジ、900A : 半導体装置、900B : 半導体装置、900C : 半導体装置、900D : 半導体装置、900E : 半導体装置、900F : 半導体装置、6500 : 電子機器、6501 : 筐体、6502 : 表示部、6503 : 電源ボタン、6504 : ボタン、6505 : スピーカ、6506 : マイク、6507 : カメラ、6508 : 光源、6510 : 保護部材、6511 : 表示パネル、6512 : 光学部材、6513 : タッチセンサパネル、6515 : FPC、6516 : IC、6517 : プリント基板、6518 : バッテリ、7000 : 表示部、7100 : テレビジョン装置、7101 : 筐体、7103 : スタンド、7111 : リモコン操作機、7200 : ノート型パーソナルコンピュータ、7211 : 筐体、7212 : キーボード、7213 : ボインティングデバイス、7214 : 外部接続ポート、7300 : デジタルサイネージ、7301 : 筐体、7303 : スピーカ、7311 : 情報端末機、7400 : デジタルサイネージ、7401 : 柱、7411 : 情報端末機、9000 : 筐体、9001 : 表示部、9003 : スピーカ、9005 : 操作キー、9006 : 接続端子、9007 : センサ、9008 : マイクロフォン、9050 : アイコン、9051 : 情報、9052 : 情報、9053 : 情報、9054 : 情報、9055 : ヒンジ、9101 : 携帯情報端末、9102 : 携帯情報端末、9200 : 携帯情報端末、9201 : 携帯情報端末

請求の範囲

[請求項 1]

画素と、CDS回路と、を有し、

前記CDS回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の容量と、第2の容量と、を有し、

前記画素は、配線を介して前記第1のトランジスタのソース又はドレインの一方、及び前記第1の容量の一方の電極と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2の容量の一方の電極と電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第3のトランジスタのゲート、前記第1の容量の他方の電極、及び前記第2の容量の他方の電極と電気的に接続される撮像装置。

[請求項 2]

請求項 1 において、

前記画素は、前記画素に書き込まれた撮像データを、第1の信号として前記配線に出力する第1の期間と、前記画素に書き込まれた撮像データをリセットし、第2の信号を前記配線に出力する第2の期間と、を有し、

前記CDS回路は、前記第1の期間において、前記第2のトランジスタを導通状態とする機能を有し、

前記第2の期間において、前記第2のトランジスタを非導通状態とする機能を有する撮像装置。

[請求項 3]

請求項 1 又は 2 において、

前記第1のトランジスタ、及び前記第2のトランジスタは、チャンネル形成領域に金属酸化物を有し、

前記金属酸化物は、Inと、Znと、M(MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有する撮像装置。

[請求項 4]

画素と、カレントミラー回路と、を有し、

前記画素、及び前記カレントミラー回路は、配線と電気的に接続され、

前記カレントミラー回路は、第1のトランジスタと、第2のトランジスタと、を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記配線と電気的に接続される撮像装置の駆動方法であって、

前記画素に書き込まれた撮像データを、第1の期間において第1の信号として前記配線に出力し、

前記画素に書き込まれた撮像データを、第2の期間においてリセットして、第2の信号を前記画素から前記配線に出力し、

前記第1の期間では、前記第1のトランジスタのゲート、前記第2のトランジスタのゲート、及び前記第2のトランジスタのソース又はドレインの一方に第1の電位を供給し、前記第2のトランジスタのソース又はドレインの他方に電源電位を供給し、

前記第2の期間では、前記第1のトランジスタのゲート、前記第2のトランジスタのゲート、及び前記第2のトランジスタのソース又はドレインの一方に第2の電位を供給し、前記第2のトランジスタのソース又はドレインの他方に前記電源電位を供給し、

前記第2の電位と、前記電源電位と、の差は、前記第1の電位と、前記電源電位と、の差より大きい撮像装置の駆動方法。

[請求項5]

請求項4において、

CDS回路を有し、

前記CDS回路は、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第1の容量と、第2の容量と、を有し、

前記配線は、前記第3のトランジスタのソース又はドレインの一方、及び前記第1の容量の一方の電極と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2の容量の一方の電極と電気的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、前記第5のトランジスタのゲート、前記第1の容量の他方の電極、及び前記第2の容量の他方の電極と電気的に接続される撮像装置の駆動方法であって、

前記第1の期間では、前記第4のトランジスタを導通状態とし、

前記第2の期間では、前記第4のトランジスタを非導通状態とする撮像装置の駆動方法。

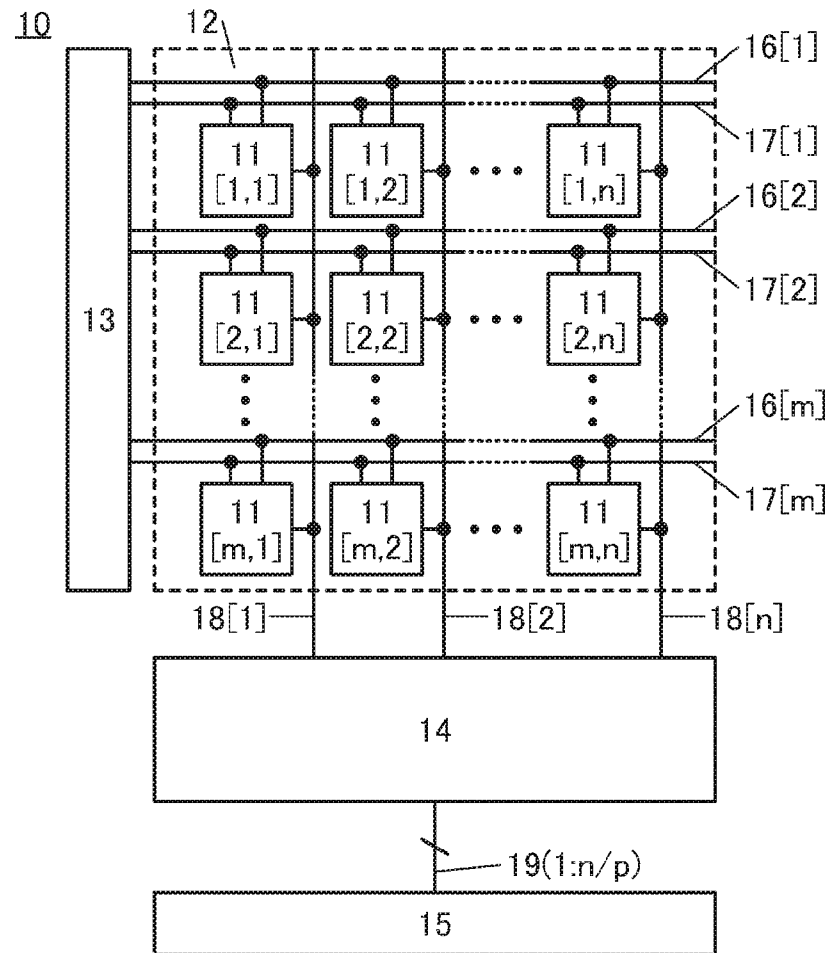
[請求項6]

請求項5において、

前記第3のトランジスタ、及び前記第4のトランジスタは、チャンネル形成領域に金属酸化物を有し、

前記金属酸化物は、Inと、Znと、M(MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有する撮像装置の駆動方法。

1A



14

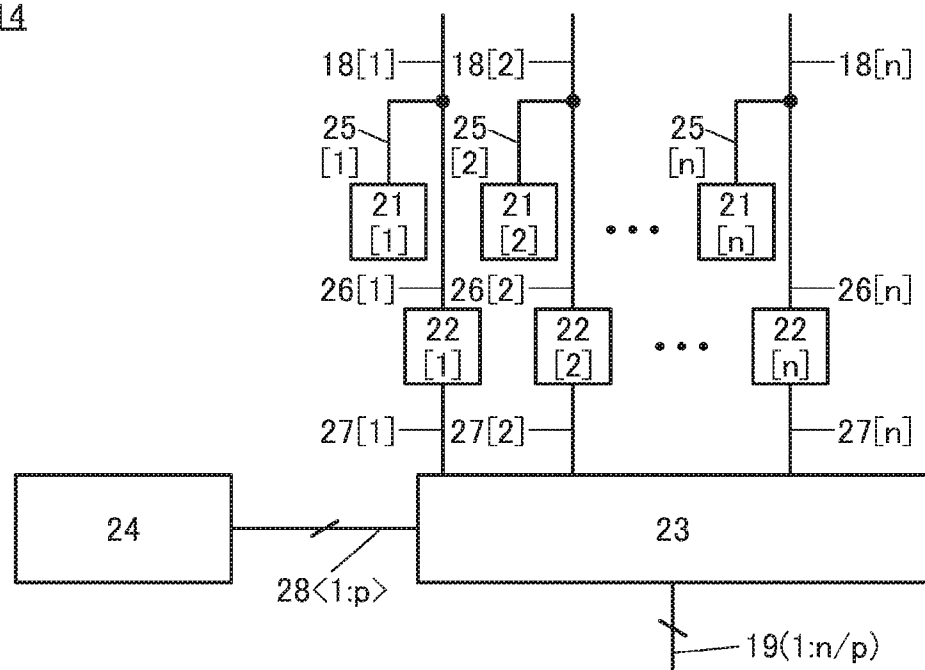


图2

2/25

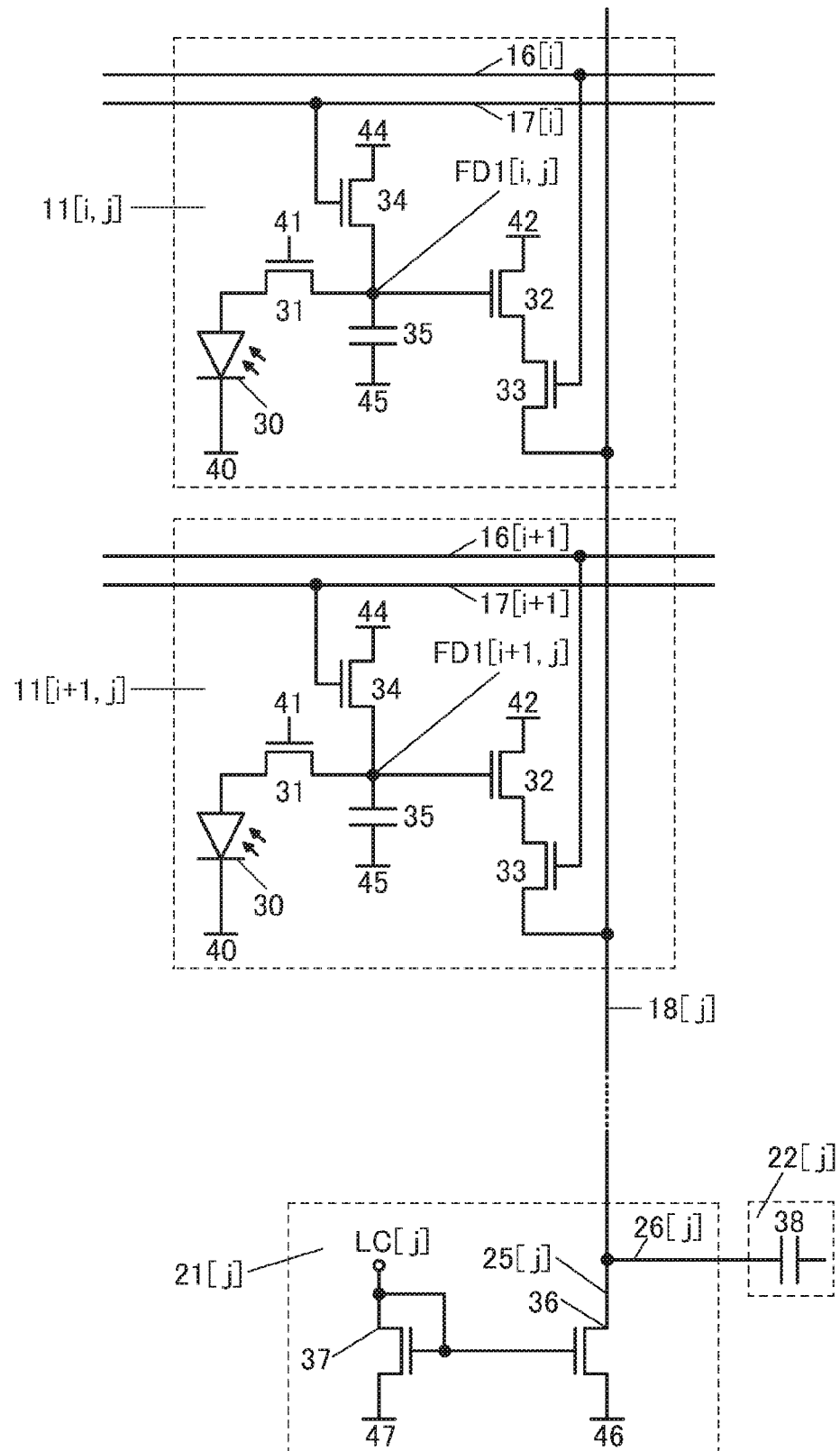


図3

3/25

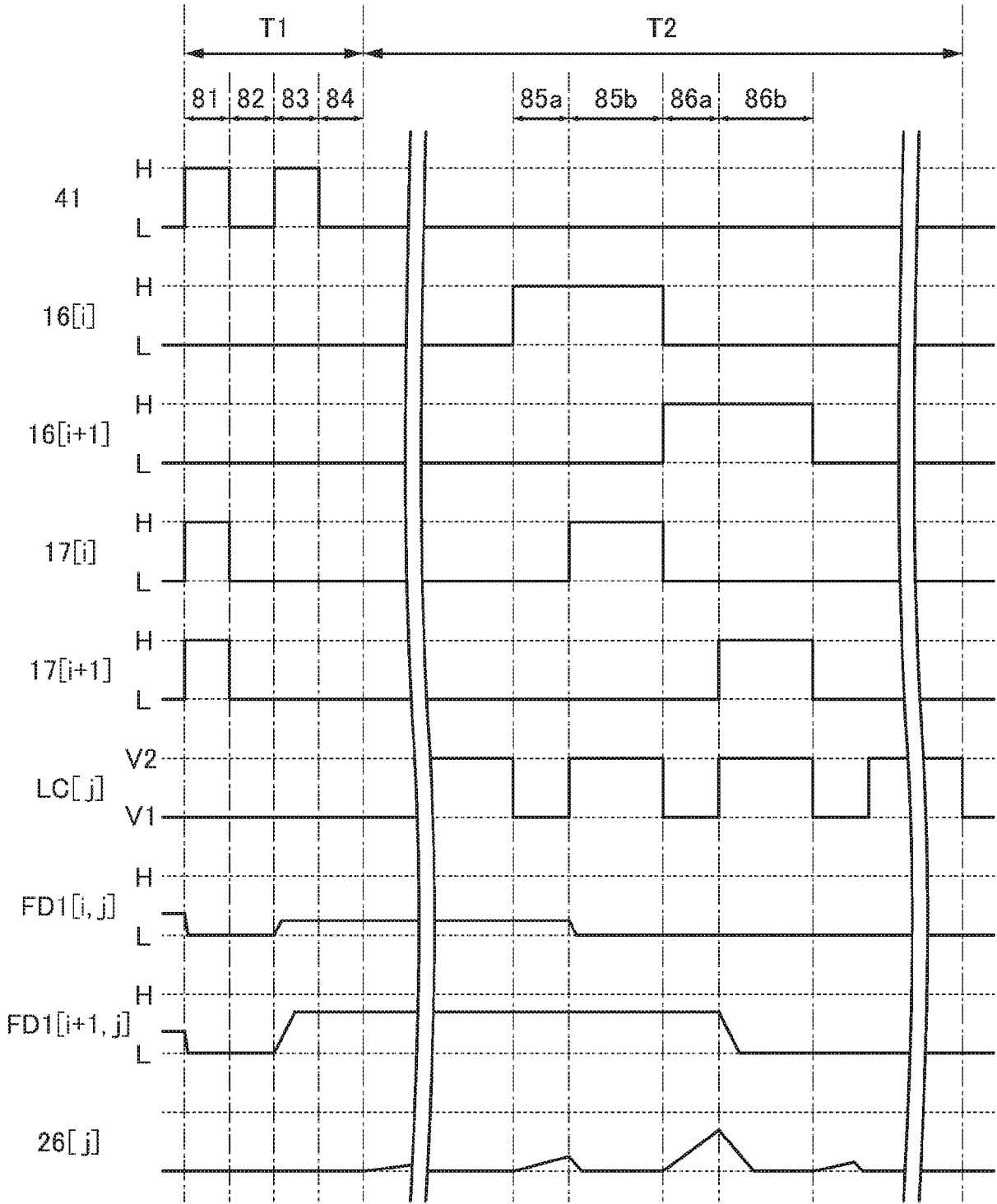


図4

4/25

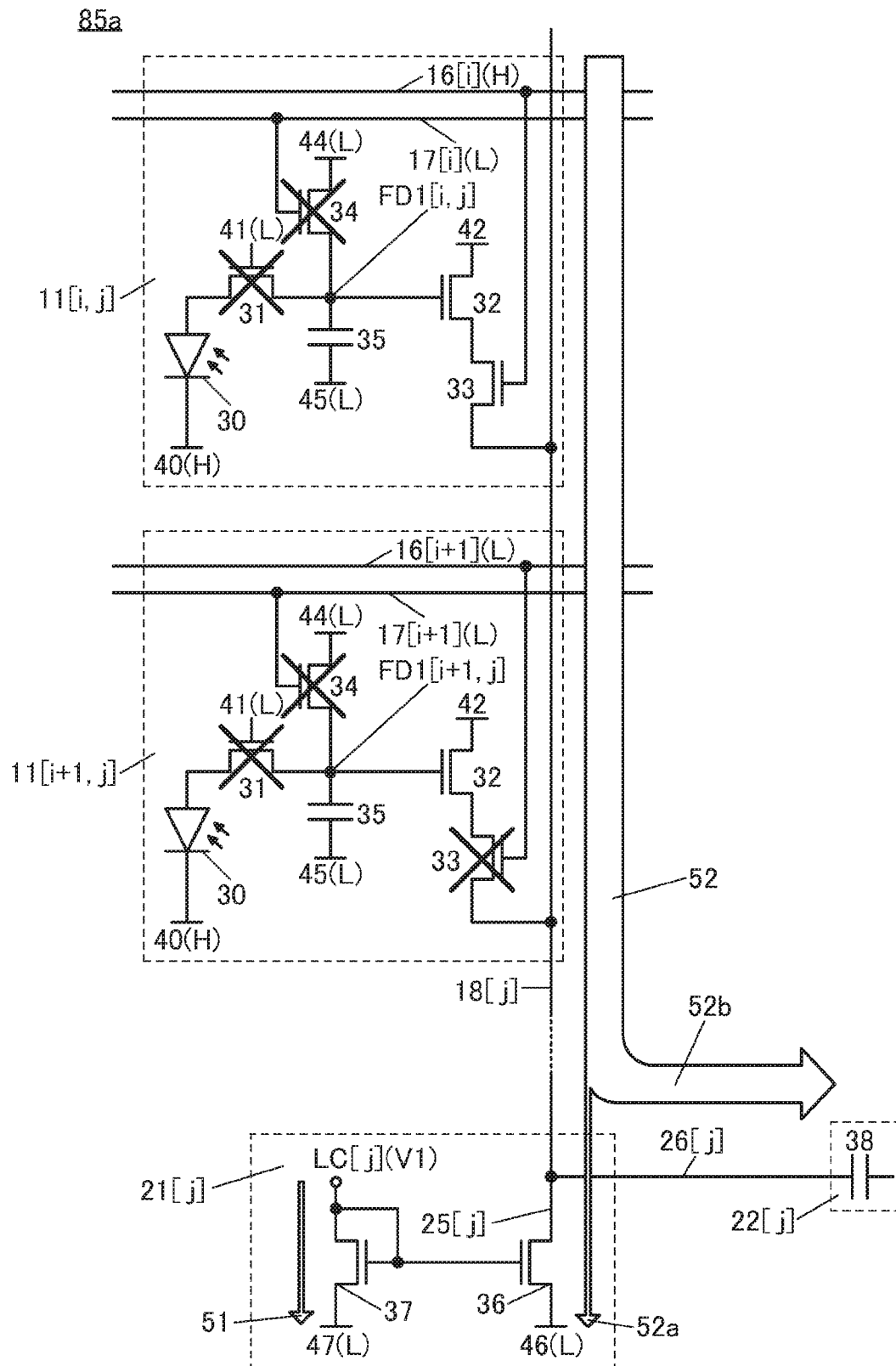
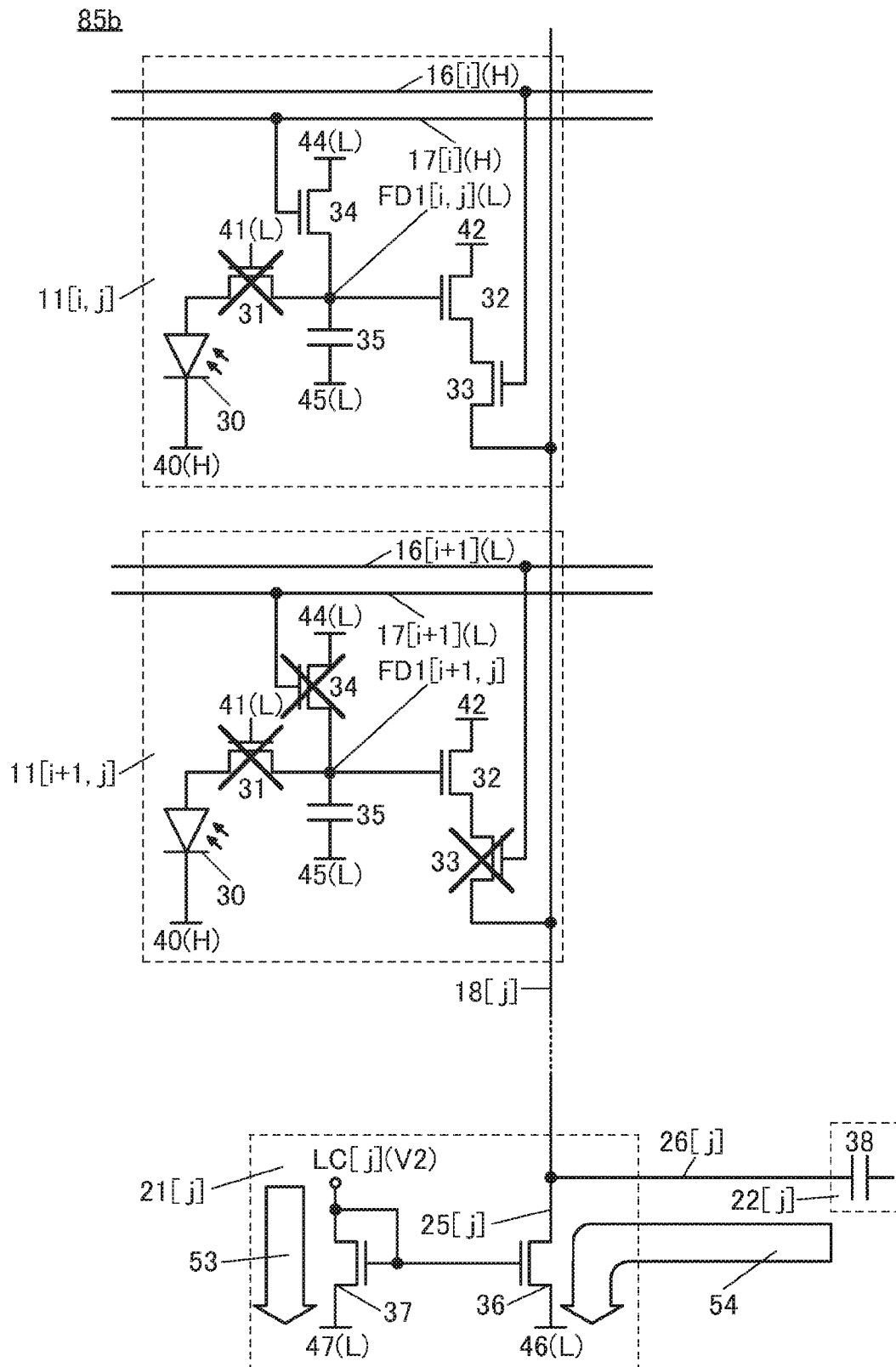


図5

5/25



6/25

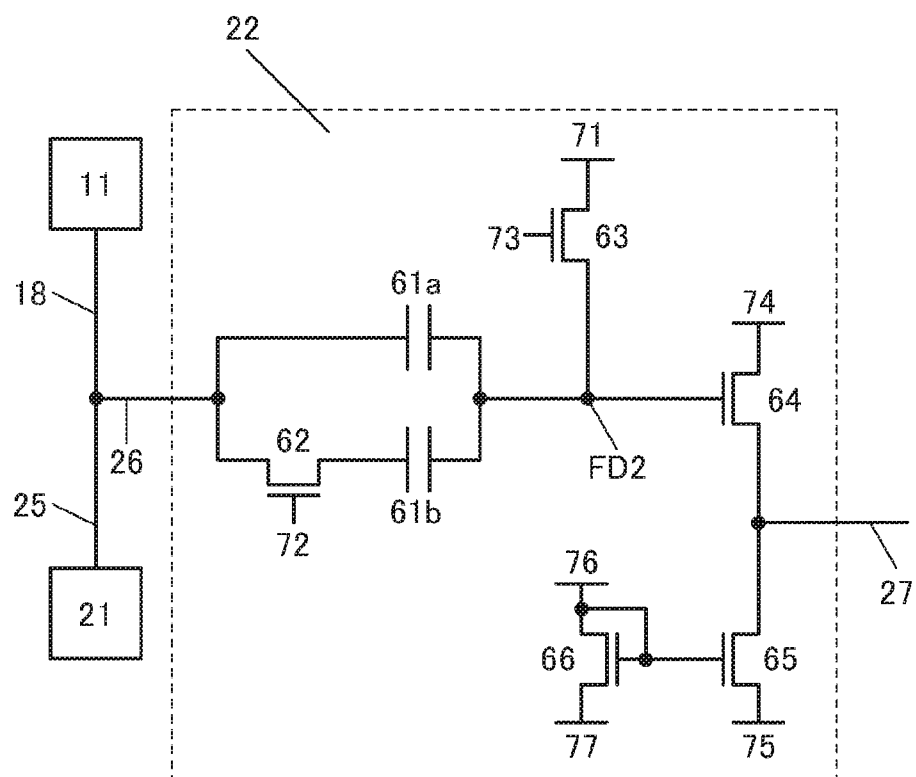
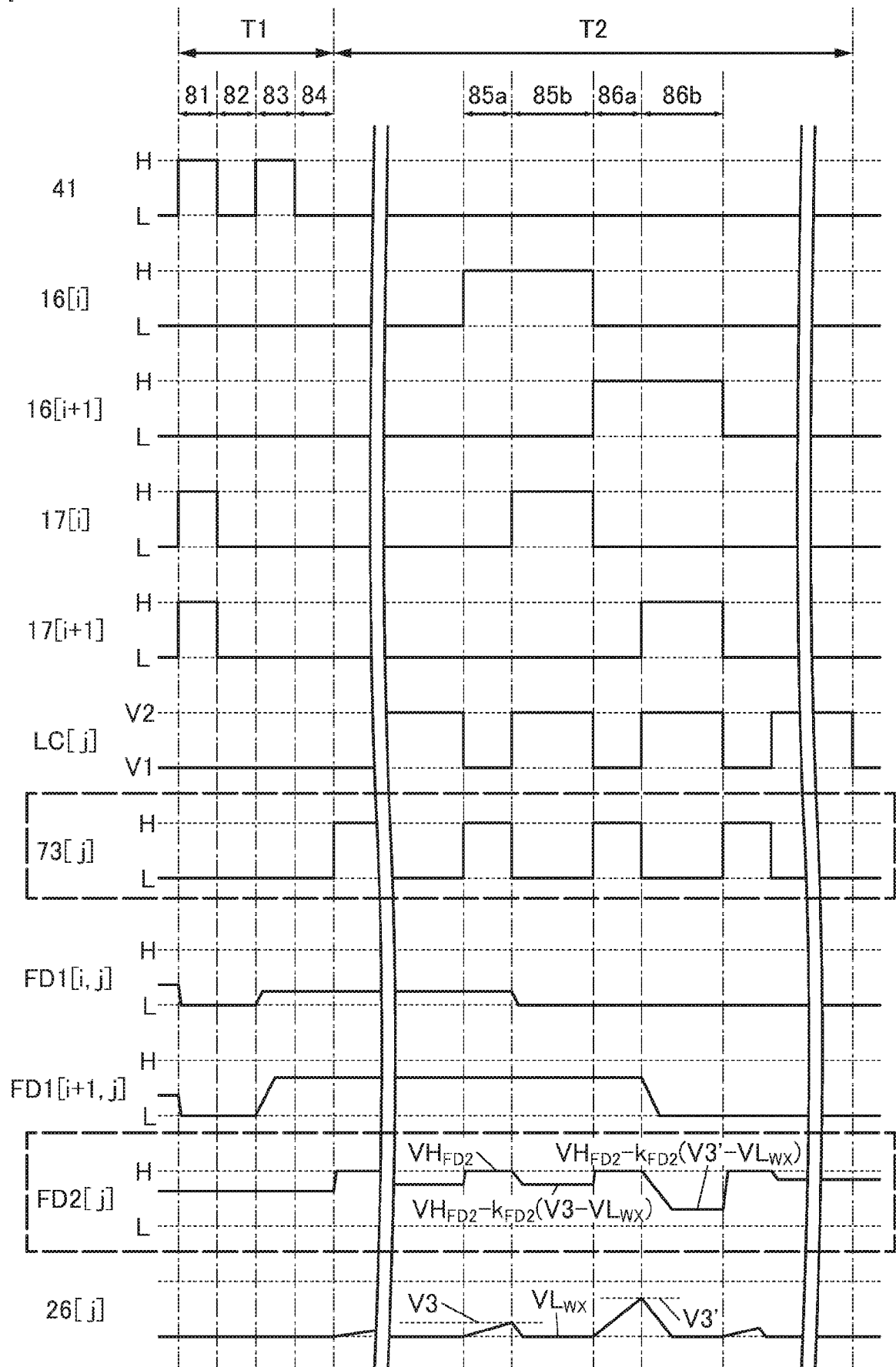


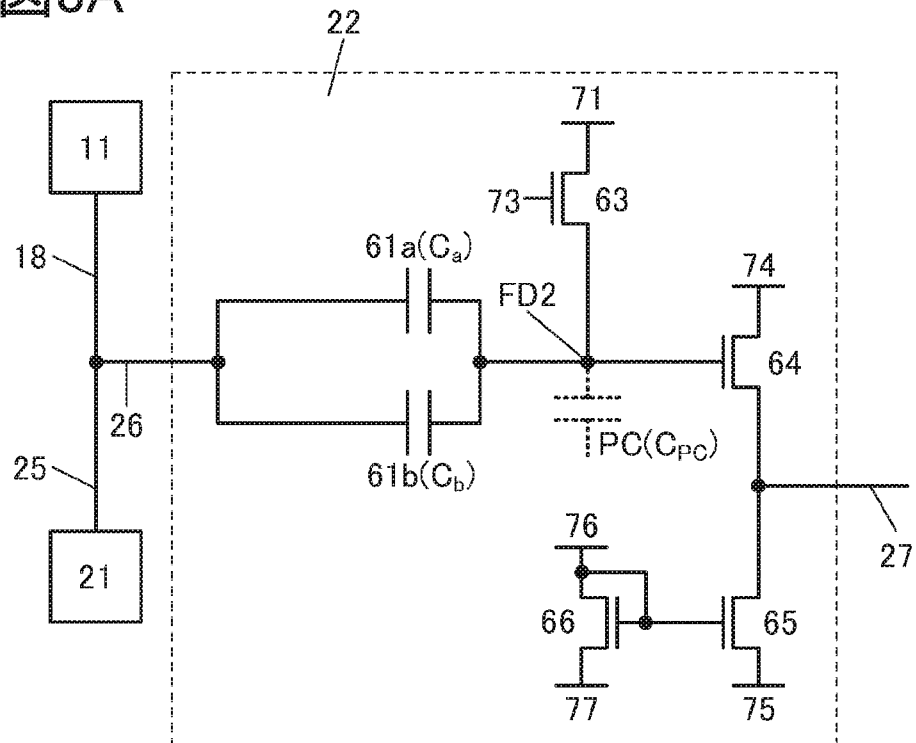
図 7

7/25



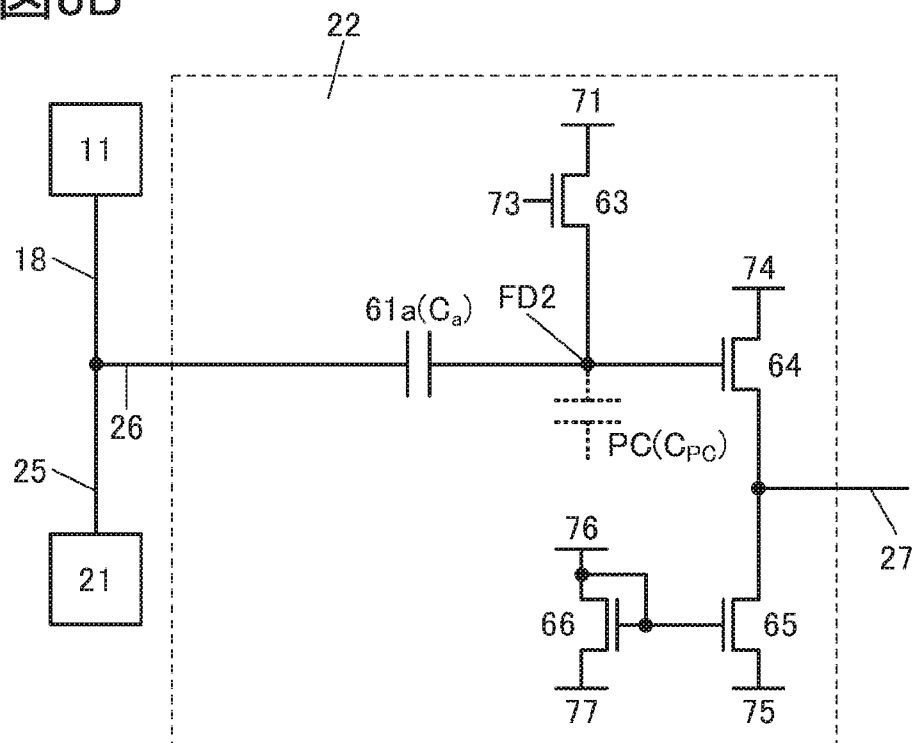
8/25

図8A



$$C_{FD2} = C_a + C_b + C_{PC} \quad k_{FD2} = (C_a + C_b) / (C_a + C_b + C_{PC})$$

図8B



$$C_{FD2} = C_a + C_{PC} \quad k_{FD2} = C_a / (C_a + C_{PC})$$

9/25

図9A
90

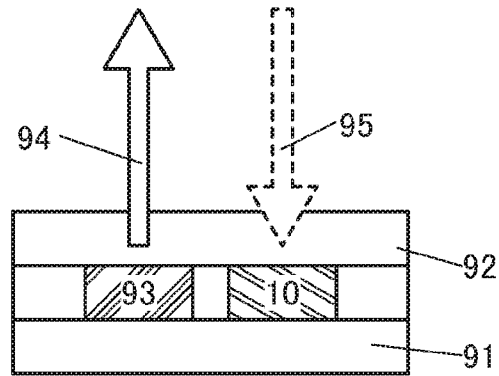


図9B1

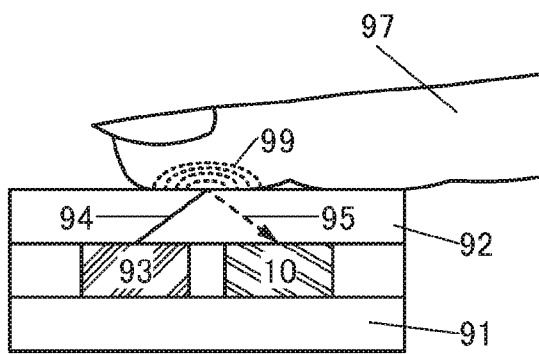
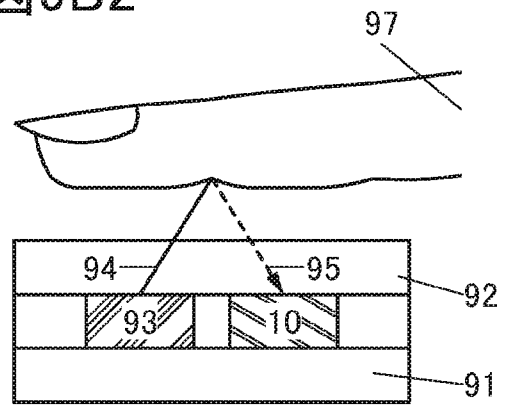
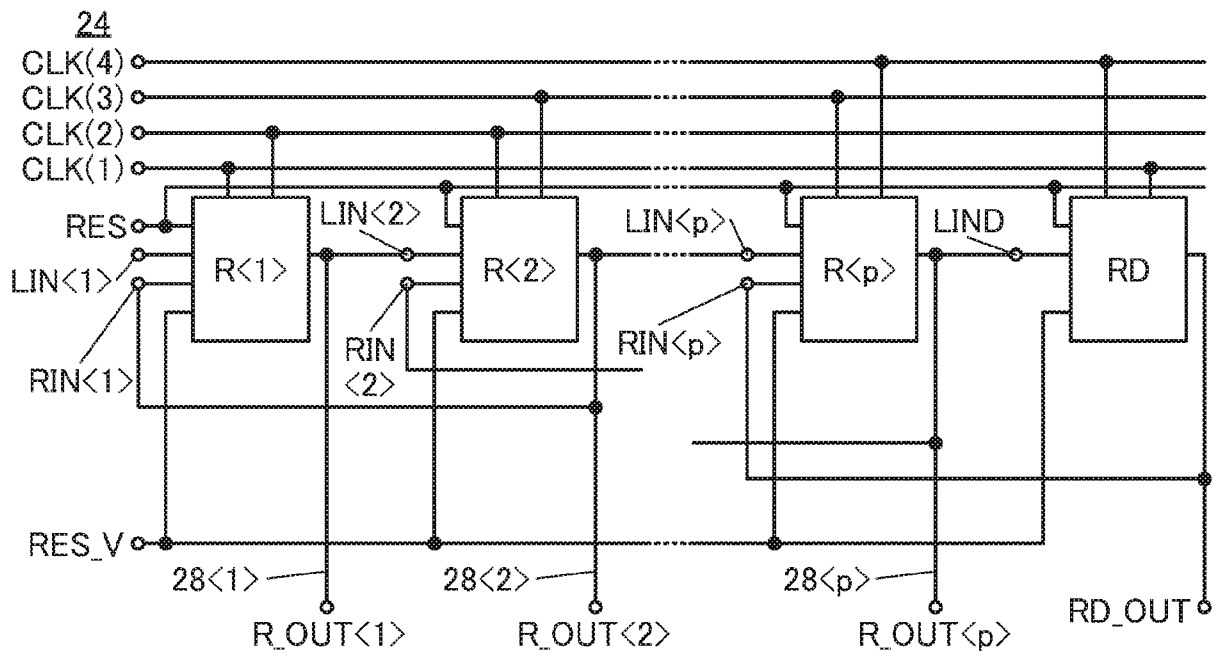


図9B2



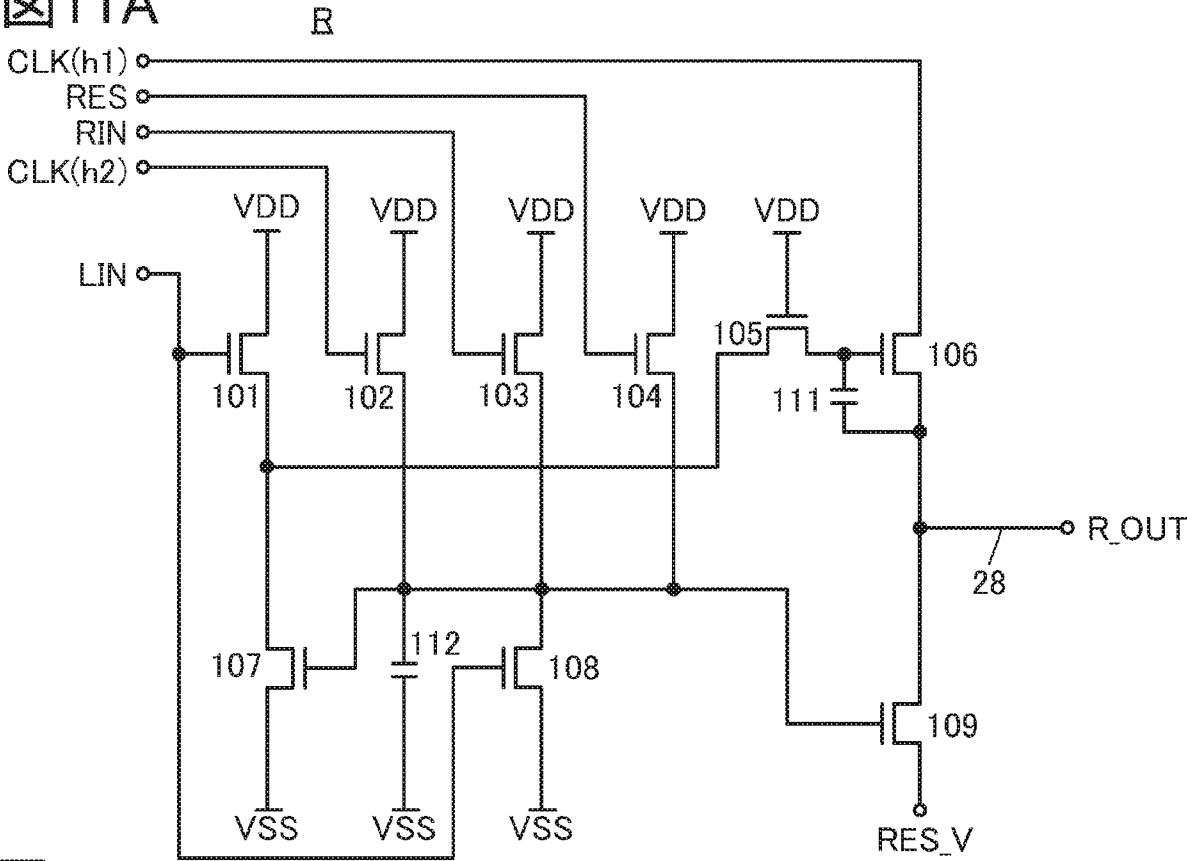
10

10/25

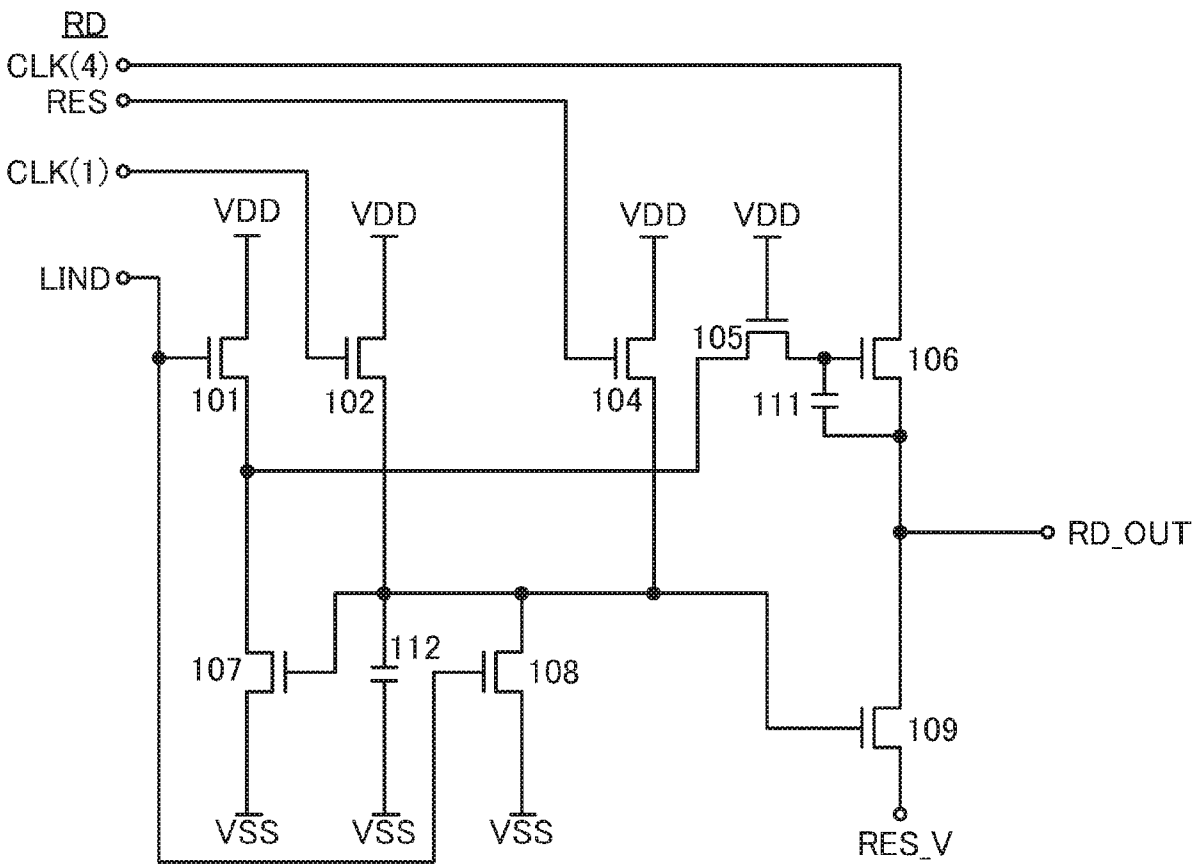


11/25

11A

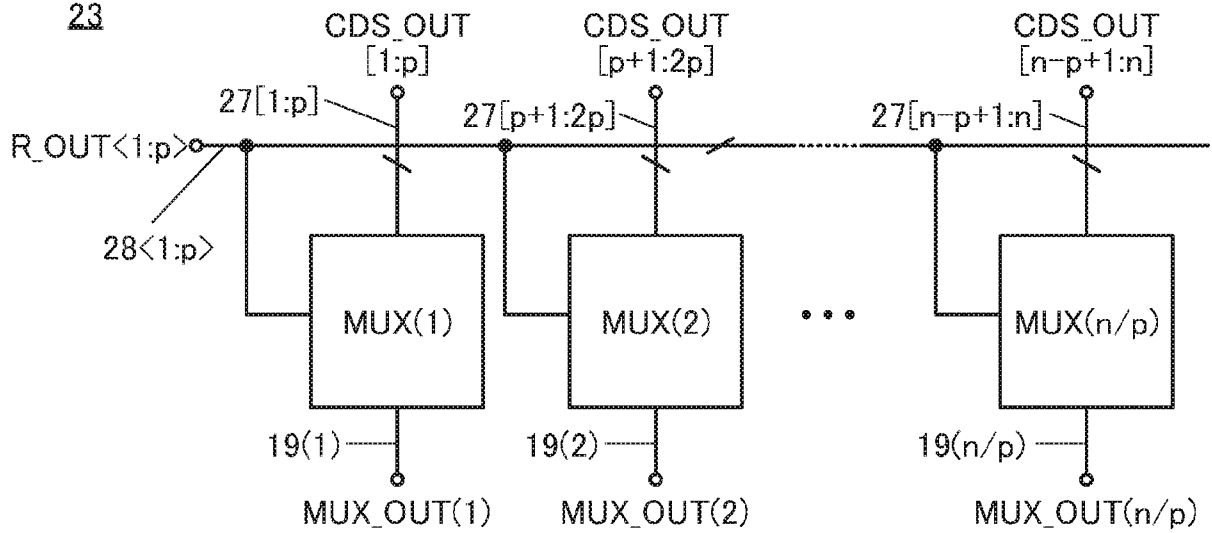


11B

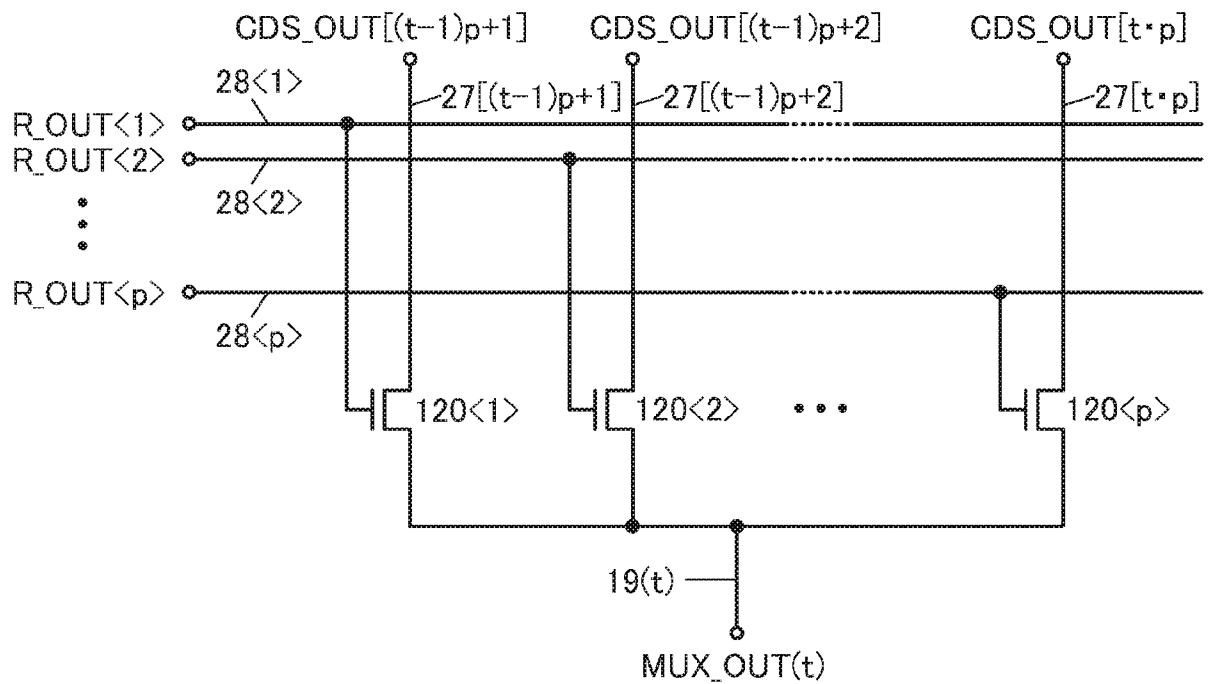


12/25

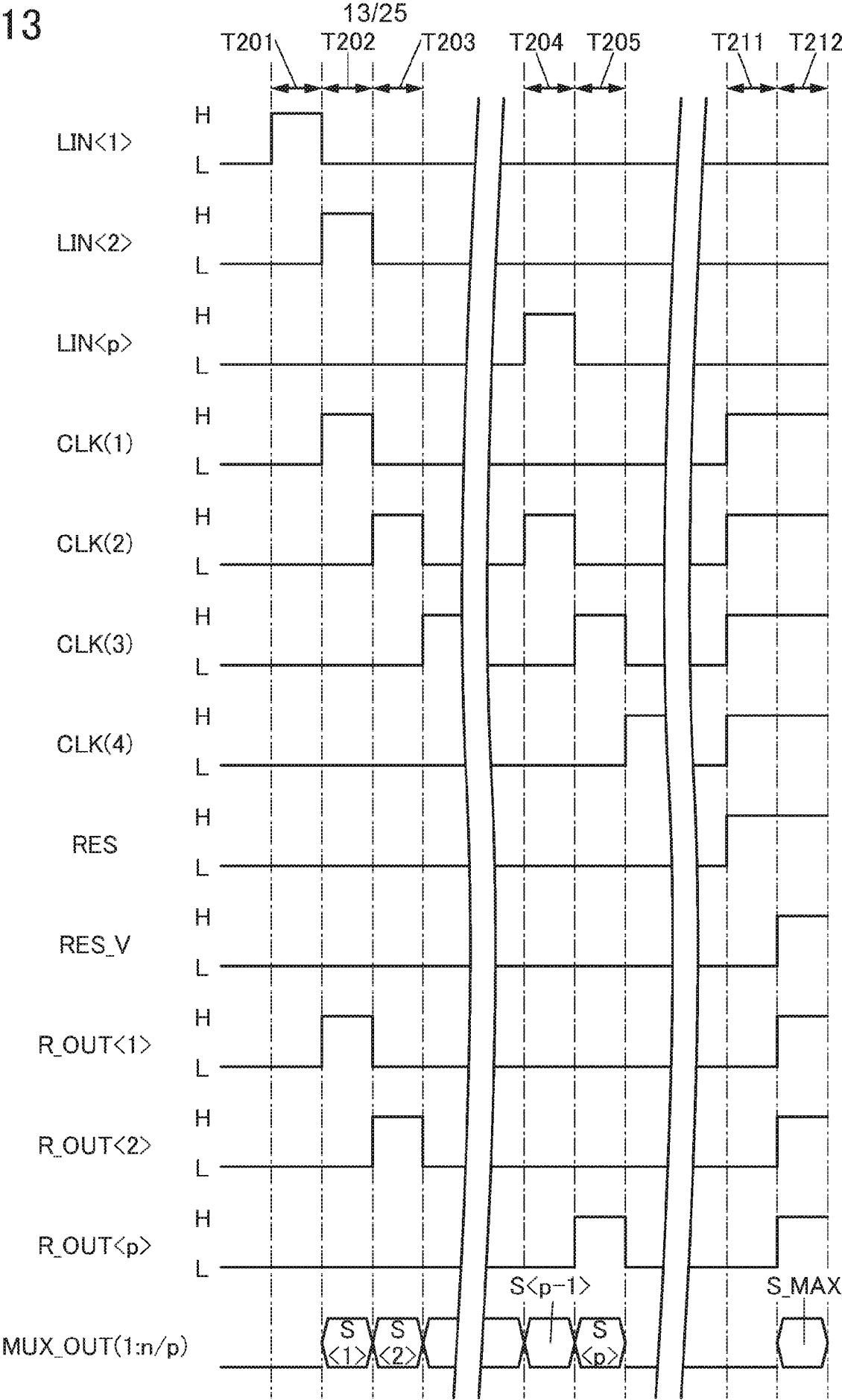
23



MUX(t)

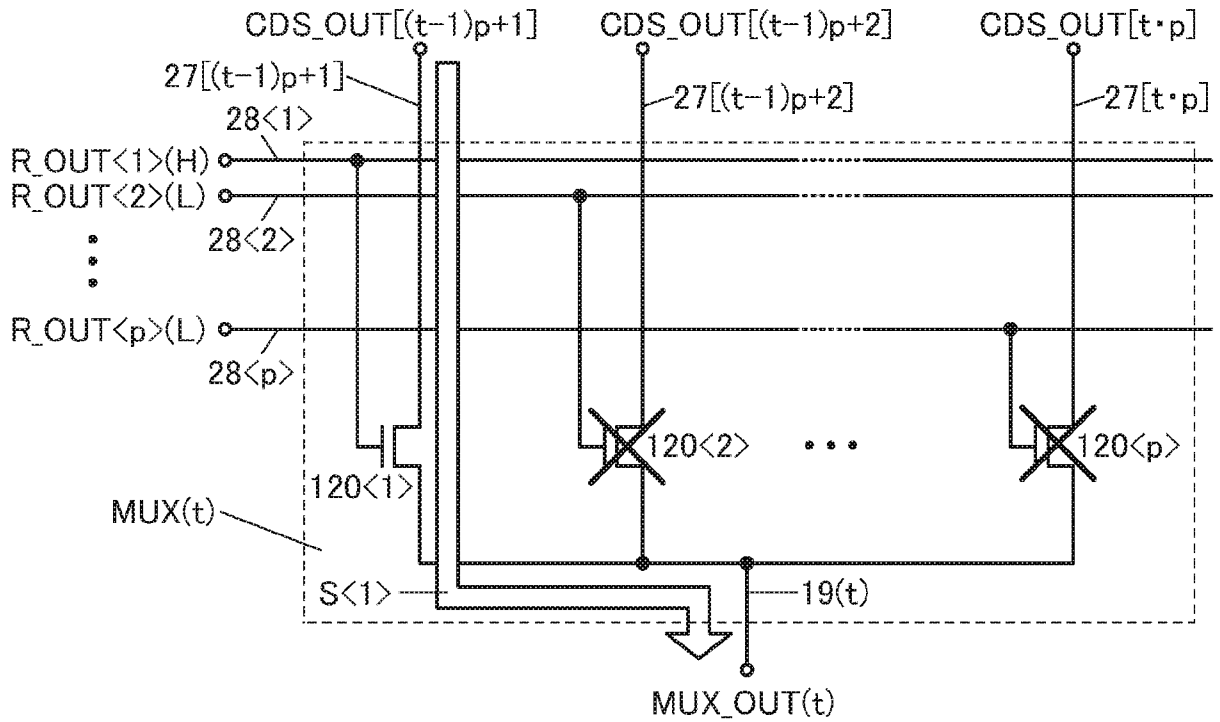


13
I2

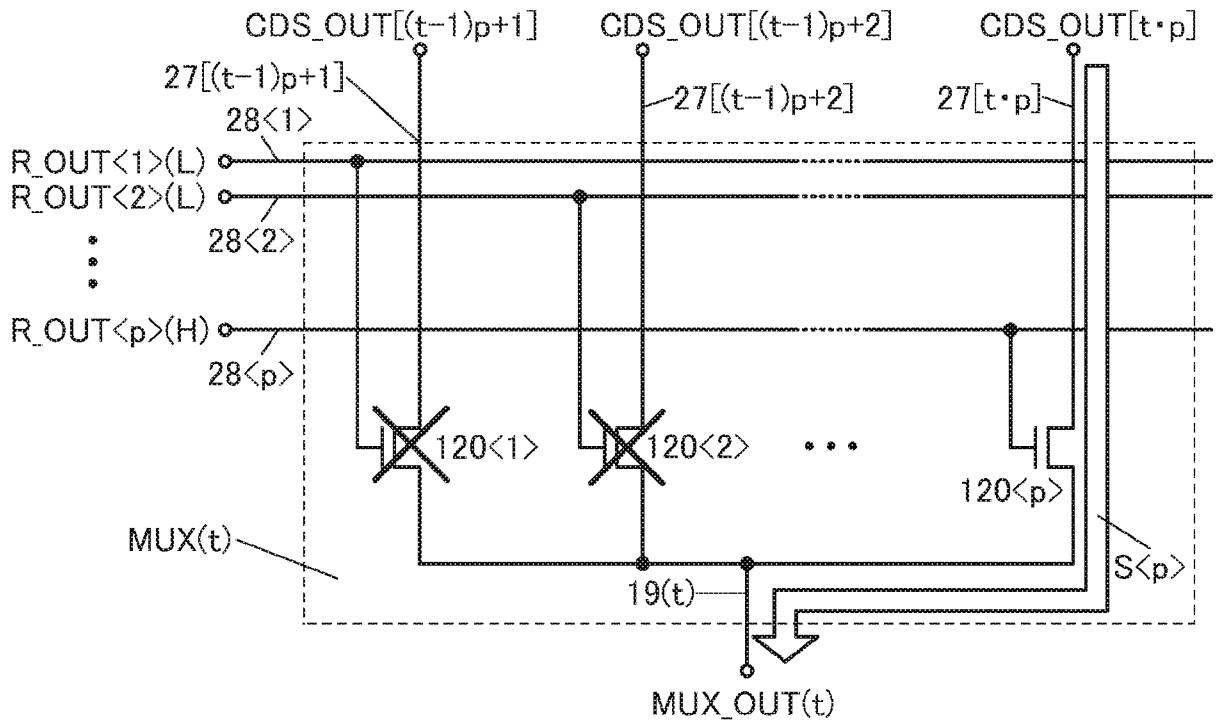


14/25

14A
I202

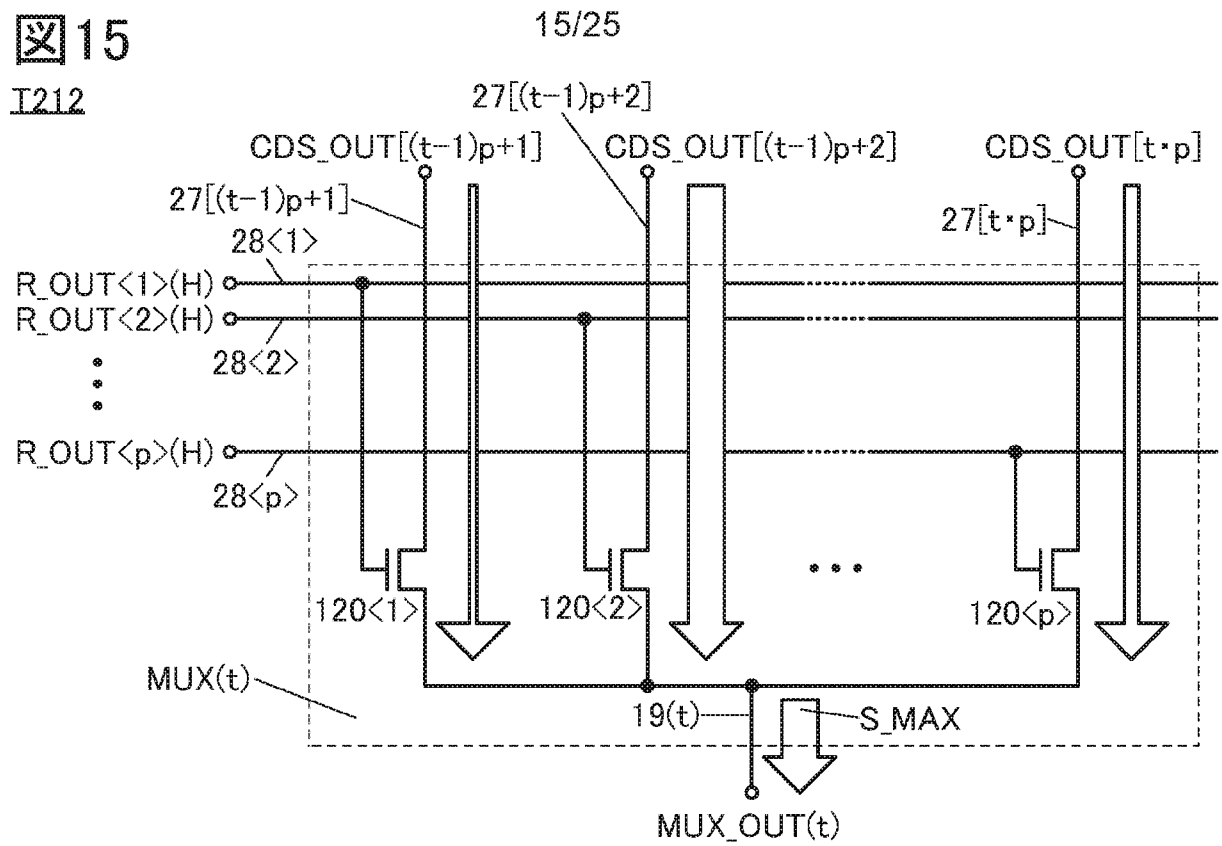


14B
I205



15

I212



16/25

図16A

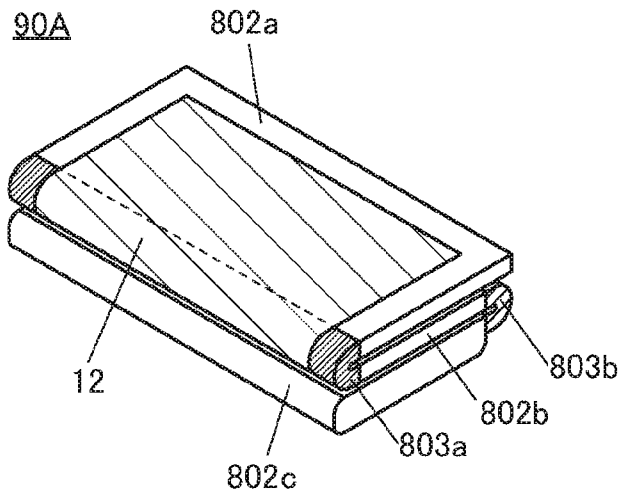
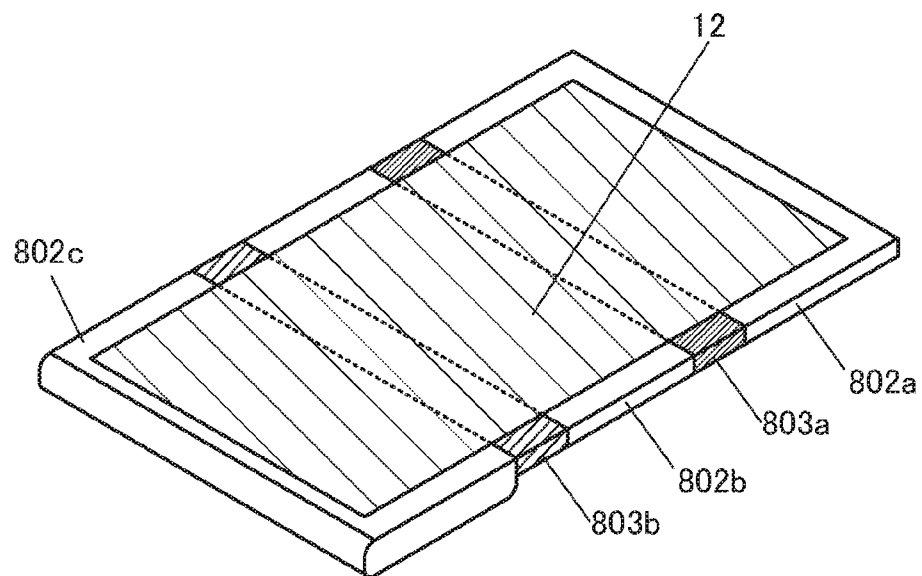


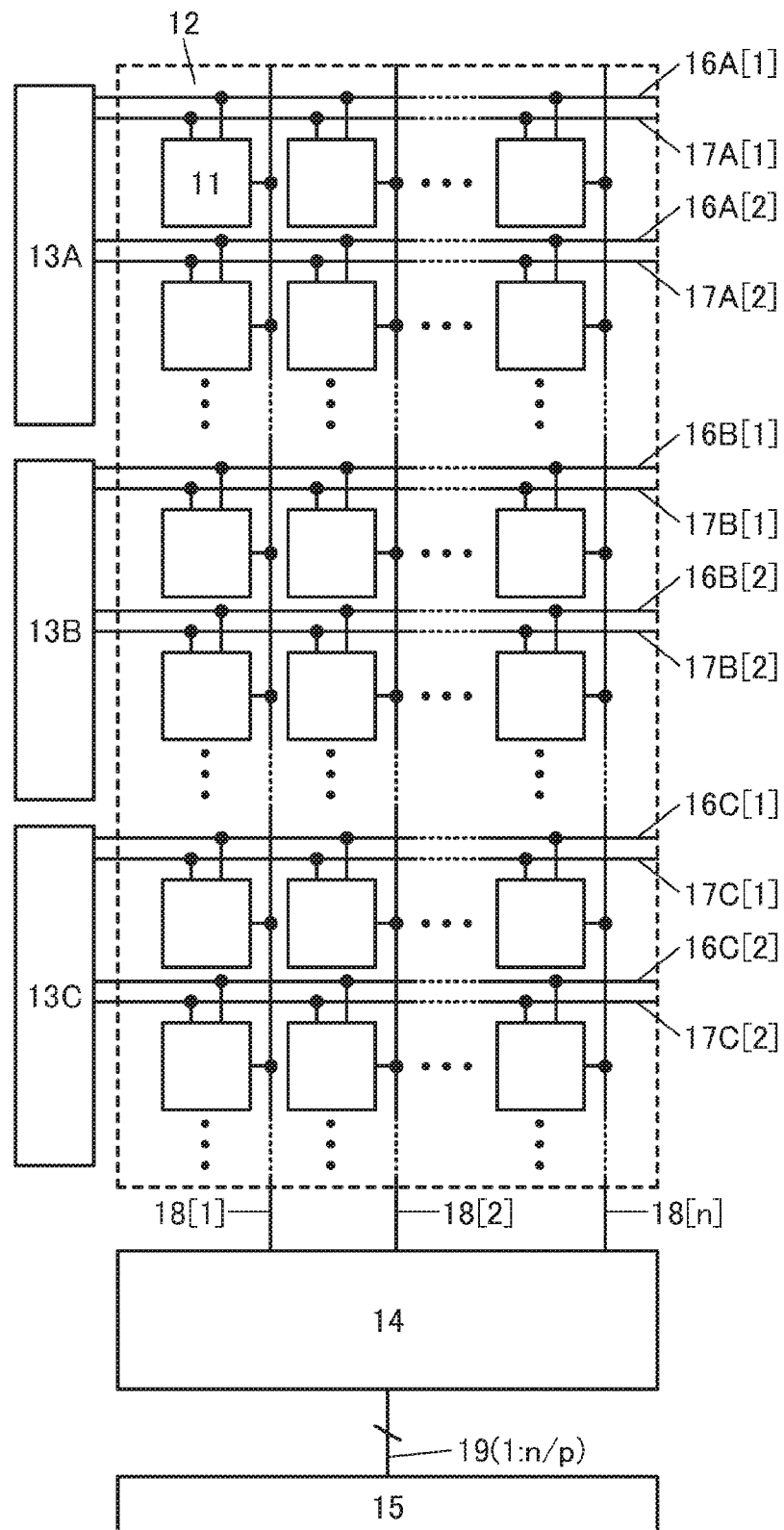
図16B

90A



10A

17/25



18/25

図18A

900A

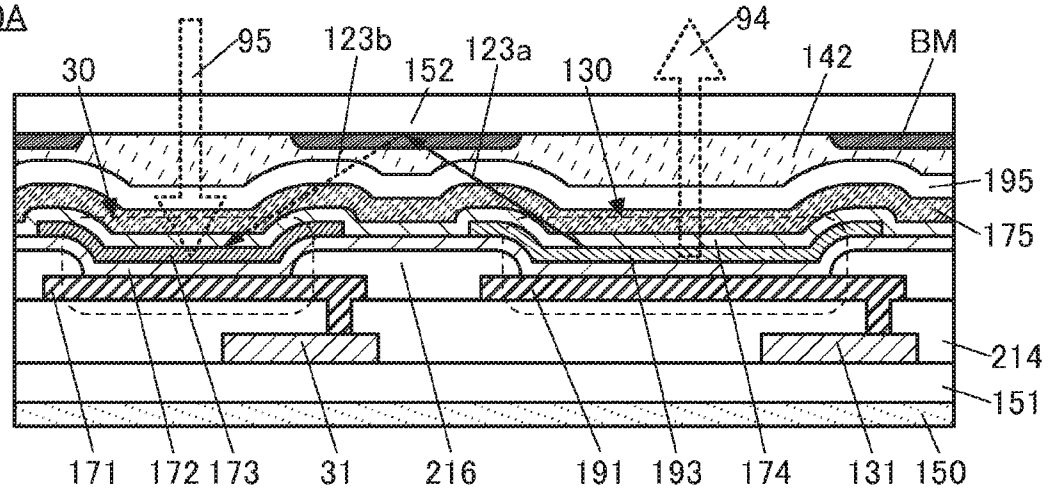


図18B

900B

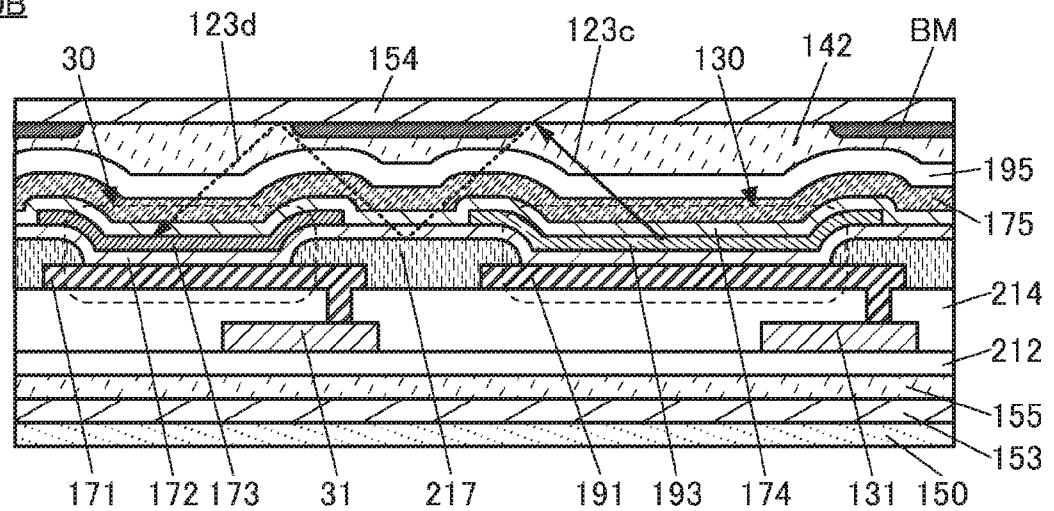
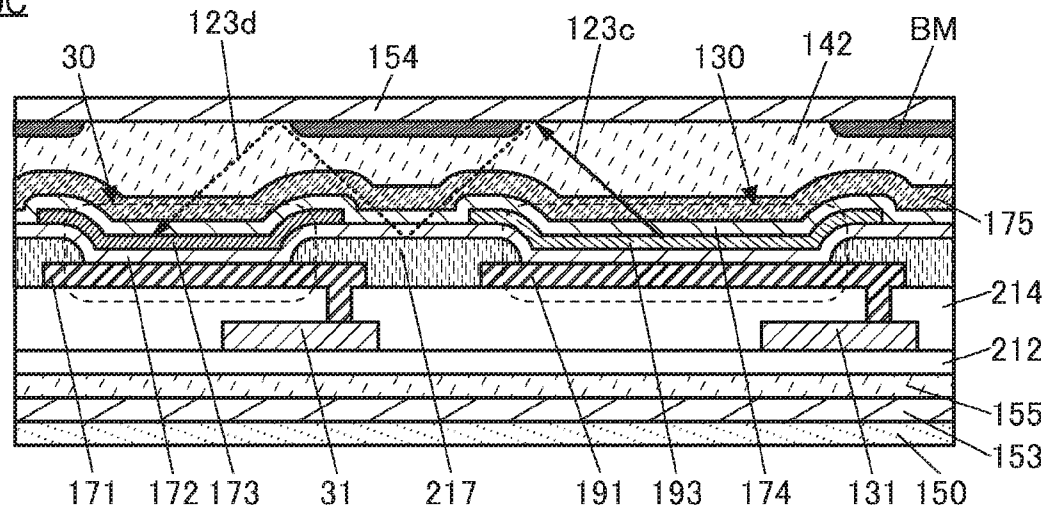


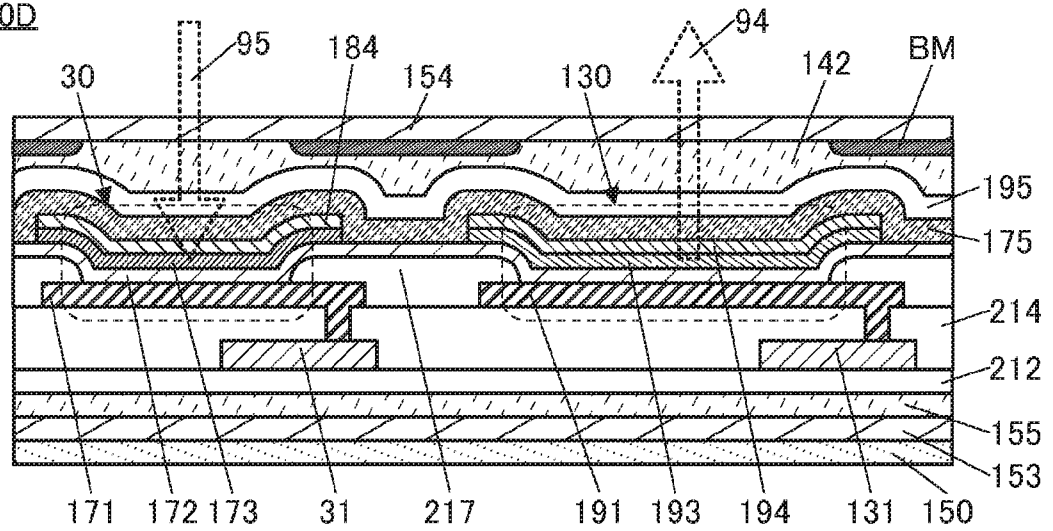
図18C

900C

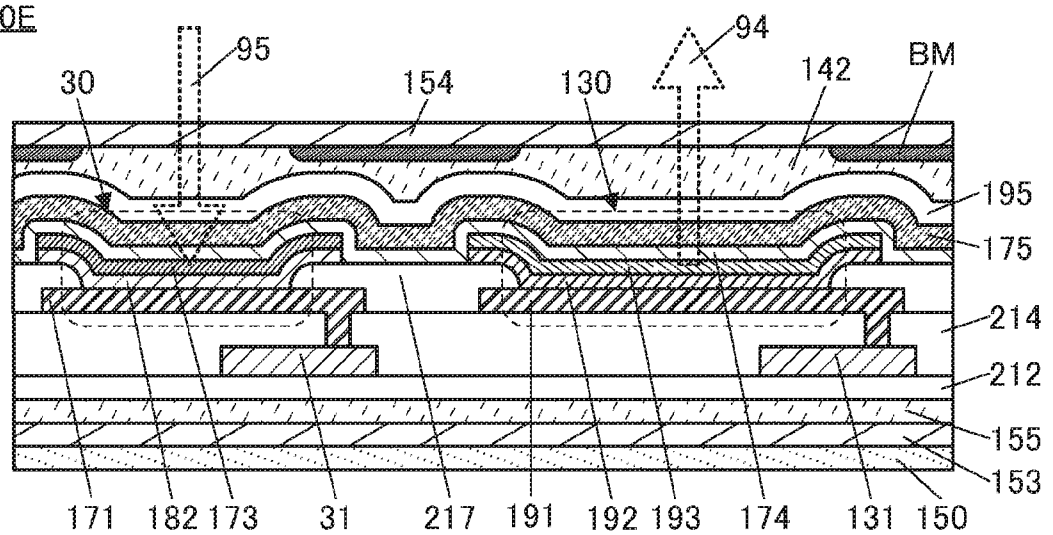


19/25

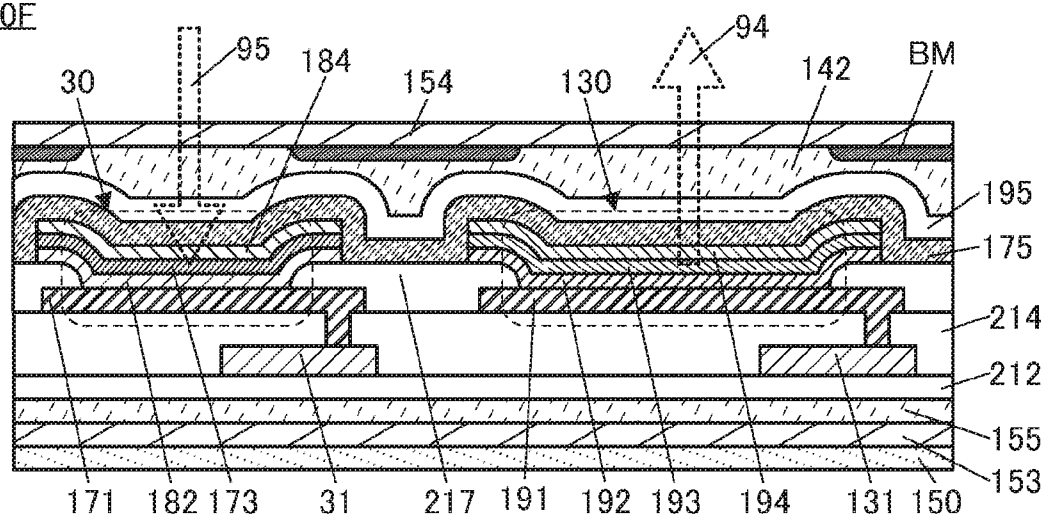
900D



900E

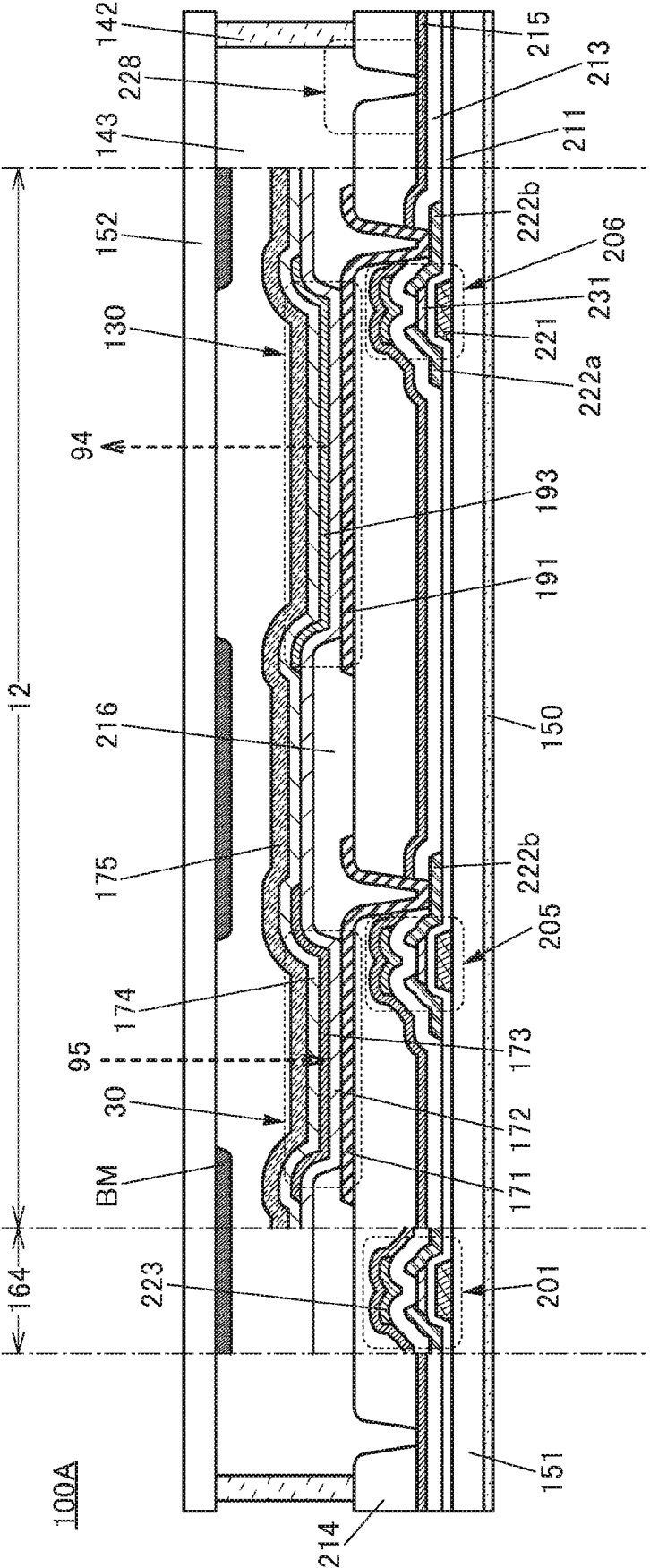


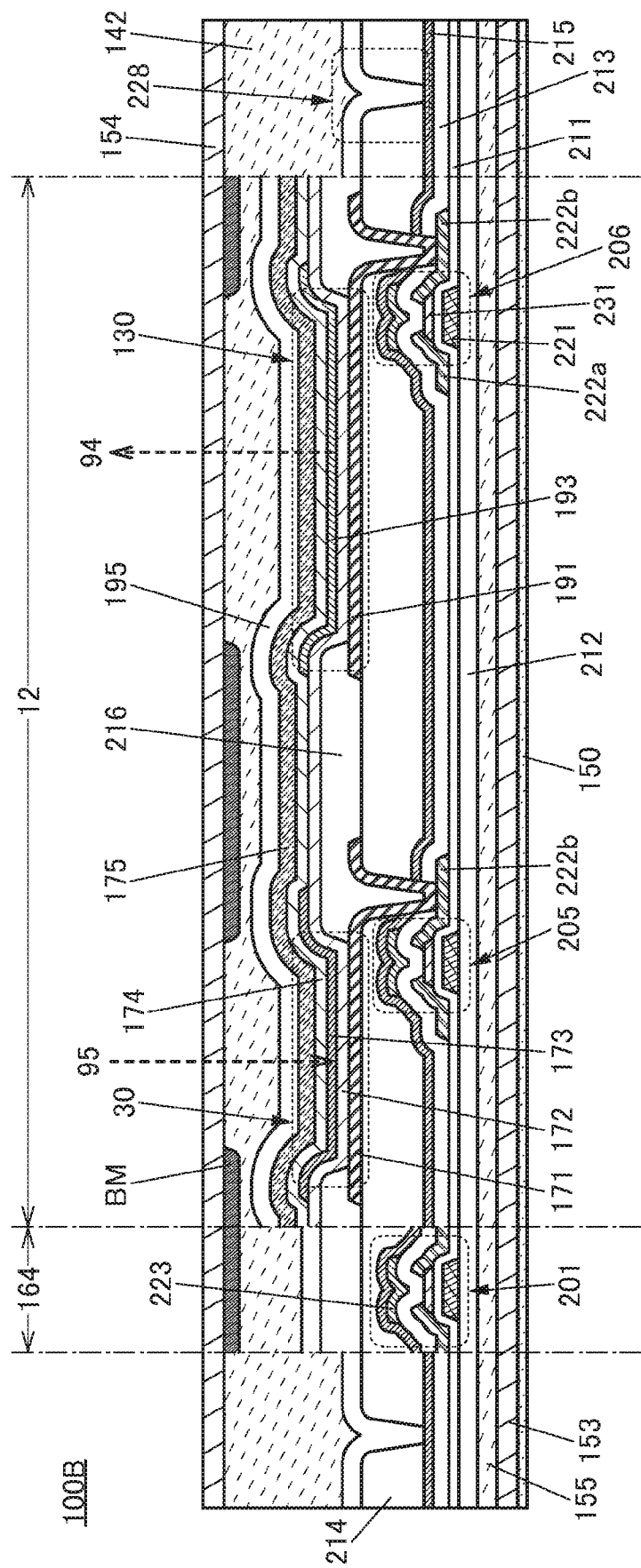
900F



20/25

20





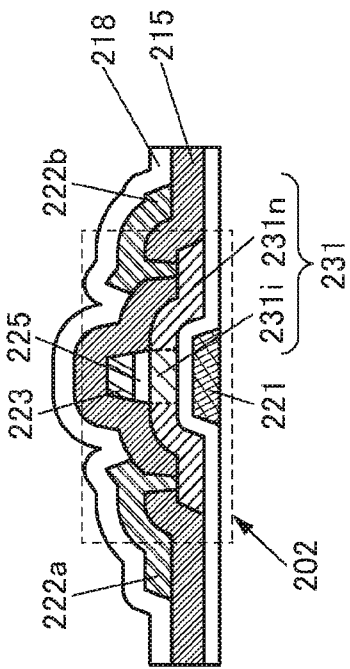
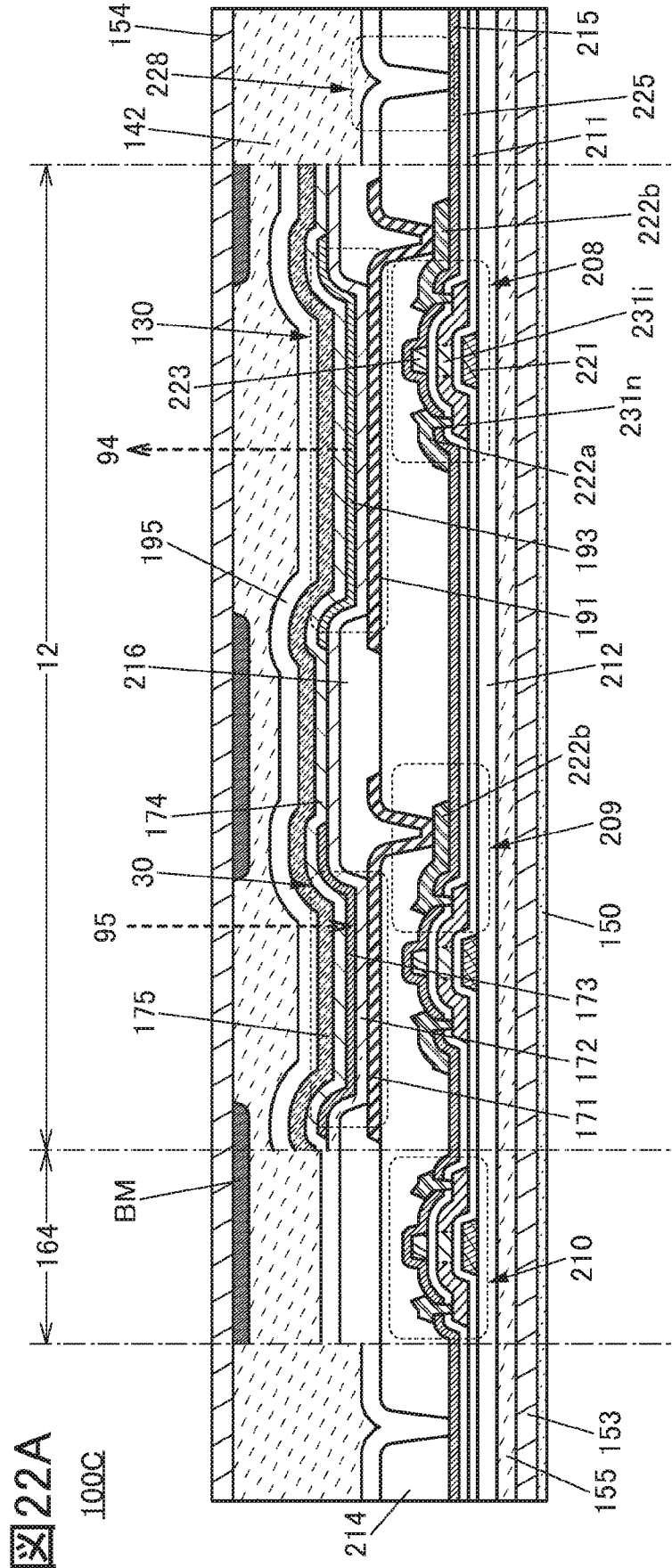


图 22B

23/25

図23A

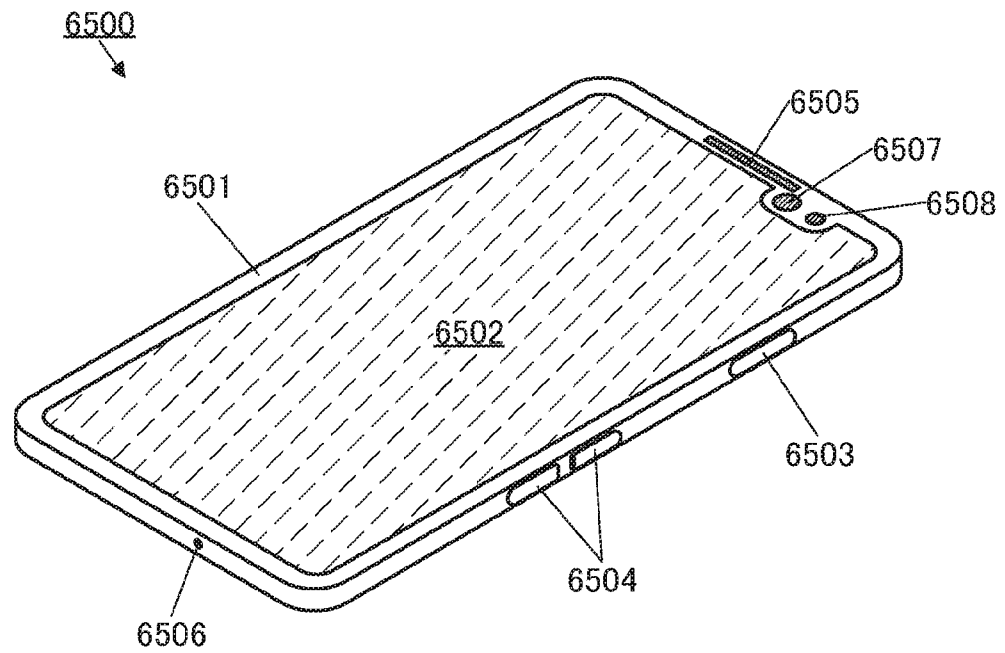
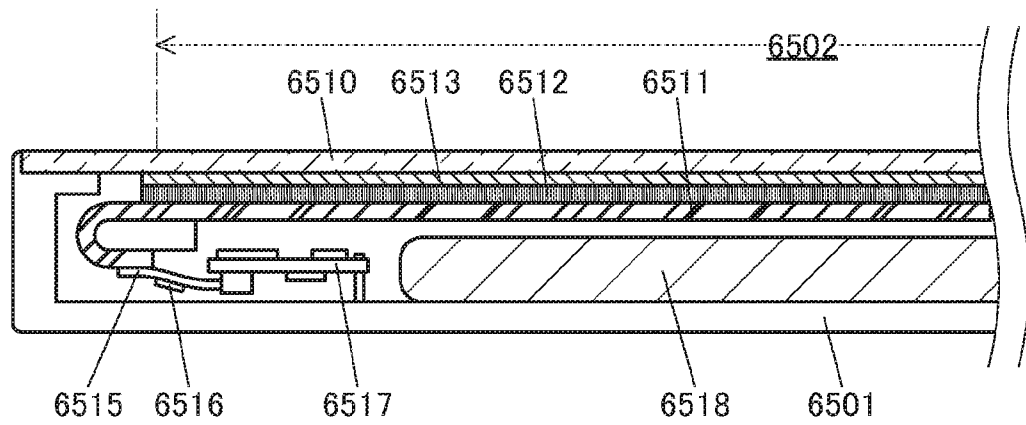


図23B



24/25

図24A

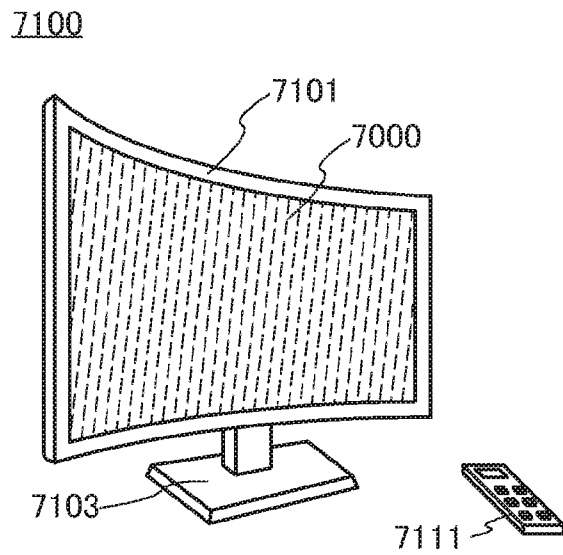


図24B

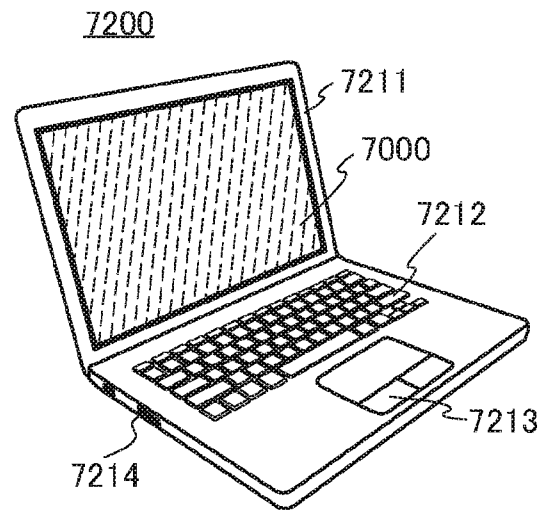


図24C

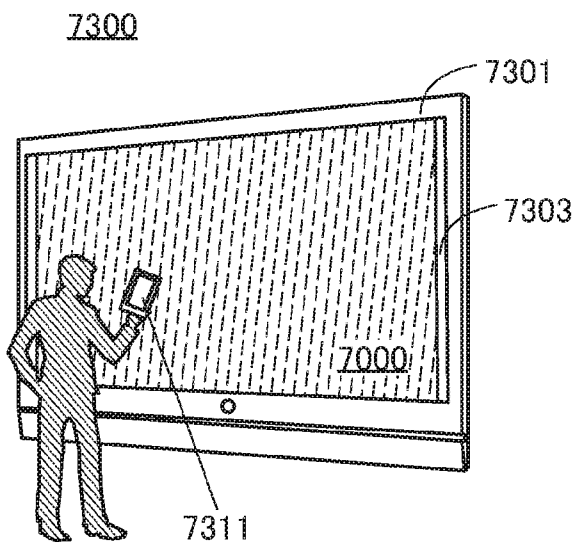
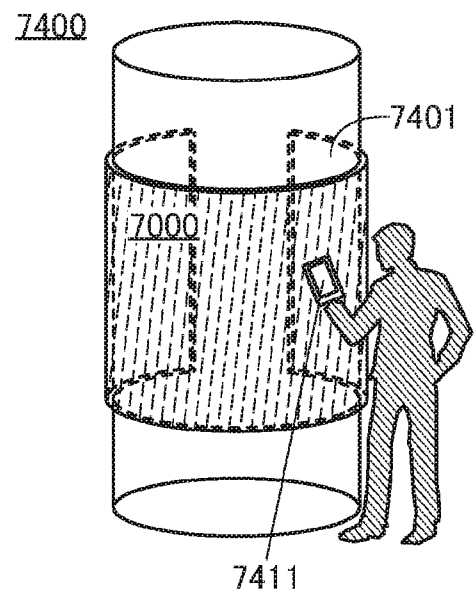


図24D



25/25

图 25A

9101

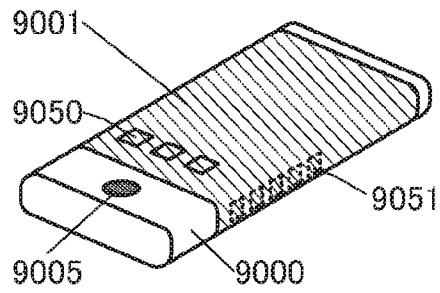


图 25C

9200

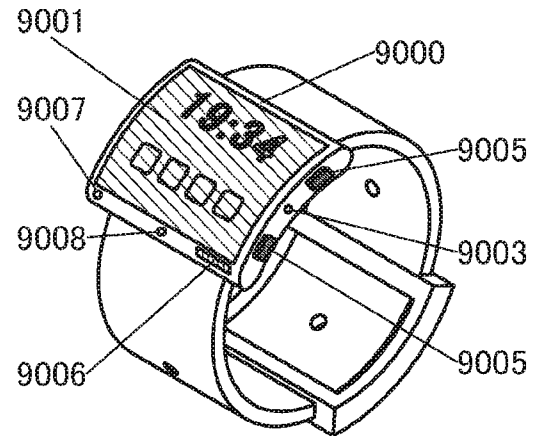


图 25B

9102

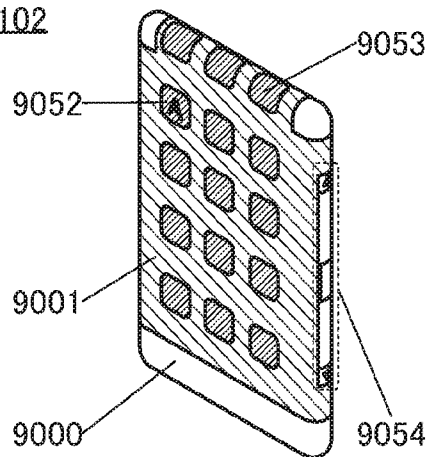


图 25D

9201

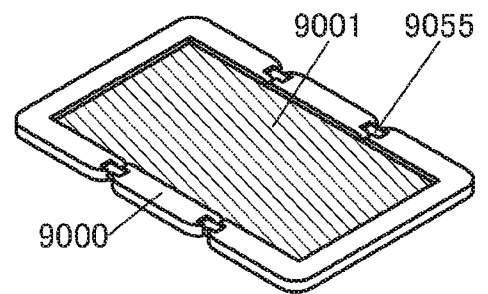


图 25E

9201

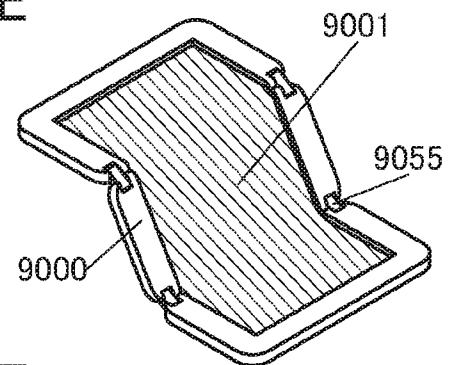
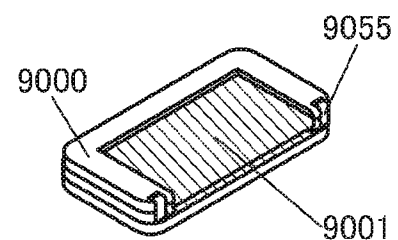


图 25F

9201



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/058145

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/378 (2011.01) i, H01L27/146 (2006.01) i, H01L29/786 (2006.01) i, H04N5/374 (2011.01) i

FI: H04N5/378, H04N5/374, H01L27/146C, H01L27/146E, H01L29/78613Z, H01L29/78618B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/378, H01L27/146, H01L29/786, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/012369 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 January 2019 (2019-01-17), paragraphs [0051], [0060], [0061], fig. 2	1-6
A	JP 2018-207488 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 27 December 2018 (2018-12-27), paragraphs [0053], [0055], fig. 1	1-6
A	JP 2018-182496 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 15 November 2018 (2018-11-15), paragraph [0116], fig. 8	1-6

☐	Further documents are listed in the continuation of Box C.	☒	See patent family annex.
--------------------------	--	-------------------------------------	--------------------------

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 November 2020	Date of mailing of the international search report 08 December 2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2020/058145

WO 2019/012369 A1	17 January 2019	CN 110832845 A paragraphs [0051], [0060], [0061], fig. 2 KR 10-2020-0028967 A
JP 2018-207488 A	27 December 2018	US 2018/0352179 A1 paragraphs [0101], [0103], fig. 1 CN 108989712 A
JP 2018-182496 A	15 November 2018	WO 2018/190127 A1 paragraph [0112], fig. 8 US 2020/0106975 A1 CN 110537366 A KR 10-2019-0132402 A

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/378(2011.01)i; H01L 27/146(2006.01)i; H01L 29/786(2006.01)i; H04N 5/374(2011.01)i FI: H04N5/378; H04N5/374; H01L27/146 C; H01L27/146 E; H01L29/78 613Z; H01L29/78 618B														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N5/378; H01L27/146; H01L29/786; H04N5/374 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2019/012369 A1（株式会社半導体エネルギー研究所）17.01.2019（2019 - 01 - 17） 段落 [0051] , [0060] , [0061] 、図2</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>JP 2018-207488 A（パナソニックIPマネジメント株式会社）27.12.2018（2018 - 12 - 27） 段落 [0053] , [0055] 、図1</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>JP 2018-182496 A（ソニーセミコンダクタソリューションズ株式会社）15.11.2018（2018 - 11 - 15） 段落 [0116] 、図8</td> <td>1-6</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2019/012369 A1（株式会社半導体エネルギー研究所）17.01.2019（2019 - 01 - 17） 段落 [0051] , [0060] , [0061] 、図2	1-6	A	JP 2018-207488 A（パナソニックIPマネジメント株式会社）27.12.2018（2018 - 12 - 27） 段落 [0053] , [0055] 、図1	1-6	A	JP 2018-182496 A（ソニーセミコンダクタソリューションズ株式会社）15.11.2018（2018 - 11 - 15） 段落 [0116] 、図8	1-6
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2019/012369 A1（株式会社半導体エネルギー研究所）17.01.2019（2019 - 01 - 17） 段落 [0051] , [0060] , [0061] 、図2	1-6												
A	JP 2018-207488 A（パナソニックIPマネジメント株式会社）27.12.2018（2018 - 12 - 27） 段落 [0053] , [0055] 、図1	1-6												
A	JP 2018-182496 A（ソニーセミコンダクタソリューションズ株式会社）15.11.2018（2018 - 11 - 15） 段落 [0116] 、図8	1-6												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日	国際調査報告の発送日													
17.11.2020	08.12.2020													
名称及びあて先	権限のある職員（特許庁審査官）													
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2020/058145

引用文献			公表日	パテントファミリー文献			公表日
WO	2019/012369	A1	17.01.2019	CN	110832845	A	
				段落 [0051] , [0060] , [0061] 、図2			
				KR	10-2020-0028967	A	
JP	2018-207488	A	27.12.2018	US	2018/0352179	A1	
				段落 [0101] , [0103] 、図1			
				CN	108989712	A	
JP	2018-182496	A	15.11.2018	WO	2018/190127	A1	
				段落 [0112] 、図8			
				US	2020/0106975	A1	
				CN	110537366	A	
				KR	10-2019-0132402	A	