

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 3 月 6 日 (06.03.2014)



(10) 国际公布号
WO 2014/032610 A1

- (51) 国际专利分类号:
G06F 11/16 (2006.01)
- (21) 国际申请号: PCT/CN2013/082643
- (22) 国际申请日: 2013 年 8 月 30 日 (30.08.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210319577.X 2012 年 9 月 3 日 (03.09.2012) CN
201210574735.6 2012 年 12 月 26 日 (26.12.2012) CN
- (71) 申请人: 东南大学 (SOUTHEAST UNIVERSITY) [CN/CN]; 中国江苏省南京市玄武区四牌楼 2 号, Jiangsu 210096 (CN)。
- (72) 发明人: 单伟伟 (SHAN, Weiwei); 中国江苏省南京市玄武区四牌楼 2 号, Jiangsu 210096 (CN)。 田朝轩 (TIAN, Chaoxuan); 中国江苏省南京市玄武区四牌楼 2 号, Jiangsu 210096 (CN)。 朱肖 (ZHU, Xiao); 中国江苏省南京市玄武区四牌楼 2 号, Jiangsu 210096 (CN)。 郭银涛 (GUO, Yintao); 中国江苏省南京市玄武区四牌楼 2 号, Jiangsu 210096 (CN)。 茅锦亮

(MAO, Jinliang); 中国江苏省南京市玄武区四牌楼 2 号, Jiangsu 210096 (CN)。 金海坤 (JIN, Haikun); 中国江苏省南京市玄武区四牌楼 2 号, Jiangsu 210096 (CN)。 孙华芳 (SUN, Huafang); 中国江苏省南京市玄武区四牌楼 2 号, Jiangsu 210096 (CN)。

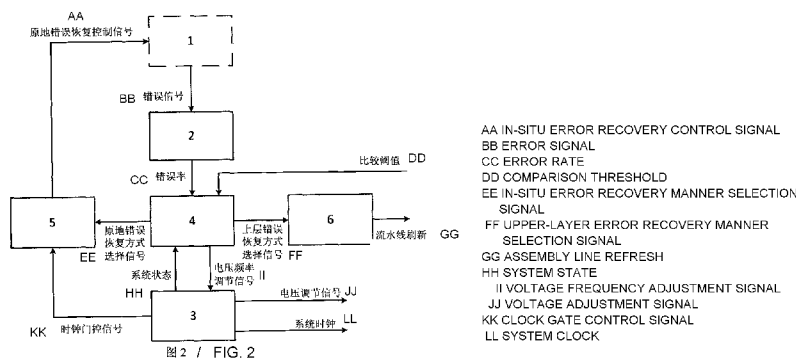
(74) 代理人: 南京瑞弘专利商标事务所 (普通合伙) (NANJING RUIHONG PATENT AND TRADEMARK OFFICE (GENERAL PARTNERSHIP)); 中国江苏省南京市玄武区太平门街 1 号 304 室, Jiangsu 210016 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: ERROR RECOVERY CIRCUIT FACING CPU ASSEMBLY LINE

(54) 发明名称: 一种面向 CPU 流水线的错误恢复电路



(57) Abstract: Disclosed is an error recovery circuit facing a CPU assembly line, comprising: on-chip monitoring circuits (1), an error signal statistics module (2), a voltage frequency control module (3), an error recovery control module (4), an in-situ error recovery module (5) and an upper-layer error recovery module (6), wherein each of the on-chip monitoring circuits (1) is integrated at the end of each stage of assembly lines of the previous N-1 stages of assembly lines of a CPU kernel with an N-stage assembly line structure, so as to monitor the time sequence information about each clock period of an operating circuit, wherein N is a positive integer which is greater than or equal to 3 and less than 20. The present invention provides the on-line time sequence monitoring on the CPU kernel with N stages of assembly lines to search for the lowest possible operating voltage of the circuit, and to reduce the margin of the operating voltage reserved for the circuit in the design stage, thereby significantly reducing the power consumption of the circuit and improving the energy efficiency of the circuit.

(57) 摘要: 本发明公开一种面向 CPU 流水线的错误恢复电路, 包括片上监测电路 (1)、错误信号统计模块 (2)、电压频率控制模块 (3)、错误恢复控制模块 (4)、原地错误恢复模块 (5) 和上层错误恢复模块 (6), 所述片上监测电路 (1) 集成在具有 N 级流水线结构的 CPU 内核的前 N-1 级流水线的各级流水线末端, 监测工作电路每个时钟周期的时序信息, 其中 N 是大于等于 3 且小于 20 的正整数。本发明提供了对具有 N 级流水线的 CPU 内核的在线时序监测, 寻找电路的最低可能工作电压, 减小在设计阶段为电路预留的工作电压余量, 从而大幅度降低电路功耗, 地提高电路的能效。

WO 2014/032610 A1



(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种面向 CPU 流水线的错误恢复电路

技术领域

本发明涉及一种面向CPU流水线的错误恢复电路，具体涉及一种基于片上错误监测，面向CPU流水线应用并根据监测结果可切换的错误恢复电路，属于集成电路设计领域。

背景技术

随着晶体管尺寸的不断缩小，单位面积上集成的晶体管数急剧增加，集成电路的功耗问题成为和功能、面积同等重要的考虑因素。旨在降低电路功耗的动态电压频率调节（DVFS）技术，因其显著地效果，逐渐成为重要的低功耗技术。

动态电压频率调节依赖于对主电路工作状态和性能的监测。系统级监测手段主要是传感器，这种方法能一定程度地反映系统当前工作情况，但是片外监测往往依赖于传感器的精度，且很难选择可靠的监测点，因而难以真实反映芯片内部各部分的实际情况。在芯片内部插入关键单元和复制关键路径的方法可以较真实地反映芯片内部全局参数的变化，但由于这些副本与关键单元和路径所处的片内环境并不完全相同，对局部参数，如局部噪声、工艺波动的变化并不敏感，因而它们反映出的也不是电路的真实情况，大大影响了电压调节的效果。

片上监测方法通过在系统芯片主电路关键路径的末端插入片上监测电路，实时监测电路的工作情况，将工艺偏差、电源电压波动、温度变化、噪声等因素的影响归结为关键路径上的片上监测电路延时特性的变化。当电压降低到电路会出现错误的临界电压以下时，片内逻辑就会出现时序违规，这些时序违规被片上监测电路监测，就会产生相应的错误信号，作为工作电压调节模块的调节依据。片上监测的方法可以实时监测主电路在工作时的出错水平，反映全局和局部扰动对电路的真实影响，同时通过引入错误纠正机制，可进一步释放主电路设计阶段为克服工艺偏差、工作电压波动、温度变化、环境噪声等不利影响预留的电压余量，对工作电压进行动态的调节，从而使功耗达到最优。

基于片上监测的动态电压频率调节技术，将电路的工作条件，如温度、工艺、噪声等的变化归结为电路的时序变化，通过片上监测手段实时监测电路工作的时序变化，指导电路动态地调节工作参数。只有找到满足系统性能的最低工作电压点，才能尽可能地减小电路设计时为最坏情况(Worst Case)预留的电压或频率余量，以获得最大的功耗收益。

在动态地寻找系统工作任意时刻的最低电压点时，会让系统产生出错的风险，因此必须设置一定的错误恢复机制，在系统出错时，可以帮助其从错误状态中恢复过来。国

内外实现这种错误恢复的方式主要有两种：原地错误恢复方式和上层错误恢复方式。

原地错误恢复方式是在电路的片上监测单元监测到时序错误后，使用门控时钟的方法，将电路的时钟信号暂停一个周期，在此期间用正确的信号取代错误信号输出。在同一个周期中流水线各级产生的错误都可以在暂停的一个时钟周期内被恢复，但是对于不同周期中产生的错误必须分别在出错后立即暂停时钟信号进行恢复。这种错误恢复方式的片上监测单元结构复杂，监测单元本身的功耗较高；且对于工作电压、频率以及温度等工作条件使电路频繁出错时，对每个出错的时钟周期，CPU时钟都要暂停一个周期等待错误信号的恢复，因此恢复时的代价较高，极大影响了系统的吞吐率且降低功耗效果不显著。

上层错误恢复方式多用于流水线结构的设计中，也须借助于片上监测单元，与原地恢复不同的是，这种恢复方式将所有同一个周期中产生的错误都归结为一个错误，而且在片上监测单元监测到时序错误后，并不立即进行改错，而是等待流水线中没有出错的各级操作执行完成，即等待出错的那一级操作随流水线执行至最后一级之前，然后通过重新执行出错的指令来恢复错误。在重新执行出错的指令时，该指令后面的指令也在重新执行，因此上层恢复方式可以通过一次恢复操作完成对一个流水线周期（指填满流水线所要花费的周期数，为N个周期，N为流水线级数）中所有错误的恢复。这种恢复方式进行一次恢复要耗费N个周期，当系统错误率很高，同一个流水线周期中有多个错误产生时，这些错误都可以通过一次上层恢复而得到恢复。因此在系统错误率较高时，上层错误恢复方式对系统吞吐率的影响更小，降低功耗的效果更好；但是当系统错误率较低时，恢复时的代价较高，降低功耗效果不明显。

目前动态电压频率调节电路的恢复方式只是单一地使用上面两种方式中的一种，但是其系统应用具有较大的局限性，对于需要在比较宽的频率范围内工作的应用，错误率的变化较大，单一的错误恢复方式很难使系统的吞吐率和功耗达到最优化。

发明内容

发明目的：本发明的目的在于针对现有片上监测系统中错误恢复方式的局限性，提供一种面向CPU流水线的错误恢复电路，可以在片上监测电路监测到电路时序错误后，根据电路的系统需求和工作状态动态地选择系统的错误恢复方式，能够在原地错误恢复方式和上层错误恢复方式两种错误恢复方式间灵活切换。

技术方案：本发明所述的面向CPU流水线的错误恢复电路，包括片上监测电路、错

误信号统计模块、电压频率控制模块、错误恢复控制模块、原地错误恢复模块和上层错误恢复模块。

所述片上监测电路集成在具有N级流水线结构的CPU内核的前N-1级流水线的各级流水线末端，监测工作电路每个时钟周期的时序信息，其中N是大于等于3且小于20的正整数；所述片上监测电路将监测到的错误信号送入所述错误信号统计模块。

所述错误信号统计模块统计一段时钟周期内错误信号数量占总的周期数的百分比，即为错误率 R_{error} 。

所述电压频率控制模块控制系统工作电压与频率的升高和降低，同时控制调节的精度，所述电压频率控制模块和所述错误统计模块分别将系统状态和错误率 R_{error} 送入所述错误恢复控制模块；所述电压频率控制模块根据所述错误恢复控制模块中的相应控制信号进行系统工作电压与频率的调节。

所述错误恢复控制模块中有设定好的比较阈值 $T_{\text{threshold}}$ ，并根据阈值比较选择机制的结果，确定将原地错误恢复方式选择信号输入到原地错误恢复模块或将上层错误恢复方式选择信号输入到上层错误恢复模块，动态选择原地错误恢复方式或上层错误恢复方式，并将电压频率调节信号送到所述电压频率控制模块，指导系统状态的调节，实现两种不同错误恢复方式的动态切换。

所述片上监测电路中包括主锁存器电路、从锁存器电路、影子锁存器电路、错误信号产生电路、原地错误纠正选择器、亚稳态监测电路和错误信号整合电路；通过在时钟上升沿和下降沿分别对输入信号采样，将采样结果对比，判断电路是否出现时序违规，同时实现原地错误恢复时的数据替换功能。其中主锁存器电路与影子锁存器电路的输入端与片上监测电路的数据输入端相连；主锁存器电路的原地待恢复数据信号与影子锁存器电路的原地恢复数据信号连接到原地错误纠正选择器输入端，原地错误恢复控制信号输入端连接到原地错误纠正选择器的另一个输入端；原地错误纠正选择器的原地恢复数据输出信号连接到从锁存器电路；从锁存器电路的输出信号分别连接到数据输出端、亚稳态监测电路输入端、错误信号产生电路输入端；影子锁存器电路的延迟采样数据输出信号连接到错误信号产生电路的另一个输入端；错误信号产生电路产生时序监测错误信号输入到错误信号整合电路输入端；亚稳态监测电路产生的亚稳态监测错误信号输入到错误信号整合电路的另一个输入端；错误信号整合电路的输出为上监测电路的错误信号输出端。

所述片上监测电路包括两个输入端口和两个输出端口，分别为数据输入端、原地错误恢复控制信号输入端、数据输出端和错误信号输出端。数据输入端与片上监测电路所插入位置的前一级流水线的数据信号输出端相连；原地错误恢复控制信号输入端与原地错误恢复模块的原地错误恢复控制信号输出端相连；数据输出端与片上监测电路所插入位置的后一级流水线的数据信号输入端相连；错误信号输出端与一个错误信号传递整合电路输入端相连。错误信号传递整合电路由N-1个寄存器与N-2个两输入或门交替连接组成，用于将流水线各级产生的错误信号随指令向后级传递并最终整合为一个错误信号；两输入或门的一个输入端连接寄存器输出端，另一个输入端与片上监测电路的错误信号输出端相连。

所述错误信号统计模块包括两个计数器，分别计算CPU工作的周期数和错误信号的数量。

所述错误恢复控制模块具有三个输入端及三个输出端，分别为错误率输入端、系统状态输入端、比较阈值输入端以及电压频率调节信号输出端、原地错误恢复方式选择信号输出端、上层错误恢复方式选择信号输出端；其中，错误率输入端、系统状态输入端、比较阈值输入端分别连接到一个8位寄存器输入端，错误率输入端连接到寄存器一，系统状态输入端连接到寄存器二，比较阈值输入端连接到寄存器三；寄存器一和寄存器二的输出端分别连接到一个8位加法器的数据输入端，加法器的进位输入端置0；加法器的和输出端连接到一个比较器的数据输入端，寄存器三的输出端连接到比较器的另一个数据输入端；比较器的另外三个输入端置0；比较器的大于和等于输出端连接到一个或门，或门的输出连接到一个多路选择器MUX1的选择端；比较器小于输出端连接到另一个多路选择器MUX2；多路选择器MUX1和多路选择器MUX2的“1”端接高电平，“0”端接低电平；多路选择器MUX1的输出信号为原地错误恢复方式选择信号，多路选择器MUX2的输出信号为上层错误恢复方式选择信号；错误率输入端、系统状态输入端、原地错误恢复方式选择信号以及上层错误恢复方式选择信号同时还连接到一个状态机，状态机的输出为电压频率调节信号。

所述错误恢复控制模块在错误恢复时产生相应的电压频率控制信号输入到所述电压频率控制模块，电压频率控制信号中包含时钟控制信号和电压控制信号，时钟控制信号通过调节时钟频率和相位来配合指令的重新执行或数据的原地替换，电压控制信号通过调节系统的工作电压来配合指令的重新执行或数据的原地替换，时钟控制信号和电压控

制信号相互配合，系统没有时序错误时，升高频率或者降低电压，系统出现错误信号时，降低频率的同时升高电压，达到恢复系统时序错误同时使系统在较低功耗条件下正常工作的目的。

所述阈值比较选择机制是比较比较参数 T_{ref} 和比较阈值 $T_{\text{threshold}}$ 的大小，比较参数 T_{ref} 由公式 $T_{\text{ref}} = R_{\text{error}} + V_{\text{temp}}/V_{\text{max}} + F_{\text{temp}}/F_{\text{max}}$ 得到。比较阈值是选择的界限值，比较参数 T_{ref} 包括三个数值的算术和（注：对三个重要影响因子拟合，形成综合的影响结果），分别为错误率、工作电压比和工作频率比。其中，错误率即为错误信号统计模块统计的系统一定时钟周期内的错误率，工作电压比是电路的当前工作电压与电路的最大工作电压的比值，工作频率比是电路的当前工作频率与电路的最大工作频率的比值。

所述阈值比较选择机制通过以下过程建立：

首先，找出比较阈值。在电路的设计阶段，根据电路电源管理模块的调节方式，计算一定调节步长下电路的各工作点的错误率、工作电压比和工作频率比的算术和，即为比较参数，并分别采用上层错误恢复方式和原地错误恢复方式进行错误恢复，得到两种错误恢复方式下的功耗收益。找出上层错误恢复方式功耗收益大于原地错误恢复方式功耗收益的工作点，在此工作点下的比较参数即为比较阈值。设定比较阈值，通过可编程的方式将找出的比较阈值设定到错误恢复控制模块中，作为选择错误恢复方式的比较标准。

其次，选择错误恢复方式。通过可编程方式将比较阈值 $T_{\text{threshold}}$ 设定到错误恢复控制模块中，错误恢复控制模块通过将比较参数与既定的比较阈值比较，如果比较参数大于等于比较阈值则选择上层错误恢复方式，如果比较参数小于比较阈值则选择原地错误恢复方式。当比较参数 T_{ref} 超过比较阈值 $T_{\text{threshold}}$ 时，上层错误恢复方式的功耗收益较高。当比较参数 T_{ref} 小于比较阈值 $T_{\text{threshold}}$ 时，原地错误恢复方式的功耗收益较高。同时错误恢复控制模块会根据相应的错误恢复方式产生相应的电压频率控制信号，电压频率控制模块调节系统工作电压与频率到相应的值，达到功耗最优的效果。

本发明与现有技术相比，其有益效果是：

1、本发明提供了对具有N级流水线的CPU内核的在线时序监测，寻找电路的最低可能工作电压，减小在设计阶段为电路预留的工作电压余量，从而大幅度降低电路功耗，地提高电路的能效。

2、本发明提供了两种不同的错误恢复方法，一种是原地错误恢复方式，另一种是上

层错误恢复方式，从而可以根据电路的系统需求和工作状态灵活的选择系统的错误恢复方式，并动态的在两种恢复方法中切换。当电路工作在比较宽的工作频率范围时，本发明比单一的原地错误恢复或者上层错误恢复方式适用于更多的应用场合，吞吐率更高，功耗降低的收益更高，克服了上层错误恢复方式适用范围小的局限，解决了单一的错误恢复方式在比较宽的工作频率范围内的系统应用场合局限、吞吐率低和功耗收益不理想的问题。

3、本发明设置了阈值比较选择机制，用于在两种恢复方式中的切换选择。比较阈值是选择的界限值，将三个重要影响因素进行综合考虑，即综合错误率、工作电压比和工作频率比三者的影响，折算成最终的切换阈值。这样可以综合考虑电路的工作状态，从而更好的判断电路进行何种错误恢复方式才能达到最佳的低功耗效果。

附图说明

图1为本发明的结构框图；

图2为本发明中错误恢复电路的结构框图；

图3为本发明中错误恢复控制模块的电路图；

图4为本发明中片上监测电路的结构框图；

图5为本发明阈值比较选择机制建立的流程图；

图6为比较参数 T_{ref} 的函数曲线图（注：其中，横坐标为错误率，纵坐标为比较参数）；

图7为恢复效率 $E_{recovery}$ （包括原地错误恢复效率 $E_{recovery_local}$ 和上层错误恢复效率 $E_{recovery_global}$ ）对比较参数 T_{ref} 的函数曲线图（注：其中，横坐标为比较参数，纵坐标为恢复效率）。

具体实施方式

下面对本发明技术方案进行详细说明，但是本发明的保护范围不局限于所述实施例。

实施例1：如图1所示，本发明面向CPU流水线的错误恢复电路，包括片上监测电路1、错误信号统计模块2、电压频率控制模块3、错误恢复控制模块4、原地错误恢复模块5和上层错误恢复模块6，片上监测电路1集成在具有N级流水线结构的CPU内核的前N-1级流水线的各级流水线末端（其中N是大于3且小于20的正整数），监测工作电路每个时钟周期的时序信息，生成错误信号；而对于没有添加片上监测单元的第N级流水线，需在设计时保证其时序的宽松，使其不易出错。

错误恢复电路的具体组成结构如图2所示，片上监测电路1将监测到的错误信号送到

错误信号统计模块2，错误信号统计模块2统计一定时钟周期内监测到的错误率，包括两个计数器，分别计算CPU工作周期数和错误信号的数量；错误信号统计模块2统计的错误率和电压频率控制模块3的系统状态（工作电压和工作频率）送到错误恢复控制模块4，电压频率控制模块3根据错误恢复控制模块4中的相应控制信号进行系统工作电压与频率的调节，同时控制调节的精度。错误恢复控制模块4中有设定好的比较阈值 $T_{\text{threshold}}$ ，并根据阈值比较选择机制的结果选择将原地错误恢复方式选择信号送到原地错误恢复模块5或将上层错误恢复方式选择信号送到上层错误恢复模块6。同时，错误恢复控制模块4将系统的电压频率调节信号送到电压频率控制模块3中，以实现系统工作状态的动态调节。

片上监测电路1结构如图4所示，包括主锁存器电路，从锁存器电路，影子锁存器电路，错误信号产生电路，原地错误纠正选择器，亚稳态监测电路，错误信号整合电路，通过在时钟上升沿和下降沿分别对输入信号采样，将采样结果对比，判断电路是否出现时序违规，同时实现原地错误恢复时的数据替换功能。片上监测电路1包括两个输入端口和两个输出端口，分别为数据输入端、原地错误恢复控制信号输入端、数据输出端和错误信号输出端。其中主锁存器电路与影子锁存器电路的输入端与片上监测电路的数据输入端相连；主锁存器电路的原地待恢复数据信号与影子锁存器电路的原地恢复数据信号连接到原地错误纠正选择器输入端，原地错误恢复控制信号输入端连接到原地错误纠正选择器的另一个输入端；原地错误纠正选择器的原地恢复数据输出信号连接到从锁存器电路；从锁存器电路的输出信号分别连接到数据输出端、亚稳态监测电路输入端、错误信号产生电路输入端；影子锁存器电路的延迟采样数据输出信号连接到错误信号产生电路的另一个输入端；错误信号产生电路产生时序监测错误信号输入到错误信号整合电路输入端；亚稳态监测电路产生的亚稳态监测错误信号输入到错误信号整合电路的另一个输入端；错误信号整合电路的输出为上监测电路的错误信号输出端。

片上监测电路在流水线中的连接方式如图1所示，数据输入端与片上监测电路所插入位置的前一级流水线的数据信号输出端相连；原地错误恢复控制信号输入端与原地错误恢复模块的原地错误恢复控制信号输出端相连；数据输出端与片上监测电路所插入位置的后一级流水线的数据信号输入端相连；错误信号输出端与一个错误信号传递整合电路输入端相连。错误信号传递整合电路由N-1个寄存器与N-2个两输入或门交替连接组成，用于将流水线各级产生的错误信号随指令向后级传递并最终整合为一个错误信号；两输入或门的一个输入端连接寄存器输出端，另一个输入端与片上监测电路的错误信号输出

端相连。

错误恢复控制模块的电路图如图3所示，具有三个输入端及三个输出端，分别为错误率输入端、系统状态输入端、比较阈值输入端以及电压频率调节信号输出端、原地错误恢复方式选择信号输出端、上层错误恢复方式选择信号输出端。其中，错误率输入端、系统状态输入端、比较阈值输入端分别连接到一个8位寄存器输入端，错误率输入端连接到寄存器一，系统状态输入端连接到寄存器二，比较阈值输入端连接到寄存器三；寄存器一和寄存器二的输出端分别连接到一个8位加法器的数据输入端，加法器的进位输入端置0；加法器的和输出端连接到一个比较器的数据输入端，寄存器三的输出端连接到比较器的另一个数据输入端；比较器的另外三个输入端置0；比较器的大于和等于输出端连接到一个或门，或门的输出连接到一个多路选择器（MUX1）的选择端；比较器小于输出端连接到另一个多路选择器（MUX2）；MUX1和MUX2的“1”端接高电平，“0”端接低电平；MUX1的输出信号为原地错误恢复方式选择信号，MUX2的输出信号为上层错误恢复方式选择信号；错误率输入端、系统状态输入端、原地错误恢复方式选择信号以及上层错误恢复方式选择信号同时还连接到一个状态机，状态机的输出为电压频率调节信号。

错误恢复选择模块4包含阈值比较选择机制，并且生成电压频率调节信号来指导电压频率控制模块3对系统工作状态动态调节；错误恢复控制模块4在错误恢复时会产生相应的电压频率调节信号输入到电压频率控制模块，电压频率控制信号中包含时钟控制信号和电压控制信号，时钟控制信号通过调节时钟频率和相位来配合指令的重新执行或数据的原地替换，电压控制信号通过调节系统的工作电压来配合指令的重新执行或数据的原地替换，时钟控制信号和电压控制信号相互配合，系统没有时序错误时，升高频率的同时降低电压，系统出现错误信号时，降低频率的同时升高电压，达到恢复系统时序错误同时较低功耗条件下正常工作的目的。

当选择原地错误恢复方式时，电压频率控制模块3会将时钟门控信号送到原地错误恢复模块5，把相关电路的时钟信号停一拍，原地错误恢复模块5将原地错误恢复控制信号送到片上监测电路1，完成正确信号对错误信号的原地替换。当选择上层错误恢复方式时，上层错误恢复模块6将流水线刷新信号送到流水线相关电路模块，并配合其他控制模块完成上层错误恢复。

如图5所示，错误恢复控制模块4中的阈值比较选择机制通过以下过程建立：

首先，找出比较阈值 $T_{\text{threshold}}$ 。在电路的设计阶段，假设电路的动态电压调节的步长

为 V_{step} , 电路的动态频率调节的步长为 F_{step} , 电路的动态电压调节的最小工作电压为 V_{min} , 最大工作电压为 V_{max} , 电路的动态频率调节的最小工作频率为 F_{min} , 最大工作频率为 F_{max} 。电路动态调节的工作点分别为 $V_{\text{min}}+n*V_{\text{step}}$ 或 $F_{\text{min}}+k*F_{\text{step}}$, 其中, $0 \leq n \leq (V_{\text{max}}-V_{\text{min}})/V_{\text{step}}$, $0 \leq k \leq (F_{\text{max}}-F_{\text{min}})/F_{\text{step}}$, 且 n, k 均为整数。比较阈值 $T_{\text{threshold}}$ 包括错误率 R_{error} 、工作电压比 $V_{\text{temp}}/V_{\text{max}}$ 和工作频率比 $F_{\text{temp}}/F_{\text{max}}$, 其中, 电路的当前工作电压 $V_{\text{temp}}=V_{\text{min}}+i*V_{\text{step}}$, 电路的当前工作频率 $F_{\text{temp}}=F_{\text{min}}+j*F_{\text{step}}$, $0 \leq i \leq (V_{\text{max}}-V_{\text{min}})/V_{\text{step}}$, $0 \leq j \leq (F_{\text{max}}-F_{\text{min}})/F_{\text{step}}$, 且 i, j 均为整数。在电路动态调节的各工作点分别计算比较参数 $T_{\text{ref}} = R_{\text{error}} + V_{\text{temp}}/V_{\text{max}} + F_{\text{temp}}/F_{\text{max}}$ 的值。由于错误率 R_{error} 与工作电压比 $V_{\text{temp}}/V_{\text{max}}$ 成反比关系, 与工作频率比 $F_{\text{temp}}/F_{\text{max}}$ 成正比关系, 公式 $T_{\text{ref}} = R_{\text{error}} + V_{\text{temp}}/V_{\text{max}} + F_{\text{temp}}/F_{\text{max}}$ 可改写为 $T_{\text{ref}} = R_{\text{error}} + m/R_{\text{error}} + n*R_{\text{error}}$, 其中, m, n 为大于0的常数, 所以 T_{ref} 对于错误率 R_{error} 的函数曲线在第一象限内具有最低点, 如图6所示。在电路设计阶段, 电路工作在不同的工作点时, 分别在每一个工作点上使用上层错误恢复方式和原地错误恢复方式去恢复电路工作状态, 同时测量使用这两种恢复方式时的恢复效率, 其中原地错误恢复效率为 $E_{\text{recovery_local}}$, 上层错误恢复效率为 $E_{\text{recovery_global}}$ 。得到恢复效率 E_{recovery} (分别为原地错误恢复效率 $E_{\text{recovery_local}}$ 和上层错误恢复效率 $E_{\text{recovery_global}}$) 与比较参数 T_{ref} 的关系曲线, 恢复效率 E_{recovery} 与比较参数 T_{ref} 成线性关系, 如图7所示。当比较参数 T_{ref} 超过某一个值时, 上层错误恢复方式的功耗收益较高。当 T_{ref} 小于这个数值时, 原地错误恢复方式的功耗收益较高。这个值即为比较阈值 $T_{\text{threshold}}$ 。

选定好比较阈值 $T_{\text{threshold}}$ 后, 通过可编程的方式将找出的比较阈值 $T_{\text{threshold}}$ 设定到错误恢复控制模块4中, 作为选择错误恢复方式的比较标准。电路一旦给定, 此比较阈值 $T_{\text{threshold}}$ 就是固定的, 在工作过程中无须更改。

其次, 选择错误恢复方式。由于错误信号统计模块2和电源管理模块3每个时钟周期都会更新传递到错误恢复控制模块4的错误率 R_{error} 、工作电压比 $V_{\text{temp}}/V_{\text{max}}$ 和工作频率比 $F_{\text{temp}}/F_{\text{max}}$, 错误恢复控制模块4每个时钟周期都会计算当前的比较参数 T_{ref} 的值, 并将电路当前工作时的比较参数 T_{ref} 与既定的比较阈值 $T_{\text{threshold}}$ 比较。如果比较参数 T_{ref} 大于比较阈值 $T_{\text{threshold}}$, 则错误恢复控制模块4将上层错误恢复方式选择信号送到上层恢复方式模块6, 选择上层错误恢复方式; 如果比较参数 T_{ref} 小于比较阈值 $T_{\text{threshold}}$, 则错误恢复控制模块4将原地错误恢复方式选择信号送到原地错误恢复模块5, 选择原地错误恢复方式。错误恢复控制模块4根据比较阈值 $T_{\text{threshold}}$ 选择相应的错误恢复方式, 同时会根据相应的错误恢复方式产生相应的电压控制信号和频率控制信号, 电源管理模块3调节系统工作电压到相应

的值，达到功耗最优的效果。

本发明根据电路的错误率和系统状态，通过和既定的比较阈值进行比较来选择合适的错误恢复方式，取得最大的功耗收益。

如上所述，尽管参照特定的优选实施例已经表示和表述了本发明，但其不得解释为对本发明自身的限制。在不脱离所附权利要求定义的本发明的精神和范围前提下，可对其在形式上和细节上作出各种变化。

权利要求书

1、一种面向CPU流水线的错误恢复电路，包括片上监测电路（1）、错误信号统计模块（2）、电压频率控制模块（3）、错误恢复控制模块（4）、原地错误恢复模块（5）和上层错误恢复模块（6），其特征在于：

所述片上监测电路（1）集成在具有N级流水线结构的CPU内核的前N-1级流水线的各级流水线末端，监测工作电路每个时钟周期的时序信息，其中N是大于等于3且小于20的正整数；所述片上监测电路（1）将监测到的错误信号送入所述错误信号统计模块（2）；

所述错误信号统计模块（2）统计一段时钟周期内错误信号数量占总的周期数的百分比，即为错误率 R_{error} ；

所述电压频率控制模块（3）控制系统工作电压与频率的升高和降低，同时控制调节的精度，所述电压频率控制模块（3）和所述错误统计模块（2）分别将系统状态和错误率 R_{error} 送入所述错误恢复控制模块（4）；所述电压频率控制模块（3）根据所述错误恢复控制模块（4）中的相应控制信号进行系统工作电压与频率的调节；

所述错误恢复控制模块（4）中有设定好的比较阈值 $T_{\text{threshold}}$ ，并根据阈值比较选择机制的结果，确定将原地错误恢复方式选择信号输入到原地错误恢复模块（5）或将上层错误恢复方式选择信号输入到上层错误恢复模块（6），动态选择原地错误恢复方式或上层错误恢复方式，并将电压频率调节信号送到所述电压频率控制模块（3），指导系统状态的调节，实现两种不同错误恢复方式的动态切换。

2、根据权利要求1所述的面向CPU流水线的错误恢复电路，其特征在于：所述片上监测电路（1）包括主锁存器电路、从锁存器电路、影子锁存器电路、错误信号产生电路、原地错误纠正选择器、亚稳态监测电路和错误信号整合电路；通过在时钟上升沿和下降沿分别对输入信号采样，将采样结果对比，判断电路是否出现时序违规，同时实现原地错误恢复时的数据替换功能；其中主锁存器电路与影子锁存器电路的输入端与片上监测电路的数据输入端相连；主锁存器电路的原地待恢复数据信号与影子锁存器电路的原地恢复数据信号连接到原地错误纠正选择器输入端，原地错误恢复控制信号输入端连接到原地错误纠正选择器的另一个输入端；原地错误纠正选择器的原地恢复数据输出信号连接到从锁存器电路；从锁存器电路的输出信号分别连接到数据输出端、亚稳态监测电路输入端、错误信号产生电路输入端；影子锁存器电路的延迟采样数据输出信号连接到错误信号产生电路的另一个输入端；错误信号产生电路产生时序监测错误信号输入到错误

信号整合电路输入端；亚稳态监测电路产生的亚稳态监测错误信号输入到错误信号整合电路的另一个输入端；错误信号整合电路的输出为上监测电路的错误信号输出端。

3、根据权利要求2所述的面向CPU流水线的错误恢复电路，其特征在于：所述片上监测电路（1）包括两个输入端口和两个输出端口，分别为数据输入端、原地错误恢复控制信号输入端、数据输出端和错误信号输出端；数据输入端与片上监测电路所插入位置的前一级流水线的数据信号输出端相连；原地错误恢复控制信号输入端与原地错误恢复模块的原地错误恢复控制信号输出端相连；数据输出端与片上监测电路所插入位置的后一级流水线的数据信号输入端相连；错误信号输出端与一个错误信号传递整合电路输入端相连；错误信号传递整合电路由N-1个寄存器与N-2个两输入或门交替连接组成，用于将流水线各级产生的错误信号随指令向后级传递并最终整合为一个错误信号；两输入或门的一个输入端连接寄存器输出端，另一个输入端与片上监测电路的错误信号输出端相连。

4、根据权利要求1所述的面向CPU流水线的错误恢复电路，其特征在于：所述错误信号统计模块（2）包括两个计数器，分别计算CPU工作的周期数和错误信号的数量。

5、根据权利要求1所述的面向CPU流水线的错误恢复电路，其特征在于：所述错误恢复控制模块（4）具有三个输入端及三个输出端，分别为错误率输入端、系统状态输入端、比较阈值输入端以及电压频率调节信号输出端、原地错误恢复方式选择信号输出端、上层错误恢复方式选择信号输出端；其中，错误率输入端、系统状态输入端、比较阈值输入端分别连接到一个8位寄存器输入端，错误率输入端连接到寄存器一，系统状态输入端连接到寄存器二，比较阈值输入端连接到寄存器三；

寄存器一和寄存器二的输出端分别连接到一个8位加法器的数据输入端，加法器的进位输入端置0；加法器的和输出端连接到一个比较器的数据输入端，寄存器三的输出端连接到比较器的另一个数据输入端；比较器的另外三个输入端置0；比较器的大于和等于输出端连接到一个或门，或门的输出连接到一个多路选择器（MUX1）的选择端；比较器小于输出端连接到另一个多路选择器（MUX2）；多路选择器（MUX1）和多路选择器（MUX2）的“1”端接高电平，“0”端接低电平；多路选择器（MUX1）的输出信号为原地错误恢复方式选择信号，多路选择器（MUX2）的输出信号为上层错误恢复方式选择信号；错误率输入端、系统状态输入端、原地错误恢复方式选择信号以及上层错误恢复方式选择信号同时还连接到一个状态机，状态机的输出为电压频率调节信号。

6、根据权利要求1所述的面向CPU流水线的错误恢复电路，其特征在于：所述错误恢

复控制模块（4）在错误恢复时产生相应的电压频率控制信号输入到所述电压频率控制模块（3），电压频率控制信号中包含时钟控制信号和电压控制信号，时钟控制信号通过调节时钟频率和相位来配合指令的重新执行或数据的原地替换，电压控制信号通过调节系统的工作电压来配合指令的重新执行或数据的原地替换，时钟控制信号和电压控制信号相互配合，系统没有时序错误时，升高频率或者降低电压，系统出现错误信号时，降低频率的同时升高电压，达到恢复系统时序错误同时使系统在较低功耗条件下正常工作的目的。

7、根据权利要求1所述的面向CPU流水线的错误恢复电路，其特征在于：所述阈值比较选择机制是比较比较参数 T_{ref} 和比较阈值 $T_{\text{threshold}}$ 的大小，比较参数 T_{ref} 由公式 $T_{\text{ref}} = R_{\text{error}} + V_{\text{temp}}/V_{\text{max}} + F_{\text{temp}}/F_{\text{max}}$ 得到。

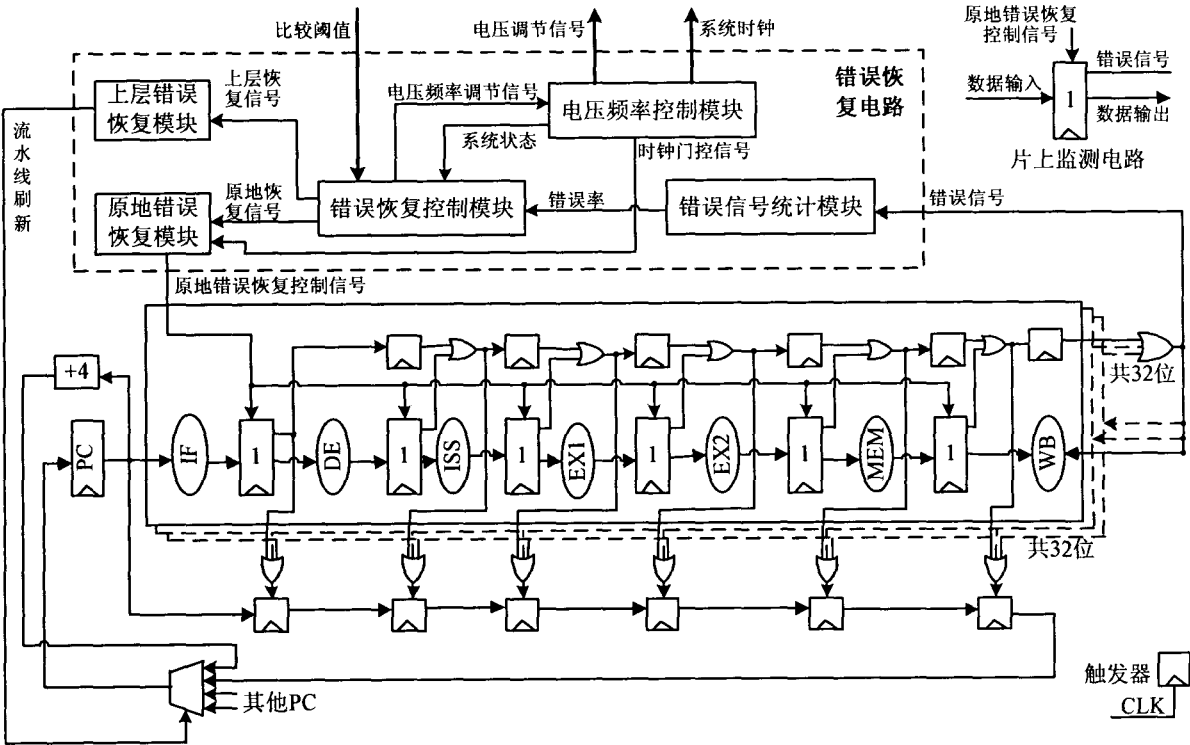


图 1

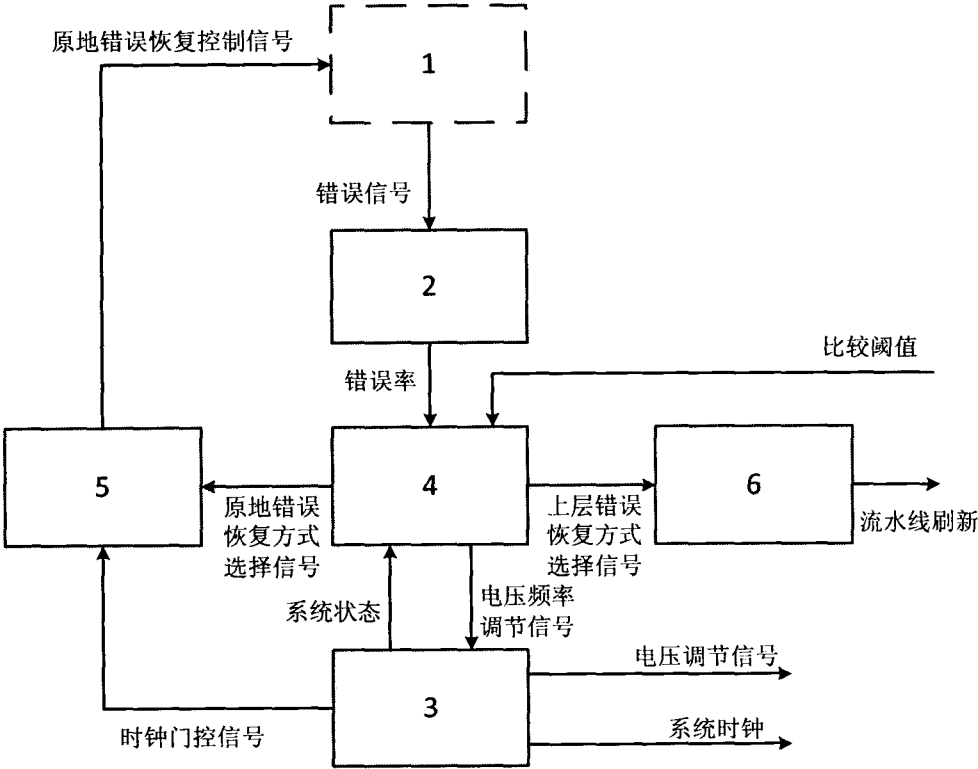


图 2

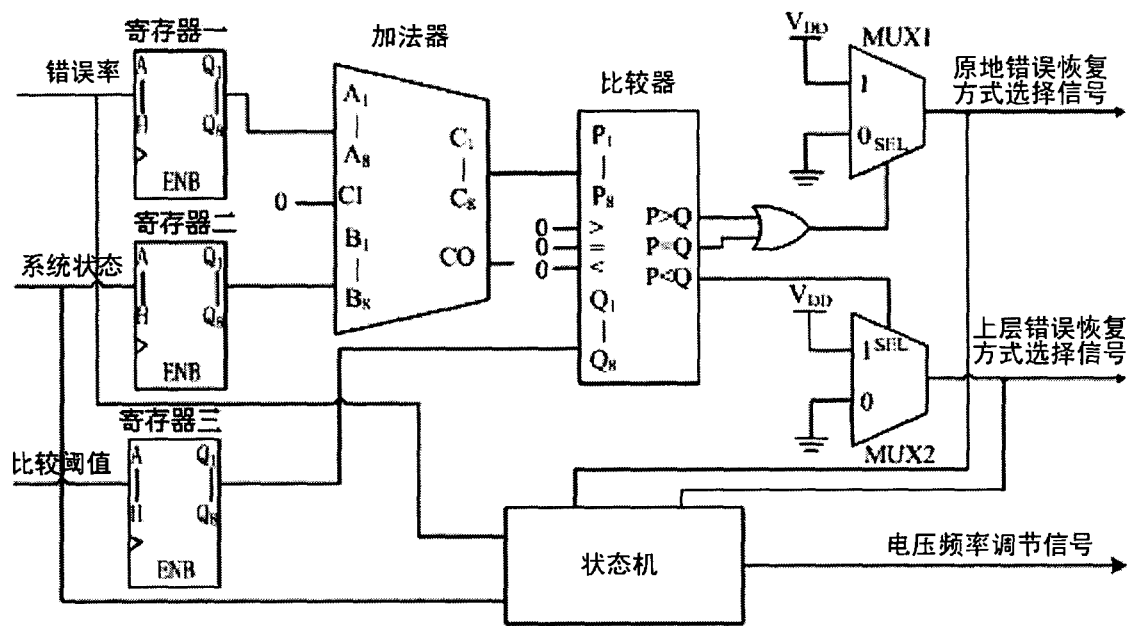


图 3

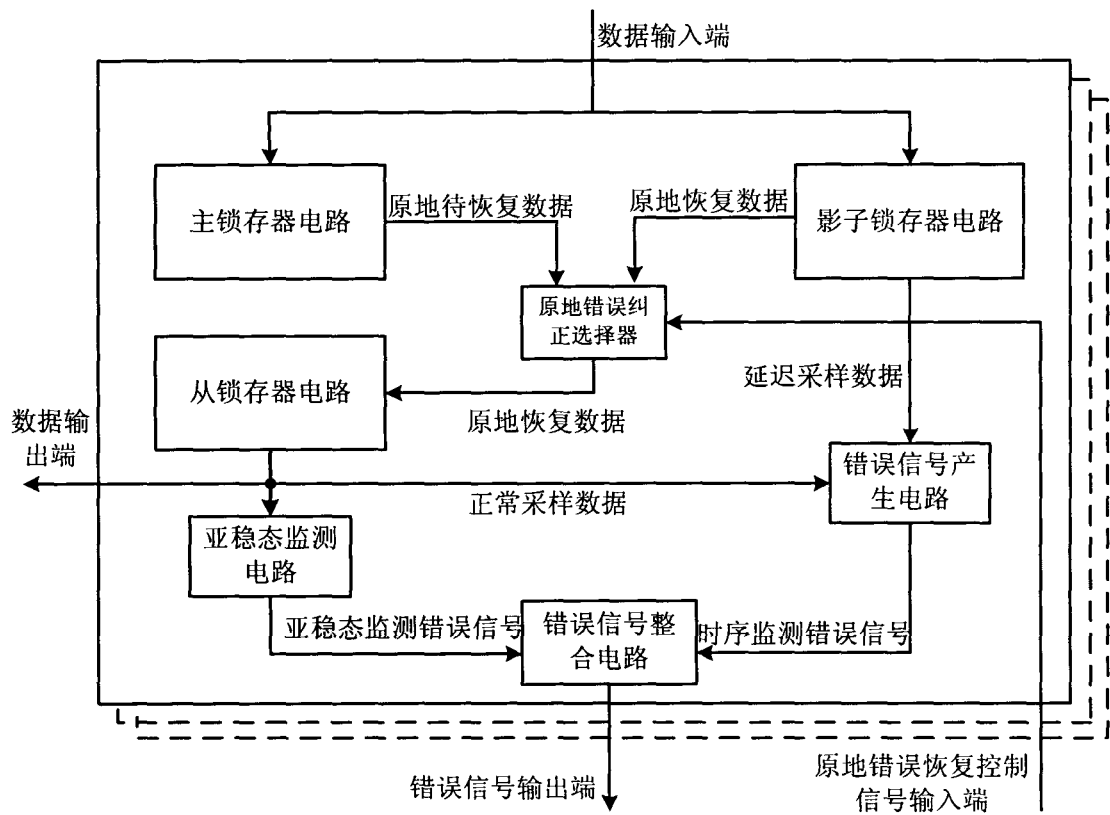


图 4

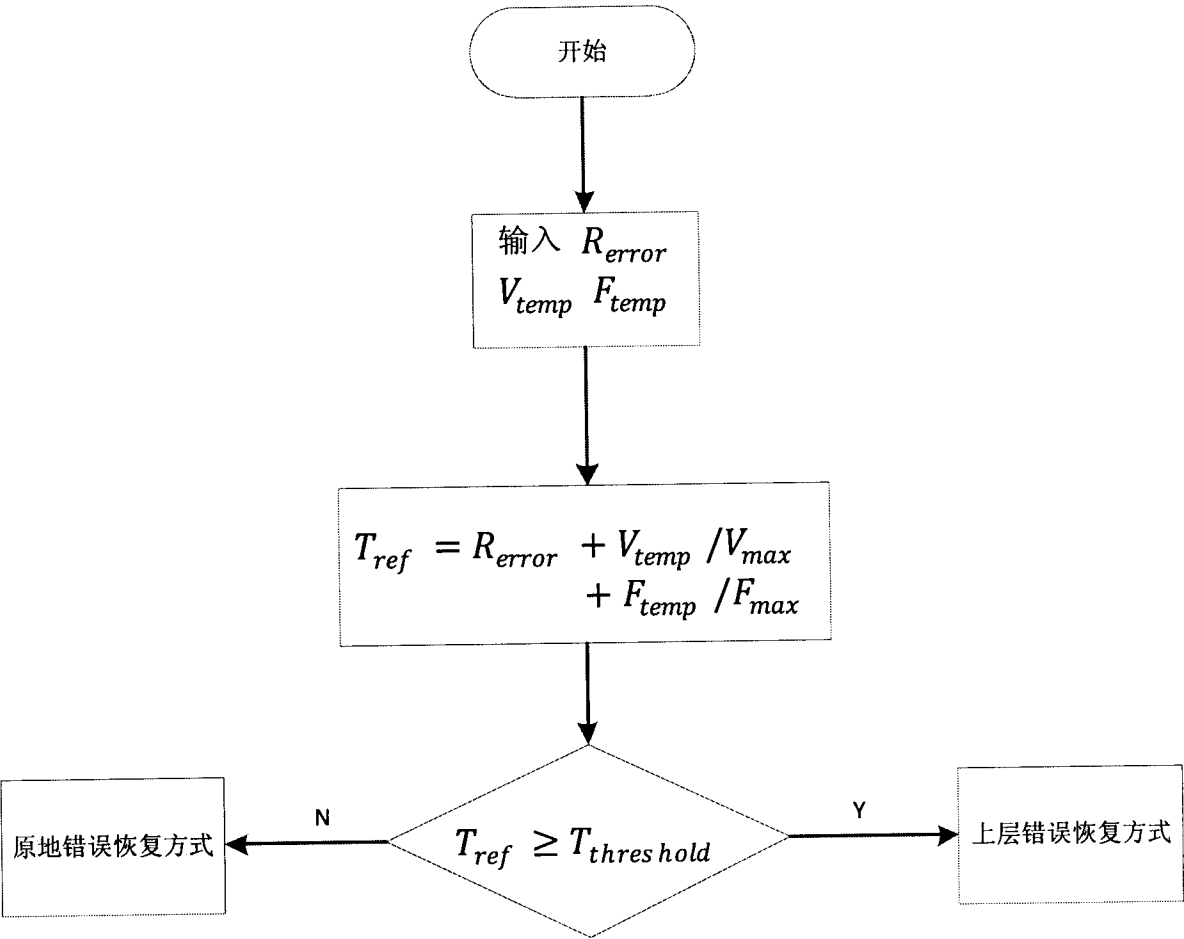


图 5

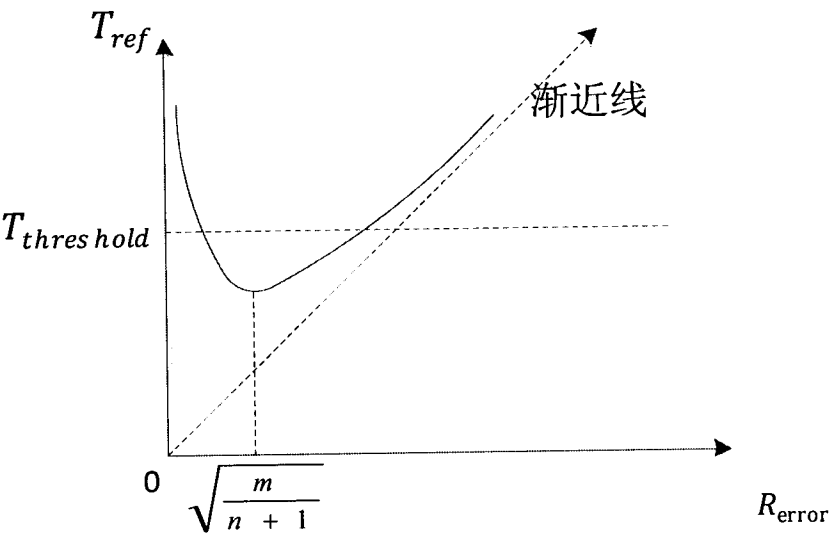


图 6

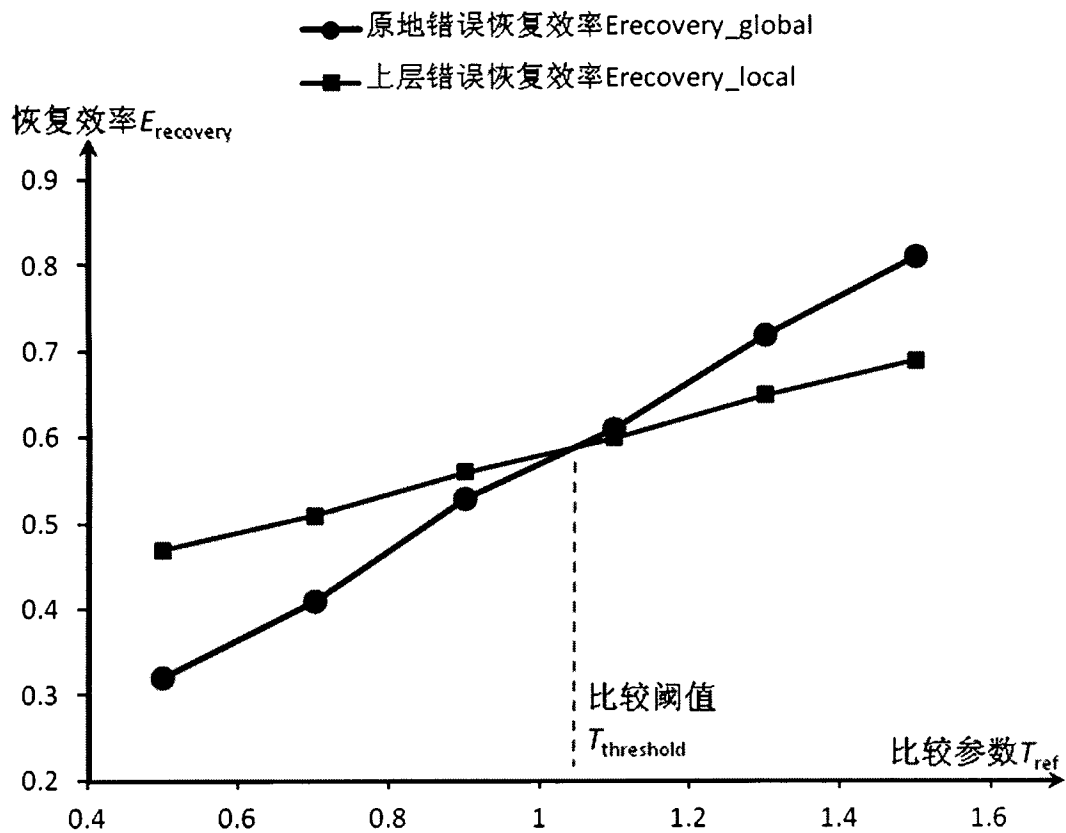


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/082643

A. CLASSIFICATION OF SUBJECT MATTER

G06F 11/16 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, SIPOABS, GOOGLE, CNKI, IEEE, USTXT: error, recovery, count, detect, cpu, streamline, local, global

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103019876 A (UNIV. SOUTHEAST) 03 April 2013 (03.04.2013) description, paragraphs [0037]-[0047]	1-7
A	CN 102411395 A (UNIV. SOUTHEAST) 11 April 2012 (11.04.2012) description, paragraphs [0027]-[0040] and figures 1 and 2	1-7
A	US 2009315601 A1 (FREESCALE SEMICONDUCTOR, INC.) 24 December 2009 (24.12.2009) the whole document	1-7
A	CN 1397878 A (IP FIRST LLC.) 19 February 2003 (19.02.2003) the whole document	1-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 November 2013 (13.11.2013)	Date of mailing of the international search report 05 December 2013 (05.12.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIN, Fang Telephone No. (86-10) 62413706

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/082643

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103019876 A	03.04.2013	None	
CN 102411395 A	11.04.2012	US 20130154583 A1	20.06.2013
		WO 2013020323 A1	14.02.2013
US 2009315601 A1	24.12.2009	WO 2008015494 A1	07.02.2008
CN 1397878 A	19.02.2003	US 2002194463 A1	19.12.2002
		TWI 225214 B	11.12.2004
		US 2005132175 A1	16.06.2005
		US 2005268076 A1	01.12.2005

国际检索报告

国际申请号

PCT/CN2013/082643

A. 主题的分类

G06F 11/16 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS,CNXTX,DWPI,SIPOABS,GOOGLE,CNKI,IEEE,USTXT:片上监测, 错误, 计数, 选择, 恢复, 流水线, 切换, 原地, 上层, error, recovery, count, detect, cpu, streamline, local, global

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 103019876 A (东南大学) 03.4 月 2013 (03.04.2013) 说明书第 [0037]-[0047]段	1-7
A	CN 102411395 A (东南大学) 11.4 月 2012 (11.04.2012) 说明书 [0027]-[0040]段, 图 1-2	1-7
A	US 2009315601 A1 (FREESCALE SEMICONDUCTOR, INC.) 24.12 月 2009 (24.12.2009) 全文	1-7
A	CN 1397878 A (智慧第一公司) 19.2 月 2003 (19.02.2003) 全文	1-7



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

13.11 月 2013 (13.11.2013)

国际检索报告邮寄日期

05.12 月 2013 (05.12.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

林芳

电话号码: (86-10) 62413706

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/082643

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 103019876 A	03.04.2013	无	
CN 102411395 A	11.04.2012	US 20130154583 A1	20.06.2013
		WO 2013020323 A1	14.02.2013
US 2009315601 A1	24.12.2009	WO 2008015494 A1	07.02.2008
CN 1397878 A	19.02.2003	US 2002194463 A1	19.12.2002
		TWI 225214 B	11.12.2004
		US 2005132175 A1	16.06.2005
		US 2005268076 A1	01.12.2005