

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5967912号
(P5967912)

(45) 発行日 平成28年8月10日 (2016. 8. 10)

(24) 登録日 平成28年7月15日 (2016. 7. 15)

(51) Int. Cl.

F I

HO 4 N 5/357 (2011. 01) HO 4 N 5/335 5 7 O

HO 4 N 5/374 (2011. 01) HO 4 N 5/335 7 4 O

HO 4 N 5/378 (2011. 01) HO 4 N 5/335 7 8 O

請求項の数 12 (全 19 頁)

(21) 出願番号	特願2011-264512 (P2011-264512)	(73) 特許権者	000001007
(22) 出願日	平成23年12月2日 (2011. 12. 2)		キヤノン株式会社
(65) 公開番号	特開2013-118475 (P2013-118475A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成25年6月13日 (2013. 6. 13)	(74) 代理人	100090273
審査請求日	平成26年11月28日 (2014. 11. 28)		弁理士 國分 孝悦
		(72) 発明者	菊池 伸
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	松永 隆志

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

光電変換を行う光電変換素子を含む複数の画素と、
前記複数の画素の信号が出力される複数の信号線と、
前記複数の信号線に定電流を流すための第1の定電流回路と、
定電流を流すための第2の定電流回路とを有し、
前記第1の定電流回路は、
複数の第1のトランジスタと、
前記複数の第1のトランジスタのソース端子又はエミッタ端子と基準電位ノードとの間に共通に接続される1個の第1の抵抗と、
ドレイン端子又はコレクタ端子が前記複数の信号線に接続され、ソース端子又はエミッタ端子が抵抗を介することなく前記複数の第1のトランジスタのドレイン端子又はコレクタ端子に接続される複数の第3のトランジスタとを有し、
前記複数の第1のトランジスタのソース端子又はエミッタ端子は、前記1個の第1の抵抗に直接接続され、
前記第2の定電流回路は、
ゲート端子又はベース端子が前記複数の第1のトランジスタのゲート端子又はベース端子に接続される第2のトランジスタと、
前記第2のトランジスタのソース端子又はエミッタ端子と基準電位ノードとの間に接続される第2の抵抗と、

ゲート端子又はベース端子が前記複数の第3のトランジスタのゲート端子又はベース端子に接続され、ソース端子又はエミッタ端子が前記第2のトランジスタのドレイン端子又はコレクタ端子に接続される第4のトランジスタと、

前記第2のトランジスタのゲート端子又はベース端子及び前記第4のトランジスタのドレイン端子又はコレクタ端子に接続される第1の定電流源とを有することを特徴とする固体撮像装置。

【請求項2】

前記第2の定電流回路を流れる電流は、前記第1の定電流回路を流れる電流のM倍であり、

前記第2の抵抗の値は、前記第1の抵抗の値の $1/M$ 倍であることを特徴とする請求項1記載の固体撮像装置。 10

【請求項3】

さらに、前記第4のトランジスタのゲート端子又はベース端子に接続される定電圧源を有することを特徴とする請求項1又は2記載の固体撮像装置。

【請求項4】

さらに、第2の定電流源と、

ドレイン端子又はコレクタ端子が前記第2の定電流源に接続され、ゲート端子又はベース端子が前記第2の定電流源及び前記第4のトランジスタのゲート端子又はベース端子に接続される第5のトランジスタと、

前記第5のトランジスタのソース端子又はエミッタ端子と前記基準電位ノードとの間に接続される第3の抵抗とを有することを特徴とする請求項1～3のいずれか1項に記載の固体撮像装置。 20

【請求項5】

前記複数の画素は、行列状に配列され、

前記複数の信号線は、前記複数の画素の列毎に接続される複数の信号線であり、

前記複数の第1のトランジスタは、ソース端子又はエミッタ端子が相互に接続され、

前記第1の抵抗は、前記相互に接続されたソース端子又はエミッタ端子と前記基準電位ノードとの間に接続されることを特徴とする請求項1～4のいずれか1項に記載の固体撮像装置。

【請求項6】

光電変換を行う光電変換素子を含む複数の画素と、

前記複数の画素の信号が出力される複数の信号線と、

前記複数の信号線に定電流を流すための第1の定電流回路と、

定電流を流すための第2の定電流回路とを有し、

前記第1の定電流回路は、

複数の第1のトランジスタと、

前記複数の第1のトランジスタのソース端子又はエミッタ端子と基準電位ノードとの間に共通に接続される1個の第1の抵抗と、

ドレイン端子又はコレクタ端子が前記複数の信号線に接続され、ソース端子又はエミッタ端子が抵抗を介することなく前記複数の第1のトランジスタのドレイン端子又はコレクタ端子に接続される複数の第3のトランジスタとを有し、 40

前記複数の第1のトランジスタのソース端子又はエミッタ端子は、前記1個の第1の抵抗に直接接続され、

前記第2の定電流回路は、

ゲート端子又はベース端子が前記複数の第1のトランジスタのゲート端子又はベース端子に接続される第2のトランジスタと、

前記第2のトランジスタのソース端子又はエミッタ端子と基準電位ノードとの間に接続される第2の抵抗と、

ゲート端子又はベース端子が前記複数の第3のトランジスタのゲート端子又はベース端子に接続され、ソース端子又はエミッタ端子が前記第2のトランジスタのドレイン端子又 50

はコレクタ端子及びゲート端子又はベース端子に接続される第4のトランジスタと、

前記第4のトランジスタのゲート端子又はベース端子及びドレイン端子又はコレクタ端子に接続される第1の定電流源とを有することを特徴とする固体撮像装置。

【請求項7】

光電変換を行う光電変換素子を含む複数の画素と、

前記複数の画素の信号を増幅する複数のアンプと、

前記複数のアンプに定電流を流すための第1の定電流回路と、

定電流を流すための第2の定電流回路とを有し、

前記第1の定電流回路は、

複数の第1のトランジスタと、

前記複数の第1のトランジスタのソース端子又はエミッタ端子と基準電位ノードとの間に共通に接続される1個の第1の抵抗と、

ドレイン端子又はコレクタ端子が前記複数のアンプに接続され、ソース端子又はエミッタ端子が抵抗を介することなく前記複数の第1のトランジスタのドレイン端子又はコレクタ端子に接続される複数の第3のトランジスタとを有し、

前記複数の第1のトランジスタのソース端子又はエミッタ端子は、前記1個の第1の抵抗に直接接続され、

前記第2の定電流回路は、

ゲート端子又はベース端子が前記複数の第1のトランジスタのゲート端子又はベース端子に接続される第2のトランジスタと、

前記第2のトランジスタのソース端子又はエミッタ端子と基準電位ノードとの間に接続される第2の抵抗と、

ゲート端子又はベース端子が前記複数の第3のトランジスタのゲート端子又はベース端子に接続され、ソース端子又はエミッタ端子が前記第2のトランジスタのドレイン端子又はコレクタ端子に接続される第4のトランジスタと、

前記第2のトランジスタのゲート端子又はベース端子及び前記第4のトランジスタのドレイン端子又はコレクタ端子に接続される第1の定電流源とを有することを特徴とする固体撮像装置。

【請求項8】

前記第2の定電流回路を流れる電流は、前記第1の定電流回路を流れる電流のM倍であり、

前記第2の抵抗の値は、前記第1の抵抗の値の $1/M$ 倍であることを特徴とする請求項7記載の固体撮像装置。

【請求項9】

さらに、前記第4のトランジスタのゲート端子又はベース端子に接続される定電圧源を有することを特徴とする請求項7又は8記載の固体撮像装置。

【請求項10】

さらに、第2の定電流源と、

ドレイン端子又はコレクタ端子が前記第2の定電流源に接続され、ゲート端子又はベース端子が前記第2の定電流源及び前記第4のトランジスタのゲート端子又はベース端子に接続される第5のトランジスタと、

前記第5のトランジスタのソース端子又はエミッタ端子と前記基準電位ノードとの間に接続される第3の抵抗とを有することを特徴とする請求項7～9のいずれか1項に記載の固体撮像装置。

【請求項11】

前記複数の画素は、行列状に配列され、

前記複数のアンプは、前記複数の画素の列毎に接続される複数のアンプであり、

前記複数の第1のトランジスタは、ソース端子又はエミッタ端子が相互に接続され、

前記第1の抵抗は、前記相互に接続されたソース端子又はエミッタ端子と前記基準電位ノードとの間に接続されることを特徴とする請求項7～10のいずれか1項に記載の固体

10

20

30

40

50

撮像装置。

【請求項 1 2】

光電変換を行う光電変換素子を含む複数の画素と、
前記複数の画素の信号を増幅する複数のアンプと、
前記複数のアンプに定電流を流すための第 1 の定電流回路と、
定電流を流すための第 2 の定電流回路とを有し、
前記第 1 の定電流回路は、
複数の第 1 のトランジスタと、
前記複数の第 1 のトランジスタのソース端子又はエミッタ端子と基準電位ノードとの間に共通に接続される 1 個の第 1 の抵抗と、

10

ドレイン端子又はコレクタ端子が前記複数のアンプに接続され、ソース端子又はエミッタ端子が抵抗を介することなく前記複数の第 1 のトランジスタのドレイン端子又はコレクタ端子に接続される複数の第 3 のトランジスタとを有し、

前記複数の第 1 のトランジスタのソース端子又はエミッタ端子は、前記 1 個の第 1 の抵抗に直接接続され、

前記第 2 の定電流回路は、

ゲート端子又はベース端子が前記複数の第 1 のトランジスタのゲート端子又はベース端子に接続される第 2 のトランジスタと、

前記第 2 のトランジスタのソース端子又はエミッタ端子と基準電位ノードとの間に接続される第 2 の抵抗と、

20

ゲート端子又はベース端子が前記複数の第 3 のトランジスタのゲート端子又はベース端子に接続され、ソース端子又はエミッタ端子が前記第 2 のトランジスタのドレイン端子又はコレクタ端子及びゲート端子又はベース端子に接続される第 4 のトランジスタと、

前記第 4 のトランジスタのゲート端子又はベース端子及びドレイン端子又はコレクタ端子に接続される第 1 の定電流源とを有することを特徴とする固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関する。

【背景技術】

30

【0002】

近年、固体撮像装置として、撮像領域の画素内部に増幅素子を有する CMOS 型固体撮像装置が普及してきている。CMOS 型固体撮像装置は、マトリクス状に配列された画素の各々が光電変換素子と増幅素子を有し、増幅された光電変換信号を列毎に共通化された垂直信号線で読み出すように構成されている。各垂直信号線は定電流源を有し、通常は MOS トランジスタである増幅素子がソースフォロワ動作をすることで信号が増幅される。特許文献 1 には、その一例が開示されている。

【先行技術文献】

【特許文献】

【0003】

40

【特許文献 1】特開 2004-165825 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献 1 には、以下のような課題がある。第一に、各垂直信号線に接続された定電流回路は水平方向に 1 次元状に配列されている。列数分の定電流回路に流れる電流がバイアスの基準となるグラウンド電位に向かって流れ、グラウンド線の配線抵抗により本来は 0 V であるグラウンド電位が上昇する。この電位上昇により定電流を流している MOS トランジスタのゲートバイアス電圧が変化し、画素ソースフォロワの動作点がずれてしまう。それにより回路動作のリニアリティがずれ、画像のシェーディングなどが発生す

50

る。

【0005】

第二に、定電流のゲートバイアス線（以下、ゲートバイアス線という）は画面水平方向に長く延びている。そのために、例えばこの固体撮像装置がデジタルカメラ、デジタルビデオカメラに実装された場合、撮像装置の近傍にあるレンズ駆動用のモーターが動作した時に発生する磁気が原因となる電磁誘導による電流がゲート線を流れる。この誘導電流により、ゲート電位が変動し、画素出力が変化し、その結果、画像に“横筋”と呼ばれるノイズが発生することがわかってきた。

【0006】

この現象は、近年、デジタルカメラ、デジタルビデオカメラの高感度化の目覚ましい進展とともに顕著になってきている。すなわち、微小なゲートバイアス線の電位変動が、特に高感度設定時に画質の劣化として見えやすくなっている。

【0007】

本発明の目的は、画質の劣化を防止することができる固体撮像装置を提供することである。

【課題を解決するための手段】

【0008】

本発明の固体撮像装置は、光電変換を行う光電変換素子を含む複数の画素と、前記複数の画素の信号が出力される複数の信号線と、前記複数の信号線に定電流を流すための第1の定電流回路と、定電流を流すための第2の定電流回路とを有し、前記第1の定電流回路は、複数の第1のトランジスタと、前記複数の第1のトランジスタのソース端子又はエミッタ端子と基準電位ノードとの間に共通に接続される1個の第1の抵抗と、ドレイン端子又はコレクタ端子が前記複数の信号線に接続され、ソース端子又はエミッタ端子が抵抗を介することなく前記複数の第1のトランジスタのドレイン端子又はコレクタ端子に接続される複数の第3のトランジスタとを有し、前記複数の第1のトランジスタのソース端子又はエミッタ端子は、前記1個の第1の抵抗に直接接続され、前記第2の定電流回路は、ゲート端子又はベース端子が前記複数の第1のトランジスタのゲート端子又はベース端子に接続される第2のトランジスタと、前記第2のトランジスタのソース端子又はエミッタ端子と基準電位ノードとの間に接続される第2の抵抗と、ゲート端子又はベース端子が前記複数の第3のトランジスタのゲート端子又はベース端子に接続され、ソース端子又はエミッタ端子が前記第2のトランジスタのドレイン端子又はコレクタ端子に接続される第4のトランジスタと、前記第2のトランジスタのゲート端子又はベース端子及び前記第4のトランジスタのドレイン端子又はコレクタ端子に接続される第1の定電流源とを有することを特徴とする。

【発明の効果】

【0009】

第1のトランジスタのゲートバイアス線が電磁誘導などの外乱によって電位変動しにくくなり、基準電位ノードの電位上昇によって第1のトランジスタに流れる定電流が変動することを抑制出来る。その結果、画像のシェーディング、横筋発生などを軽減する事が出来る。

【図面の簡単な説明】

【0010】

【図1】本発明の第1の実施形態の概念を説明するための図である。

【図2】本発明の第1の実施形態の固体撮像装置の回路構成図である。

【図3】本発明の第2の実施形態の固体撮像装置の回路構成図である。

【図4】本発明の第2の実施形態の概念を説明するための図である。

【図5】本発明の第3の実施形態の固体撮像装置の回路構成図である。

【図6】本発明の第4の実施形態の固体撮像装置の回路構成図である。

【図7】本発明の第5の実施形態の固体撮像装置の回路構成図である。

【図8】本発明の第6の実施形態の概念を説明するための図である。

【図 9】本発明の第 6 の実施形態の固体撮像装置の回路構成図である。

【図 10】本発明の第 7 の実施形態の固体撮像装置の回路構成図である。

【図 11】本発明の第 8 の実施形態の固体撮像装置の回路構成図である。

【図 12】本発明の第 9 の実施形態の固体撮像装置の回路構成図である。

【図 13】本発明の第 10 の実施形態の固体撮像装置の回路構成図である。

【図 14】本発明の第 11 の実施形態の固体撮像装置の回路構成図である。

【図 15】本発明の第 12 の実施形態の固体撮像装置の回路構成図である。

【発明を実施するための形態】

【0011】

(第 1 の実施形態)

10

図 1 (A) 及び (B) を用いて、定電流回路におけるソース抵抗 R_s の効果を確認し、それに基づく第 1 の実施形態を述べる。図 1 (A) にソース抵抗 R_s を有する定電流回路、図 1 (B) にソース抵抗 R_s のない定電流回路を示す。ここで、 R_s は、ソースに付加される抵抗 (ソース抵抗) である。 i_{out} は、出力電流 I_{out} の交流成分である。 v_g は、カレントミラー MOS トランジスタのゲート電位 V_g の交流成分である。 V_{th} は、MOS トランジスタの閾値電圧である。 g_m は、相互コンダクタンスである。

【0012】

ソース抵抗 R_s がある場合、図 1 (A) のように、定電流回路に流れる電流 I_{out} の交流成分 i_{out} は、次式 (1) で表される。

20

【0013】

【数 1】

$$i_{out} = v_g \frac{1}{\frac{1}{g_m} + R_s} \cdots (1)$$

【0014】

ソース抵抗 R_s がない場合、図 1 (B) のように、定電流回路に流れる電流 I_{out} の交流成分 i_{out} は、次式 (2) で表される。

【0015】

30

【数 2】

$$i_{out} = v_g g_m \cdots (2)$$

【0016】

「交流成分」は小信号振幅の入出力を記述したものであるから、「電流の変化分」「電圧の変化分」と言い換えてもよい。式 (1) 及び (2) を比べると、ゲート電圧 V_g の変動に対しての定電流回路に流れる電流 I_{out} の交流成分 i_{out} 、すなわちゲート電位 V_g の変動は、式 (1) でソース抵抗 R_s が大きいほど、小さい事がわかる。このようにソース抵抗 R_s を有する定電流回路は、その抵抗 R_s がない場合と比較して、ゲート電位 V_g 、グランド電位の変動に対して流れる電流 I_{out} の変動が少ない、という利点がある。式 (1) の定電流回路の考え方を固体撮像装置に適用した場合の第 1 の実施形態を、図 2 に示す。

40

【0017】

図 2 は、本発明の第 1 の実施形態の固体撮像装置の画素領域と、画素領域の画素列方向に延在する垂直信号線に接続されている定電流源を示している。説明の便宜上、複数の画素 1 は 2 列 × 3 行分だけを記載しているが、実際の固体撮像装置では列数及び行数は数百から数千を数える。また、固体撮像装置は、図 2 に記載された回路以外に、垂直信号線から出力された信号を増幅する回路、共通の水平出力線へ転送する回路、垂直水平方向に信号を走査する回路などを有する。

50

【0018】

複数の画素1は、2次元行列状に配列される。画素1の内部において、7は光電変換を行う光電変換素子（フォトダイオード）、8は行選択MOSトランジスタ、9は画素ソースフォロワMOSトランジスタ、10は画素電荷を転送するMOSトランジスタである。光電変換素子7は、光電変換により信号を生成する。MOSトランジスタ10は、光電変換素子7により生成された信号をMOSトランジスタ9のゲート端子に転送する。行選択MOSトランジスタ8が列方向に一斉にオンすると、ソースフォロワMOSトランジスタ9のゲート電位に応じた出力が垂直信号線6に現われる。複数の垂直信号線6は、複数の画素1の列毎に、各列の画素1に接続され、複数の画素1の信号が出力される。その際の駆動電流をIとする。第1の定電流源2を流れる電流は、駆動電流Iの10倍の電流10 × Iである。第2のトランジスタ3は、定電流源を構成するN型MOSトランジスタである。4は定電流バイアス線である。第1のトランジスタ5は、各画素1に対応した定電流動作を行うN型MOSトランジスタである。N型MOSトランジスタ3及び5はカレントミラー回路を構成しており、画素1の垂直信号線6に流れる電流は第2のトランジスタ3と第1のトランジスタ5のサイズ比で決定される。この場合、サイズ比は10：1であるので、第1の定電流源2の1/10の電流Iが第1のトランジスタ5に流れ、各画素ソースフォロワMOSトランジスタ9に相当するソースフォロワの駆動電流となる。

10

【0019】

第1の定電流回路は、第1のトランジスタ5及び第1の抵抗101を有し、垂直信号線6に定電流Iを流す。第1のトランジスタ5は、ドレインが垂直信号線6に接続される。第1の抵抗101は、第1のトランジスタ5のソース端子と基準電位ノード（グランド電位ノード）との間に接続される。第2の定電流回路は、第1の定電流源2、第2のトランジスタ3及び第2の抵抗102を有し、定電流を流す。第2のトランジスタ3は、ゲート端子が第1のトランジスタ5のゲート端子に接続される。第2の抵抗102は、第2のトランジスタ3のソース端子と基準電位ノードとの間に接続される。第1の定電流源2は、第2のトランジスタ3のドレイン端子及びゲート端子に接続される。

20

【0020】

ここで、第1の抵抗101は、本実施形態の特徴であるソース端子に付加されたソース抵抗であり、第2の102はそれに対応する定電流源部分のソース端子に接続されたソース抵抗である。第1の抵抗101は、第1のトランジスタ5のソース端子及び基準電位ノード間に接続されるソース抵抗である。第2の抵抗102は、第2のトランジスタ3のソース端子及び基準電位ノード間に接続されるソース抵抗である。抵抗102、101を付加した場合でも、カレントミラー回路のミラー性は成立し、ミラー比は流れる電流の逆数となる。2つの抵抗102及び101の抵抗比は、第2の抵抗102の抵抗値：第1の抵抗101の抵抗値 = 1：10となるように設定する。すなわち、第2のトランジスタ（第2の定電流回路）3を流れる電流は、第1のトランジスタ（第1の定電流回路）5を流れる電流のM倍であり、第2の抵抗102の値は、第1の抵抗101の値の1/M倍である。これは、第2のトランジスタ3及び第1のトランジスタ5のソース電位を同一にし、N型MOSトランジスタ3、5のソース及びドレイン間電圧を同一にするためである。第1の抵抗101と第2の抵抗102の比は上記のように、カレントミラー比の逆数にするのが望ましい。この値にずれがあっても、ゲート電位V_gが変動した時の電流変動を小さくする効果は依然としてある。

30

40

【0021】

第1の抵抗101の抵抗値は、垂直信号線6に接続される基準電位線（グランド線）が列方向に延在することにより生じる配線抵抗の値より充分大きいことが必要である。グランド線の列方向の抵抗値は、固体撮像装置の画素数、画素領域の寸法、設計により異なるが、例えば、配線抵抗が1kΩであれば、第1の抵抗101は10kΩ～100kΩ程度が望ましい。垂直信号線6を流れる定電流Iの大きさも、第1の抵抗101の値に影響を与える。例えば、垂直信号線6を流れる定電流Iは5μA～20μAであるが、この電流Iと第1の抵抗101の値の積で計算される電圧値が0.2V程度を超えないことが望ま

50

しい。何故なら、画素１の回路の電源電圧が２．５～５．０Ｖであるのに対して、第１の抵抗１０１の両端の電位降下が０．２Ｖ程度以上あると、回路の信号振幅に影響が出始めるからである。

【００２２】

（第２の実施形態）

図３は、本発明の第２の実施形態の固体撮像装置であり、第１の実施形態と同じく、画素領域と垂直信号線６の定電流回路の一部を示したものである。図中、参照符号１、２、４、５、６は、第１の実施形態と同じであるので説明を割愛する。本実施形態では、定電流回路を構成する駆動トランジスタをバイポーラトランジスタとしている。第１の定電流回路は、第１のトランジスタ４１及び第１の抵抗１１１を有する。第２の定電流回路は、第１の定電流源２、第２のトランジスタ３１及び第２の抵抗１１２を有する。トランジスタ１１１及び１１２はバイポーラトランジスタであり、抵抗１１１及び１１２はエミッタ抵抗である。第１のトランジスタ４１は、コレクタ端子が垂直信号線６に接続される。第１の抵抗１１１は、第１のトランジスタ４１のエミッタ端子と基準電位ノードとの間に接続される。第２のトランジスタ３１は、ベース端子が第１のトランジスタ４１のベース端子に接続される。第２の抵抗１１２は、第２のトランジスタ３１のエミッタ端子と基準電位ノードとの間に接続される。第１の定電流源２は、第２のトランジスタ３１のコレクタ端子及びゲート端子に接続される。第２のトランジスタ３１及び第２の抵抗１１２は第２の定電流回路を構成し、第１の定電流源２に応じて生成された電圧を、バイアス線５１を通じて第１のトランジスタ４１に伝えている。トランジスタ３１及び抵抗１１２とトランジスタ４１及び抵抗１１１はバイポーラ型のカレントミラー回路を構成し、バイポーラトランジスタ４１及び３１のエミッタの面積の比率、抵抗値の比率の逆数に比例して電流が流れる。図３においては、第１の定電流源２の電流＝１０×Ｉ、素子比率＝１０倍、であるので垂直信号線６にはＩの電流が流れる。

【００２３】

図４（Ａ）及び（Ｂ）を用いて、エミッタ抵抗の効果の説明する。図４（Ａ）はエミッタ抵抗 R_e を付加した定電流回路、図４（Ｂ）はエミッタ抵抗 R_e のない定電流回路である。ＭＯＳトランジスタの場合と同様に、 v_b はベース電位 V_b の交流成分、 v_e はエミッタ電位 V_e の交流成分、 R_e はエミッタ抵抗、 i_{out} はバイポーラトランジスタの電流 I_{out} の交流成分である。図４（Ｂ）のエミッタ抵抗 R_e のない場合、電流 I_{out} の交流成分 i_{out} は、次式（３）となる。ここで、 $g_{mb} = q/KT$ である。

【００２４】

【数３】

$$i_{out} = g_{mb} v_b \cdots (3)$$

【００２５】

また、図４（Ａ）のエミッタ抵抗 R_e のある場合は、ベース電位の交流成分 v_b は次式（４）で表される。

【００２６】

【数４】

$$v_b = v_{be} + v_e = \frac{i_{out}}{g_{mb}} + R_e i_{out} \cdots (4)$$

【００２７】

式（４）より、電流 I_{out} の交流成分 i_{out} は、次式（５）で表される。

【００２８】

10

20

30

40

【数 5】

$$i_{out} = \frac{v_b}{\frac{1}{g_{mb}} + R_e} \dots (5)$$

【0029】

これは、式（１）と同様に、ベース電位 V_b の変動がエミッタ抵抗 R_e により抑制される事を表している。すなわち、バイポーラトランジスタを用いた定電流回路においても、エミッタ抵抗 R_e を用いた定電流回路はバイアス線 51 の電位変動による電流変動を抑制するのにも有用である。抵抗 111 と 112 の抵抗比率の考え方、抵抗 111 と定電流回路のグランド線の抵抗との大小関係の設計手法は第 1 の実施形態と同じである。

10

【0030】

(第 3 の実施形態)

図 5 は、本発明の第 3 の実施形態の固体撮像装置の回路構成図であり、参照符号 1、2、4、5、6、101、102 は第 1 の実施形態と同じであるため説明を割愛する。図中、第 2 のトランジスタ 3 は定電流源の N 型 MOS トランジスタであり、ゲート接地用 N 型 MOS トランジスタ 104 のドレイン電極にゲート電極 4 が接続されている。受け側のカレントミラーも同様なゲート接地用 N 型 MOS トランジスタ 103 が挿入されていることで、第 1 のトランジスタ 5 のドレイン電圧の変動が抑制され、定電流性、出力変動耐性が向上する。N 型 MOS トランジスタ 103 と N 型 MOS トランジスタ 104 ゲート幅 W は 1 : 10 の比率で構成されている。106 は定電圧源であり、N 型 MOS トランジスタ 103 及び 104 のゲート線 105 を駆動する電源である。

20

【0031】

以下、本実施形態が第 1 の実施形態と異なる点を説明する。第 1 の定電流回路は、第 1 のトランジスタ 5 及び第 1 の抵抗 101 の他、第 3 のトランジスタ 103 を有する。第 3 のトランジスタ 103 は、ドレイン端子が垂直信号線 6 に接続され、ソース端子が第 1 のトランジスタ 5 のドレイン端子に接続される。第 2 の定電流回路は、第 1 の定電流源 2、第 2 のトランジスタ 3 及び第 2 の抵抗 102 の他、第 4 のトランジスタ 104 を有する。第 4 のトランジスタ 104 は、ゲート端子が第 3 のトランジスタ 103 のゲート端子に接続され、ソース端子が第 2 のトランジスタ 3 のドレイン端子に接続される。第 1 の定電流源 2 は、第 2 のトランジスタ 3 のゲート端子及び第 4 のトランジスタ 104 のドレイン端子に接続される。定電圧源 106 は、第 4 のトランジスタ 104 のゲート端子に接続される。

30

【0032】

N 型 MOS トランジスタ 104 の役割は、画素 1 からの出力信号の電位が低くなり、定電流回路の駆動トランジスタのドレイン電圧が低下した時に、駆動トランジスタが 3 極管動作から 5 極管動作に遷移することで定電流性が損なわれる現象を軽減することである。本実施形態の効果である「ゲート線の電位変動による定電流回路の電流変動を抑制する効果」と類似する。しかし、本実施形態がある信号レベルでの微小な電位変動を対象としているのに対して、ゲート接地トランジスタは、垂直信号線 6 に現れる信号電位の大きな変動を対象としている。両者を組み合わせることで、全体として、ゲート線の電位変動に対して定電流回路がより変動しにくい回路を構成することができ、固体撮像装置の画質向上に寄与する。

40

【0033】

(第 4 の実施形態)

図 6 は、本発明の第 4 の実施形態の固体撮像装置の回路構成図であり、参照符号 1、2、3、4、5、6、101、102、103、104、105 は第 3 の実施形態と同じであるため説明を割愛する。以下、本実施形態が第 3 の実施形態と異なる点を説明する。図 5 の定電圧源 106 は削除される。第 5 のトランジスタ 112 は、ドレイン端子が第 2 の

50

定電流源 113 に接続され、ゲート端子が第 2 の定電流源 113 及び第 4 のトランジスタ 104 のゲート端子に接続される N 型 MOS トランジスタである。第 3 の抵抗 111 は、第 5 のトランジスタ 112 のソース端子と基準電位ノードとの間に接続される。第 5 のトランジスタ 112 は、第 4 のトランジスタ 104 のゲート接地電圧を生成するための N 型 MOS トランジスタである。ゲート接地トランジスタ 103 のゲート電圧を N 型 MOS トランジスタ 112 で構成することで、ゲート接地電圧が N 型 MOS トランジスタの閾値電圧 V_{th} に連動するため、MOS トランジスタの閾値電圧変動、温度変動に対して安定な動作が可能となる。

【0034】

(第 5 の実施形態)

図 7 は、本発明の第 5 の実施形態の固体撮像装置の回路構成図であり、参照符号 1、2、4、5、6 は第 1 の実施形態と同じであるため説明を割愛する。また、バイポーラトランジスタ 31 及び 41、エミッタ抵抗 111 及び 112、バイアス線 51 は、第 2 の実施形態と同じである。以下、本実施形態が第 2 の実施形態と異なる点を説明する。第 1 の定電流回路は、第 1 のトランジスタ 41 及び第 1 の抵抗 111 の他、第 3 のトランジスタ 113 を有する。第 3 のトランジスタ 113 は、コレクタ端子が垂直信号線 6 に接続され、エミッタ端子が第 1 のトランジスタ 41 のコレクタ端子に接続されるバイポーラトランジスタである。第 2 の定電流回路は、第 1 の定電流源 2、第 2 のトランジスタ 31 及び第 2 の抵抗 112 の他、第 4 のトランジスタ 114 を有する。第 4 のトランジスタ 114 は、ベース端子が第 3 のトランジスタ 113 のベース端子に接続され、エミッタ端子が第 2 のトランジスタ 31 のコレクタ端子に接続されるバイポーラトランジスタである。第 1 の定電流源 2 は、第 4 のトランジスタ 114 のコレクタ端子及びベース端子に接続される。第 2 のトランジスタ 31 は、ベース端子及びコレクタ端子が相互に接続される。定電流生成部にバイポーラトランジスタ 114、画素定電流部にバイポーラトランジスタ 113 を付加、すなわちベース接地回路を付加することでバイポーラトランジスタ 41 のコレクタ電位の変動を抑制し、より安定な定電流回路を実現している。その際にも、抵抗 111、112 によりグランド線の影響を緩和、抑制し、所望の電流を得ることができる。

【0035】

(第 6 の実施形態)

式 (1) で示す通り、定電流回路のソース側に付加した抵抗 R_s の抵抗値は値が大きいほど、定電流の安定化に大きな効果が得られる。より大きな抵抗を付加した場合と同じ効果を、より小さいレイアウト面積で実現することを第 6 の実施形態で示す。式 (1) において、式 (6) とおくと、ゲート電圧 V_g の交流成分 v_g は、ソース抵抗 R_s の電圧 V_s の交流成分 v_s とゲート・ソース電圧 V_{gs} の交流成分 v_{gs} とに分解することができる。

【0036】

【数 6】

$$v_g = v_{gs} + v_s \cdots (6)$$

【0037】

ソース抵抗 R_s の電圧 V_s の交流成分 v_s は、次式 (7) で表される。

【0038】

【数 7】

$$v_s = R_s i_{out} \cdots (7)$$

【0039】

また、ゲート・ソース電圧 V_{gs} の交流成分 v_{gs} は、次式 (8) で表される。

【0040】

【数 8】

$$v_{gs} = \frac{i_{out}}{g_m} \cdots (8)$$

【0041】

図8（A）は第1～第5の実施形態で用いた定電流回路を再掲したものである。式（6）によれば、グラウンド及びゲート間の電位差 V_g はゲート・ソース電圧 V_{gs} とソース抵抗 R_s の電圧 V_s に分割されている。そのため、外乱などでゲート電位 V_g が変化した場合にも、 $1/g_m$ に対して R_s が加わったことで、電流変動が緩和される。図8（A）の様

10

【0042】

すなわち、ソース電圧 V_s の交流成分 v_s は、次式（9）で表される。

【0043】

【数 9】

$$v_s = (n \cdot i_{out})(R_s / n) = R_s i_{out} \cdots (9)$$

20

【0044】

式（9）のように、ソース電圧 V_s が保存されていれば、動作上、図8（A）と同等の効果が得られる。このようにソース抵抗 R_s を有する定電流回路が複数本ある場合は抵抗 R_s の部分をまとめても同様の効果がある事がわかる。その抵抗値は単独のものと比較し、統合数に反比例して小さくできる。例えば、第1の実施形態で10列分の20kΩの抵抗 R_s を統合したとすれば、 R_s が1/10の2kΩとなり、レイアウト面積を小さくできる。

【0045】

さらに、図8（D）のように、ソース抵抗 R_s を各列に割りつけて配置し、直列接続することで、各列の抵抗 R_s は1/10²の200Ωでよい。ソース端子のバランスを考えて、中央にソース抵抗の端子を接続する図8（E）の方法も良い方法である。いずれもソース抵抗は統合列数の2乗に反比例して小さくすることができる。抵抗をまとめる際に、まとめるための配線の抵抗が、付加する抵抗より充分小さいことが必要である。固体撮像装置全列を1つにまとめる必要はなく、ひとまとめにした複数列を1つのブロックとして、このブロックを複数個配置しても構わない。

30

【0046】

図9は、図8で示した抵抗値の設計を固体撮像装置に適用した、本発明の第6の実施形態である。図中、201は統合されたソース抵抗であり、202は共通ソース電極であり、211は統合された定電流ブロックである。第1のトランジスタ5は、5個毎に相互にソース端子が接続される。相互に接続されたソース端子は、共通ソース電極202に接続される。第1の抵抗201は、共通ソース電極202と基準電位ノードとの間に接続される。本実施形態では、全列を5列毎に分割して定電流を統合しているが、定電流回路の第2のトランジスタ3及び第2の抵抗102に対して整合の取れたものであれば、その数は適宜選択可能である。第1のトランジスタ5の大きさは第1、第3及び第4の実施形態と同じく W/L である。しかし、ソース抵抗201は $R/5$ となり、第1～3の実施形態の1/5の値である。これは、ソース電極202の電位が第2のトランジスタ3のソース電位と同一とするためである。

40

【0047】

すなわち、第2のトランジスタ3のソース電位は、次式（10）で表される。

50

【0048】

【数10】

$$10I \bullet \frac{R}{10} = IR \dots (10)$$

【0049】

また、抵抗201には、5個の第1のトランジスタ5から5×Iの電流が流れるため、ソース電位をIRとするには、ソース抵抗201は、次式(11)で表され、前述のように統合数に反比例して抵抗値を小さくできる。

10

【0050】

【数11】

$$\frac{I \bullet R}{5I} = \frac{R}{5} \dots (11)$$

【0051】

例えば、通常、外乱、変動に耐性のあるソース抵抗での電位は0.2V以上である、とすると、図中、Iは10μA程度とすると、ソース抵抗201は4kΩである。

【0052】

20

(第7の実施形態)

図10は、本発明の第7の実施形態の固体撮像装置の回路構成図であり、図5に対し、第6の実施形態を適用したものである。第1のトランジスタ5は、5個毎に相互にソース端子が接続される。相互に接続されたソース端子は、共通ソース電極202に接続される。第1の抵抗201は、共通ソース電極202と基準電位ノードとの間に接続される。ゲート接地電圧源106及びゲート接地電流源N型MOSトランジスタ104で生成されたバイアスをN型MOSトランジスタ103にて受け、各定電流性を向上させている。

【0053】

(第8の実施形態)

図11は、本発明の第8の実施形態の固体撮像装置の回路構成図であり、図6に対し、第6の実施形態を適用したものである。第1のトランジスタ5は、5個毎に相互にソース端子が接続される。相互に接続されたソース端子は、共通ソース電極202に接続される。第1の抵抗201は、共通ソース電極202と基準電位ノードとの間に接続される。電圧生成部は、図6と同様に、定電流源113、N型MOSトランジスタ112及びソース抵抗111により構成される。この様な回路構成にすることで、閾値変動、温度変動などの各変動に対し、耐性が向上する。

30

【0054】

(第9の実施形態)

図12は、本発明の第9の実施形態の固体撮像装置の回路構成図であり、図10に対し、別なゲート接地回路の電圧生成部を追加したものである。図7と同様に、N型MOSトランジスタ3及び104は、それぞれ、ドレイン及びゲートが相互に接続される。第1の定電流回路は、第1のトランジスタ5及び第1の抵抗201の他、第3のトランジスタ103を有する。第3のトランジスタ103は、ドレイン端子が垂直信号線6に接続され、ソース端子が第1のトランジスタ5のドレイン端子に接続されるN型MOSトランジスタである。第2の定電流回路は、第1の定電流源2、第2のトランジスタ3及び第2の抵抗102の他、第4のトランジスタ104を有する。第4のトランジスタ104は、ゲート端子が第3のトランジスタ103のゲート端子に接続され、ソース端子が第2のトランジスタ3のドレイン端子に接続されるN型MOSトランジスタである。第1の定電流源2は、第4のトランジスタ104のドレイン端子及びゲート端子に接続される。第2のトランジスタ3は、ゲート端子及びドレイン端子が相互に接続される。第1のトランジスタ5は、

40

50

5 個毎に相互にソース端子が接続される。相互に接続されたソース端子は、共通ソース電極 202 に接続される。第 1 の抵抗 201 は、共通ソース電極 202 と基準電位ノードとの間に接続される。本実施形態は、第 8 の実施形態に比べ、動作する電圧範囲は狭くなるが、電流源での消費電流が小さくなる。

【0055】

(第 10 の実施形態)

図 13 は、本発明の第 10 の実施形態の固体撮像装置の回路構成図であり、図 3 に対応する。定電流回路がバイポーラトランジスタ 31 及び 41 の場合でも、エミッタ抵抗 211 を統合することで、小さな抵抗値で大きな効果が得られる。図中、参照符号 2、31、51、112、41、6 は、第 2 の実施形態と同一であり、説明を割愛する。第 1 のトランジスタ 41 は、5 個毎に相互にエミッタ端子が接続される。相互に接続されたエミッタ端子は、共通エミッタ電極 212 に接続される。第 1 の抵抗 211 は、共通エミッタ電極 212 と基準電位ノードとの間に接続される。定電流ブロック 219 で 5 系統の統合を行い、バイポーラトランジスタ 41 のエミッタを共通エミッタ電極 212 で共通化する。共通エミッタ電極 212 からエミッタ抵抗 211 を通じて接地させ、その抵抗 211 は通常のエミッタ抵抗の $1/5$ である。バイポーラトランジスタの場合はエミッタ電位が 0.1 V もあれば十分にその抑圧効果がある。そのため、垂直信号線 6 に流れる電流 I が同様に $10 \mu A$ とすると、エミッタ抵抗の抵抗値 R_e は、統合なしの場合は $R_e = 10 k \Omega$ 、統合した場合は $R_e (211) = 2 k \Omega$ である。

【0056】

(第 11 の実施形態)

第 1 ～第 11 の実施形態は全て画素ソースフォロワの負荷の定電流に関してであったが、配列したオペアンプなどにも適用できる。図 14 は、本発明の第 11 の実施形態の 1 次元又は 2 次元に配列されたオペアンプ 401 ～403 を有する固体撮像装置の回路構成図である。図中、401、402、403 は、1 次元に配列されたオペアンプである。オペアンプ 401 ～403 の入力端子 I_N は、それぞれ図 2 の複数の垂直信号線 6 に接続される。

【0057】

図 2 のように、複数の画素 1 は、光電変換を行う光電変換素子 7 を含む。オペアンプ 401 ～403 は、複数の画素 1 の信号を増幅する。第 1 の定電流回路は、第 1 のトランジスタ 5 及び第 1 の抵抗 101 を有し、オペアンプ 401 ～403 に定電流を流す。第 2 の定電流回路は、第 1 の定電流源 2、第 2 のトランジスタ 3 及び第 2 の抵抗 102 を有し、定電流を流す。第 1 のトランジスタ 5 は、ドレイン端子がオペアンプ 401 ～403 に接続される N 型 MOS トランジスタである。第 1 の抵抗 101 は、第 1 のトランジスタ 5 のソース端子と基準電位ノードとの間に接続される。第 2 のトランジスタ 3 は、ゲート端子が第 1 のトランジスタ 5 のゲート端子に接続される N 型 MOS トランジスタである。第 2 の抵抗 102 は、第 2 のトランジスタ 3 のソース端子と基準電位ノードとの間に接続される。第 1 の定電流源 2 は、第 2 のトランジスタ 3 のドレイン端子及びゲート端子に接続される。第 2 のトランジスタ (第 2 の定電流回路) 3 を流れる電流は、第 1 のトランジスタ (第 1 の定電流回路) 5 を流れる電流の M 倍であり、第 2 の抵抗 102 の値は、第 1 の抵抗 101 の値の $1/M$ 倍である。

【0058】

複数の第 1 のトランジスタ 5 及び第 1 の抵抗 101 は、オペアンプ 401 ～403 の動作電流を流す定電流回路である。2 は定電流源である。第 2 のトランジスタ 3 は、第 1 のトランジスタ 5 のカレントミラーの元の 10 倍サイズの N 型 MOS トランジスタである。第 2 の抵抗 102 は、第 2 のトランジスタ 3 のソース抵抗である。第 1 のトランジスタ 5 のゲート電圧は、第 1 の定電流源 2 に応じて決まり、バイアス線 4 を通じて第 1 のトランジスタ 5 に伝達される。同一の回路が同一のバイアス線により駆動されている場合、その揺らぎが同時刻に発生し、線状のキズとなる場合があり、画像上好ましくない。本実施形態を用いると、その揺らぎが、大きく抑圧され、線キズが軽微となる。

【0059】

(第12の実施形態)

図15は、本発明の第12の実施形態の固体撮像装置の回路構成図である。本実施形態は、第11の実施形態でのオペアンプの定電流回路を5個統合した実施形態である。第1のトランジスタ5は、5個毎に相互にソース端子が接続される。相互に接続されたソース端子は、共通ソース電極202に接続される。第1の抵抗201は、共通ソース電極202と基準電位ノードとの間に接続される。固体撮像装置は、各列にオペアンプを用いた増幅器を配置する場合が多く、その際には本実施形態が有効である。図中、参照符号2、3、4、102は、第12の実施形態と同一であるので説明を割愛する。図9と同様に、5個のオペアンプの定電流回路の第1のトランジスタ5のソースを共通ソース電極202により統合して共通ソース抵抗201により接地させる。これにより、比較的小さな抵抗にて大きなソース抵抗を有する定電流回路と同等の効果が得られ、画像上の線キズなどを抑制でき、良好な画像を得ることができる。

10

【0060】

以上、説明したように、固体撮像装置は、CMOSセンサーなど各画素にソースフォロワを有する1次元もしくは2次元の光センサーである。本実施形態は、その定電流回路にソース抵抗を用いた定電流源を用いる事、さらにそのソース部分を接続したブロックを構成し、そこにソース抵抗を付加することにより、外乱による誘導、グランド電位の上昇に対する耐性を向上する事が出来る。これにより、横筋などの画像の不安定を抑圧する事が出来、より良い画像を得る事が出来る。すなわち、垂直信号線6の定電流回路のゲートバイアス線5が電磁誘導などの外乱によって電位変動しにくくなり、定電流回路のグランド電位の上昇によって駆動電流が変動することを抑制する事が出来る。その結果、固体撮像装置が取得する画像のシェーディング、横筋発生などの課題を軽減する事が出来る。

20

【0061】

なお、第1～第12の実施形態において、トランジスタはMOSトランジスタであっても、バイポーラトランジスタであってもよい。その場合、MOSトランジスタのゲート端子、ドレイン端子及びソース端子は、それぞれバイポーラトランジスタのベース端子、コレクタ端子及びエミッタ端子に対応する。また、第11及び第12の実施形態のオペアンプ401～403に接続される定電流回路についても、第2～第10の実施形態を適用することができる。

30

【0062】

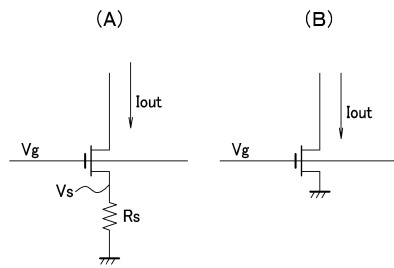
なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【符号の説明】

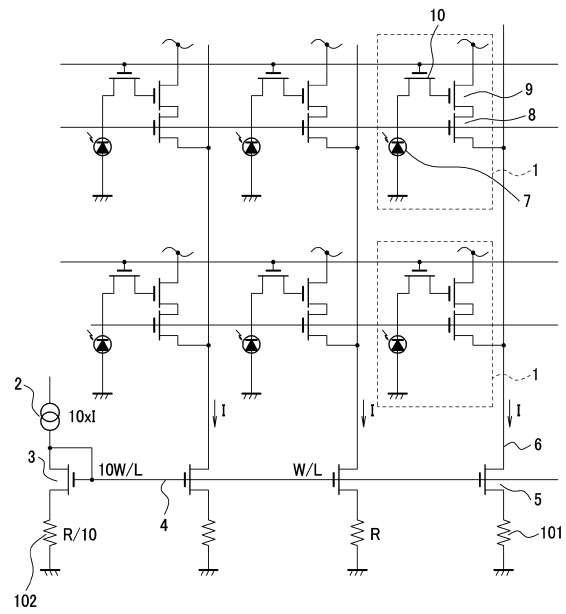
【0063】

1 画素、6 垂直信号線、5 第1のトランジスタ、101 第1の抵抗

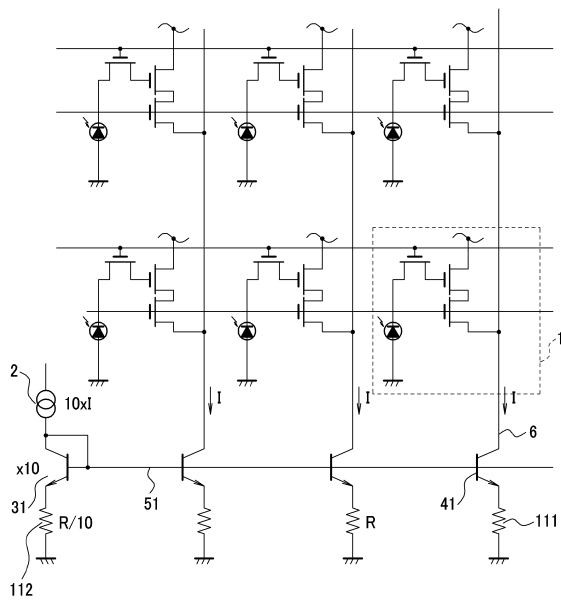
【図 1】



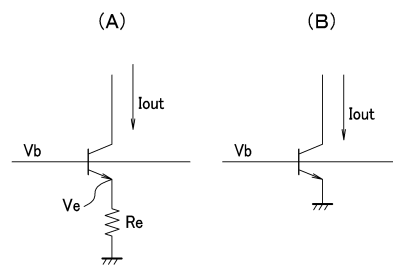
【図 2】



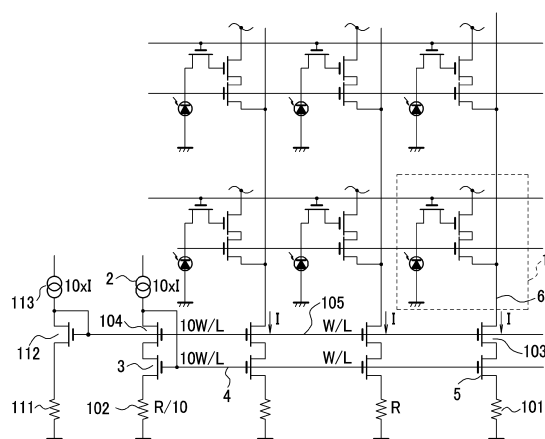
【図 3】



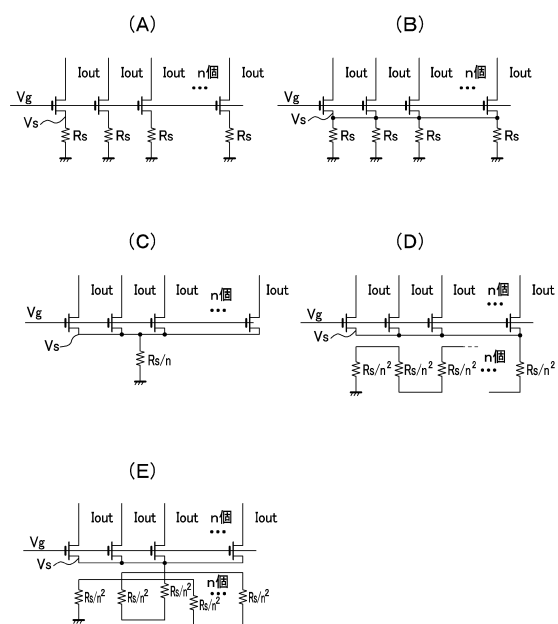
【図 4】



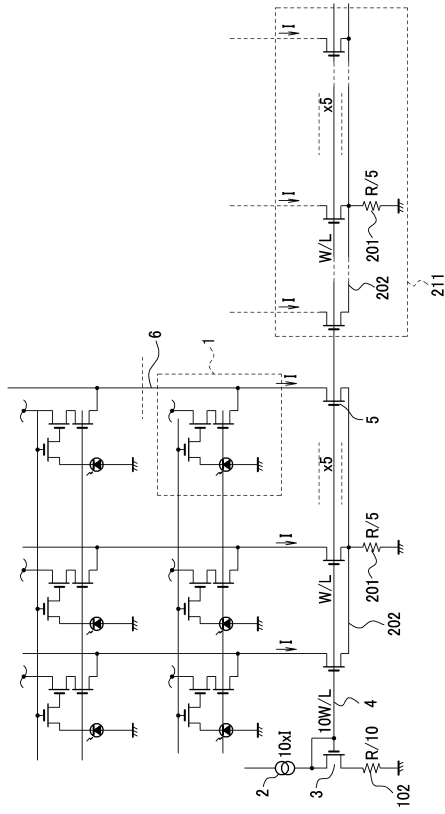
【図 6】



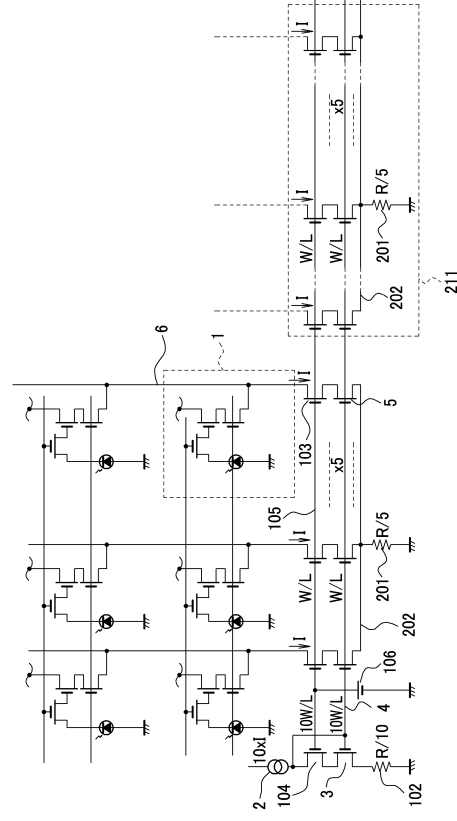
【図 8】



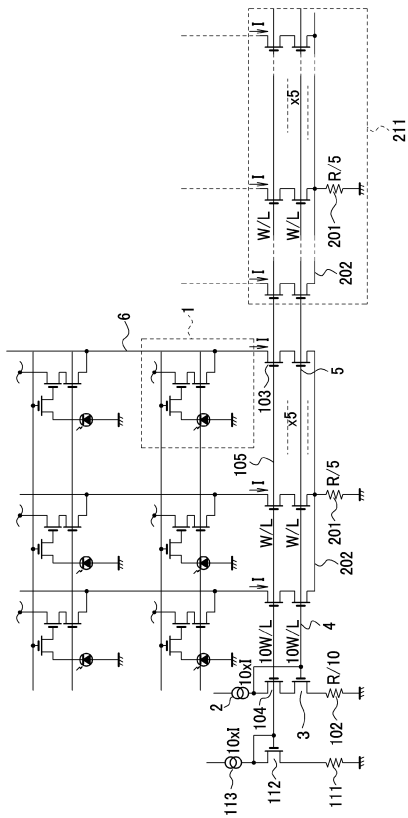
【図 9】



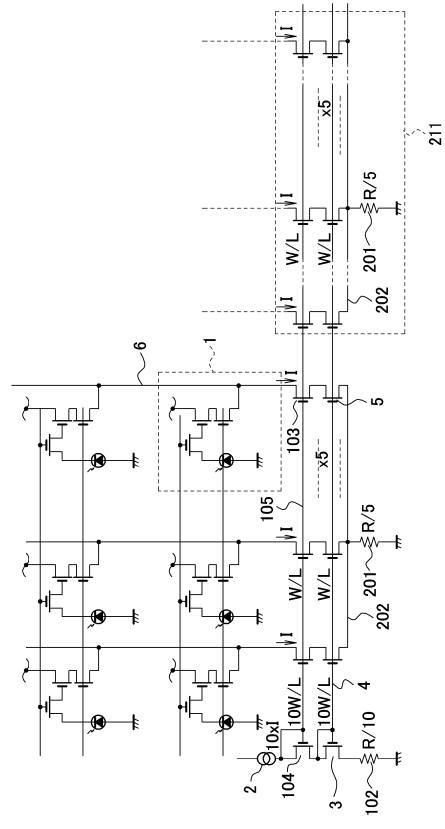
【図 10】



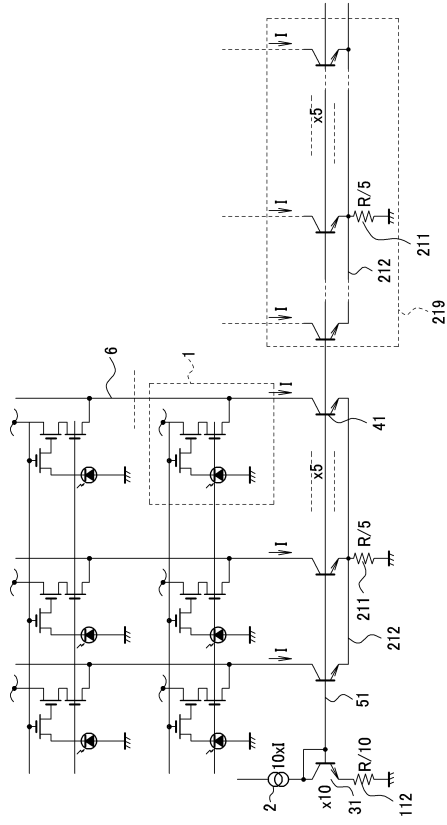
【図 11】



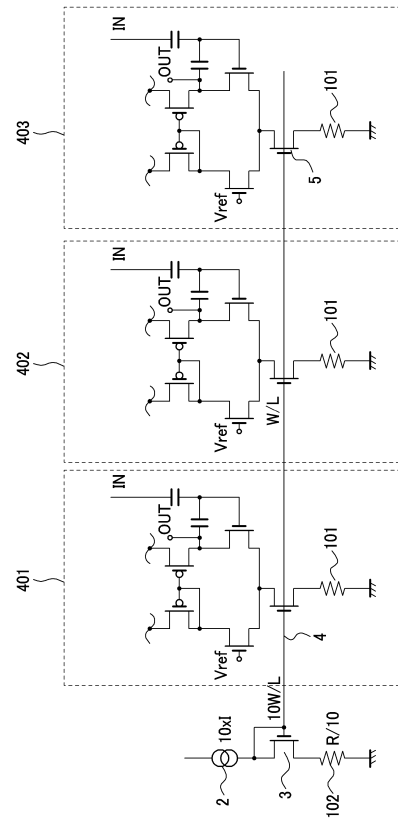
【図 12】



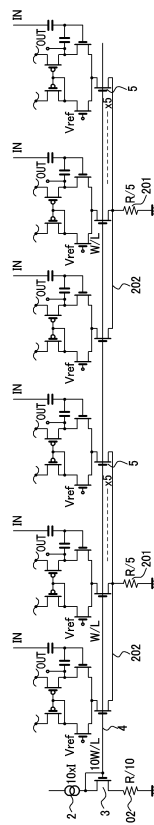
【図 13】



【図 14】



【図 15】



フロントページの続き

- (56)参考文献 米国特許出願公開第2008/0210848 (US, A1)
特開平09-148853 (JP, A)
特開平02-244309 (JP, A)
特開平11-266399 (JP, A)
米国特許出願公開第2006/0125566 (US, A1)

- (58)調査した分野(Int.Cl., DB名)
H04N 5/357
H04N 5/374
H04N 5/378