

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 11 月 29 日 (29.11.2012)



WIPO | PCT



(10) 国际公布号
WO 2012/159492 A1

(51) 国际专利分类号:
G11C 11/409 (2006.01)

(21) 国际申请号: PCT/CN2012/072967

(22) 国际申请日: 2012 年 3 月 23 日 (23.03.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201110138945.6 2011 年 5 月 26 日 (26.05.2011) CN

(71) 申请人(对除美国外的所有指定国): 忆正科技(武汉)有限公司 (MEMORIGHT(WUHAN) CO., LTD.) [CN/CN]; 中国湖北省武汉市关山一路光谷软件园 C3 栋三楼 301-303 室, Hubei 430070 (CN)。

(72) 发明人: 及

(75) 发明人/申请人(仅对美国): 霍文捷 (HUO, Wenjie) [CN/CN]; 中国湖北省武汉市关山一路光谷软件园 C3 栋三楼 301-303 室, Hubei 430070 (CN)。 邢冀鹏 (XING, Jipeng) [CN/CN]; 中国湖北省武汉市关山一路光谷软件园 C3 栋三楼 301-303 室, Hubei 430070

(CN)。 周东霞 (ZHOU, Dongxia) [CN/CN]; 中国湖北省武汉市关山一路光谷软件园 C3 栋三楼 301-303 室, Hubei 430070 (CN)。

(74) 代理人: 北京市德权律师事务所等 (BEIJING DEQUAN LAW FIRM et al.) 等; 中国北京市朝阳区朝外大街乙 12 号昆泰国际大厦 1008 室, Beijing 100020 (CN)。

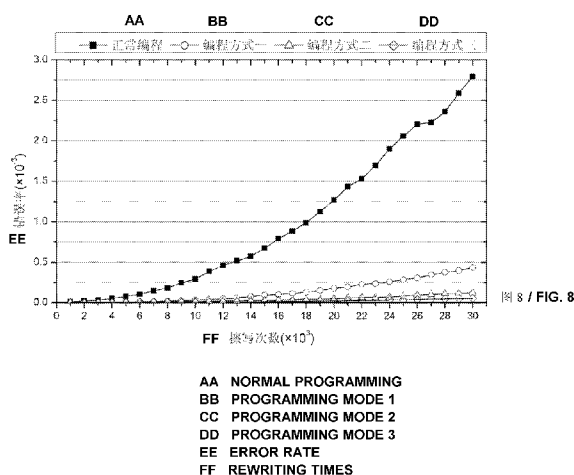
(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: MULTI-LAYER STORAGE FLASH MEMORY ARRAY PROGRAMMING MODE AND SWITCHING CONTROL METHOD THEREOF

(54) 发明名称: 多层式存储闪存阵列的编程方式及其切换控制方法



(57) Abstract: The present invention relates to a programming mode for improving the reliability of a multi-layer storage flash memory device in a semiconductor storage field. The present invention provides several programming modes for improving the reliability of a multi-layer storage flash memory device and switching control methods thereof, based on the technical conception of skipping some specific logic pages in the programming process to reduce the impact of the floating gate coupling effect on the operation of the flash memory. By skipping some logic pages, the present invention effectively reduces the floating gate coupling effect in the horizontal, diagonal and vertical directions of the multi-layer storage flash memory in the programming process. Therefore, the error rate is reduced, the service life of the device is prolonged, and the reliability of the whole system is enhanced.

(57) 摘要: 本发明涉及半导体存储领域多层式存储闪存器件的可靠性的编程方式。本发明基于在编程的过程中跳过一些特定逻辑页, 以降低浮栅耦合效应对的闪存操作影响的技术构思, 提出几种提高多层式存储闪存器件的编程方式及其切换控制方法。通过跳过某些逻辑页, 本发明有效降低了多层式存储闪存存在编程过程中水平、对角、垂直方向的浮栅耦合效应, 从而降低错误率, 延长器件的使用寿命, 提高系统整体的可靠性。



BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

- 关于申请人有权申请并被授予专利(细则 4.17(ii))

- 关于申请人有权要求在先申请的优先权(细则 4.17(iii))

- 发明人资格(细则 4.17(iv))

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

多层式存储闪存阵列的编程方式及其切换控制方法

技术领域

本发明涉及半导体存储领域，尤其涉及到固态硬盘控制器、闪存控制器等以闪存器件为存储介质的场合中，提高多层式存储闪存器件的可靠性的编程方式。

背景技术

不同与单层式存储闪存，多层式存储闪存器件的存储单元可以通过设置多组阈值电压来保存多位的逻辑信息，从而达到在不增加硬件开销的前提下，显著提高闪存器件的存储容量。多层式存储闪存器件由于具有集成度高、成本低的优势，已成为闪存器件的主流。

为了能在同一存储单元中保存多位数据，多层式存储闪存中的存储单元需要进行多次编程，如图 1 所示。当只对多层式存储闪存中的 MSB 位进行写操作，多层式存储闪存直接由擦除状态“E”转移进入第二编程状态“D2”，其编程所需时间最少。当对多层式存储闪存中的 LSB 页进行写操作时，多层式存储闪存由擦除状态“E”跳转入第一编程状态“D1”。而当多层式存储闪存需要改变 MSB 和 LSB 位的状态时，编程工作通过两轮操作完成：第一轮操作首先由擦除状态“E”跳转到第一编程状态“D1”，第二轮操作再由第一编程状态“D1”跳转至第三编程状态“D3”。

多层式存储闪存内部的阵列结构如图 2 所示。多层式存储闪存中物理单元的 MSB 位和 LSB 位分别映射到 MSB 页和 LSB 页中。在 WL0 行上的物理单元，分别映射到页 0、1、4 和 5 中。其中，页 0 和页 1 为 MSB 页，页 4 和页 5 为 LSB 页。在 WL1 行上的物理单元，分别映射到页 2、3、8 和 9 中，其中，页 2 和页 3 为 MSB 页，页 8 和页 9 为 LSB 页。同类依次类推，在最后一行 WL63 上，页 250 和页 251 为 MSB 页，页 254 和页 255 为 LSB 页。

在小于 45nm 的闪存器件中，存在着严重的浮栅耦合效应。如图 3 所示，闪存阵列中某一存储单元的浮栅电压变化会对周围存储单元的浮栅电压造

成扰动，从而导致周围存储单元中保存的数据发生意外翻转。

在闪存器件中所存在的这种浮栅耦合效应严重干扰了闪存所保存的数据。特别对于多层式存储闪存来说，由于其需要对存储单元进行多次编程，因此浮栅耦合效应所造成的影响会更加。多层式存储闪存的可靠性远不如传统的单层式存储闪存。因此，闪存控制器中需要采取可靠性增强技术来抑制多层式存储闪存的错误率，延长器件的使用寿命。

发明内容

本发明所要解决的技术问题是提供一种提高多层式存储闪存器件可靠性的编程方式，减小多层式存储闪存存在使用过程中的错误率，延长器件的使用寿命，提高系统整体的可靠性。

为解决上述技术问题，本发明提出的提高多层式存储闪存器件可靠性、降低多层式存储闪存错误率的技术构思是通过在编程的过程中跳过一些特定逻辑页的方法，降低浮栅耦合效应对的闪存操作的影响。

基于上述技术构思，本发明提出了三种具体的多层式存储闪存阵列的编程方式，该多层式存储闪存阵列由闪存控制器完成操作，其特征在于，在闪存控制器对闪存进行编程过程中选择跳过部分逻辑页进行编程，且可选择跳过不同的方向上的 LSB 页，其中至少包括三种编程方式：

编程方式一、该方法在编程过程中选择跳过的逻辑页的编号 N_{pass} 为：

$$N_{pass} = \begin{cases} 4i, & 1 \leq i \leq 63 \\ 254, & i = 64 \end{cases}$$

其中， i 为自然数，且 $1 \leq i \leq 64$ 。通过跳过这些逻辑页，能够有效降低多层式存储闪存存在编程过程中水平方向的浮栅耦合效应，从而降低错误率。

编程方式二，在编程过程中选择跳过的逻辑页编号 N_{pass} 符合以下规律：

$$N_{pass} = \begin{cases} 4i, & i = 2n+1 \\ 4i+1, & i = 2n \\ 255, & i = 64 \end{cases}$$

$$\text{或者, } N_{pass} = \begin{cases} 4i+1, & i = 2n+1 \\ 4i, & i = 2n \\ 254, & i = 64 \end{cases}$$

其中, n 为自然数, $1 \leq n \leq 31$ 。

编程方式二是在编程方式一的基础上进一步地予以改进的方法。编程方式二采取在编程过程中跳过多层式存储闪存物理页中对角方向上相邻的两组 LSB 页, 减少多层式存储闪存阵列在对角方向上的编程次数, 来获得更低的错误率, 降低了编程过程中闪存存储单元之间的干扰。

编程方式三、在编程过程中选择跳过需要跳过的逻辑页的编号 N_{pass} 为:

$$N_{pass} = \begin{cases} 4i+1, & i = 2n+1 \\ 4i, & i = 2n+1 \end{cases}$$

$$\text{或者, } N_{pass} = \begin{cases} 4i+1, & i = 2n \\ 4i, & i = 2n \end{cases}$$

其中, n 为自然数, 且 $0 \leq n \leq 31$ 。

编程方式三是在编程方式二的基础上进行改善, 减少存储单元阵列中垂直方向上的相互干扰。编程方式三在编程过程中跳过多层式存储闪存物理页中间隔物理行的相邻两组的 LSB 页, 减少多层式存储闪存阵列在垂直方向上的编程次数, 来获得更低的错误率, 降低了编程过程中闪存存储单元之间的干扰。

上述三种不同的编程方式明显地减低了闪存块的错误率, 提高了闪存阵列的可靠性。

为了能进一步延长闪存器件的工作寿命, 本发明还进一步提出了一种多层式存储闪存阵列编程方式的切换控制方法, 包括以下步骤:

根据闪存错误的数目, 在闪存控制器中, 由小到大依次设定了三个阶段的阈值, 分别是第一阈值、第二阈值、第三阈值;

当多层式存储闪存开始投入使用时, 采取普通正常的编程方式, 即编程

时对多层式存储闪存块中所有的逻辑页进行写操作，同时，监控使用过程中的错误数目；

当该块在使用过程中的错误达到第一阈值时，控制器将采取编程方式一对多层式存储闪存进行编程操作，同时继续监控多层式存储闪存的错误数目；

在接下来的使用过程中，当该块在使用过程中的错误增加达到第二阈值时，将控制器的编程方式由编程方式一切换至编程方式二，并继续监控闪存的错误情况；

当错误数继续增加并达到第三阈值时，控制器将采用编程方式三编程，即以最优化方式对多层式存储闪存进行操作。

通过这样的切换方式，控制器可以平衡各个物理存储单元的编程次数，并获取最低的错误率，从而在容量和错误率之间达到平衡，有效地延长多层式存储闪存的使用寿命。

附图说明

下面结合附图和具体实施方式对本发明的技术方案作进一步具体说明。

图 1. 多层式存储闪存器件的状态转移图。

图 2. 多层式存储闪存器件的存储阵列图。

图 3. 多层式存储闪存器件的浮栅耦合效应。

图 4. 编程方式一的编程序列。

图 5. 编程方式二的编程序列。

图 6. 编程方式三的编程序列。

图 7. 编程方式一、二、三的编程页的比较图。

图 8. 编程方式一、二、三的实验测试结果比较图。

图 9. 多层式存储闪存器件的编程方式的切换控制流程图。

具体实施方式

多层式存储闪存在编程的过程中都是以物理块为单位进行的。然而编程过程中，物理块内部的各个页之间存在着浮栅耦合效应。这种浮栅耦合效应分别对存储阵列中的水平、对角以及垂直方向上的相邻存储单元造成干扰。本发明为了能够有效减小浮栅耦合效应，设计了三种编程方式，通过在编程过程中跳过相邻存储单元的特殊编程页的方式分别减小水平、对角以及垂直方向上的浮栅耦合效应，并在此基础上，采用多种编程方式切换的方式均衡损耗，进一步延长闪存器件的寿命。

编程方式一是在编程的过程中选择跳过多层式存储闪存中块的某些逻辑页，从而改善水平方向上的浮栅耦合效应。编程方式一的具体编程方式如图 4 所示。在编程开始以后，编程方式一首先依次对页 0、1、2、3 进行编程，然后跳过页 4；再对页 5、6、7 进行编程，然后跳过页 8；再对页 9、10、11 进行编程，然后跳过页 12；依次类推，在块尾，编程方式一对页 249、250、251 编程，跳过页 252；最后对页 253 和页 255 编程，跳过页 254，从而完成整个对多层式存储闪存的编程过程。在编程方式一中，需要跳过的逻辑页的编号 N_{pass} 为：

$$N_{pass} = \begin{cases} 4i, & 1 \leq i \leq 63 \\ 254, & i = 64 \end{cases}$$

其中， i 为自然数，且 $1 \leq i \leq 64$ 。编程方式一通过跳转这些页，可以有效降低多层式存储闪存在编程过程中的浮栅耦合效应，从而降低错误率。

编程方式二则在编程方式一的基础上进一步地予以改进。编程方式二主要通过减少多层式存储闪存在对角方向上的编程次数，来获得更低的错误率，其具体过程如图 5 所示。在编程开始以后，编程方式二首先依次对页 0、1、2、3 进行编程，然后跳过页 4；再对页 5、6、7、8 进行编程，然后跳过页 9；再对页 10、11 进行编程，然后跳过页 12；依次类推，在块尾，编程方式二对页 249、250、251 编程，跳过页 252；最后对页 253 和页 254 编程，跳过页 255，从而完成整个对多层式存储闪存块的编程过程。在编程方式二中，跳过的逻辑页编号 N_{pass} 符合以下规律：

$$N_{pass} = \begin{cases} 4i, & i = 2n+1 \\ 4i+1, & i = 2n \\ 255, & i = 64 \end{cases}$$

其中, n 为自然数, $1 \leq n \leq 31$ 。

此外, 编程方式二还存在着另外一种等价的编程顺序, 即跳过的逻辑页编号 N_{pass} 满足以下规律:

$$N_{pass} = \begin{cases} 4i+1, & i = 2n+1 \\ 4i, & i = 2n \\ 254, & i = 64 \end{cases}$$

其中, n 为自然数, $1 \leq n \leq 31$ 。

通过方式二的编程进一步地降低了编程过程中闪存存储单元之间的干扰。

编程方式三则是在编程方式二的基础上改善存储单元阵列中垂直方向上的相互干扰。编程方式三的具体编程方式如图 6 所示。在编程开始以后, 编程方式三首先依次对页 0、1、2、3 进行编程, 然后跳过页 4、5; 再对页 6、7、8、9、10、11 进行编程, 然后跳过页 12、13; 依次类推, 在块尾, 编程方式三对页 249、250、251 编程, 跳过页 252、253; 最后对页 254 和页 255 编程, 从而完成整个对多层式存储闪存的编程过程。在编程方式三中, 需要跳过的逻辑页的编号 N_{pass} 为:

$$N_{pass} = \begin{cases} 4i+1, & i = 2n+1 \\ 4i, & i = 2n+1 \end{cases}$$

其中, n 为自然数, 且 $0 \leq n \leq 31$ 。

此外, 编程方式三还存在着另外一种等价的编程顺序, 即跳过的逻辑页编号 N_{pass} 满足以下规律:

$$N_{pass} = \begin{cases} 4i+1, & i = 2n \\ 4i, & i = 2n \end{cases}$$

其中, n 为自然数, 且 $1 \leq n \leq 31$ 。

编程方式三通过跳转这些页，进一步地有效降低了多层式存储闪存存在编程过程中的浮栅耦合效应，从而降低错误率。

通过以上的编程方式对闪存进行编程后，闪存中的编程页如图 7 所示。编程方式一跳过闪存块中同一物理行上的一组 LSB 页；编程方式二跳过闪存块中对角方向上的两组 LSB 页；编程方式三跳过闪存块中间隔物理行的两组相邻 LSB 页。

这三种不同的编程方式明显地改善了闪存块的错误率，如图 8 所示。在经过 3 万次的循环擦写后，采用正常方式编程的闪存块的错误率最高，采用编程方式一的闪存块的错误率明显比正常编程方式的低，而采用编程方式二的闪存块的错误率又低于编程方式一，采用编程方式三的闪存块的错误率最低。

为了能进一步延长闪存器件的工作寿命，本发明采取了多种编程方式相切换的控制方法，平衡闪存器件的损耗，其控制流程如图 9 所示。根据闪存错误的数目，在闪存控制器中，由小到大依次设定了三个层阶的阈值，分别是第一阈值、第二阈值、第三阈值；这三组阈值的设定可由技术人员事先通过对闪存器件进行压力实验，并根据测试闪存器件的寿命情况来先验设定。例如，第一阈值设定在错误率达到 2.5×10^{-5} ，第二阈值设定在错误率达到 5×10^{-5} ，第三阈值设定在错误率达到 8×10^{-5} 。当多层式存储闪存开始投入使用时，采取正常的编程方式，即编程时对多层式存储闪存块中所有的逻辑页进行写操作，同时，监控使用过程中的错误数目。当该块在使用过程中的错误达到第一阈值时，控制器将采取编程方式一对多层式存储闪存进行编程操作，同时继续监控多层式存储闪存的错误数目。在接下来的使用过程中，当该块在使用过程中的错误达到第二阈值时，控制器的编程方式由编程方式一切换到编程方式二并继续监控闪存的错误情况。在错误数

继续增加并达到第三阈值后，控制器将采用编程方式三编程，即以最优化方式对多层式存储闪存进行操作。通过这样的切换方式，控制器可以平衡各个物理存储单元的编程次数，并获取最低的错误率，从而在容量和错误率之间达到平衡，有效地延长多层式存储闪存的使用寿命。

最后所应说明的是，以上具体实施方式仅用以说明本发明的技术方案而非限制，尽管参照较佳实施例对本发明进行了详细说明，本领域的普通技术人员应当理解，可以对本发明的技术方案进行修改或者等同替换，而不脱离本发明技术方案的精神和范围，其均应涵盖在本发明的权利要求范围当中。

权 利 要 求 书

1、一种多层式存储闪存阵列的编程方式，该多层式存储闪存阵列由闪存控制器完成操作，其特征在于，在闪存控制器对闪存进行编程过程中选择跳过部分逻辑页进行编程，且可选择跳过不同的方向上的 LSB 页，其中至少包括三种编程方式：

编程方式一：在编程过程中选择跳过多层式存储闪存物理页中水平方向上相邻的一组 LSB 页进行编程，减少多层式存储闪存阵列在水平方向上的编程次数，所述被跳过的逻辑页的编号 N_{pass} 为：

$$N_{pass} = \begin{cases} 4i, & 1 \leq i \leq 63 \\ 254, & i = 64 \end{cases}$$

其中， i 为自然数，且 $1 \leq i \leq 64$ ；

或，

编程方式二：在编程过程中选择跳过部分逻辑页进行编程，在编程过程中跳过多层式存储闪存物理页中对角方向上相邻的两组 LSB 页，减少多层式存储闪存阵列在对角方向上的编程次数，所述被跳过的逻辑页的编号 N_{pass} 为：

$$N_{pass} = \begin{cases} 4i, & i = 2n+1 \\ 4i+1, & i = 2n \\ 255, & i = 64 \end{cases}, \text{ 或者,}$$

$$N_{pass} = \begin{cases} 4i+1, & i = 2n+1 \\ 4i, & i = 2n \\ 254, & i = 64 \end{cases}$$

其中， n 为自然数， $1 \leq n \leq 31$ ；

或，

编程方式三：在编程过程中跳过多层式存储闪存物理页中间隔物理行的相邻两组的 LSB 页，减少多层式存储闪存阵列在垂直方向上的编程次数，

所述被跳过的逻辑页的编号 N_{pass} 为：

$$N_{pass} = \begin{cases} 4i+1, i = 2n+1 \\ 4i, i = 2n+1 \end{cases}, \text{ 或者,}$$

$$N_{pass} = \begin{cases} 4i+1, i = 2n \\ 4i, i = 2n \end{cases}$$

其中, n 为自然数, 且 $0 \leq n \leq 31$ 。

2、一种根据权利要求 1 所述的多层式存储闪存阵列编程方式的切换控制方法, 其特征在于, 包括以下步骤:

当多层式存储闪存开始投入使用时, 采取正常的编程方式, 即编程时对多层式存储闪存块中所有的逻辑页进行写操作, 同时, 监控使用过程中的错误数目;

当该块在使用过程中的错误达到第一阈值时, 控制器将采取所述编程方式一对多层式存储闪存进行编程操作, 同时继续监控多层式存储闪存的错误数目;

在继续使用过程中, 当该块在使用过程中的错误增加达到第二阈值时, 将控制器的编程方式由所述编程方式一切换到所述编程方式二, 并继续监控闪存的错误情况;

3、根据权利要求 2 所述的多层式存储闪存阵列编程方式的切换控制方法, 其特征在于, 还包括以下步骤:

切换到所述编程方式二并继续对多层式存储闪存进行编程操作的过程中, 当监控闪存的错误数继续增加并达到第三阈值时, 控制器将采用所述编程方式三编程, 即以最优化方式对多层式存储闪存进行操作。

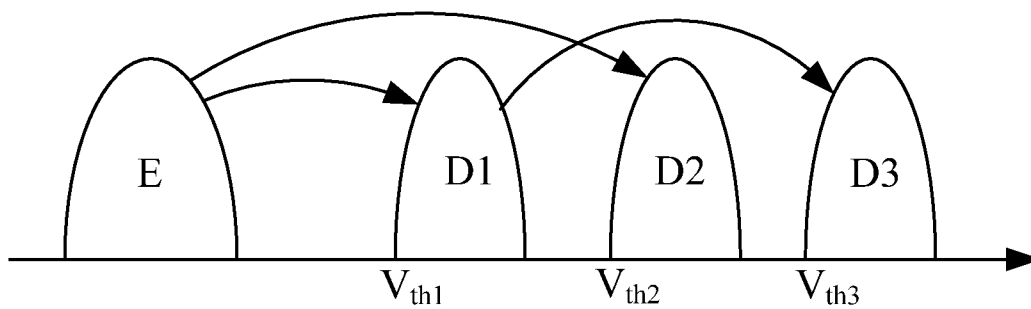


图 1

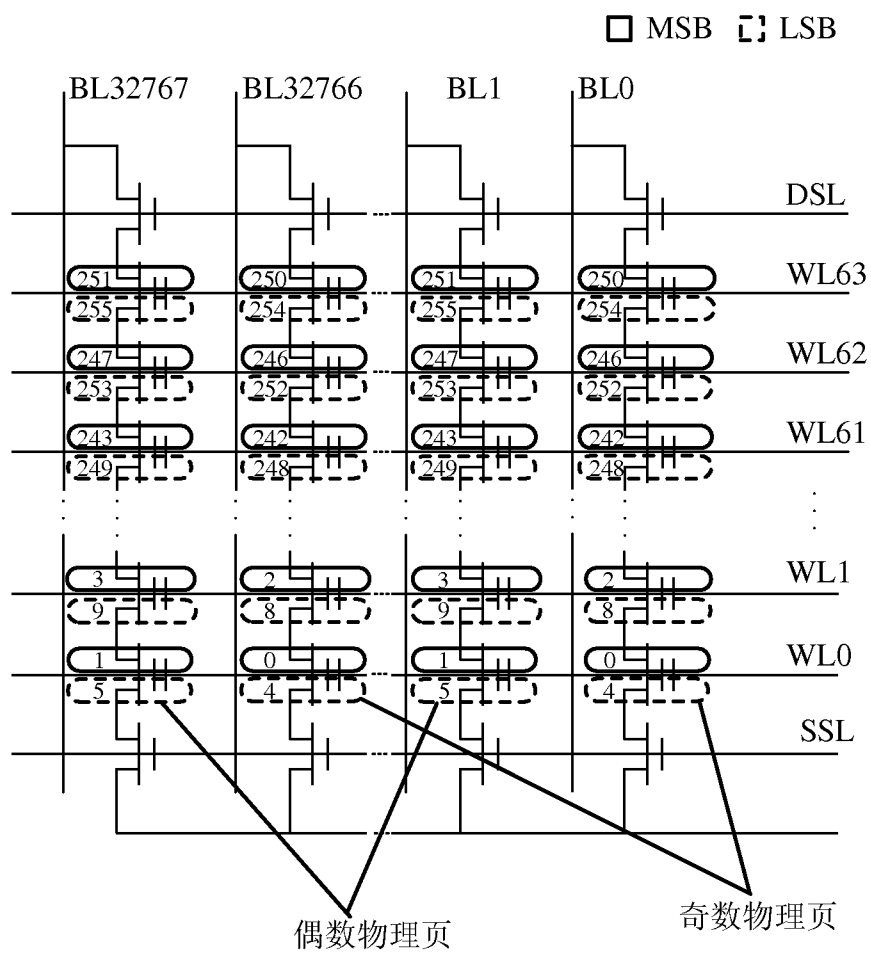


图 2

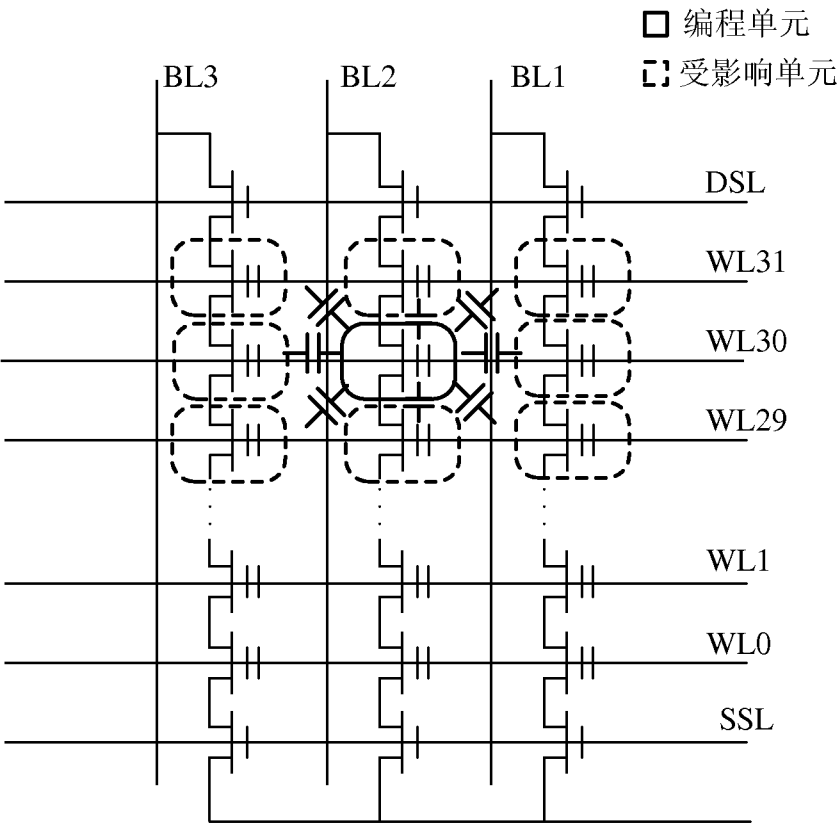


图 3

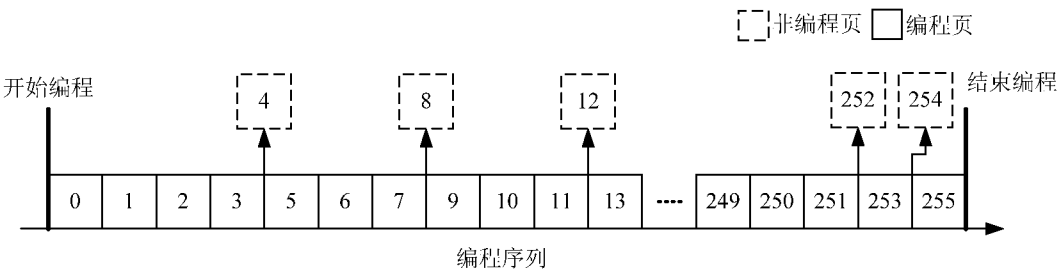


图 4

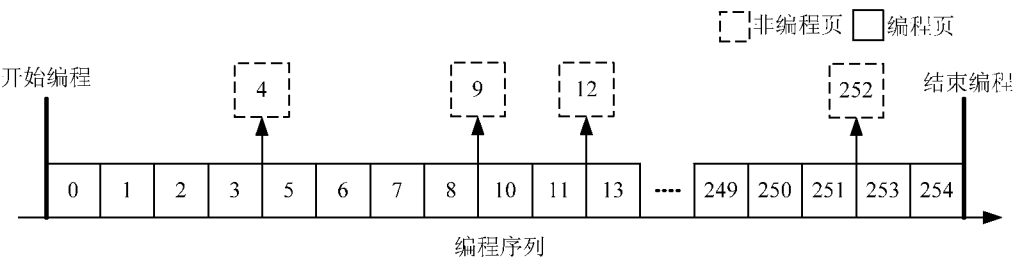


图 5

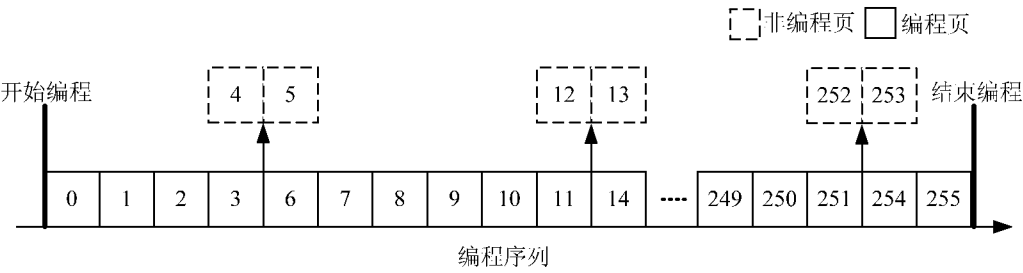


图 6

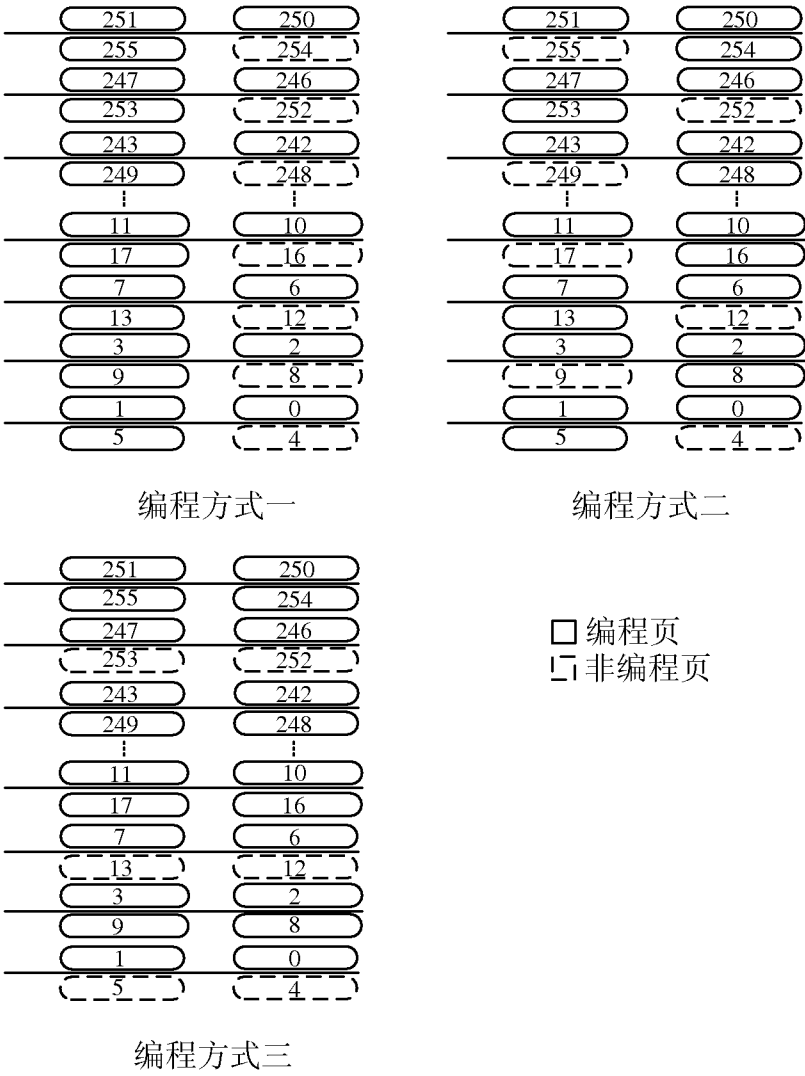


图 7

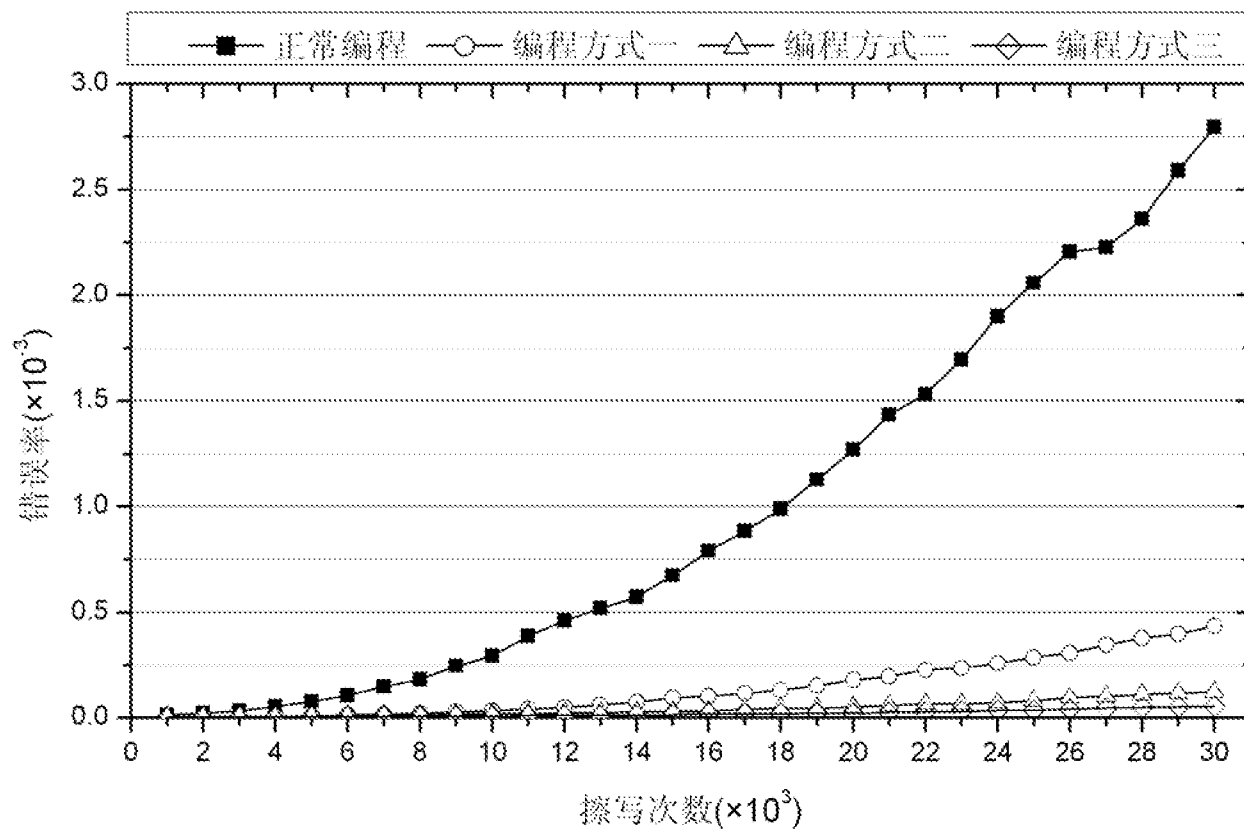


图 8

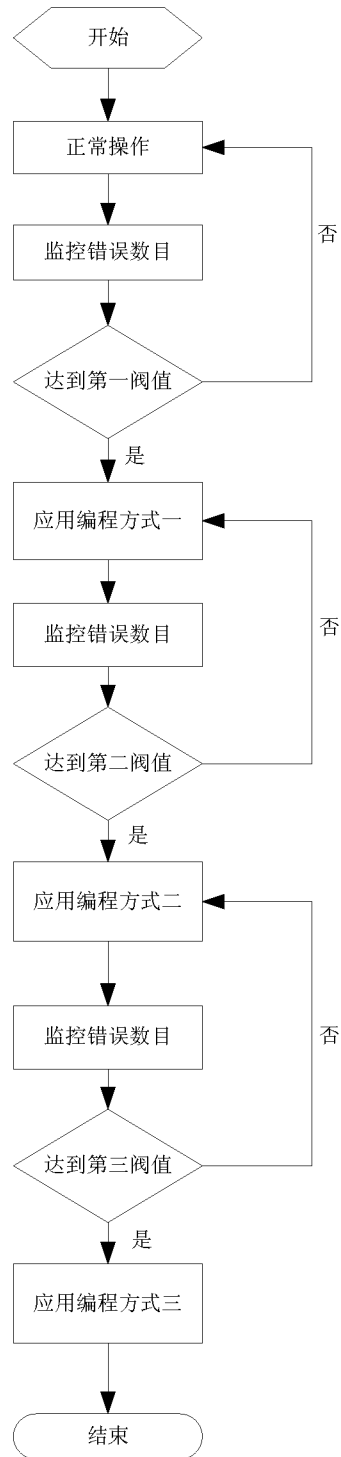


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/072967**A. CLASSIFICATION OF SUBJECT MATTER**

G11C 11/409 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G11C 11/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CPRS, EPODOC, WPI: multilayer multilevel logical page MLC multi level cell flash program+ horizontal diagonal vertical perpendicular time? threshold

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101430933 A (SAMSUNG ELECTRONICS CO., LTD.), 13 May 2009 (13.05.2009), the whole document	1-3
A	CN 101506900 A (MICRON TECHNOLOGY, INC.), 12 August 2009 (12.08.2009), the whole document	1-3
P, X	CN 102347069 A (MEMORIGHT MEMORITECH (WUHAN) CO., LTD.), 08 February 2012 (08.02.2012), claims 1-3	1-3

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 30 May 2012 (30.05.2012)	Date of mailing of the international search report 28 June 2012 (28.06.2012)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Qiong Telephone No.: (86-10) 62411710

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/072967

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101430933 A	13.05.2009	US 2009103360 A1	23.04.2009
		KR 20090041157 A	28.04.2009
		JP 2009104763 A	14.05.2009
		US 7876614 B2	25.01.2011
CN 101506900 A	12.08.2009	KR 1007751 B1	14.01.2011
		KR 20090060319 A	11.06.2009
		US 2008055984 A1	06.03.2008
		US 2009073765 A1	19.03.2009
		US 2010172175 A1	08.07.2010
		US 7457155 B2	25.11.2008
		US 7697324 B2	13.04.2010
		WO 2008027681 A2	06.03.2008
		WO 2008027681 A3	04.12.2008
CN 102347069 A	08.02.2012	None	

A. 主题的分类

G11C11/409 (2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G11C11/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI,CPRS,EPODOC,WPI:多层 多电平 快闪 编程 逻辑页 水平 垂直 对角 次数 阈值 MLC multi level cell flash program+ horizontal diagonal vertical perpendicular time? threshold

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101430933A, (三星电子株式会社), 13.5 月 2009 (13.05.2009), 全文	1-3
A	CN101506900A, (美光科技公司), 12.8 月 2009 (12.08.2009),全文	1-3
P,X	CN102347069A, (忆正存储技术(武汉)有限公司), 08.2 月 2012 (08.02.2012), 权利要求 1-3	1-3

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

30.5 月 2012 (30.05.2012)

国际检索报告邮寄日期

28.6 月 2012 (28.06.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

李琼

电话号码: (86-10) 62411710

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2012/072967

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101430933A	13.05.2009	US2009103360A1	23.04.2009
		KR20090041157A	28.04.2009
		JP2009104763A	14.05.2009
		US7876614B2	25.01.2011
CN101506900A	12.08.2009	KR1007751B1	14.01.2011
		KR20090060319A	11.06.2009
		US2008055984A1	06.03.2008
		US2009073765A1	19.03.2009
		US2010172175A1	08.07.2010
		US7457155B2	25.11.2008
		US7697324B2	13.04.2010
		WO2008027681A2	06.03.2008
		WO2008027681A3	04.12.2008
CN102347069A	08.02.2012	无	