

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY PATENTU TYMCZASOWEGO

74752

Patent tymczasowy dodatkowy
do patentu nr _____

Zgłoszono: 17.01.1972 (P. 152931)

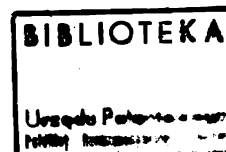
Pierwszeństwo: _____

Zgłoszenie ogłoszono: 30.05.1973

Opis patentowy opublikowano: 20.02.1975

Kl. 21a¹,36/18

MKP H03k 17/16



Twórca wynalazku: Mirosław Lorecki

Uprawniony z patentu tymczasowego: Instytut Technologii Drewna,
Poznań (Polska)

Układ elektronicznego przełącznika kluczowanego

1

Przedmiotem wynalazku jest układ elektronicznego przełącznika kluczowanego, stosowanego np. w przetwornikach cyfrowo-analogowych typu sumatora prądu.

Znane są układy elektronicznych przełączników kluczowanych stosowanych w gałęziach prądowych przetworników cyfrowo-analogowych typu sumatora prądu, w których bezpośrednio tranzystor jest wykorzystywany jako element kluczujący.

Wadą tych układów jest to, że w przypadku występowania silnych elektromagnetycznych pól zakłócających, indukują się impulsy zakłócające, które powodują częściowe odytkanie tranzystora kluczującego, co jest przyczyną powstawania znacznych błędów dynamicznych. Impulsy zakłócające są tym bardziej szkodliwe, że odytkanie tranzystora kluczującego odbywa się potencjałami różnymi od zera.

Celem wynalazku jest usunięcie tych wad przez opracowanie układu elektronicznego przełącznika kluczowanego niewrażliwego na zakłócenia od silnych pól elektromagnetycznych, które indukują impulsy napięcia na przewodach sterujących.

Zgodnie z wynalazkiem opracowano układ, który zawiera tranzystor wejściowy, dzielnik oporowy składający się z trzech oporników, zasilany ze źródła napięcia o polaryzacji przeciwnej, sterujący tranzystorem kluczującym. Kolektor tranzystora wejściowego jest połączony z masą przez załączoną

2

wstecznie diodę Zenera oraz jest połączony z dzielnikiem oporowym pomiędzy opornikiem dołączonym do dodatniego napięcia zasilającego, a opornikiem środkowym dzielnika. Baza tranzystora kluczującego jest połączona z dzielnikiem oporowym pomiędzy opornikiem dołączonym do ujemnego napięcia zasilającego i opornikiem środkowym dzielnika.

Układ według wynalazku, przez zbocznikowanie tranzystora wejściowego diodą Zenera posiada charakterystykę przejściową zbliżoną do idealnego elementu progowego oraz jest niewrażliwy w szerokim zakresie na zakłócenia od silnych pól elektromagnetycznych, które powodują zmiany wartości poziomów napięć sterujących. Ponadto przez zwarcie wejścia do masy załącza się tranzystor kluczujący, co stanowi dodatkowy czynnik zmniejszający wrażliwość układu na zakłócenia.

Układ zgodnie z wynalazkiem uwidoczniony jest w przykładzie wykonania na rysunku, na którym przedstawiono jego schemat ideowy.

Tranzystor T_2 układu elektronicznego przełącznika kluczowanego stanowi zestyk właściwy przy czym kolektor i emiter tranzystora są jego wyprowadzeniami, baza natomiast jest dołączona do punktu a dzielnika oporowego składającego się z szeregowo połączonych oporników R_2 , R_3 , R_4 , zasilanego dodatnim $+U_z$ i ujemnym $-U_z$ napięciem zasilającym.

Do punktu **b** dzielnika jest dołączona dioda Zenera **D**, zbocznikowana tranzystorem T_1 sterowanym w bazie sygnałem wejściowym.

Binarny sygnał sterujący U_w ma dwa poziomy potencjały **0** woltów i U_s woltów odpowiadające 5 sygnałom logicznym **0** i **1**. Gdy poziom sygnału wejściowego wynosi **0** woltów, to tranzystor T_1 jest zatykany i w punkcie **a** przy odpowiednim doborze oporników R_2 , R_3 , R_4 ustala się dodatni potencjał 10 przesuwiający punkt pracy tranzystora T_1 w strefę nasycenia.

W przypadku, gdy poziom sygnału wejściowego jest równy U_s , tranzystor T_1 poprzez opornik R_1 15 zostaje odetkany i potencjał punktu **b** staje się bliski lub równy zeru i w punkcie **a** ustala się potencjał ujemny przesuwiający punkt pracy tranzystora T_2 w strefę odcięcia.

Zastrzeżenie patentowe

Układ elektronicznego przełącznika kluczowanego, który zawiera dzielnik oporowy, tranzystor 5 kluczujący, tranzystor wejściowy i diodę Zenera, **znamienny tym**, że dzielnik oporowy składający się korzystnie z trzech oporników (R_2 , R_3 , R_4) jest włączony do źródła napięcia o polaryzacji przeciwnej sterując tranzystorem kluczującym (T_2), a kolektor 10 tranzystora wejściowego (T_1) jest połączony z masą przez załączoną wstecznie diodę Zenera (**D**) oraz z dzielnikiem oporowym pomiędzy opornikiem (R_2) dołączonym do dodatniego napięcia zasilającego ($+U_z$) a opornikiem środkowym (R_3) dzielnika przy 15 czym baza tranzystora kluczującego (T_2) jest połączona z dzielnikiem oporowym pomiędzy opornikiem (R_4) dołączonym do ujemnego napięcia zasilającego ($-U_z$) i opornikiem środkowym (R_3) dzielnika.

