



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2009년03월31일
 (11) 등록번호 10-0891344
 (24) 등록일자 2009년03월25일

(51) Int. Cl.

H01L 21/28 (2006.01)

(21) 출원번호 10-2003-7015760
 (22) 출원일자 2003년12월01일
 심사청구일자 2007년04월20일
 번역문제출일자 2003년12월01일
 (65) 공개번호 10-2004-0008205
 (43) 공개일자 2004년01월28일
 (86) 국제출원번호 PCT/JP2002/005250
 국제출원일자 2002년05월30일
 (87) 국제공개번호 WO 2002/99164
 국제공개일자 2002년12월12일
 (30) 우선권주장

JP-P-2001-00167355 2001년06월01일 일본(JP)
 JP-P-2001-00179341 2001년06월13일 일본(JP)

(56) 선행기술조사문헌

US05240497 A1
 US05695810 A1
 KR1019990015599 A

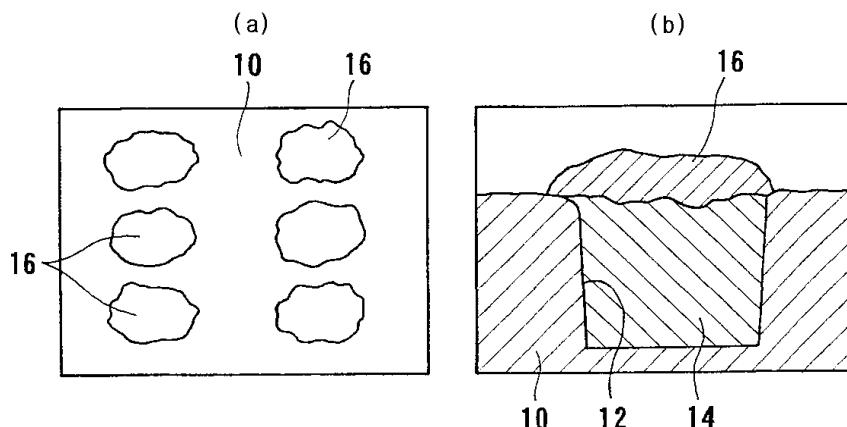
전체 청구항 수 : 총 6 항

심사관 : 김상철

(54) 무전해 도금액 및 반도체 디바이스

(57) 요 약

본 발명은, 반도체기판과 같은 반도체의 표면에 형성되는 배선을 위한 미세한 후퇴부내에 구리 또는 은과 같은 전기도체가 매입되는 배선구조를 갖는 반도체디바이스의 노출된 배선의 표면을 선택적으로 보호하기 위한 보호막을 형성하는데 유용한 무전해도금액 및 상기 노출된 배선의 표면이 보호막으로 선택적으로 보호되는 반도체디바이스에 관한 것이다. 무전해도금액은 코발트이온, 칙화제 및 알칼리금속이 포함되지 않은 환원제를 포함한다.

대 표 도 - 도7

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

매입된(embedded) 배선구조체를 갖는 반도체디바이스의 노출된 배선의 표면 상에 도금막을 선택적으로 형성하기 위한 무전해도금액에 있어서,

상기 무전해도금액은,

코발트이온;

착화제; 및

알칼리금속이 포함되지 않은 환원제를 포함하여 이루어지며,

상기 무전해도금액의 pH는, 알칼리금속이 포함되지 않은 pH조절제를 이용하여 5 내지 14 사이의 범위 내로 조절되는 것을 특징으로 하는 무전해도금액.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

매입된 배선구조체를 갖는 반도체디바이스의 노출된 배선의 표면 상에 도금막을 선택적으로 형성하기 위한 무전해도금액에 있어서,

상기 무전해도금액은,

코발트이온;

착화제;

내열금속을 함유하는 화합물; 및

알칼리금속이 포함되지 않은 환원제를 포함하여 이루어지며,

상기 무전해도금액의 pH는, 알칼리금속이 포함되지 않은 pH조절제를 이용하여 5 내지 14 사이의 범위 내로 조절되는 것을 특징으로 하는 무전해도금액.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

구리, 구리합금, 은 또는 은합금 배선의 매입된 배선구조체를 갖는 반도체디바이스에 있어서,
노출된 배선의 표면은 보호막으로 선택적으로 덮혀지고, 상기 보호막은 무전해도금액을 사용하는 무전해도금공정에 의하여 형성되고,

상기 무전해도금액은,

코발트이온;

착화제; 및

알칼리금속이 포함되지 않은 환원제를 포함하여 이루어지며,

상기 무전해도금액의 pH는, 알칼리금속이 포함되지 않은 pH조절제를 이용하여 5 내지 14 사이의 범위 내로 조절되는 것을 특징으로 하는 반도체디바이스.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

구리, 구리합금, 은 또는 은합금 배선의 매입된 배선구조체를 갖는 반도체디바이스에 있어서,
노출된 배선의 표면은 보호막으로 선택적으로 덮혀지고, 상기 보호막은 무전해도금액을 사용하는 무전해도금공정에 의하여 형성되고,

상기 무전해도금액은,

코발트이온;

착화제;

내열금속을 함유하는 화합물; 및

알칼리금속이 포함되지 않은 환원제를 포함하여 이루어지며,

상기 무전해도금액의 pH는, 알칼리금속이 포함되지 않은 pH조절제를 이용하여 5 내지 14 사이의 범위 내로 조절되는 것을 특징으로 하는 반도체디바이스.

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

반도체디바이스를 제조하는 방법에 있어서,

매입된 배선구조체를 갖는 반도체기판 상에 무전해도금액으로 무전해도금하여, 상기 반도체기판의 배선의 표면상에 도금막의 보호층을 선택적으로 형성하는 단계를 포함하여 이루어지며,

상기 무전해도금액은,

코발트이온;

착화제; 및

알칼리금속이 포함되지 않은 환원제를 포함하여 이루어지며,

상기 무전해도금액의 pH는, 알칼리금속이 포함되지 않은 pH조절제를 이용하여 5 내지 14 사이의 범위 내로 조절되는 것을 특징으로 하는 반도체디바이스를 제조하는 방법.

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

반도체디바이스를 제조하는 방법에 있어서,

매입된 배선구조체를 갖는 반도체기판 상에 무전해도금액으로 무전해도금하여, 상기 반도체기판의 배선의 표면상에 도금막의 보호층을 선택적으로 형성하는 단계를 포함하여 이루어지며,

상기 무전해도금액은,

코발트이온;

착화제;

내열금속을 함유하는 화합물; 및

알칼리금속이 포함되지 않은 환원제를 포함하여 이루어지며,

상기 무전해도금액의 pH는, 알칼리금속이 포함되지 않은 pH조절제를 이용하여 5 내지 14 사이의 범위 내로 조절되는 것을 특징으로 하는 반도체디바이스를 제조하는 방법.

명세서

기술분야

<1> 본 발명은 무전해도금액 및 반도체디바이스에 관한 것이다. 보다 상세하게는, 본 발명은, 반도체기판과 같은 기판의 표면에 형성된 배선용의 미세후퇴부에 구리 또는 은과 같은 전기적 도체가 매입되는(embedded) 매입된 배선구조체를 가지고 있는 반도체디바이스의 노출된 배선의 표면을 선택적으로 보호하기 위한 보호막을 형성하는데 유용한 무전해도금액 및 노출된 배선의 표면이 보호막으로 선택적으로 보호되는 반도체디바이스에 관한 것이다.

배경기술

<2> 반도체디바이스에 배선을 형성하는 공정에 있어서, 배선용 트렌치 및 컨택트홀을 금속(전기적 도체)으로 채우는 공정을 포함하는 소위 "다마신공정(damascene process)"이 실용적으로 사용되고 있다. 이 공정에 따르면, 알루미늄 또는 최근에는 은이나 구리와 같은 금속이 이미 형성되어 있는 컨택트홀 및 배선용 트렌치에 반도체기판의 레벨간 유전체로 매입된다. 그 후, 여분의 금속이 화학적기계적폴리싱(CMP)에 의하여 제거되어, 기판의 표면이 평탄해진다.

<3> 최근에는, 반도체기판 상에 배선희로를 형성하기 위한 금속으로 알루미늄이나 알루미늄합금 대신에, 낮은 전기 저항 및 높은 전기이동저항을 갖는 구리(Cu)를 이용하는 추세에 있다. 구리배선은 일반적으로 기판의 표면에 형성된 미세후퇴부를 구리로 채워서 형성된다. CVD, 스퍼터링 및 도금을 포함하여 구리배선을 생성하는 다양한 기술이 알려져 있다. 이러한 기술에 따르면, 기판의 실질적인 전체 표면에 구리막이 형성되고, CMP에 의하여 불필요한 구리가 제거된다.

<4> 이러한 공정에 의하여 형성된 배선의 경우에, 매입된 배선은 평탄화공정 후에 노출된 표면을 가진다. 부가적인 매입된 배선구조체가 반도체기판의 배선의 노출된 표면 상에 형성되면, 다음의 문제들이 발생할 수 있다. 예를 들어, 그 다음의 레벨간 유전체형성공정에서 새로운 SiO₂ 유전체의 형성시에, 이미 형성된 배선의 노출된 표면이 산화될 가능성이 있다. 또한, 비아홀의 형성을 위한 SiO₂층의 에칭시에, 비아홀의 바닥부에서 노출된 이미 형성되어 있는 배선이 에칭제, 벗겨진 레지스트 등등으로 오염될 수 있다.

<5> 이러한 문제들을 피하기 위하여, 종래에는 배선이 노출되는 반도체기판의 배선영역 뿐만 아니라, 기판의 전체표면 상에 SiN 등등의 보호막을 형성하는 방법이 수행되어, 에칭제 등등에 의한 노출된 배선의 오염을 방지하였다.

<6> 그러나, 매입된 배선구조체를 갖는 반도체디바이스에서, 반도체기판의 전체표면 상에 SiN 등등의 보호막을 제공하는 것은, 레벨간 유전체의 유전상수를 증가시켜, 은 또는 구리와 같은 저저항재료가 배선용으로 사용될 때도, 상호접속지연을 유도하여, 반도체디바이스의 성능을 저하시킬 수 있다.

<7> 이러한 관점에서, 은이나 구리와 같은 배선물질에 우수한 접착성을 갖고 낮은 저항(ρ)을 갖는 합금막으로 배선을 보호하기 위하여 노출된 배선의 표면을 선택적으로 덮는 것이 제안되어 왔다. 합금막은 예를 들어, 무전해도금을 수행하여 얻어질 수 있다.

- <8> 그러나, 무전해도금에 의하여 이러한 보호합금막을 제공하면, 무전해도금에 환원제로 일반적으로 사용되는 하이포아인산나트륨(sodium hypophosphite)과 관련되어 이하의 문제점을 수반하게 된다.
- <9> ① 환원제내의 나트륨 함유물이 반도체디바이스의 알칼리금속(alkali-metal)오염을 유발할 수 있다.
- <10> ② 하이포아인산나트륨이 환원제로 사용될 때, 구리 등에 산화전류를 인가할 수 없다. 이는 구리 등등에 팔라듐촉매를 첨가할 필요가 있으며 따라서, 공정단계의 수가 증가하고 스루풋이 감소한다.
- <11> ③ 구리 등에 팔라듐 촉매를 첨가하면 대체로 구리 등의 언더라잉 배선이 팔라듐으로 치환되고 배선내에 보이드를 형성시켜, 배선의 신뢰성을 떨어뜨린다.
- <12> ④ 팔라듐은 구리 등으로 확산하는 특성이 있어서, 팔라듐 촉매를 첨가하면 배선의 전기저항이 증가한다.
- <13> ⑤ 배선이 형성된 영역 이외에, 도금막이 절연막상에도 증착되기 쉬워, 원하는 대로의 선택적인 도금을 수행하기가 어려워진다.

발명의 상세한 설명

- <14> 본 발명은 상술된 관련기술의 단점의 관점에서 만들어졌다. 따라서, 본 발명의 목적은, 배선내에 어떠한 알칼리금속 오염도 발생시키지 않고 보이드를 형성시키지 않으면서, 배선의 표면만 선택적으로 덮어 노출된 배선을 보호하는 도금막(보호막)을 형성할 수 있는 무전해도금액을 제공하고, 노출된 배선막이 보호막으로 선택적으로 보호되는 반도체디바이스를 제공하는 것이다.
- <15> 상기 및 기타 목적을 달성하기 위하여 본 발명은 매입된 배선구조체를 갖는 반도체디바이스의 노출된 배선의 표면에 선택적으로 도금막을 형성하기 위한 무전해도금액을 제공하며, 상기 무전해도금액으로는, 알칼리금속이 포함되지 않은 환원제;와, 코발트이온; 및 착화제가 포함된다.
- <16> 알칼리금속이 포함되지 않은 환원제를 사용하면 반도체디바이스가 알칼리금속으로 오염되는 것을 방지할 수 있다.
- <17> 알킬아민 보란은 알칼리금속이 포함되지 않은 환원제로 사용될 수 있다. 이러한 환원제의 사용은 구리나 구리합금 또는 은이나 은합금에 산화전류를 인가할 수 있게 하므로, 직접적인 무전해도금이 가능해진다. 또한, 나트륨이 포함되지 않은 알킬아민 보란을 사용하면 반도체디바이스가 알칼리금속으로 오염되는 것을 방지할 수 있으며, 또한 팔라듐촉매를 사용하지 않고도 무전해도금을 수행할 수 있게 한다.
- <18> 알킬아민 보란의 특정 예로는 디메틸아민 보란, 디에틸아민 보란 및 트리메틸아민 보란이 포함될 수 있다.
- <19> 무전해도금액은 중금속화합물 및 황화합물 중 1이상의 종류로부터 선택된 안정제(stabilizer), 및 계면활성제(surfactant) 중의 1이상을 더 포함할 수 있다.
- <20> 무전해도금액의 pH는 알칼리금속이 포함되지 않은 pH조절제(adjusting agent)를 이용하여 5 내지 14 사이의 범위로 조절되는 것이 바람직하다. 암모니아수 또는 4급암모늄 하이드록사이드와 같이 알칼리금속이 포함되지 않은 pH조절제를 사용하면 나트륨이 포함되지 않은 도금액을 유지할 수 있다. 도금액은 6 내지 10의 pH를 갖는 것이 바람직하다.
- <21> 본 발명은 매입된 배선구조체를 갖는 반도체디바이스의 노출된 배선의 표면 상에 도금막을 선택적으로 형성하기 위하여 무전해 도금액을 제공하며, 상기 무전해 도금액으로는, 코발트이온;과, 착화제;와, 내열금속(refractory metal)을 함유하는 화합물; 및 알칼리금속이 포함되지 않은 환원제가 포함된다.
- <22> 텅스텐 몰리브덴 중의 적어도 하나가 내열금속으로 채택될 수 있다. 환원제는 알킬아민 보란일 수 있다. 이러한 화합물을 이용하여, 무전해도금액은 Co-W-B합금, Co-Mo-B합금 또는 Co-Mo-W-B합금의 보호막을 제공하여 노출된 배선의 표면을 덮는다.
- <23> 본 발명은 또한, 구리, 구리합금, 은 또는 은합금배선의 매입된 배선구조체를 갖는 반도체디바이스를 제공하며, 노출된 배선의 표면은 보호막으로 선택적으로 덮혀지고, 보호막은 무전해도금액을 이용하는 무전해도금공정에 의하여 형성되며, 상기 무전해도금액으로는, 코발트이온;과, 착화제; 및 알칼리금속이 포함되지 않은 환원제가 포함된다.
- <24> 따라서, 배선의 표면을 선택적으로 덮고, 은이나 구리에 대하여 높은 부착성(adhesion)을 갖고 낮은 저항(ρ)을 갖는 합금의 보호막으로 배선을 보호하면, 매입된 배선구조체를 갖는 반도체디바이스의 레벨간 유전체의 유전상

수의 증가가 억제될 수 있다. 또한, 은이나 구리와 같이 저항이 낮은 재료를 배선재료로 사용하여 반도체의 속도향상(speedup) 및 고집적화(densification)를 달성할 수 있다.

<25> 본 발명은 또한, 매입된 배선구조체를 갖는 반도체디바이스를 제공하며, 노출된 배선의 표면은 코발트를 포함하는 금속의 보호막으로 선택적으로 덮혀진다. 상기 금속막은 0.1nm 내지 500nm 범위의 두께를 갖는 것이 바람직하다.

<26> 본 발명은 또한, 매입된 배선구조체를 갖는 반도체디바이스를 제공하며, 노출된 배선의 표면은 코발트를 포함하는 합금 및 내열금속의 보호막으로 선택적으로 덮혀진다. 내열금속은 텅스텐 및 몰리브덴 중의 적어도 하나인 것이 바람직하다.

<27> 본 발명은, 매입된 배선구조체를 갖는 반도체기판 상에 무전해도금액으로 무전해도금하여, 상기 반도체기판의 배선표면 상에 도금막의 보호층을 선택적으로 형성하는 단계를 포함하는 반도체디바이스를 생성하는 방법을 제공하고, 상기 무전해도금액은, 코발트이온;과, 칙화제; 및 알칼리금속이 포함되지 않은 환원제를 포함한다.

<28> 본 발명은, 매입된 배선구조체를 갖는 반도체기판 상에 무전해도금액으로 무전해도금하여, 상기 반도체기판의 배선표면 상에 도금막의 보호층을 선택적으로 형성하는 단계를 포함하는 반도체디바이스를 생성하는 방법을 제공하고, 상기 무전해도금액은, 코발트이온;과, 칙화제;와, 내열금속을 함유하는 화합물; 및 알칼리금속이 포함되지 않은 환원제를 포함한다.

<29> 합금의 예로는 Co-B합금, Co-P합금, Co-W-B합금, Co-W-P합금, Co-Mo-B합금, Co-Mo-P합금, Co-W-Mo-B합금, Co-W-Mo-P합금, Co-Ti-B합금, Co-Ti-P합금, Co-Ta-B합금, Co-Ta-P합금, Co-Ti-Ta-B합금, Co-Ti-Ta-P합금, Co-Ti-W-B합금, Co-Ti-W-P합금, Co-Ti-Mo-B합금, Co-Ti-Mo-P합금, Co-Ti-Ta-B합금, Co-Ti-Ta-P합금, Co-Ta-W-B합금, Co-Ta-W-P합금, Co-Ta-Mo-B합금, Co-Ta-Mo-P합금, Co-Ti-W-Mo-B합금, Co-Ti-W-Mo-P합금, Co-Ta-W-Mo-B합금, Co-Ta-W-Mo-P합금 및 Co-Ti-Ta-W-Mo-B합금 및 Co-Ti-Ta-W-Mo-P합금이 포함된다.

실시예

<38> 이제, 본 발명의 바람직한 실시예가 첨부된 도면을 참조하여 후술된다.

<39> 도 1a 내지 도 1c는 본 발명의 반도체디바이스내에 구리배선을 형성하는 예를 일련의 공정단계로 예시한 도면이다. 도 1a에 도시된 바와 같이, SiO₂의 절연막은 반도체디바이스를 지탱하는 반도체베이스(1)상에 형성된 전도층(1a)상에 증착된다. 배선용의 컨택트홀(3) 및 트렌치(4)는 리소그래피/에칭기술에 의하여 절연막(2)에 형성된다. 그 후, TaN 등등의 배리어층(5)이 전체 표면 상에 형성되고, 전기도금을 위한 전기공급층으로 구리시드층(6)이 스퍼터링 등에 의하여 배리어층(5)상에 형성된다.

<40> 그런 다음, 도 1b에 도시된 바와 같이, 반도체기판(W)의 표면 상에 구리도금이 수행되어, 컨택트홀(3) 및 트렌치(4)를 구리로 채우는 동시에, 절연막(2)상에 구리막(7)을 증착시킨다. 그 후, 절연막(2)상의 구리막(7) 및 배리어층(5)이 화학적기계적폴리싱(CMP)에 의하여 제거되어, 배선용 컨택트홀(3) 및 트렌치(4)에 채워진 구리막(7)의 표면 및 절연막(2)의 표면이 실질적으로 동일한 평면상에 놓이게 한다. 따라서, 구리시드층(6) 및 구리막(7)으로 이루어진 배선(8)은 도 1c에 도시된 바와 같이 절연층(2)에 형성된다.

<41> 다음으로, 반도체기판(W)의 표면 상에서 무전해도금이 수행되어, 배선(8)의 노출된 표면 상에 합금막으로 이루어진 보호막(9)을 선택적으로 형성하여, 배선(8)을 보호한다. 보호막(9)의 두께는 일반적으로 0.1 내지 500nm, 바람직하게는 1 내지 200nm, 더 바람직하게는 10 내지 100nm이다.

<42> 보호막(9)은 예를 들어, 코발트이온, 칙화제, pH완충제, pH조절제 및 환원제로서 알킬아민 보란을 포함하는 도금액 또는 텅스텐 및 몰리브덴과 같은 내열(고용점)금속을 포함하는 도금액을 이용하고 반도체기판(W)의 표면을 도금액에 담궈(dipping)서 형성된다.

<43> 필요하다면, 도금액이 중금속화합물 및 황화합물 중 1이상의 종류로부터 선택된 안정제, 및 계면활성제 중 1이상을 더 포함할 수 있다. 또한 도금액은, 암모니아수 또는 4급암모늄 하이드록사이드와 같은 pH조절제를 사용하여 바람직하게는 5 내지 14, 더 바람직하게는 6 내지 10 사이의 pH범위로 조절된다. 도금액의 온도는 30 내지 90°C 범위에 있는 것이 일반적이며, 40 내지 80°C 사이인 것이 바람직하다.

<44> 보호막(9)의 제공하여 배선(8)을 보호하면, 그 위에 부가적인 매입된 배선구조체를 형성함에 있어서, 그 다음 레벨간 유전체형성공정에서 새로운 SiO₂의 형성시에 배선 표면의 산화를 방지할 수 있고, SiO₂층의 에칭시에 에

침체, 벗겨진 레지스트 등으로 배선이 오염되는 것을 방지할 수 있다.

- <45> 코발트이온, 칙화제, pH완충제, pH조절제 및 알킬아민 보란과 같은 환원제를 포함하는 도금액을 이용하여 Co-B합금막의 보호막(9)을 제공한다. 텉스텐 및 몰리브덴과 같은 내열금속을 포함하는 도금액을 이용하여 Co-W-B합금막, Co-Mo-B합금막 또는 Co-Mo-W-B합금막의 보호막(9)을 제공한다.
- <46> 배선(8)의 표면을 선택적으로 덮고, 배선재료인 구리에 높은 부착성을 갖고 낮은 저항(ρ)을 갖는 합금막의 보호막(9)으로 배선(8)을 보호하면, 매입된 배선구조체를 갖는 반도체디바이스의 레벨간 유전체의 유전상수의 증가가 억제될 수 있다. 또한, 낮은 저항재료인 배선재료로서 구리를 이용하면 반도체의 속도향상 및 고집적화를 달성할 수 있다.
- <47> 본 예시에서는 배선재료로서 구리가 사용되었지만, 구리합금, 은 또는 은합금도 사용될 수 있다.
- <48> 도금액에 포함된 코발트이온은 예를 들어, 코발트 황산염, 코발트 염화물 또는 코발트 아세트산염과 같은 코발트 염(cobalt salt)으로부터 공급될 수 있다. 코발트이온의 양은 일반적으로 0.001 내지 1 mol/L이며, 0.01 내지 0.3 mol/L인 것이 바람직하다.
- <49> 칙화제의 특정 예로, 아세트산과 같은 카복실산 및 그것의 염들; 타르타르산 및 시트르산과 같은 옥시카복실산 및 그것의 염들; 및 글리신과 같은 아미노카복실산 및 그것의 염들이 포함될 수 있다. 이들 화합물은 단독으로 또는 2이상의 혼합물로 사용될 수 있다. 칙화제의 총량은 일반적으로 0.001 내지 1.5 mol/L이며, 0.01 내지 1.0 mol/L인 것이 바람직하다.
- <50> pH완충제에 있어서, 나트륨 또는 여타의 알칼리금속을 포함하지 않는 여하한의 완충제가 사용될 수 있다. 암모늄 황산염, 암모늄 염화물 및 붕산이 특정 예로서 언급될 수 있다. pH완충제는 일반적으로 0.01 내지 1.5 mol/L의 양으로 사용되며, 0.1 내지 1 mol/L인 것이 바람직하다.
- <51> pH조절제에 있어서, 나트륨 또는 여타의 알칼리금속을 포함하지 않는 여하한의 조절제가 사용될 수 있다. 암모니아수 및 테트라메틸암모늄 하이드록사이드(TMAH)가 특정 예로서 언급될 수 있다. pH조절제를 이용하여, 도금액의 pH가 일반적으로 5 내지 14, 바람직하게는 6 내지 10의 범위 내로 조절된다.
- <52> 환원제 역시 나트륨 또는 여타의 알칼리금속을 포함하지 않아야 한다. 알킬아민 보란이 사용되는 것이 바람직하다. 알킬아민 보란, 디메틸아민 보란(DMAB) 및 디에틸아민 보란이 언급될 수 있다. 환원제는 일반적으로 0.01 내지 1 mol/L의 양으로 사용되며, 0.01 내지 0.5 mol/L인 것이 바람직하다.
- <53> 내열금속을 함유하는 화합물의 예로, 텉스텐산(tangstic acid), 몰리브덴산(molybdic acid) 및 그것의 염들; 및 텉스텐인산(tangstophosphoric acid)(예를 들어, $H_3(PW_{12}P_{40}) \cdot nH_2O$)과 같은 혼합화합물(heteropoly acid) 및 그것의 염이 포함될 수 있다. 보호막의 형성이 무전해도금에 의한 것이 아닐 때는, Ti 또는 Ta도 사용될 수 있다. 내열금속을 함유하는 화합물은 일반적으로 0.001 내지 1 mol/L의 양으로 사용되며, 0.01 내지 0.1 mol/L인 것이 바람직하다. 코발트/내열금속 합금의 예로는, Co-B합금, Co-P합금, Co-W-B합금, Co-W-P합금, Co-Mo-B합금, Co-Mo-P합금, Co-W-Mo-B합금, Co-W-Mo-P합금, Co-Ti-B합금, Co-Ti-P합금, Co-Ta-B합금, Co-Ta-P합금, Co-Ti-Ta-B합금, Co-Ti-Ta-P합금, Co-Ti-W-B합금, Co-Ti-W-P합금, Co-Ti-Mo-B합금, Co-Ti-Mo-P합금, Co-Ti-Ta-B합금, Co-Ti-Ta-P합금, Co-Ta-W-B합금, Co-Ta-W-P합금, Co-Ta-Mo-B합금, Co-Ta-Mo-P합금, Co-Ti-W-Mo-B합금, Co-Ti-W-Mo-P합금, Co-Ta-W-Mo-B합금, Co-Ta-W-Mo-P합금 및 Co-Ti-Ta-W-Mo-P합금이 포함된다. 이를 중, 텉스텐 및/또는 몰리브덴을 포함하는 합금이, 본 발명에 따른 무전해도금액으로 사용하기에 특히 바람직하다. 보란 또는 인을 포함하는 합금은, 알칼리금속을 포함하지 않는 한 이용가능하다. Ti 또는 Ta를 포함하는 합금은 무전해도금 이외의 공정에 사용될 수 있다.
- <54> 상술된 화합물 이외에도, 여타의 공지된 첨가제(additive)가 도금액에 첨가될 수 있다. 사용가능한 첨가제의 예로는 배스안정제(bath stabilizer)가 포함되며, 이것은 납화합물과 같은 중금속화합물, 티오시아네이트(thiocyanate) 또는 그 혼합물과 같은 황화합물 및 음이온, 양이온 및 비이온성 종류와 같은 계면활성제일 수 있다.
- <55> 상술된 바와 같이, 나트륨이 포함되지 않은 알킬아민 보란을 환원제로 사용하는 것이 바람직하다. 알킬아민 보란을 사용하면 구리, 구리합금, 은 또는 은합금에 산화전류를 인가할 수 있어, 팔라듐 촉매를 첨가할 필요가 없으므로 직접 무전해도금을 수행할 수 있고, 알칼리금속으로 인한 반도체디바이스의 오염을 방지할 수 있다. 따라서, 알킬아민 보란을 환원제로 이용하는 무전해도금액은, 팔라듐 촉매를 이용하지 않고도 반도체디바이스의 표면을 도금액에 침지시킴으로써 무전해도금을 수행할 수 있다. 이것은 소요 공정단계를 감소시킬 수 있고 스

루프을 증가시킬 수 있으며, 팔라듐 치환(replacement)에 의해 발생되는 구리배선내 보이드의 형성을 방지할 수 있으며 팔라듐확산에 의해 발생되는 배선저항의 증가를 방지할 수 있다.

<56> 또한, 환원제로서 알킬아민 보란을 포함하는 도금액을 이용하여 무전해도금이 수행될 때, 도금막이 구리 또는 은위에 선택적으로 증착되는 것을 알 수 있다. 이것은 배선영역에만 선택적인 도금을 할 수 있게 한다.

<57> 도 2는 무전해도금장치의 개략적인 구성도이다. 도 2에서 알 수 있듯이, 상기 무전해도금장치는, 그 상면에 반도체기판(W)을 유지하기 위한 유지수단(11), 주위에지부를 밀봉하기 위하여 유지수단(11)에 의하여 유지되는 반도체기판(W)의 도금될 표면(상면)의 주위에지부를 접촉시키기 위한 댐부재(도금액유지메카니즘; 31) 및 댐부재(31)로 밀봉된 주위에지부를 갖는 반도체기판(W)의 도금될 표면에 도금액(무전해도금액)을 공급하기 위한 샤크 헤드(무전해도금액(스캐터링)공급수단; 41)를 포함한다. 무전해도금장치는, 반도체기판(W)의 도금될 표면에 세정액을 공급하기 위하여 유지수단(11)의 상부 외주부 근처에 배치된 세정액공급수단(51), 배출된 세정액 등등(도금폐수)을 회수하기 위한 회수베셀(recovery vessel), 반도체기판(W)상에 유지된 도금액을 흡입 및 회수하기 위한 도금액회수노즐(65) 및 유지수단(11)을 회전 구동시키기 위한 모터(회전구동수단; M)를 더 포함한다.

<58> 유지수단(11)은 반도체기판(W)을 배치 및 유지하기 위하여 상면상에 기판배치부(13)를 가진다. 기판배치부(13)는 반도체기판(W)을 위치 및 고정시키도록 되어 있다. 특히, 반도체배치부(13)는 진공흡입에 의하여 그 배면상에서 반도체기판(W)을 끌어 당기기 위한 진공흡인메카니즘(도시되지 않음)을 가진다. 기판을 따뜻하게 유지하기 위하여 아래쪽으로부터 반도체기판(W)의 도금될 표면을 가열하는 평탄한 배면히터(가열수단; 15)는 기판배치부(13)의 배면상에 설치된다. 배면히터(15)는 예를 들어, 고무히터로 이루어진다. 상기 유지수단(11)은 모터(M)에 의하여 회전되고 승강수단(도시되지 않음)에 의하여 수직으로 이동가능하다.

<59> 댐부재(31)는 원통형이고, 반도체기판(W)의 외주부에지부를 밀봉하기 위하여 그 하부에 제공된 밀봉부(33)를 가지며 도시된 위치로부터 수직으로 이동가능하게 설치된다.

<60> 샤크헤드(41)는 샤크형태로 공급된 도금액을 스캐터링하고 이를 반도체기판(W)의 도금될 표면에 실질적으로 균일하게 공급하기 위하여 선단부(front end)에 다수의 노즐이 제공되는 구조체이다. 세정액공급수단(51)은 노즐(53)로부터 세정액을 분사하기 위한 구조체이다.

<61> 도금액회수노즐(65)은 위쪽 및 아래쪽으로 이동가능하고 선회가능하게 되어 있고 도금액회수노즐(65)의 선단부는 반도체기판(W)의 상면 주위에지부상에 위치된 댐부재(31)의 안쪽으로 하강될 수 있으며 반도체기판(W)상의 도금액을 흡입할 수 있다.

<62> 다음은, 무전해도금장치의 작동이 설명된다. 먼저, 유지수단(11)이 상술된 상태에서 하강되어, 유지수단(11)과 댐부재(31) 사이에 사전설정된 크기의 캡을 제공하고, 반도체기판(W)은 기판배치부(13)에 배치 및 고정된다. 예를 들어, 8인치 웨이퍼가 반도체기판(W)으로 사용된다.

<63> 그런 다음, 유지수단(11)이 상승되어, 도 2에 도시된 바와 같이, 그 상면이 댐부재(31)의 하면과 접촉되고, 반도체기판(W)의 외주부가 댐부재(31)의 밀봉부(33)로 밀봉된다. 이 때, 반도체기판(W)의 표면은 개방상태에 있다.

<64> 그런 다음, 반도체기판(W) 자체가 배면히터(15)에 의하여 직접 가열되는 한편, 도금액이 실질적으로 반도체기판(W)의 전체 표면에 걸쳐 도금액을 쏟아내도록 샤크헤드(41)로부터 분사된다. 반도체기판(W)의 표면은 댐부재(31)로 둘러 싸이기 때문에, 쏟아 부어진 도금액은 모두 반도체기판(W)의 표면 상에 유지된다. 공급된 도금액의 양은 반도체기판(W)의 표면 상에서 1mm두께가 되는 작은 양(대략 30ml)일 수 있다. 도금될 표면 상에 유지되는 도금액의 깊이는 10mm이하일 수 있고 본 실시예에서와 같이 1mm일 수도 있다. 공급되는 작은 양의 도금액이 충분한 경우에는, 도금액을 가열하는 가열장치도 작은 크기일 것이다.

<65> 반도체기판(W) 자체가 가열되도록 되어 있다면, 가열을 위해 큰 전력소비를 요하는 도금액의 온도가 매우 높게 상승할 필요가 없다. 이것은, 전력소비가 감소될 수 있으며, 도금액의 성질변화를 방지할 수 있으므로 바람직하다. 반도체기판(W) 자체를 가열하기 위한 전력소비는 작을 것이며, 반도체기판(W)상에 저장된 도금액의 양도 작다. 따라서, 배면히터에 의한 반도체기판(W)의 열유지(heat retention)가 용이하게 수행될 수 있고, 배면히터(15)의 용량도 작을 것이므로, 장치가 콤팩트하게 만들어질 수 있다. 반도체기판(W) 자체를 직접 냉각시키기 위한 수단이 사용되는 경우에는, 도금조건을 변화시키기 위하여 도금시에 가열과 냉각 사이의 스위칭이 수행될 수 있다. 반도체기판 상에 유지되는 도금액은 적은 양이므로, 온도제어가 양호한 감도로 수행될 수 있다.

<66> 반도체기판(W)은 모터(M)에 의하여 순간적으로 회전되어 도금될 표면이 균일하게 액체로 적셔진 다음 반도체기

판(W)기 정지된 상태로 도금될 표면의 도금이 수행된다. 특히, 반도체기판(W)은 도금용액으로 상기 반도체기판(W)의 도금될 표면을 균일하게 적시기 위하여 100rpm 이하로 1분 동안만 회전된다. 그 다음, 반도체기판(W)이 정지된 상태로 유지되고, 무전해도금이 1분동안 수행된다. 순간적인 회전 시간은 길어야 10초 이하이다.

<67> 도금처리가 완료된 후에, 도금용액 회수노즐(65)의 전단부는 도금용액을 빨아들이기 위하여 반도체기판(W)의 주위에지부상의 댐부재(31)의 안쪽 부근의 영역으로 하강한다. 이 때, 반도체기판(W)이 예를 들어 100 rpm 이하의 회전속도로 회전된다면, 반도체기판(W)상에 남아 있는 도금용액은 원심력에 의해 반도체기판(W)의 주위에지부상의 댐부재(31) 부분으로 수집되어, 양호한 효율성과 높은 회수률로 도금용액의 회수가 수행될 수 있다. 유지수단(11)은 댐부재(31)로부터 반도체기판(W)을 분리시키기 위하여 하강한다. 반도체기판(W)이 회전되기 시작하고, 도금된 표면을 냉각시키기 위하여 세정액공급수단(51)의 노즐(53)로부터 반도체기판(W)의 도금된 표면으로 세정액(초순수)이 분사되는 동시에 회석 및 세정을 수행하여 무전해 도금 반응을 중지시킨다. 이 때, 노즐(53)로부터 분사되는 세정액이 댐부재(31)로 공급되어 댐부재(31)의 세정을 동시에 수행할 수도 있다. 이 때의 도금폐수는 회수배셀(61)로 회수되어 버려진다.

<68> 일단 한번 사용된 도금액은 재사용되지 않고 버려진다. 상술된 바와 같이, 본 장치에서 사용되는 도금액의 양은 종래기술의 것과 비교하면 매우 소량일 수 있다. 따라서, 재사용되지 않음에도 버려지는 도금액의 양이 적다. 몇몇 경우에, 도금액 회수노즐(65)이 설치되지 않고 사용된 도금액이 도금폐수로서 세정액과 함께 회수배셀(61)로 회수될 수도 있다.

<69> 그 다음, 반도체기판(W)은 스픈건조용 모터(M)에 의하여 고속으로 회전된 후, 유지수단(11)으로부터 제거된다.

<70> 도 3은 또 다른 무전해도금장치의 개략적인 구조도이다. 도 3의 예시는, 유지수단(11)에 배면히터(15)를 제공하는 대신에, 상기 유지수단의 상부에 램프히터(가열수단)(17)이 배치되고 램프히터(17) 및 샤크헤드(41-2)가 통합된다는 점에서 도 2에 나타낸 상기 무전해도금장치와는 상이하다. 예를 들어, 상이한 반경을 갖는 링형상의 램프히터(17)가 중심으로 제공되고, 샤크헤드(41-2)의 많은 노즐(43-2)이 램프히터(17)들 사이의 캡으로부터 링형태로 개방된다. 램프히터(17)들은 단일 나선형 램프히터로 이루어지거나 다양한 구조 및 배치의 여타 램프히터들로 이루어질 수도 있다.

<71> 상기한 구조를 갖더라도, 각각의 노즐(43-2)로부터 반도체기판(W) 도금될 표면으로, 실질적으로 균일한 샤크형태로 도금액이 공급될 수 있다. 또한, 반도체기판(W)의 가열 및 열유지는 램프히터(17)에 의해 직접적이고 균일하게 수행될 수 있다. 램프히터(17)는 반도체기판(W)과 도금용액뿐 아니라 주변 공기까지 가열함으로써 반도체기판(W)상의 열유지효과를 제공한다.

<72> 램프히터(17)에 의한 반도체기판(W)의 직접적인 가열은 램프히터(17)에 상대적으로 큰 전력소모를 요한다. 상기 램프히터(17)를 대신하여, 주로 배면히터(15)를 이용해서는 반도체기판(W)을 가열하고 주로 램프히터(17)로는 도금용액과 주변공기의 열은 보존시키는데 상대적으로 전력소모가 적은 램프히터(17) 및 도 2에 도시된 배면히터(15)의 조합이 사용될 수 있다. 상술된 실시예와 동일한 방식으로, 반도체기판(W)을 직간접적으로 냉각시키는 수단이 제공되어 온도제어를 수행할 수도 있다.

<73> 도 4는 본 발명에 따른 반도체 디바이스를 제조하는 반도체제조장치의 예시의 평면도이다. 반도체생성장치는 카세트(201-1)를 수용하는 로딩/언로딩부(210), 제1도금장치(202), 제1로봇(203), 반전장치(205, 206), 제2세정장치(207), 제2로봇(208), 제1세정장치(209), 제2도금장치(227), 제1폴리싱장치(210) 및 제2폴리싱장치(211)를 포함한다. 또한, 제1로봇(203)의 부근에서, 도금 전후에 도금된 막의 두께를 측정하는 전/후 도금막 두께 측정장치(212) 및 폴리싱후에 반도체기판(W)상의 건조상태의 막 두께를 측정하는 건조 상태 막 두께 측정장치(213)가 제공된다.

<74> 제1폴리싱장치(210)는 폴리싱테이블(210-1), 텁 링(210-2), 텁 링 헤드(210-3), 막 두께측정장치(210-4) 및 푸셔(210-5)를 구비한다. 제2폴리싱장치(211)는 폴리싱테이블(211-1), 텁 링(211-2), 텁 링 헤드(211-3), 막 두께 측정장치(211-4) 및 푸셔(211-5)를 구비한다.

<75> 이제, 본 장치의 처리단계에 대해 설명하기로 한다.

<76> 먼저, 그들 각각에 구리시드층(6)(도 1a 참조)이 형성되는 반도체기판(W)을 수용하는 카세트(201-1)가 로딩/언로딩부(201)의 로딩포트상에 자리한다. 반도체기판이 제1로봇(203)에 의하여 꺼내어지고 제1도금장치(202)에 의하여 구리막(7)(도 1b 참조)이 형성된다. 구리막(7)의 형성은 반도체기판(W) 표면에 친수성처리를 한 다음 구리 도금을 수행함으로써 이루어진다. 그 다음 행굼 및 세정이 수행된다. 시간적인 여력이 있다면, 건조가

수행될 수도 있다. 반도체기판(W)이 제1로봇(203)에 의하여 꺼내어지면, 도금전 및 도금후 막 두께 측정기구(212)에 의하여 도금된 구리막(7)의 막두께가 측정된다. 상기 측정의 결과는 반도체기판(W)상에 기록데이터로서 기록되고 제1도금장치(202)의 이상을 판정하는데도 사용된다. 막두께의 측정후에, 제1로봇(203)은 반도체기판(W)을 반도체(W)기판을 뒤집는 반전장치(205)로 이송시킨다.

<77> 그 다음, 제2로봇(208)은 반전장치(205)로부터 반도체기판(W)을 집어올려 푸셔(210-5 또는 211-5)에 올려 놓는다. 그 다음, 톱 링(210-2 또는 211-2)은 흡입에 의해 반도체기판(W)을 유지시키고 그것을 폴리싱테이블(210-1 또는 211-1)상으로 이송시키며 폴리싱테이블(210-1 또는 211-1)상의 폴리싱면에 대하여 가압함으로써 폴리싱을 수행한다.

<78> 폴리싱이 완료된 후에, 톱 링(210-2 또는 211-2)은 반도체기판(W)을 푸셔(210-5 또는 211-5)로 되돌려 보낸다. 제2로봇(208)은 반도체기판(W)을 집어올리고 그것을 제1세정장치(209)로 운반한다. 이 때, 화학액이 푸셔(210-5 또는 211-5)상의 반도체기판(W)의 표면 및 배면을 향하여 분출되어 그것으로부터 미립자들을 제거하거나 미립자들이 그것에 들러붙기 어렵게 한다.

<79> 제1세정장치(209)에서, 반도체기판(W)의 표면 및 배면은 스크럽 및 세정된다. 반도체기판(W)의 표면은 미립자들을 제거하기 위하여 주로 표면활성제, 퀼레이트화제 또는 pH 조절제가 첨가된 순수를 포함하는 세정수를 사용하는 PVA 를 스폰지로 스크럽 및 세정된다. DHF와 같은 강한 화학액은 확산된 구리를 에칭하기 위하여 반도체기판(W)의 배면을 향하여 분출된다. 구리 확산의 문제가 없다면, 반도체기판(W)의 배면은 표면에 사용되는 것과 동일한 화학액을 사용하는 PVA 를 스폰지로 스크럽 및 세정된다.

<80> 세정후에, 제2로봇(208)은 반도체기판(W)을 집어올려 반도체기판(W)이 반전되는 반전장치(206)로 이송시킨다. 다시 제2로봇(208)이 반도체기판(W)을 집어올리고, 예를 들어 도 2 및 도 3에 나타낸 바와 같은 무전해도금장치에 의하여 구성되는 제2도금장치(227)로 이송시킨다. 제2도금장치(227)에서, 반도체기판(W)의 표면은 도금용액, 예를 들어 상술된 무전해 도금용액내에 침지되고, 배선(8)을 보호하기 위하여 상기 배선(8)의 노출된 표면 상에는 합금 보호막(9)이 선택적으로 형성된다(도 1c 참조). 그 후, 제2로봇(208)이 반도체기판(W)을 집어올리고 상기 반도체기판(W) 반전되는 반전장치(206)로 이송시킨다음, 상기 기판을 제2세정장치(207)로 이송시킨다. 제2세정장치(207)에서는, 초음파 진동이 가해지는 메가소닉 워터가 반도체기판(W)의 표면을 향해 분출되어 상기 표면을 세정한다. 이 때, 상기 표면은 표면활성제, 퀼레이트화제 또는 pH 조절제가 첨가되는 순수를 포함하는 세정액을 사용하는 연필형스폰지에 의해 세정될 수 있다. 그 후, 반도체기판(W)은 스펀건조에 의하여 건조된다.

<81> 그 다음, 제2로봇(208)은 반도체기판(W)을 집어올려 그것이 있던 반전장치(206)로 이송시킨다. 제1로봇(203)은 반전장치(206)상의 반도체기판(W)을 집어올린다. 막두께가 폴리싱테이블(210-1 또는 211-1) 부근에 제공되는 막두께 측정기구(210-4 또는 211-4)로 측정되는 경우에, 반도체기판(W)은 로딩/언로딩부(201)의 언로드 부에 자리한 카세트(201-1)에 의하여 수용된다. 다중층 막의 막 두께가 측정될 경우, 건조상태의 측정이 수행될 필요가 있다. 따라서, 상기 막 두께는 건조상태의 막 두께 측정기구(213)에 의하여 한번 측정된다.

<82> 도 5는 본 발명에 따른 반도체기판을 제조하는 반도체기판제조장치의 또 다른 예시의 평면도이다. 도 4의 기판처리장치에서와 같이, 상기 반도체제조장치는 그 위에 시드층(6)을 갖는 반도체기판(W)상이 구리막(7)을 형성시키는 단계, 상기 기판을 폴리싱하는 단계 및 배선(8)상에 보호막(9)을 선택적으로 형성시켜 배선이 보호막(9)에 의해 선택적으로 보호되는 회로배선을 제공하는 단계를 포함하는 기판처리를 수행한다.

<83> 본 반도체제조장치에서, 푸셔 인텍서(225)는 제1폴리싱장치(210) 및 제2폴리싱장치(211)에 근접하게 배치되고, 기판배치테이블(221, 222)은 각각 제2세정장치(207) 및 제2도금장치(227)에 근접하게 배치되며, 로봇(223)(이후 제2로봇(223)이라 칭함)은 제2도금장치(227) 및 제1도금장치(202)에 근접하게 배치된다. 또한, 로봇(224)(이후 제3로봇(224)이라 칭함)은 제1세정장치(209) 및 제2세정장치(207)에 근접하게 배치되고 건조상태 막 두께 측정기구(213)는 로딩/언로딩부(201) 및 제1로봇(203)에 근접하게 배치된다.

<84> 제1로봇(203)은, 로딩/언로딩부(201)의 로드 포트상에 자리한 카세트(201-1)로부터, 그 위에 시드층(6)을 갖는 반도체기판(W)을 꺼내어 기판배치테이블(221)에 올려놓는다. 그 다음, 제2로봇(223)이 반도체기판(W)을 구리막(7)(도 1b 참조)이 형성되는 제1도금장치(202)로 이송시킨다. 제2로봇(223)은 그 위에 구리막(7)이 형성되어 있는 반도체기판을 이송시켜 도금전 및 도금후 막 두께 측정기구(212)에 의하여 구리막(7)의 두께가 측정되도록 한다. 막 두께의 측정후에, 반도체기판이 푸셔인텍서(225)로 운반된다.

<85> 톱링(210-2 또는 211-2)은 푸셔 인텍서(225)상의 반도체기판(W)을 흡입에 의해 유지시키고, 그것을 폴리싱테이

블(210-1 또는 211-1)로 이송하여 폴리싱을 수행한다. 폴리싱 후, 톱링(210-2 또는 211-2)은 반도체기판(W)을 막두께측정기구(210-4 또는 211-4)로 이송하여 막두께를 측정한다. 그 후, 톱링(210-2 또는 211-2)은 반도체기판(W)을 푸셔인렉서(225)로 이송하고 그것을 그 위에 배치시킨다.

<86> 그런 다음, 제3로봇(224)은 푸셔 인렉서(225)로부터 반도체기판(W)을 집어올려 그것을 제1세정장치(209)내로 운반한다. 제1세정유닛(209)에서의 세정 후, 제3로봇(224)은 세정된 반도체기판(W)을 집어올려, 그것을 제2도금장치(227)내로 운반하며, 여기서는 보호막(9)이 예컨대 무전해도금에 의해 배선(8)의 표면 상에 선택적으로 형성되어 상기 배선(8)을 보호하게 된다(도 1c 참조). 그 후, 제3로봇(224)은 반도체기판(W)을 세정 및 건조용 제2세정장치(207)내로 운반하여, 세정된 반도체기판(W)을 기판배치테이블(222) 위에 배치시킨다. 그 다음, 제1로봇(203)은 반도체기판(W)을 집어올려, 그것을 건식상태 막두께측정기구(213)내로 운반시키며, 여기서는 막두께가 측정된 다음 로딩/언로딩부(201)내의 언로드포트 상에 배치된 카세트(201-1)내에 기판을 놓는다.

<87> 도 6은 본 발명에 따른 반도체디바이스를 생산하기 위한 반도체제조장치의 또 다른 예시를 도시한 평면도이다. 본 반도체제조장치에서는, 배리어층형성유닛(111), 시드층형성유닛(112), 도금막형성유닛(113), 어닐링유닛(114), 제1세정유닛(115), 베벨 및 배면세정유닛(116), 예컨대 도 2 또는 도 3에 도시된 무전해도금장치를 구비한 캡도금유닛(117), 제2세정유닛(118), 제1정렬기 및 막두께측정기구(141), 제2정렬기 및 막두께측정기구(142), 제1기판반전장치(143), 제2기판반전장치(144), 기판임시배치테이블(145), 제3막두께측정기구(146), 로딩/언로딩유닛(120), 제1폴리싱장치(121), 제2폴리싱장치(122), 제1로봇(131), 제2로봇(132), 제3로봇(133) 및 제4로봇(134)이 제공된다. 상기 막두께측정기구(141, 142, 146)는 여타의 유닛(도금, 세정, 어닐링유닛 등)의 표면치수와 동일한 크기를 갖는 유닛들이며, 따라서 상호교체가능하다.

<88> 본 실시예에서, 무전해 Ru도금장치는 배리어층형성유닛(111)으로서, 무전해 구리도금장치는 시드층형성유닛(112)으로서, 전해도금장치는 도금막형성유닛(113)으로서 사용될 수 있다.

<89> 이하, 본 장치에서의 공정단계들을 설명한다.

<90> 먼저, 로딩/언로딩유닛(120)상에 배치된 카세트(120a)로부터 제1로봇(131)에 의해 꺼내진 반도체기판은, 도금될 표면이 위로 향하는 상태로, 제1정렬기 및 막두께측정유닛(141)에 배치된다. 막두께측정이 이루어지는 위치에 대한 기준점을 설정하기 위하여, 막두께측정을 위한 노치정렬이 수행된 후, 구리막의 형성 전의 반도체기판 상의 막두께 데이터가 얻어진다.

<91> 그 다음, 반도체기판은 제1로봇(131)에 의해 배리어층형성유닛(111)으로 이송된다. 상기 배리어층형성유닛(111)은 무전해 Ru도금에 의해 반도체기판 상의 배리어층을 형성하는 장치로서, 상기 배리어층형성유닛(111)은 반도체디바이스의 중간층 절연막(예를 들어, SiO_2)내로 구리가 확산하는 것을 막는 막으로서 Ru막을 형성한다.

세정 및 건조단계 후에 배출된 반도체기판은 제1로봇(131)에 의해 제1정렬기 및 막두께측정유닛(141)으로 이송되어, 반도체기판의 막두께 즉, 배리어층의 막두께가 측정된다.

<92> 막두께측정 후의 반도체기판은 제2로봇(132)에 의해 시드층형성유닛(112)내로 운반되고, 시드층(6)(도 1a 참조)은 무전해 Cu도금에 의해 배리어층상에 형성된다. 세정 및 건조단계 후에 배출된 반도체기판은, 상기 반도체기판이 도금막형성유닛(113)으로 이송되기 전에, 노치 위치의 판정을 위하여 제2로봇(132)에 의해 제2정렬기 및 막두께측정기구(142)로 이송된 다음, 구리도금을 위한 노치정렬이 수행된다. 필요하다면, 구리막형성 전에 반도체기판의 막두께가 막두께측정기구(142)에서 다시 측정될 수 있다.

<93> 노치정렬이 완료된 반도체기판은 제3로봇(133)에 의하여 도금막형성유닛(113)으로 이송되어, 구리도금이 반도체기판에 시행된다. 세정 및 건조단계 후에 배출된 반도체기판은 제3로봇(133)에 의해 베벨 및 배면세정유닛(116)에 의해 이송되어, 반도체기판의 주변부의 불필요한 구리막(시드층)이 제거된다. 베벨 및 배면세정유닛(116)에서, 상기 베벨은 미리설정된 시간내에 에칭되고, 반도체기판의 배면에 부착되는 구리는 플루오르화수소산과 같은 화학액으로 세정된다. 이 때, 반도체기판을 베벨 및 배면세정유닛(116)으로 이송하기 전에, 제2정렬기 및 막두께측정기구(142)에 의해 상기 반도체기판의 막두께측정이 이루어져, 도금으로 형성된 구리막의 두께 값을 얻을 수 있으며, 얻어진 결과값을 토대로, 베벨에칭시간이 임의적으로 변경되어 에칭을 수행할 수 있게 된다. 베벨에칭에 의해 에칭된 영역은 기판의 주위에지부에 대응하는 영역으로서, 그 내부에 어떠한 회로도 형성되어 있지 않으며, 설사 회로가 형성되어 있더라도 최종적으로 침으로서 활용되지 않는 영역이다. 베벨부는 이러한 영역에 포함된다.

<94> 베벨 및 배면세정유닛(116)에서의 세정 및 건조단계 후에 배출된 반도체기판은 제3로봇(133)에 의해 기판반전장치(143)로 이송된다. 반도체기판이 반도체반전장치(143)에 의해 뒤집혀져 도금된 표면이 아래쪽으로 향하게 한

후에, 상기 반도체기판은 제4로봇(134)에 의해 어닐링유닛(114)내로 도입되어, 배선부를 안정화시키게 된다. 어닐링 처리 전 및/또는 처리 후, 반도체기판은 제2정렬기 및 막두께측정유닛(142)으로 운반되어, 반도체기판 상에 형성된 구리막(7)(도 1b참조)의 막두께가 측정된다. 그 후, 반도체기판은 제4로봇(134)에 의하여 제1폴리싱장치(121)로 운반되어, 반도체기판의 구리막(7)과 시드층(6)(도 1a참조)이 폴리싱된다.

<95> 이 때, 원하는 연마입자들이 사용되지만, 디싱(dishing)을 방지하고 표면의 평탄도를 향상시키기 위하여 고착연마재가 사용될 수도 있다. 1차 폴리싱완료 후, 반도체기판은 제4로봇(134)에 의해 제1세정유닛(115)으로 이송되어 세정된다. 상기 세정은 스크립-세정으로서, 반도체기판의 직경과 실질적으로 동일한 길이를 갖는 롤(roll)들이 반도체기판의 표면 및 배면상에 배치되고, 반도체기판 및 롤이 회전되면서 순수 또는 탈이온수가 흐르게 되어, 반도체기판의 세정을 수행하게 된다.

<96> 1차세정 완료 후에, 반도체기판은 제4로봇(134)에 의해 제2폴리싱장치(122)로 이송되어, 반도체기판 상의 배리어층(5)이 폴리싱된다. 이 때, 원하는 연마입자 등이 사용되지만, 디싱을 방지하고 표면의 평탄도를 향상시키기 위하여 고착연마재가 사용될 수도 있다. 2차폴리싱완료 후에, 반도체기판은 제4로봇(143)에 의해 다시 제1세정유닛(115)으로 이송되어 스크립-세정이 수행된다. 세정완료 후, 반도체기판은 제4로봇(134)에 의해 제2기판반전장치(144)로 이송되며, 여기서는 반도체기판이 반전되어 도금된 표면이 위쪽을 향하게 한 다음, 상기 반도체기판이 제3로봇(133)에 의해 기판임시배치테이블(145)상에 배치된다.

<97> 반도체기판은 제2로봇(132)에 의해 기판임시배치테이블(145)로부터 캡도금유닛(117)으로 이송되며, 여기서는 예컨대 대기로 인한 구리의 산화를 방지하기 위한 목적으로, 니켈-붕소도금(캡도금)이 배선(8)의 표면 상에 적용된다. 배선(8)을 보호하기 위하여 캡도금에 의해 상기 배선(8)의 표면 상에 보호막(9)(도 1c 참조)이 형성된다. 반도체기판은 제2로봇(132)에 의해 제3막두께측정장치(146)로 이송되어, 구리막의 두께가 측정된다. 그런 다음, 반도체기판은 제1로봇(131)에 의해 제2세정유닛(118)으로 이송되어, 상기 기판이 순수 또는 탈이온수로 세정된다. 세정된 반도체기판은 로딩/언로딩유닛(120)내의 카세트(120a)로 복귀된다.

예시

<99> 크기가 $\phi 0.5\mu\text{m} \times 0.5\mu\text{m}$ 깊이(종횡비:1.0)인 홀들이 절연막내에 사전설정된 피치로 형성되었다. 상기 홀들을 구리로 채운 후, 상기 표면이 CMP처리에 의해 평탄화되어, 크기가 3cm x 4cm(6-패턴이 형성되어 있음)인 샘플(반도체웨이퍼)이 준비되었다. 상기 샘플은 이하의 표 1에 도시된 조성을 갖는 도금액을 사용하여 200ml/chip의 배스하중(bath load)으로 무전해도금을 거쳤다.

표 1

CoSO ₄ · 7H ₂ O	28.1 g/L
L - 타르타르산	82.5 g/L
(NH ₄) ₂ SO ₄	39.6 g/L
DMAB	1.5 g/L
TMAH (27%)	455 mL/L
H ₂ WO ₄	5.0 g/L
pH	9.0
온도	80 °C

<100>

<101> 무전해도금 완료 후, 상기 샘플은 세척 및 건조되었다. 상기 샘플을 SEM하에서 관찰한 결과, 도금된 Co-W-B 막은 패턴형성영역에서 선택적으로 성장되었음이 발견되었다. 도금된 막의 성장속도는 100nm/분 정도이고; 도금된 막은 다음과 같이 분석되었다:

Co : 98.4% 정도, W : 1.0% 정도, B : 0.6% 정도.

<103> 도 7a 및 도 7b는 상기 샘플의 SEM사진의 다이어그램이다. 도면에 도시된 바와 같이, 절연층(10)내에 형성된 홀(12)에 매입된 구리막(14)내에는 보이드가 형성되지 않는다. 또한, 절연막(10)의 표면 상의 Co-W-B 막을 적층시키지 않고도, 구리막(14)의 표면, 즉 배선의 표면만이 도금된 Co-W-B막의 보호막(16)으로 덮혀져서, 도금의 높은 선택성을 나타낸다.

대안적인 예시

<105> 상기 예시에 사용된 것과 동일한 샘플이 준비되었다. 상기 샘플은 우선 1분 동안 25°C의 PdCl_2 (0.005 g/L) + HCl(0.2 ml/L)의 용액내에 침지되어, 팔라듐촉매를 상기 샘플에 첨가하였다. 다음으로, 팔라듐-첨가 샘플은 이하의 표 2에 도시된 조성을 갖는 90°C의 도금액내에 침지되어, 200ml/chip의 배스하중으로 무전해도금이 수행되었다.

표 2

$\text{CoCl}_2 \cdot 6\text{H}_2\text{O}$	(g/L)	30
$(\text{NH}_4)_2 \cdot \text{WO}_4$	(g/L)	10
$\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$	(g/L)	80
$\text{NaH}_2\text{PO}_2 \cdot \text{H}_2\text{O}$	(g/L)	20
pH	pH = 10 (NaOH 사용)	

<106>

<107> 무전해도금의 완료 후에, 상기 샘플은 세척 및 건조되었다. 상기 샘플을 SEM하에서 관찰한 결과, 도금된 Co-W-B막이 패턴형성영역에서 선택적으로 성장되었음이 발견되었다. 도금된 막의 성장속도는 70nm/분 정도이고; 도금된 막은 다음과 같이 분석되었다:

<108>

Co : 89% 정도, W : 5% 정도, P : 6%정도.

<109>

도 8a 및 도 8b는 상기 샘플의 SEM사진의 다이어그램이다. 도면에 도시된 바와 같이, 절연층(10) 내에 형성된 홀(12)에 매입된 구리막(14) 내부에 보이드가 형성된다. 또한, 구리막(14)의 표면 즉, 배선의 표면이 도금된 Co-W-P 합금막의 보호막(16)으로 덮혀질 뿐만 아니라, 합금막(16a)이 홀(12) 주위의 절연막(10)의 표면 즉, 불필요한 보호영역에도 적층되어, 도금의 낮은 선택성을 나타낸다.

<110>

본 발명에 따르면, 상술된 바와 같이, 나트륨이 포함되지 않은 알킬아민 보란을 환원제로 사용하는 것은 예를 들어, 구리, 구리합금, 은 또는 은합금에 산화전류를 인가하는 것을 가능하게 하여, 팔라듐촉매를 제공할 필요가 없어지므로, 직접적인 무전해도금을 할 수 있으며, 알칼리금속에 의한 반도체디바이스의 오염을 방지할 수 있다. 이는 소요 공정단계들을 감소시키고, 스루풋을 향상시키며, 배선내에 보이드가 형성되는 것을 방지함으로써, 신뢰성을 증대시키고, 팔라듐화산에 의해 발생되는 배선저항의 증가를 피할 수 있게 한다.

<111>

또한, 환원제로서 알킬아민 보란을 포함하는 도금액을 이용하면, 배선영역만을 선택적으로 도금할 수 있다.

산업상 이용 가능성

<112>

본 발명은, 반도체기판과 같은 반도체의 표면에 형성되는 배선을 위한 미세한 후퇴부내에 구리 또는 은과 같은 전기도체가 매입되는 배선구조를 갖는 반도체디바이스의 노출된 배선의 표면을 선택적으로 보호하기 위한 보호막을 형성하는데 유용한 무전해도금액 및 상기 노출된 배선의 표면이 보호막으로 선택적으로 보호되는 반도체디바이스에 관한 것이다.

도면의 간단한 설명

<30>

도 1a 내지 도 1c는 본 발명에 따른 반도체디바이스내에 구리배선을 형성하는 일례를 일련의 공정단계로 예시한 도면,

<31>

도 2는 무전해도금장치의 일례를 개략적으로 나타낸 도면;

<32>

도 3은 무전해도금장치의 또 다른 예를 개략적으로 나타낸 도면;

<33>

도 4는 본 발명에 따른 반도체디바이스를 제조하는 반도체제조장치의 예를 나타내는 평면도,

<34>

도 5는 본 발명에 따른 반도체디바이스를 제조하는 반도체제조장치의 또 다른 예를 나타내는 평면도,

<35>

도 6은 본 발명에 따른 반도체디바이스를 제조하는 반도체제조장치의 또 다른 예를 나타내는 평면도,

<36>

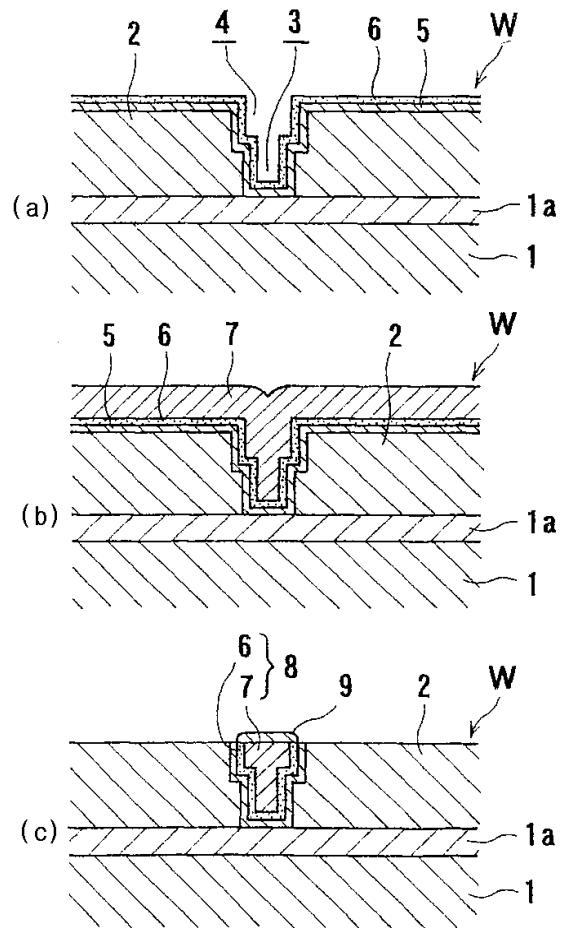
도 7a 및 도 7b는 예시에서 얻어진 테스트샘플의 SEM사진을 나타낸 도면,

<37>

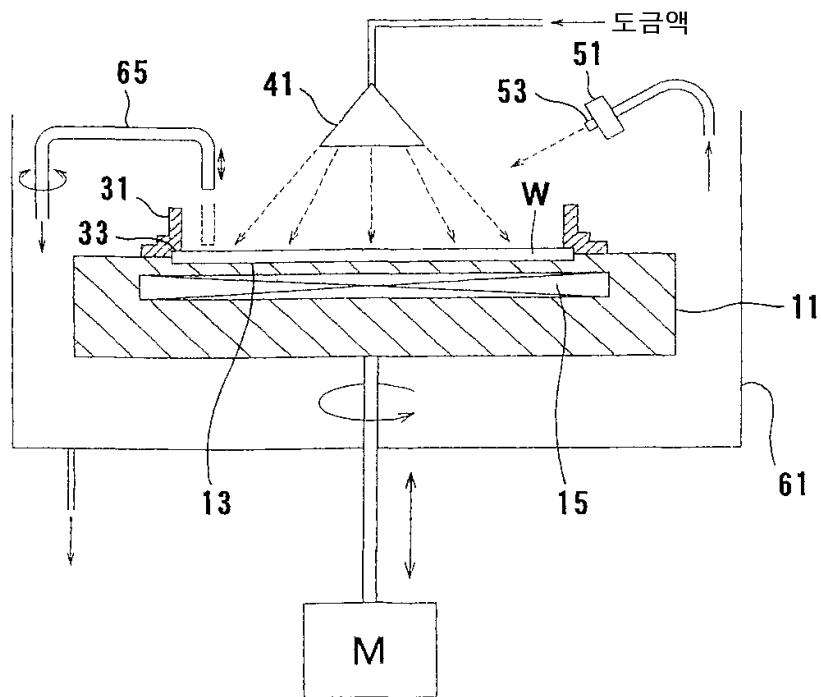
도 8a 및 도 8b는 비교적인 예시에서 얻어진 테스트샘플의 SEM사진을 나타낸 도면이다.

도면

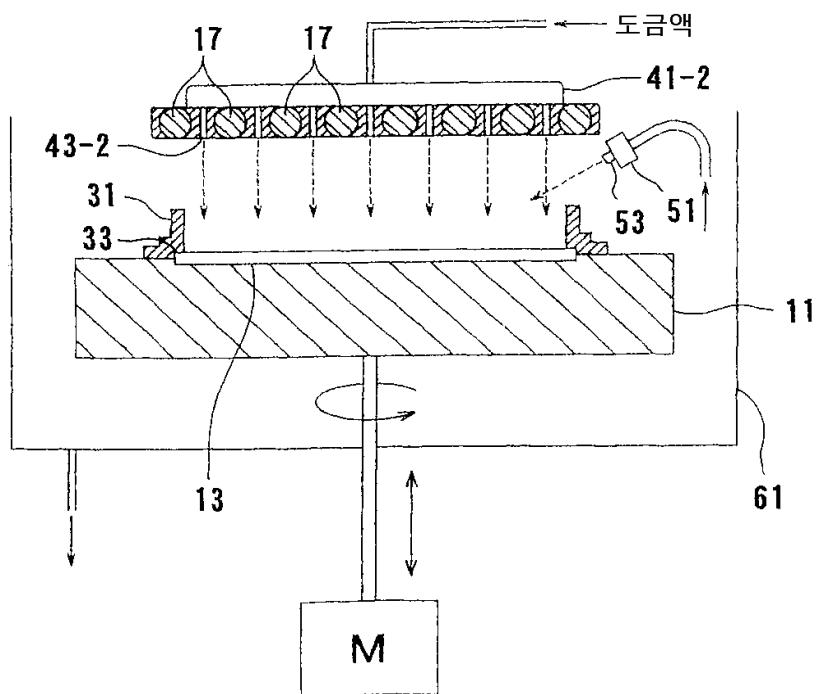
도면1



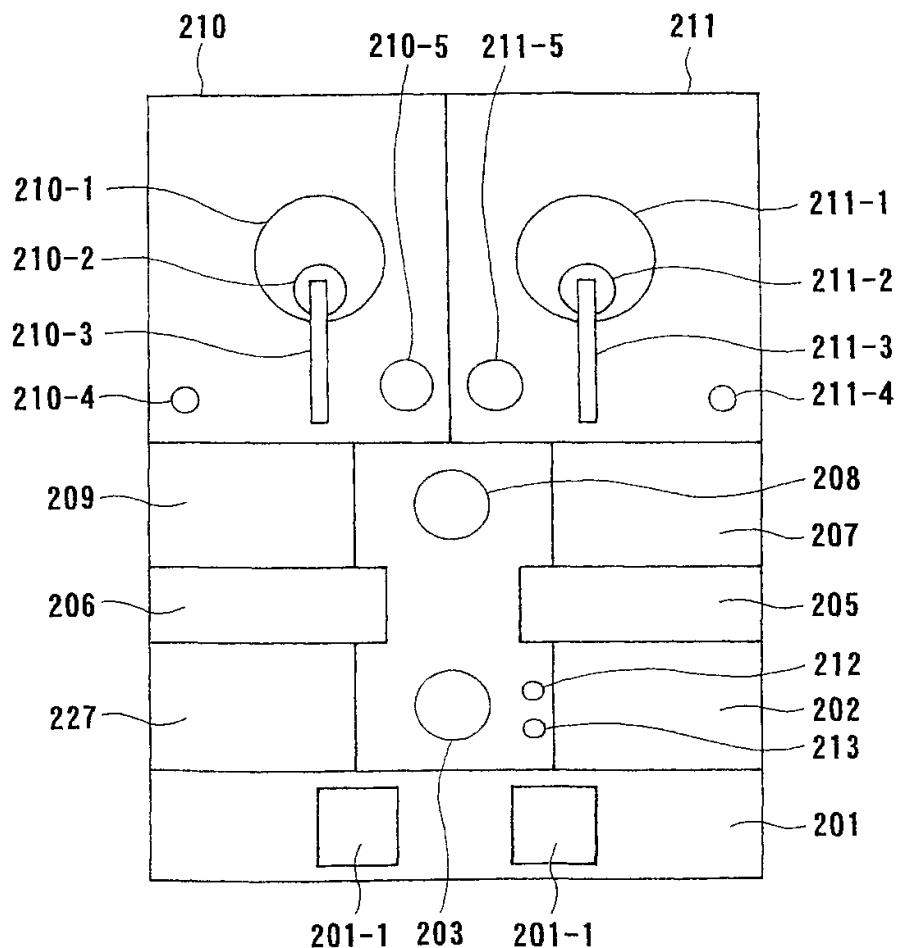
도면2



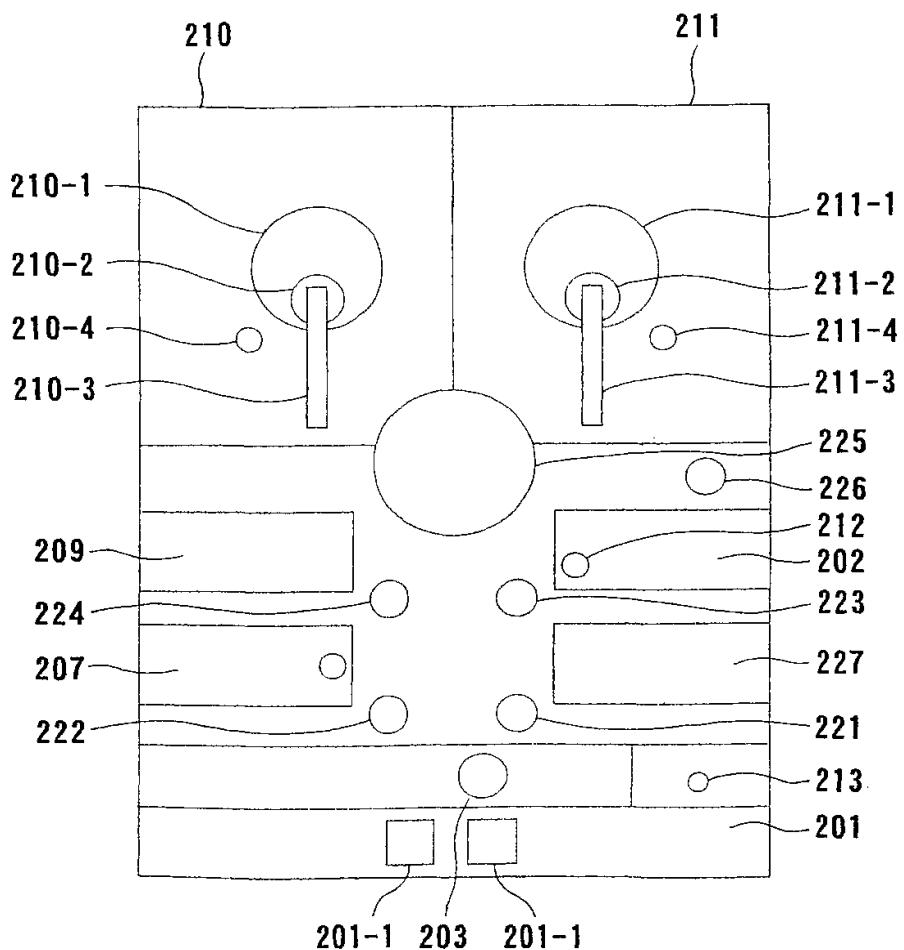
도면3



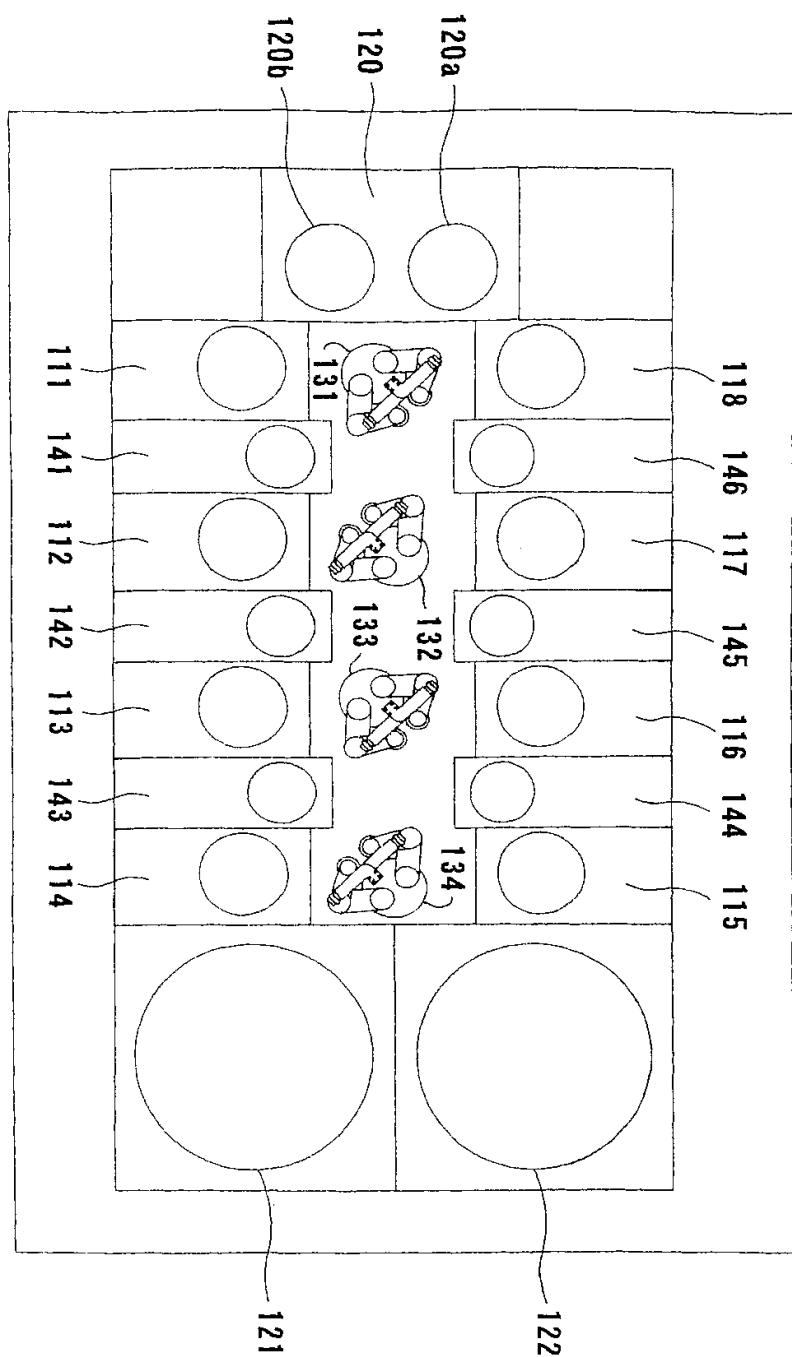
도면4



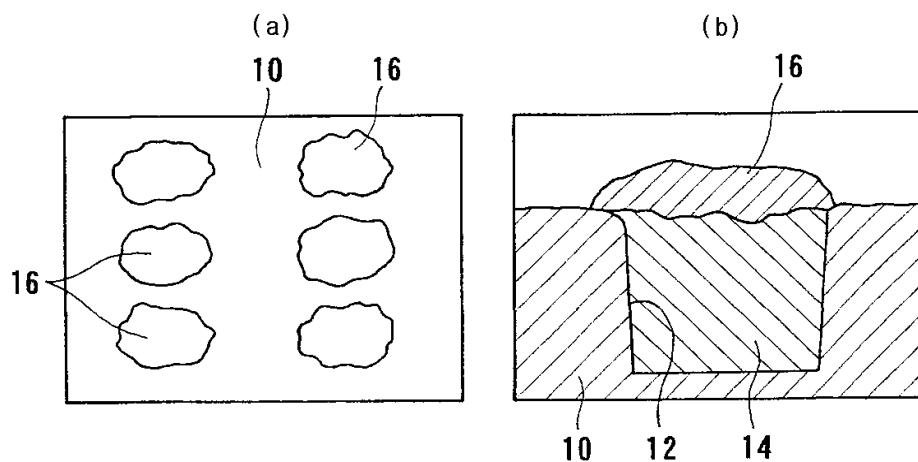
도면5



도면6



도면7



도면8

