



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월30일
(11) 등록번호 10-1025378
(24) 등록일자 2011년03월21일

(51) Int. Cl.

H01L 29/45 (2006.01)

(21) 출원번호 10-2005-7002427

(22) 출원일자(국제출원일자) 2003년08월08일

심사청구일자 2008년08월07일

(85) 번역문제출일자 2005년02월12일

(65) 공개번호 10-2005-0056969

(43) 공개일자 2005년06월16일

(86) 국제출원번호 PCT/US2003/025054

(87) 국제공개번호 WO 2004/030104

국제공개일자 2004년04월08일

(30) 우선권주장

10/217,758 2002년08월12일 미국(US)

(56) 선행기술조사문현

EP00789388 A2*

US03983264 A1*

US05021365 A1*

*는 심사관에 의하여 인용된 문현

전체 청구항 수 : 총 69 항

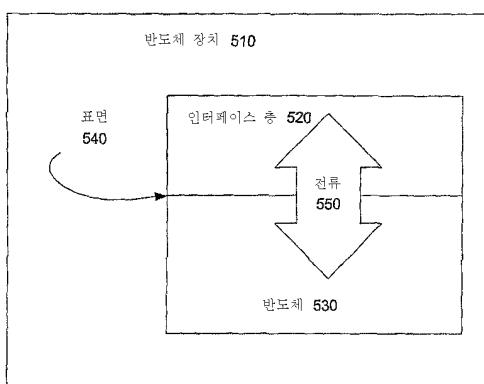
심사관 : 김건형

(54) 전기 접합부에서 반도체의 페르미 레벨을 디파닝하기 위한방법 및 그 접합부들을 통합하는 장치

(57) 요 약

금속과 Si-계 반도체 사이에 배치되고 이들과 접촉하는 인터페이스층(520)을 갖는 전기 장치에 관한 것으로, 인터페이스층은 금속과 반도체 사이의 전류 흐름을 허용하면서 반도체의 페르미 레벨을 디파닝시키기 위해 유용한 두께를 갖는다. 인터페이스층은 패시베이팅 재료(질소, 산소, 옥시질화물, 비소, 수소화물 및/또는 불소로 이루어짐)의 층을 포함하며, 또한 분리층을 포함할 수 있다. 소정 경우에서, 인터페이스층은 반도체 패시베이팅 재료의 단층일 수 있다. 인터페이스층 두께는 전자 장치에 대해 $100 \Omega - \mu\text{m}^2$ 이하 심지어 $10 \Omega - \mu\text{m}^2$ 이하의 최소 비저항 콘택에 해당한다.

대 표 도 - 도5



특허청구의 범위

청구항 1

전기 장치로서,

금속;

실리콘-계(silicon-based) 반도체; 및

상기 금속과 상기 반도체 사이에 근접하여 배치되어 이들 모두와 접촉되며 상기 금속의 페르미 레벨을 디파닝(depin)시키도록 구성되는, 1nm 미만의 두께를 갖는 인터페이스층

을 포함하며, 상기 전기 장치는 $1000 \Omega - \mu\text{m}^2$ 이하의 비콘택(specific contact) 저항을 가지는, 전기 장치.

청구항 2

제 1 항에 있어서,

상기 인터페이스층은 패시베이팅(passivating) 재료를 포함하는, 전기 장치.

청구항 3

제 2 항에 있어서,

상기 패시베이팅 재료는 질화물, 불화물, 산화물, 옥시질화물, 수소화물 또는 실리콘 비화물 중 하나 이상을 포함하는, 전기 장치.

청구항 4

제 3 항에 있어서,

상기 인터페이스층은 단층(monolayer)으로 이루어지는, 전기 장치.

청구항 5

제 2 항에 있어서,

상기 인터페이스층은 분리층(separation layer)을 더 포함하는, 전기 장치.

청구항 6

제 1 항에 있어서,

상기 비콘택 저항은 $100 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 7

제 1 항에 있어서,

상기 비콘택 저항은 $50 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 8

제 1 항에 있어서,

상기 비콘택 저항은 $10 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 9

제 1 항에 있어서,

상기 비콘택 저항은 $1 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 10

제 1 항에 있어서,

상기 인터페이스층은 질소를 함유한 재료의 존재하에 상기 반도체를 열처리함으로써 제조된 패시베이션층을 포함하는, 전기 장치.

청구항 11

제 10 항에 있어서,

상기 질소를 함유한 재료는 암모니아(NH_3), 질소(N_2) 또는 비결합 질소(N)중 적어도 하나를 포함하는, 전기 장치.

청구항 12

전기 장치로서,

금속-인터페이스층-Si-계 반도체 접합부를 포함하며,

상기 인터페이스층은 상기 접합부 부근에서 1nm 미만의 두께를 갖고 패시베이팅 재료를 포함하고, 상기 전기 장치는 $1000 \Omega - \mu\text{m}^2$ 미만의 비콘택 저항을 가지는, 전기 장치.

청구항 13

제 12 항에 있어서,

상기 비콘택 저항은 $100 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 14

제 12 항에 있어서,

상기 비콘택 저항은 $50 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 15

제 12 항에 있어서,

상기 비콘택 저항은 $10 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 16

제 12 항에 있어서,

상기 비콘택 저항은 $1 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 17

제 12 항에 있어서,

상기 패시베이팅 재료는 질화물, 산화물, 옥시질화물, 수소화물, 불화물 또는 실리콘 비화물 중 하나 이상을 포함하는, 전기 장치.

청구항 18

제 17 항에 있어서,

상기 인터페이스층은 패시베이션층 및 분리층을 포함하는, 전기 장치.

청구항 19

실리콘-계 반도체 표면과 도체 사이에 배치된 인터페이스층을 사용하여 상기 반도체와의 전기 접합부내에 도체

의 페르미 레벨을 디파닝시키는 단계

를 포함하며, 상기 인터페이스층은 (i) 상기 접합부의 부근에서 1nm 미만의 두께로서, 상기 반도체내에 금속-유도 겹 상태의 효과를 감소시키면서 $1000 \Omega - \mu\text{m}^2$ 미만의 비콘택 저항을 갖는 상기 접합부를 제공하기에 충분한 두께를 가지고, (ii) 상기 반도체 표면을 패시베이션 처리시키는, 방법.

청구항 20

제 19 항에 있어서,

상기 비콘택 저항은 $100 \Omega - \mu\text{m}^2$ 이하인, 방법.

청구항 21

제 19 항에 있어서,

상기 비콘택 저항은 $50 \Omega - \mu\text{m}^2$ 이하인, 방법.

청구항 22

제 19 항에 있어서,

상기 비콘택 저항은 $10 \Omega - \mu\text{m}^2$ 이하인, 방법.

청구항 23

제 19 항에 있어서,

상기 비콘택 저항은 $1 \Omega - \mu\text{m}^2$ 이하인, 방법.

청구항 24

제 19 항에 있어서,

상기 인터페이스층은 $1 \Omega - \mu\text{m}^2$ 이하의 전기 접합부의 비콘택 저항을 제공하기에 충분한 두께를 가지는, 방법.

청구항 25

제 19 항에 있어서,

상기 인터페이스층은 비화물, 수소화물, 불화물, 산화물, 옥시질화물 및 실리콘 질화물을 포함하는 목록에서 선택된 패시베이팅 재료를 포함하는, 방법.

청구항 26

제 25 항에 있어서,

상기 인터페이스층은 단층으로 이루어지는, 방법.

청구항 27

제 19 항에 있어서,

상기 인터페이스층은 300°C 초과의 온도에서 상기 반도체 표면상에 성장되는, 방법.

청구항 28

제 27 항에 있어서,

상기 인터페이스층은 질소를 함유한 재료의 존재하에서 성장되는, 방법.

청구항 29

제 28 항에 있어서,

상기 질소를 함유한 재료는 암모니아(NH₃), 질소(N₂) 또는 비결합 질소(N)중 하나를 포함하는, 방법.

청구항 30

제 19 항에 있어서,

상기 인터페이스층은 수소 및 불소 이온을 함유한 액체에서 상기 반도체를 침지시킴으로써 성장된 패시베이션층을 포함하는, 방법.

청구항 31

전기 장치로서,

Si-계 반도체와 인터페이스층에 의해 상기 반도체로부터 분리되는 도체 사이의 접합부를 포함하며,

상기 인터페이스층은 상기 접합부의 부근에서 1nm 미만의 두께로서, 상기 도체의 페르미 레벨이 상기 반도체의 전도대와 정렬되도록 허용하는 두께를 갖고, 상기 전기 장치는 1000 $\Omega - \mu\text{m}^2$ 미만의 비콘택 저항을 가지는, 전기 장치.

청구항 32

제 31 항에 있어서,

상기 비콘택 저항은 100 $\Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 33

제 31 항에 있어서,

상기 비콘택 저항은 50 $\Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 34

제 31 항에 있어서,

상기 비콘택 저항은 10 $\Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 35

제 31 항에 있어서,

상기 비콘택 저항은 1 $\Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 36

전기 장치로서,

Si-계 반도체와 인터페이스층에 의해 상기 반도체로부터 분리되는 도체 사이의 접합부를 포함하며,

상기 인터페이스층은 상기 접합부의 부근에서 1nm 미만의 두께로서, 상기 도체의 페르미 레벨이 상기 반도체의 가전자대와 정렬되도록 허용하는 두께를 갖고, 상기 전기 장치는 1000 $\Omega - \mu\text{m}^2$ 미만의 비콘택 저항을 가지는, 전기 장치.

청구항 37

제 36 항에 있어서,

상기 비콘택 저항은 100 $\Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 38

제 36 항에 있어서,

상기 비콘택 저항은 $50 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 39

제 36 항에 있어서,

상기 비콘택 저항은 $10 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 40

제 36 항에 있어서,

상기 비콘택 저항은 $1 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 41

전기 장치로서,

Si-계 반도체와 인터페이스층에 의해 상기 반도체로부터 분리되는 도체 사이의 접합부를 포함하며,

상기 인터페이스층은 상기 접합부의 부근에서 1nm 미만의 두께로서, 상기 반도체의 페르미 레벨이 상기 도체의 페르미 레벨과 독립적이도록 허용하는 두께를 갖고, 상기 전기 장치는 $1000 \Omega - \mu\text{m}^2$ 미만의 비콘택 저항을 가지는, 전기 장치.

청구항 42

제 41 항에 있어서,

상기 비콘택 저항은 $100 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 43

제 41 항에 있어서,

상기 비콘택 저항은 $50 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 44

제 41 항에 있어서,

상기 비콘택 저항은 $10 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 45

제 41 항에 있어서,

상기 비콘택 저항은 $1 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 46

전기 장치로서,

n-형 또는 p-형 반도체 재료 중 하나의 실리콘-계 반도체;

상기 반도체가 n-형 반도체 재료인 경우 상기 반도체의 전도대와 동일한 일함수를 갖거나 또는 상기 반도체가 p-형 반도체 재료인 경우 상기 반도체의 가전자대와 동일한 일함수를 갖는 금속; 및

상기 반도체와 상기 금속 사이에 근접하여 배치되어 이들 모두와 접촉되는, 1nm 미만의 두께를 갖는 인터페이스

총

을 포함하며, 상기 전기 장치는 $1000 \Omega - \mu\text{m}^2$ 이하의 비콘택 저항을 가지는, 전기 장치.

청구항 47

제 46 항에 있어서,

상기 인터페이스층은 패시베이팅 재료를 포함하는, 전기 장치.

청구항 48

제 47 항에 있어서,

상기 패시베이팅 재료는 질화물, 불화물, 산화물, 옥시질화물, 수소화물 또는 실리콘 비화물 중 하나 이상을 포함하는, 전기 장치.

청구항 49

제 48 항에 있어서,

상기 인터페이스층은 단층으로 이루어지는, 전기 장치.

청구항 50

제 47 항에 있어서,

상기 인터페이스층은 분리층을 더 포함하는, 전기 장치.

청구항 51

제 46 항에 있어서,

상기 비콘택 저항은 $100 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 52

제 46 항에 있어서,

상기 비콘택 저항은 $50 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 53

제 46 항에 있어서,

상기 비콘택 저항은 $10 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 54

제 46 항에 있어서,

상기 비콘택 저항은 $1 \Omega - \mu\text{m}^2$ 이하인, 전기 장치.

청구항 55

제 46 항에 있어서,

상기 인터페이스층은 질소를 함유한 재료의 존재하에 상기 반도체를 열처리함으로써 제조된 패시베이션층을 포함하는, 전기 장치.

청구항 56

제 55 항에 있어서,

상기 질소를 함유한 재료는 암모니아(NH_3), 질소(N_2) 또는 비결합 질소(N) 중 적어도 하나를 포함하는, 전기 장치.

청구항 57

전기 장치로서,

n-형 또는 p-형 반도체 재료 중 하나의 실리콘-계 반도체;

상기 반도체가 p-형 반도체 재료인 경우 상기 반도체의 전도대 에지와 동일한 일함수를 갖거나, 또는 상기 반도체가 n-형 반도체 재료인 경우 상기 반도체의 가전자대와 동일한 일함수 갖는 금속; 및

상기 반도체와 상기 금속 사이에 근접하여 배치되어 이들 모두와 접촉되며 상기 반도체의 페르미 레벨을 디파닝 시키도록 구성된, 1nm 미만의 두께를 갖는 인터페이스층

을 포함하는, 전기 장치.

청구항 58

제 57 항에 있어서,

상기 인터페이스층은 패시베이팅 재료를 포함하는, 전기 장치.

청구항 59

제 58 항에 있어서,

상기 패시베이팅 재료는 질화물, 불화물, 산화물, 옥시질화물, 수소화물 또는 실리콘 비화물 중 하나 이상을 포함하는, 전기 장치.

청구항 60

제 57 항에 있어서,

상기 인터페이스층은 단층으로 이루어지는, 전기 장치.

청구항 61

제 57 항에 있어서,

상기 인터페이스층은 분리층을 더 포함하는, 전기 장치.

청구항 62

전기 장치로서,

Si-계 반도체와 인터페이스층에 의해 상기 반도체로부터 분리되는 도체 사이의 접합부를 포함하며,

상기 인터페이스층은 상기 접합부의 부근에서 상기 도체의 페르미 레벨을 디핑시키기에 충분한 두께로서, 상기 도체의 일함수에 종속하는 비콘택 저항을 갖는 상기 접합부를 제공하기에 충분히 얇은 두께인, 상기 접합부 부근에서 1nm 미만의 두께를 갖는, 전기 장치.

청구항 63

제 62 항에 있어서,

상기 인터페이스층은 패시베이팅 재료를 포함하는, 전기 장치.

청구항 64

제 63 항에 있어서,

상기 패시베이팅 재료는 질화물, 불화물, 산화물, 옥시질화물, 수소화물 또는 실리콘 비화물 중 하나 이상을 포함하는, 전기 장치.

청구항 65

제 63 항에 있어서,

상기 인터페이스층은 단층으로 이루어지는, 전기 장치.

청구항 66

제 63 항에 있어서,

상기 인터페이스층은 분리층을 더 포함하는, 전기 장치.

청구항 67

제 62 항에 있어서,

상기 인터페이스층은 질소 재료의 존재시에 상기 반도체의 패시베이션을 포함하는, 전기 장치.

청구항 68

제 67 항에 있어서,

상기 질소 재료는 암모니아(NH_3), 질소(N_2) 또는 해방된(unbound) 질소(N) 중 하나를 포함하는, 전기 장치.

청구항 69

제 62 항에 있어서,

상기 인터페이스층은 수소 및 불소 이온들을 포함하는 액체에 상기 반도체를 침지시킴으로써 성장되는 패시베이션층을 포함하는, 전기 장치.

명세서**기술 분야**

[0001]

본건 출원은 본 발명자들에 의하여 2003년 1월 14일자로 출원되었으며 본건 출원과 동일한 양도인에게 양도된, 계류중인 미국 특허 출원 제 10/342,576호 "채널에 대한 패시베이팅 처리된 쇼트키 배리어를 갖는 절연 게이트 전계 효과 트랜지스터"에 관한 것이다. 상기 관련 출원은 본 명세서에 전체적으로 참조로서 통합된다.

[0002]

본 발명은 일반적으로는 반도체 처리 및 반도체 장치에 관한 것이다. 보다 구체적으로, 본 발명은 금속 - 인터페이스 층 - 반도체 접합부에서 반도체의 페르미 레벨을 디파인(depin)하기 위한 프로세스 및 상기 접합부를 채택하는 장치에 관한 것이다.

배경기술

[0003]

최근 장치들에 사용되는 가장 기본적인 전기 접합부 중 하나는 금속-반도체 접합부이다. 이러한 접합부들에서, 금속(예를 들어, 알루미늄)이 반도체(예를 들어, 실리콘)와 접촉하게 된다. 이는 본질적으로 정류할 수 있는 장치(다이오드)를 형성하며, 다시 말해, 접합부는 다른 방향에 비해 어느 한 방향으로 보다 잘 전류를 흐르게 하는 경향을 갖는다. 다른 경우에 있어서, 사용된 재료에 따라, 접합부는 사실상 오믹(ohmic)일 수 있다(즉, 콘택이 전류 흐름 방향과 무관하게 무시할 수 있을 정도의 저항을 가질 수 있다). 그론달(Grondahl)과 가이거(Geiger)가 1926년 처음으로 이러한 접합부들의 정류 형태를 연구하였으며, 1938년까지 쇼트키(Schottky)가 관찰된 정류에 대한 이론적 설명을 전개하였다.

[0004]

쇼트키의 이론은 금속-반도체 콘택의 정류 특성을 금속과 반도체 사이에서의 콘택의 표면에서 배리어에 따르는 것으로 설명한다. 이러한 모델에서, 배리어의 높이(전자가 금속으로부터 반도체로 이동하는데 필요한 전위에 의하여 결정됨)는 금속의 일함수(이 일함수는 금속의 페르미 레벨에서 전자가 자유롭게 되는데 필요한 에너지이며, 페르미 레벨은 $T=0$ 에서 가장 높은 점유 에너지 상태임)와 반도체의 전자 친화도(전자 친화도는 자유 전자의 에너지와 반도체의 전도대 에지(conduction band edge) 사이의 차이임) 사이의 차이로 가정된다. 수학적으로 표현하면

[0005]

$$\Phi_B = \Phi_M - X_s \quad (식 1)$$

[0006]

이며, 여기서 Φ_B 는 배리어 높이, Φ_M 는 금속의 일함수 그리고 X_s 는 반도체의 전자 친화도이다.

[0007]

이 이론을 실험적으로 확인하기 위한 많은 시도가 있어 왔다. 만일 이 이론이 맞다면, 공통 반도체와 콘택을 이루게 된 경우 상이한 일함수의 금속들에 대하여 배리어 높이의 직접적인 변화를 관찰할 수 있을 것이다. 그러나 관찰되는 것은 직접적인 스케일링(scaling)이 아니며, 대신 모델에 의해 예측되는 것보다 훨씬 작은 배리어 높이의 변동일 뿐이다.

[0008]

바딘(Bardeen)은 반도체의 표면 상태들이 배리어 높이를 결정하는데 기여한다는 개념을 도입함으로써 이론적 예측과 실험적 결과의 상이함을 설명하려 하였다. 표면 상태들은 불완전 공유 결합들, 불순물, 및 기타 결정 종결(crystal termination) 효과로부터 발생하는, 반도체 결정 에지에서의 에너지 상태들(가전자대(valence band)와 전도대 사이의 밴드갭 내에서)이다. 도 1은 100으로 지칭된, 패시베이션 처리되지 않은(un-passivated) 실리콘 표면의 단면을 도시한다. 도시된 특정 실리콘 표면은 Si(100) 2x1 표면이다. 도시된 바와 같이, 원자(110)와 같은 표면에서의 실리콘 원자들은 완전히 결합되지 않으며, 땅글링 결합(dangling bond)(120)와 같은 충족되지 않은 땅글링 결합들을 포함한다. 이러한 땅글링 결합들은 전기 전하들을 포획하는 표면 상태의 원인일 수 있다.

[0009]

바딘의 모델은 표면 상태들이 가전자대와 전도대 사이의 지점에서 반도체 내의 페르미 레벨을 피닝(pin)하는데 충분하다고 가정한다. 만일 사실이라면, 금속-반도체 접합부에서의 배리어 높이는 금속의 일함수에 무관할 것이다. 그러나 이러한 조건은 실험적으로 드물게 관찰될 뿐이며, 따라서, 바딘의 모델(쇼트키의 모델과 같이)은 극단적인 경우로 간주된다.

[0010]

수년간, 금속-반도체 접합부에서 반도체의 페르미 레벨 피닝의 근원적인 원인이 설명되지 않아 왔다. 사실, 현재까지, 어떠한 설명도 상기 접합부들과 관련된 모든 실험적 관찰들을 충족시키지 못한다. 그럼에도 불구하고, 1984년에, 테르소프(Tersoff)가 상기 접합부들의 물리적 현상을 설명하기 위한 모델을 제안하였다. 19984년 2월 5일자 Phys. Rev. Lett. 52(6)에 게재된 J. Tersoff의 "쇼트키 배리어 높이들 및 갭 상태들의 연속"을 보라.

[0011]

테르소프 모델(하인(Heine)과 플로어즈(Flores) & 테제도어(Tejedor)에 의한 연구를 토대로 구축되며, 1977년 발행 Phys. Rev. B15, 2154에 수록된 루이스(Louise), 첼리코프스키(Chelikowsky), 및 코엔(Cohen)의 "쇼트키 배리어의 이론 및 결합 이온성(ionicity)"을 보라)은 금속-반도체 인터페이스에서의 반도체의 페르미 레벨은 유효 "갭 센터(gap center)" 부근에서 피닝되는 것을 제안하는데, 여기서 갭 센터는 벌크 반도체 에너지 밴드 구조와 관련된 것이다. 피닝은, 금속의 인접에 기인하여 조밀해지는 반도체의 밴드갭에서의 에너지 상태들인, 이른바 금속 유도 갭 상태(metal induced gap state; MIGS)에 기인한다. 즉, 금속에서의 전자의 파동 함수들은 금속 표면에서 급박하게 종료되지 않으며, 오히려 그 표면으로부터의 거리에 비례하여 감쇠한다(즉, 반도체 내부로 연장된다). 반도체 내에서 상태 밀도에 대한 합 법칙(sum rule)을 유지하기 위하여, 표면 부근의 전자들은 가전자대에서의 상태 밀도가 감소하도록 가전자대로부터 유도된 갭에서 에너지 상태들을 점유한다. 전하 중성을 유지하기 위하여, 점유된 가장 높은 상태(반도체의 페르미 레벨을 정의함)는 가전자대로부터의 유도된 상태로부터 전도대로부터 유도된 상태들까지 교차 지점에 존재할 것이다. 이러한 교차는 밴드 구조의 분기점에서 발생한다. 테르소프 모델을 기초로 한 배리어 높이의 계산이 모든 금속-반도체 접합부들에 대하여 실험적으로 관찰된 배리어 높이들을 충족시키지는 못하지만, 일반적으로 다수의 접합부들에 대하여 양호하게 부합된다.

[0012]

다이오드 특성에 대한 표면 효과들의 하나의 최종 소스는 불균일성이다. 즉, 배리어 높이에 영향을 미치는 인자들(예를 들어, 표면 상태의 밀도)이 접합부 평면을 통하여 변한다면, 접합부의 최종 특성은 상이한 영역들의 특성들의 선형 결합이 아님을 알 수 있다. 요약하면, 고전적인 금속-반도체 접합부는 쇼트키 배리어로 특징 지워지는 바, 그 쇼트키 배리어의 특성(예를 들어, 배리어 높이)은 표면 상태들, MIGS 및 불균일성에 의존한다.

[0013]

금속-반도체 인터페이스에서의 배리어 높이의 중요성은 그 배리어 높이가 접합부의 전기적 특성들을 결정한다는 것이다. 따라서, 금속-반도체 접합부의 배리어 높이를 제어하거나 조절할 수 있다면, 원하는 특성의 전기 장치를 제조할 수 있다. 장치의 크기가 보다 더 작아짐에 따라 이러한 배리어 높이 튜닝(tunning)은 보다 중요해질 수 있다. 그러나 배리어 높이를 튜닝하기 전에, 반도체의 페르미 레벨을 디피닝해야만 한다. 이하에서 상세하게 논의되겠지만, 본 발명자들은 금속과 반도체 사이에서 실질적인 전류 흐름을 가능하게 하는 장치에서 이러한 목적을 성취하였다.

발명의 상세한 설명

[0014]

본 발명자들은, 금속-인터페이스층-반도체 접합부를 형성하도록 금속과 실리콘 기반 반도체(예를 들어, Si, SiC 및 SiGe) 사이에 배치되는 얇은 인터페이스층에 있어서, 대응 최소 비(specific) 콘택 저항들이 존재한다는 것을 확인하였다. 이러한 최소 비콘택 저항에 대응되는 인터페이스층 두께는 사용된 재료에 따라 변동되지만, 그러나, 접합부가 바이어스된 경우(예를 들어, 정방향 바이어스 또는 역방향 바이어스), 금속과 반도체 사이에 전류가 흐를 수 있게 하면서도 반도체의 페르미 레벨을 디피닝하는 것을 가능하게 하는 것은 두께이다. 페르미 레벨을 디피닝함으로써, 본 발명자들은, 반도체를 충분한 거리로 금속으로부터 변위시킴으로써, 반도체 표면에 존재할 수 있는 모든, 또는 실질적으로 모든 댕글링 결합이 종료되며, MIGS 효과가 극복되거나 또는 적어도 감소되는 상태를 의도한다. 약 $10 \Omega-\mu\text{m}^2$ 과 같거나 그 이하 또는 약 $1 \Omega-\mu\text{m}^2$ 과 같거나 그 이하의 최소 비콘택 저항이 본 발명에 따라 상기 접합부들에 대하여 성취될 수 있다.

[0015]

따라서, 일 실시예에서, 본 발명은 인터페이스층이 금속과 실리콘 기반 반도체 사이에 배치되고 그 금속 및 실리콘 기반 반도체와 콘택을 이루며 전기 장치가 바이어스되는 경우 금속과 반도체 사이에서 전류를 흐르게 하면서 반도체의 페르미 레벨을 디피닝하도록 구성되는 전기 장치를 제공한다. 전기 장치의 비콘택 저항은 약 $10 \Omega-\mu\text{m}^2$ 이하이다. 인터페이스층은 패시베이션(passivate) 재료(예를 들어, 질화물(nitride), 산화물, 옥시질화물, 비화물(arsenide), 수소화물(hydride) 및/또는 불화물(fluoride))를 포함할 수 있으며, 또한 때때로는 분리층을 포함한다. 소정의 경우에 있어서, 인터페이스층은 본질적으로 반도체 패시베이팅 재료의 단층(또는 여러 단층들)일 수 있다.

[0016]

또 다른 실시예에서, 인터페이스층은, 예를 들어, 암모니아(NH_3), 질소(N_2), 또는 플라즈마 공정으로부터 생성되는 비결합 기체 질소(N)와 같은 질소 함유 재료의 존재하에 반도체를 가열함으로써 제조되는 패시베이션층으로 이루어질 수 있다. 이러한 경우, 인터페이스층은 진공 챔버에서 반도체를 가열하고 질소 함유 재료에 반도체를 노출시킴으로써 제조될 수 있다.

[0017]

본 발명의 또 하나의 실시예는 도전체와 반도체의 표면 사이에 배치된 인터페이스층의 사용을 통해 전기 접합부에서 반도체의 페르미 레벨을 디피닝하는 것을 가능하게 한다. 인터페이스층은 바람직하게는 (i) 반도체에서 MIGS 효과를 감소시키는데 충분한 두께이며, (ii) 반도체 표면을 패시베이션처리한다. 인터페이스층의 존재에도 불구하고, 상당한 전류가 도전체와 반도체 사이에서 흐를 수 있는데, 이는 인터페이스층의 두께가 접합부에 대한 최소(또는 최소 부근의) 비콘택 저항을 제공하도록 선택될 수 있기 때문이다. 앞서 지적된 바와 같이, 인터페이스층은 질화물, 산화물, 옥시질화물, 비화물, 수소화물 및/또는 불화물을 포함할 수 있다.

[0018]

본 발명의 또 하나의 실시예는, 도전체의 페르미 레벨이 (i) 반도체의 전도대에 정렬되거나, (ii) 반도체의 가전자대에 정렬되거나, 또는 (iii) 반도체의 페르미 레벨과 무관할 수 있도록 구성되는 인터페이스층에 의하여 반도체로부터 분리되는 도전체와 반도체 사이의 접합부를 제공한다. 몇몇의 경우 또는 이러한 모든 경우에 있어서, 접합부가 바이어스되는 경우 전류가 도전체와 반도체 사이에서 흐를 수 있는데, 이는 인터페이스층이 접합부에 대한 최소 또는 최소 부근의 비콘택 저항에 대응되는 두께를 갖기 때문이다. 예를 들어, 약 $2500 \Omega-\mu\text{m}^2$, $1000 \Omega-\mu\text{m}^2$, $100 \Omega-\mu\text{m}^2$, $50 \Omega-\mu\text{m}^2$, $10 \Omega-\mu\text{m}^2$ 과 같거나 그 이하, 또는 $1 \Omega-\mu\text{m}^2$ 와 같거나 그 이하의 비콘택 저항이 성취될 수 있다.

[0019]

본 발명은 첨부된 도면들에서 예시를 통해 도시되지만, 그에 제한되는 것은 아니다.

실시예

[0028]

본 명세서에는 금속-반도체 접합부에서 실리콘 기반 반도체(예를 들어, Si, SiC 또는 SiGe)의 페르미 레벨을 디피닝하는 프로세스 및 그러한 접합부를 사용하는 장치가 설명된다. 이하에서 보다 상세하게 논의되듯이, 인터페이스층은 반도체와 금속 사이에 도입된다. 인터페이스층은 반도체 표면을 패시베이션처리하고(즉, 표면의 화학적 안정성을 확실히 하기 위하여 반도체 표면에서 존재할 수 있는 댕글링 결합을 종료시킴) 그리고 MIGS 효과를 감소시키기 위하여 금속으로부터 반도체를 변위시키는 기능을 한다.

[0029]

이하에서 보다 상세하게 논의되듯이, 본 발명자들은 금속과 실리콘-기반 반도체(예를 들어, Si, SiC 및 SiGe) 사이에 배치되는 얇은 인터페이스층에 대하여, 금속 - 인터페이스층 - 반도체 접합부를 형성하기 위하여 대응 최소 비콘택 저항들이 존재함을 확인하였다. 실제로, 약 $10 \Omega-\mu\text{m}^2$ 과 같거나 그 이하, 또는 $1 \Omega-\mu\text{m}^2$ 과 같거나

그 이하의 최소 비콘택 저항이 본 발명에 따라 상기 접합부들에 대하여 성취될 수 있다. 낮은 콘택 저항을 성취하기 위하여, 금속은 n형 반도체들에 대하여 반도체의 전도대 부근의 일함수 또는 p형 반도체에 대하여 가전자대 부근에 있는 일함수를 갖는 금속이 선택된다.

[0030] 상기 접합부들에서의 셀트키 배리어는 이미 최소화되어, 일반적으로 반도체의 밴드갭 중간 근처에 페르미 레벨이 피닝되는 접합부에 의하여 제공되는 셀트키 배리어 보다 훨씬 작다는 것을 의도된다. 이러한 접합부들의 전류 대 전압(IV) 특성은 비선형이며, 일반적으로 전압에 대한 전류의 미분이 전압과 함께 증가하도록 전압이 증가함에 따라 증가하는 기울기를 갖는다. 이는 감소하는 미분 저항(dV/dI) 및 감소하는 저항(V/I)을 야기한다. 따라서, IV 특성의 원점(0 볼트) 부근에서 높은 저항 또는 높은 미분 저항을 갖는 접합부는 보다 높은 전압에서 상당히 낮은 저항 또는 보다 낮은 미분 저항을 가질 수 있다.

[0031] 본 발명은 금속 - 인터페이스층 - 반도체 접합부에 대하여 전류-전압 특성의 원점 부근에서 낮은 저항 및 낮은 미분 저항을 성취한다. 일반적으로, 낮은 저항의 상기 접합부들을 측정하거나, 결정하거나 또는 이용하기 위해서는, 원점 부근에서의 전압은 약 100mV 이하, 또는 보다 바람직하게는 약 10mV 이하일 것이다. 보다 높은 전압에서는, 접합부 저항이 보다 낮을 것이다. 따라서, 낮은 전압에서 상한이 발생하는 콘택 저항의 상한을 설정하는 것이 본 발명의 특징이다.

[0032] 또한, 상기 설명된 바와 같이 셀트키 배리어가 최소화되어, 영 볼트에서 접합부 인터페이스의 페르미 레벨이 전도대 에지 또는 가전자대 에지(각각 n형 및 p형 반도체 대하여) 또는 그 부근에 있게 되는 접합부들에서, IV 특성은, 특히 낮은 전압에서 거의 대칭적이 될 것이 주목된다. 이 경우, "정방향 바이어스"란 용어는, 정방향 바이어스가 보다 큰 전류가 흐르는 바이어스 방향에 대응되는 통상적인 다이오드의 관점에서 정의되지 않는다. 따라서, 본 발명의 낮은 저항 접합부들을 결정하고 이용함에 있어서, 전압은 양(positive) 또는 음(negative) 중 어느 하나일 수 있다.

[0033] (본 발명의 또 하나의 실시예에 따라) 접합부 인터페이스에서의 페르미 레벨이 통상적으로 반도체의 중간-갭 부근에서 피닝되는 경우의 셀트키 배리어 높은 셀트키 배리어를 갖는 접합부들을 만드는 것이 가능하다. 본 발명에서 이러한 접합부들은 p형 반도체의 전도대 에지와 실질적으로 동일한 또는 그 부근의 일함수를 갖는 금속 사이에, 또는 n형 반도체의 가전자대 에지와 실질적으로 동일하거나 그 부근의 일함수를 갖는 금속 사이에 형성된다. n형(p형) 반도체가 금속에 대하여 양으로(음으로) 바이어스되는 경우 거의 전류가 흐르지 않을 것이며, 전압이 반대인 경우에는 큰 전류가 흐를 것이라는 점에서 이러한 접합부들은 다이오드이다. 낮은 전류 흐름 상태는 역방향 바이어스로 언급되며, 높은 전류 흐름 상태는 양의 바이어스로 언급된다.

[0034] 다이오드의 경우 낮은 저항은 순방향 바이어스 조건에만 관련된다. 본 발명에 따라 생성된 접합부들에서는, 인터페이스층의 저항 기여도는 셀트키 배리어에 기인한 저항보다 작다. 즉, 본 발명에 따라 생성된 접합부들에 대한 순방향 바이어스 조건에서는, 전하의 이동은 주로 인터페이스에서 배리어 상에서의 반도체로부터의 열 방사에 의하여 주로 제한되며 인터페이스 유전체를 통과하는 터널링에 의해 제한되지는 않는다. 따라서, 다이오드의 경우 낮은 저항은 셀트키 배리어에 의해 제공되는 저항보다 낮은 저항을 의미한다.

[0035] 소정의 다이오드 적용예에서, 높은 역방향 바이어스를 견딜 수 있는 능력이 정방향 바이어스에서의 높은 전류 보다 바람직할 수 있다. 이러한 적용예들은 고전압/저전력 응용예로 간주될 것이다. 이러한 경우, 낮은 저항이 필수적인 것은 아니며, 본 발명의 또 하나의 실시예에 따라 생성된 접합부들은, 접합부에서 반도체의 페르미 레벨이 피닝되는 경우 성취될 수 있는 것보다 높은 전압을 견딜 수 있는 능력을 갖는 고전압 다이오드를 제공한다.

[0036] 본 발명은 이하에서 본 발명의 바람직한 실시예들에 의하여 논의되지만, 이러한 논의가 본 발명의 범위를 제한하기 위한 것은 아니다. 본 명세서를 검토함으로써, 당업자가 동일한 효과를 성취하기 위하여 본 명세서에서 설명되는 것들을 대체할 수 있는 균등한 과정, 재료 또는 구조를 인식할 수 있다. 독자에게 상기 균등물들의 사용이 본 발명의 범위 내에 있다고 간주되는 것이 알려지고 상기된다. 예를 들어, 공지된 구조들 및 장치들에 대하여 논의가 되는 곳에서는, 그 구조들 및 장치들의 넓은 범위까지의 본 발명의 넓은 적용 가능성을 부분적으로 나타내기 위하여 블록 다이어그램이 사용된다.

I. 도입 및 정의

[0038] 본 논의는, 비록 당업계 공지되었지만 모든 독자들에게는 익숙하지 않을 수 있는 용어를 사용한다. 따라서, 본 발명에 대한 상세한 논의를 시작하기 전에, 여러 용어 및 개념들을 정의하는 것이 유용하다. 금속-반도체 접합

부들의 특성을 및 본 발명의 효과를 이해하기 위해서는, 도 2에서 그레프로 도시되는 소정의 중요한 에너지 스케일들을 주목해야 한다. 이른바 진공 레벨(E_0)은 전자가 금속 또는 반도체로부터 완전히 자유롭게 되기 위하여 그 전자가 가져야 할 필요가 있는 최소 에너지를 나타낸다. 금속에 있어서, 페르미 레벨(E_F)는 재료에 대한 가장 높은 점유 에너지 레벨을 나타낸다. 즉, 페르미 레벨 아래의 거의 모든 에너지 상태들은 채워지는 반면, 페르미 레벨 위의 거의 모든 레벨들은 비어 있다. 따라서, 금속의 일함수(Φ_M)는 페르미 레벨에서 전자가 자유롭게 되기 위하여 필요한 에너지로 정의되며 수학적으로는 진공 레벨과 페르미 레벨의 차이이다. 일함수는 금속의 불변 벌크 특성이다.

[0039] 다이어그램에서 도시된 바와 같이, 반도체 또한 페르미 레벨(E_F) 및 일함수 (Φ_M)를 갖지만, 일함수는 반도체의 불변 특성이 아니다. 페르미 레벨이 반도체의 도핑 레벨(즉, 전자 및 정공 캐리어 농도를 변화시키며 반도체 결정 내로 도입되는 불순물의 상대적인 양)에 따라 변화하기 때문에, 별도의 변수인 전자 친화도(χ_s)가 정의된다. 전자 친화도는 반도체의 불변 특성이며 반도체의 전도대 예지와 진공 레벨 사이의 차이이다. 반도체에서, 거의 모든 에너지 상태들은 가전자대(E_V)에서 채워지는 반면 전도대(E_C)는 거의 비어있게 된다.

[0040] 이제 금속과 그 금속의 일함수 보다 작은 일함수를 갖는 n형 반도체(즉, $\Phi_s < \Phi_M$) 사이의 통상적인 접합부를 고려해 보자. n형 반도체는 전자들이 주요 전하 캐리어인 반도체이다(p형 반도체에서는, 정공들이 주요 전하 캐리어이다). 도 3에서 도시된 바와 같이, 반도체의 페르미 레벨이 금속의 페르미 레벨 보다 높기 때문에, 재료들이 콘택 되는 경우 전자들이 반도체(310)에서부터 금속(320)으로 이동한다. 따라서, 공핍 영역(즉, 어떠한 자유 전하 캐리어도 없는 영역)(330)이 접합부 인터페이스(340) 부근에 형성된다.

[0041] 공핍 영역의 형성은, 반도체 측으로부터 접합부 인터페이스에 접근하는 경우, 전기장 및 이른바 "밴드 밴딩"을 발생시킨다(도 4 참조). 밴드 밴딩은 전자들이 반도체 내부로 이동하거나 반도체로부터 외부로 이동하는 것을 방해하는 에너지 배리어(상기 논의됨)를 생성시킨다. 금속의 일함수가 반도체의 일함수 보다 작은 경우 금속과 p형 반도체 사이의 접합부에 대해서는 유사한 배리어들이 형성된다. 그러나 반도체의 일함수가 금속의 일함수 보다 큰 금속 - n형 반도체 접합부 또는 반도체의 일함수가 금속의 일함수보다 작은 금속 - p형 반도체 접합부의 경우, 상기 에너지 배리어들은 전혀 생성되지 않으며 콘택은 사실상 오믹이다.

[0042] 상기 설명한 것처럼, 비록 쇼트키는 금속-반도체 접합부에서 형성된 에너지 배리어의 높이(Φ_b)는 단순히 금속의 일함수와 반도체의 전자 친화력 사이의 차이인 것으로 가정하였지만, 이러한 관계는 증명되지 않았다. 표면 결합 상태의 효과를 고려한 더 복잡한 설명 대신에, 불균일과 MIGS는 반도체의 페르미 레벨의 피닝을 설명함으로써 배리어 높이의 좀 더 정확한 평가를 제공한다. 본 발명은 표면 상태의 효과와 불균일을 제거하거나 적어도 감소시키기 위해 반도체 표면을 패시베이션 처리하고 (MIGS의 효과를 제거하거나 적어도 감소시키기 위해) 반도체로부터 금속을 치환시킴으로써 금속 접합부에서 Si-기재 반도체의 페르미 레벨을 디피닝하고 (이로써 배리어 높이를 제어 또는 조정할 수 있는) 기술을 만들어냈다. 이러한 디피닝은 접합부가 순방향 바이어스일 때 금속과 반도체 사이에서 현저한 전류가 흐를 수 있게 하는 반도체-인터페이스 층-금속 접합부를 형성하도록 반도체와 금속 사이에 인터페이스 층을 형성함으로써 달성된다.

[0043] 이러한 점은 중요하다. 이제 더 자세히 설명하겠지만, 반도체와 도체의 에너지 밴드가 정렬하는(즉, 도체의 페르미 레벨이 반도체 타입 및/또는 콘택 어플리케이션에 따라 반도체의 도전 또는 밸런스 밴드와 일치하는) 콘택에 있어서, 만약 인터페이스 층이 너무 얇다면, MIGS가 존재하기 때문에 접합부의 비콘택 저항은 증가하고, 이로 인해 배리어 높이가 증가하고; 따라서 전류 흐름은 방해를 받는다. 반대로, 만약 인터페이스 층이 너무 두껍다면, 비콘택 저항은 다시 증가하고 터널링 제한으로 인해 접합부에 걸리는 전류는 낮아진다. 본 발명은 MIGS 효과를 감소시키거나 제거하기에 충분히 두꺼우면서 현저한 전류가 흐를 수 있기에 충분히 얇은 인터페이스 층을 만든다.

II. 반도체 표면의 패시베이션

[0044] 반도체 장치 제조 동안 수행되는 공통적인 프로세싱 동작은 실리콘 표면 패시베이션이다. (산화물 또는 기타 물질에 의한) 표면 패시베이션은 하부 실리콘을 화학적으로 중성화시키고 물리적으로 보호한다. 예컨대, (실리콘 이산화물의 보호 필름을 성장시키기 위한 적절한 조건 하에서) 실리콘 표면을 산소에 노출시키는 것은 표면 실리콘 원자들의 밸런스를 만족시키고 표면을 완전히 조화시키는 공유 결합을 형성하도록 실리콘 표면의 땅글링

결합과 산소가 반응하게 한다. 이러한 공유 결합은 실리콘 표면에 화학적 안정성을 제공한다. 또한 공유 결합은 표면의 반도체 결정의 불연속으로 인해 실리콘 표면 상에 존재하는 결합하지 않는 전하들을 묶는다.

[0046] 그러나, 실리콘 이산화물을 이용한 패시베이션은 여러 심각한 단점들을 갖는다. 예컨대, 실리콘 이산화물은 현저한 배리어가 전류 흐름을 방해하는 유전성 절연체이다. 따라서, 실리콘 표면에 중착 또는 성장한 실리콘 이산화물층은 표면을 통과하여 흐를 수 있는 전류의 능력을 현저히 감소시킬 수 있다. 그 결과, 실제로는 실리콘 이산화물의 사용은 장치 동작 동안 전류가 통과하는 반도체 장치의 액티브 영역 외부에 있는 표면(즉, 게이트 산화물층)에 대해 제한된다. 이러한 단점은 실리콘 이산화물이 실리콘 표면 상에서 매우 빠르고 용이하게 성장하여 얇은 층을 성장시키도록 제한하는 것이 어렵다는 사실과 결합된다. 또한 실리콘 이산화물은 붕소와 같은 반도체 도편트의 양호하지 않은 확산 배리어이다.

[0047] 그래서 실리콘 실리콘 이산화물을 사용하는 대신에, 본 발명의 일 실시예에서는 화학적 패시베이션을 제공하기 위해 질화 반도체 표면을 사용한다. 즉, 질화물층은 표면 상태의 효과와 불균일을 제거하거나 적어도 감소시킴으로써 반도체 표면을 패시베이션하기 위해 도입된다. 또한 질화물층은 반도체를 금속으로 바꾸고 MIGS 효과를 제거하거나 적어도 감소시킨다. 그 결과 반도체와 금속 간의 인터페이스로서 질화물층의 도입은 반도체 페르미 레벨을 디파닝시킨다. 반도체의 페르미 레벨이 디파닝될 때, 인터페이스에서의 금속 페르미 레벨은 벌크 금속의 레벨이 되며, 인터페이스에 의존하지 않는다. 게다가, 본 발명은 예컨대 산화물, 수소화물, 비화물 및/또는 불화물과 같이, 질소 이외의 물질을 사용하여 절연되지 않고 패시베이션 처리된 반도체 표면을 제공하는 기술을 제공한다.

[0048] 이러한 기술은 쇼트키 다이오드, 쇼트키-배리어 트랜지스터 및 기타 전자 부품들을 제조하는 분야에 폭넓게 사용된다. 예컨대, 쇼트키 다이오드에 있어서, 다이오드 접합부의 에너지 배리어 높이를 제어할 수 있는 능력은 장치가 특정 어플리케이션에서 설계되는 경우 중요하다. 본 발명은 배리어 높이를 조절할 수 있게 한다. 또한, 쇼트키-배리어-절연 채널을 갖는 기타 3-단자 장치에 있어서, 상이한 일함수를 갖는 금속들을 사용하는 대신에 n-타입 및 p-타입 장치를 도편트 없이 제조할 수 있기 때문에 장치 특성의 제어가 본 발명에서는 가능하다.

[0049] 도 5는 본 발명에 따라 반도체(530) 및 반도체의 표면(540) 상에 형성된 인터페이스 층(520)을 포함한 반도체 장치(510)를 도시한다. 반도체 장치, 마이크로일렉트릭 장치, 모놀리식 장치, 칩 및 집적 회로라는 용어는 종종 전자 분야에서 서로 교환적으로 사용된다. 이러한 장치의 일부 또는 모두는 본 발명에 따른 반도체 표면상에 형성된 인터페이스 층을 각각 포함할 수 있다.

[0050] 반도체(530)는 반도체 재료를 포함한다. 반도체 재료라는 용어는 약 0.1eV보다 크고 약 4eV보다 작은 밴드갭을 갖는 재료를 말한다. 밴드갭이라는 용어는 전자들이 가장 많이 탈출하고 전자가 전도될 수 있는 상위 에너지 밴드인 컨덕션 밴드와 전자들로 가장 많이 채워지고 전자들이 전도될 수 없는 에너지 밴드인 벨런스 밴드를 분리시키는 금지 에너지 레벨의 에너지 갭을 말한다. 반도체 재료는 전혀 도핑되지 않은 것을 포함하는 넓은 범위의 도핑 레벨을 가질 수 있다.

[0051] 반도체(530)는 인터페이스층(520)에 의해 패시베이션 처리된 표면(540)을 갖는다. 이러한 상황에서(본 명세서에서 사용되는 것처럼) 패시베이션이라는 용어는 반도체 표면(540)의 결합 또는 맹글링 결합으로 인해 표면 상태의 효과를 제거하거나 적어도 감소시키는 것을 의미한다. 실제로 패시베이션은 모든 표면 상태가 제거될 것을 필요로하지 않는다. 오히려, 패시베이션에서 제한 또는 제거되는 장치 특성에 대한 표면 상태의 효과이다. 그러나, MIGS의 존재는 여기서 사용된 것처럼 패시베이션이란 용어가 MIGS의 제거를 암시하는 것으로 의미하지 않는 표면 상태로서 간주될 수 있다(일부 경우에, 패시베이션 층은 MIGS를 감소시키거나 제거하기에 충분한 반도체와 금속 간의 분리 층을 제공하는 충분한 두께를 가질 수 있다). 반도체(530)는 반도체 장치(510)와 관련한 제 1 전압에 의해 전기적으로 결합되고 패시베이션 처리된 표면(540)을 걸쳐 전류(550)가 도전되게 동작할 수 있다.

[0052] 인터페이스 층(520)은 반도체(530) 위에 형성되고 패시베이팅 재료와 반도체 재료 사이에 형성된 공유(또는 다른) 결합을 이용하여 반도체 재료에 결합하는 패시베이팅 재료를 포함할 수 있다. 예컨대, 패시베이팅 재료의 원자는 실리콘 원자와 완전히 대응하여 실리콘 원자의 패시베이션을 돋는 표면 실리콘 원자의 맹글링 결합과 함께 공유적으로 결합할 수 있다. 일부 경우에, 패시베이팅 재료는 인터페이스 층(520)의 하나의 성분일 수 있지만, 다른 경우에 인터페이스 층(520)은 패시베이션 층과 분리 층을 모두 포함하는 복합 층일 수 있다. 즉, 인터페이스 층은 (i)반도체 표면(540)을 화학적으로 패시베이션 처리하고, (ii)MIGS 효과를 제거하거나 적어도 감소시키기에 충분히 금속을 반도체로 바꾼다. 하기 설명에서, 이는 선택된 패시베이팅 재료에 따라, 인터페이

스 층 내에 패시베이션 층에 추가하여 분리 층을 포함할 필요가 있다. 물론, 패시베이션 층과 분리 층의 결합은 여기서 설명한 낮은 비콘택 저항이 가능하도록 충분히 얇아야 한다.

[0053] 다른 패시베이팅 재료가 고려될 수 있다. 일 실시예에 따라서, 인터페이스 층(520)은 수소(H), 산소(O), 질소(N), 비소(As), 불소(F)을 포함하는 그룹 중에서 선택된 재료를 사용하여 형성된다(즉, 인터페이스 층(520)은 질화물, 산화물, 수소화물, 비화물 및/또는 불화물을 포함할 수 있다). 이러한 재료들과 유사한 화학적 특성 또는 밸런스를 갖는 기타 재료들이 사용될 수도 있다. (패시베이션 층(들)에 추가하여) 분명한 분리층들은 H, As, 또는 F 패시베이션 층이 사용되는 곳에 필요할 수 있는데, 이는 이들이 프로세스-의존 두께의 Si의 결합 층 보다는 단일층 커버리지를 형성하는 경향이 있기 때문이다. 대조적으로, N 및/또는 O를 이용하여 제조된 패시베이션 층은 분명한 분리 층들을 필요로하지 않는데, 이는 이들 성분이 프로세스에 의존하여 변할 수 있는 두께를 갖는 Si 결합층을 형성할 수 있기 때문이다.

[0054] 패시베이팅 재료의 상이한 양이 본 발명의 상이한 실시예에 유용하도록 고려될 수 있다. 종종, 인터페이스 층(52)은 약 0.1 nm 내지 5 nm 사이의 두께를 갖는 패시베이션 층을 포함하거나 만들어진다. 예컨대, 특정 실시에 따라, 두께는 약 1 nm보다 작거나, 약 0.5 nm보다 작거나, 약 0.2 nm 보다 작을 수 있으며 반도체 표면에 결합된 패시베이팅 재료의 하나의 층 또는 단층에 대응하는 두께일 수 있거나, 반도체 표면(540)과 관련한 거의 모든 맹글링 결합을 패시베이션 처리하는데 필요한 패시베이팅 재료 원자의 수와 동일할 수 있다.

[0055] 일부 경우에, 반도체 표면(540)의 패시베이션은 표면으로부터 수 개의 문자 크기 내에 뿐만 아니라 표면에서의 맹글링 결합을 포함하는 반도체 재료의 표면에 근접하여 위치한 맹글링 결합의 제거(또는 종료)를 포함한다. 이러한 프로세스는 반도체 재료의 표면을 안정시키고 후속 제조 작업의 제어를 향상시킬 수 있다. 또한 패시베이션은 표면에서의 반도체 결정의 불연속 결과로서 반도체 표면에 존재할 수 있는 표면 상태의 밀도를 감소시킨다. 이는 이러한 상태가 적절한 장치 작업을 방해하는 것으로 알려져 있기 때문에 반도체 장치의 일관성과 성능을 향상시킨다. 예컨대, 이들은 페르미 레벨의 피닝을 발생시키는 표면 전하 상태를 제공할 수 있다.

III. 인터페이스 층의 형성

[0056] (i) 반도체 표면을 패시베이션 처리하고, (ii) 수소, 불소 또는 질소를 갖는 금속이 존재하는 경우에 (여기서는 반도체 페르미 레벨을 디피닝하는 것으로 일괄적으로 부름) 반도체 내의 MIGS 효과를 제거하거나 적어도 감소시키기 위해 금속을 반도체로 바꾸는 인터페이스 층을 형성하기 위한 예시적인 방법은 본 발명의 개념을 추가로 설명하는 하기 설명에서 개시된다. 기타 패시베이팅 재료는 비소, 옥산소 또는 옥시질화물을 포함할 수 있고 일부 경우에 이러한 패시베이션 층은 인터페이스층을 고려하도록 (산화물로 만들어진) 분리층과 결합한다.

A. 수소 및 불소

[0057] 인터페이스층은 수소, 불소, 또는 (즉, 수소화물 및/또는 불화물 형태인) 수소와 불소 모두를 포함할 수 있다. 수소와 불소를 갖는 반도체 표면 위에 인터페이스 층을 형성하는 한가지 방법은 세척 용액을 이용하여 반도체 기판을 세척하는 단계, 세척된 기판을 약 1%-50% 중량 사이의 통상적인 유효 농도를 갖는 불화수소 용액(또는 수소와 불소 이온을 함유한 다른 액체)에 담그는 단계, 통상적으로 약 수 초 내지 약 5분의 유효 시간 동안 대기하는 단계, 불화수소 용액으로부터 기판을 제거하는 단계, 탈이온수에 기판을 린싱하는 단계, 질소로 기판을 블로우-드라잉하는 단계를 포함한다. 이러한 방법은 반도체 표면에 (공유적으로) 결합된 수소와 불소를 포함한 인터페이스층을 형성할 수 있다.

[0058] 탈이온수에서 일반적으로 약 30초 이상 오래도록 린싱하는 것은 수소 패시베이션을 제거할 수 있다. 따라서, 탈이온수 린싱은 표면의 수소 패시베이션이 유지되도록 약 30초보다 작게 유지되는 것이 바람직하다. 또한, 담그는 동안 불화수소의 농도가 높을수록, 불소 패시베이션의 농도는 높아진다. 마지막으로, 수소 대 불소 패시베이션의 비율은 수소 또는 불소를 제거함으로써 바꾸는 방법이 고려된다.

[0059] 이러한 형태로 형성된 인터페이스층은 순차적인 금속층이 예를 들어 열적으로 증발된 소스를 사용하여 일반적으로 침해받지 않는 형태로 인터페이스층상에 증착되는 분야에 가장 적합하다. 본 발명자에 의한 실험은 다른 방법(예를 들어, 플라즈마 증착)의 사용이 본 발명의 일부로서 고려되는 얇은(예를 들어, 두꺼운 단층) 인터페이스층을 손상시킬 수 있다는 것을 새롭게 제안한다.

[0062] B. 질소

또 다른 실시예에서, 인터페이스층은 질소(예를 들어, 실리콘 질화물 형태)를 포함할 수 있다. 질소를 갖는 반도체 표면 위에 인터페이스를 형성하는 방법중 하나는 질소를 함유한 재료(즉, 질소를 함유한 가스 또는 다른 재료)의 존재하에 반도체 표면을 포함하는 기판을 열처리하는 단계를 포함한다. 예를 들어, 노출된 실리콘 표면을 포함하는 기판은 소정 유효 부분압에서 예를 들어 암모니아(NH_3)를 함유하는 가스 분위기 하에서, 급속 열질화(RTN)를 위해 종래에 사용되는 온도보다 낮은 약 300°C 내지 약 750°C 사이의 온도에서 어닐링 처리될 수 있다. 노출됨으로써, 실리콘을 제외한 아무것도 없는 세척 표면을 형성한다. 이러한 방법은 반도체 표면에 결합된 질화물 형태로, 질소를 함유하는 인터페이스층을 형성할 수 있다. 본 발명자는 단지 온도에 의해서만, 상기 낮은 온도 조건에서 인터페이스층 성장이 자체 조절된다는 것을 관찰했다.

또 다른 실시예에 따라, 질소를 포함하는 인터페이스층은 진공하에서 거의 높은 온도로 반도체 재료를 가열하고 암모니아와 같이 질소를 함유한 재료의 거의 소정량에 반도체 재료를 노출시키는 단계를 포함하는 방법에 의해 반도체 재료의 노출된 표면상에 형성된다. 상기 방법은 가열 챔버 내에 노출된 반도체 표면을 갖는 반도체를 위치시키는 단계, 약 100백만 분의 1 Torr 미만, 또는 보다 바람직하게는 10^{-9} Torr 미만의 초 고진공으로 끌어올리는 단계, 및 거의 높은 온도로 가열 챔버내의 반도체를 가열하는 단계를 포함한다. 고진공일수록, 챔버내의 잔류 산소 또는 물로부터 산화물의 성장이 없도록 기판 가열은 길어진다. 따라서, 상기 프로세스는 약 900°C 내지 약 1000°C 사이 또는 그 이상의 온도에서 불활성 분위기에서 반도체를 가열하는 단계를 포함한다. 원한다면, 반도체는 반도체상에 임의의 자연 산화물을 감소시키기 위해 수소 가스 또는 등가물에 노출될 수 있다. 이러한 높은 온도는 낮은 온도에서 달성될 수 있는 결과에 비해 반도체 표면에 우수한 패시베이션을 제공할 수 있다.

다음, 가열된 반도체는 암모니아와 같이 거의 소량의 질소를 함유한 재료에 노출될 수 있다. 이는 거의 짧은 시간 주기 동안 암모니아에 반도체 표면을 노출시키는 단계를 포함할 수 있다. 예를 들어, 표면은 약 0.5초 내지 약 5초 사이의 시간 주기 동안 암모니아를 지속시키는 버스트(brust) 또는 펄스 처리된다. 선택적으로, 표면은 임의적인 긴 시간 주기에 걸쳐 소량의 제어된 암모니아에 노출될 수 있다. 이런 방법으로, 거의 소량의 암모니아는 질화물층과 같이 질소를 함유한 인터페이스층을 표면상에 형성하도록 표면과 반응하고 인터페이스층의 추가적인 성장은 중단된다. 다음 반도체는 거의 높은 온도로부터 대기 온도로 냉각되고 가열 챔버로부터 제거된다. 또한 기판과 성장된 질화물층의 추가적 어닐링이 약 700°C 내지 1000°C , 또는 그 이상의 거의 상승된 온도에서 제거 이전에 진공 챔버에서 수행될 수 있다.

바람직하게, 예상밖으로 거의 짧은 시간 동안 거의 높은 온도 노출을 통합 및 상기 개시된 프로세스는 얇은 유효 인터페이스층을 제어가능하게 형성하는데 사용될 수 있는 것으로 관찰되었다. 즉, 본 발명자는 얇은 인터페이스층의 형성시에 온도가 두께 제어시 주요 요인으로 나타난다는 것을 발견했다. 예를 들어, 이러한 방법에 의해 유효 인터페이스층 약 1 nm 미만, 약 0.5 nm 미만, 약 0.2 nm 미만의 두께, 또는 반도체 표면 부근에서의 거의 모든 댕글링 결합을 패시베이션처리하기에 충분한 대체로 단일 단층에 해당하는 두께를 갖도록 형성될 수 있다.

또한, 얇은 인터페이스층은 질소를 함유한 가스의 존재하에, 또는 다른 불활성 질소-함유 가스의 존재하에 반도체 상에 바람직하게 성장될 수 있다. 질소 가스와 실리콘과 같은 반도체의 반응율은 암모니아와 같은 반응성 질소-함유 가스 보다 상당히 낮다. 이러한 낮은 성장률은 약 1nm 미만, 약 0.5nm 미만, 약 0.2nm 미만의 두께, 또는 실리콘 표면 부근의 거의 모든 댕글링 결합을 패시베이션 처리하기에 충분한 대체로 단일 단층에 해당하는 두께를 갖는 반도체상에 질소의 성장막을 보다 제어하는데 바람직하다.

[0068] IV. 패시베이션처리된 반도체 표면을 갖는 다이오드

쇼트키 배리어로 제조된 다이오드(즉, 금속과 반도체 사이의 접합부에 형성된 비대칭 전기 전위)는 전원장치 및 제어 분야에서 정류기에 광범위하게 사용된다. 본 명세서에서 사용되는 것처럼, 쇼트키 다이오드, 금속-반도체 접합 다이오드, 다이오드 및 정류기란 용어는 모두 관계가 있으며 보다 특정하게 좌측에서 부터 보다 일반적으로 우측으로 차례로 나타난다. 마찬가지로, 쇼트키 배리어, 금속-반도체 접합 배리어, 도체-반도체 접합, 및 멀티-재료 접합은 모두 관계가 있으며 보다 특정하게 좌측에서 부터 보다 일반적으로 우측으로 차례로

나타난다. 쇼트키 다이오드란 용어는 쇼트키 배리어를 함유하는 다이오드로 간주되어 사용될 것이다.

[0070] 상기 언급된 바와 같이, 본 발명자는 금속과 반도체 사이에 (산화물, 옥시질화물, 질화물, 비화물, 수소화물, 불화물, 또는 등가물을 포함하는 패시베이션층을 포함하거나 일부를 이루는) 인터페이스층을 형성함으로써 쇼트키 배리어 높이를 제어 또는 조절하는 방안에 대해 연구했다. 이러한 방안은 배리어 높이를 제어하기 위해 과거의 시도한 것들과 다르며, 상기 시도들은 콘택 금속으로서 실리사이드를 사용하거나(따라서 실리사이드를 형성할 수 있는 것들에 대해 이용가능한 콘택 금속의 선택이 제한된다), 또는 광범위한 밴드갭을 나타내는 에소테릭(esoteric) 기관을 사용을 일반적으로 수반했다. 또한, 종래의 장치에서 반도체의 페르미 레벨은 피닝된 채 유지되어, 배리어 높이는 사용되는 재료와 사실상 독립적이다. 마지막으로, 기관 도핑이 시도되었으나, 기관 재료의 배리어 높이에 실제 영향을 미치는 것으로 도시되지 않았다. 예를 들어, PtSi 콘택은 높은 실리콘 도핑으로 인해 저항이 감소되어 접합부에 대한 전류는 배리어를 통한 터널링에 의해 조절된다. 따라서, 도핑은 전자에 대해 거의 투명하도록 얇을 수 있으나, 도핑은 배리어 높이의 실제 터널링이 허용되도록 나타나지 않는다.

[0071] 도 6은 본 발명의 일실시예에 따라 반도체(610)와 도체(630) 사이에 배치되고 이를 모두와 접촉되는 인터페이스층(620)을 포함하는 다이오드(600)의 예를 나타낸다. 도체와 반도체는 다이오드(600)의 동작과 관련된 상이한 전압과 전기적으로 결합되고 반도체(610)와 인터페이스층(620) 사이의 접합부에 형성된 패시베이션처리된 반도체 표면을 통해 전류가 흐르도록 동작한다.

[0072] 도체(630)는 금속 또는 금속 합금과 같은 전도성 재료를 포함한다. 금속, 전도성 재료, 및 도체란 용어는 모두 관계가 있으며 특정하게 좌측에서부터 일반적으로 우측으로 순서대로 나타난다. 일반적으로, 페르미 레벨을 갖는 전기적으로 고도의 전도성 물질(substance)로 간주되는 용어는 부분적으로 충만된 밴드에 위치된다. 별도로 특정되지 않으면, 도체는 금속(예를 들어, 순금속 및 합금), 및 도핑된 폴리실리콘(불규칙적으로 배향된 결정체를 갖는 비-다공성 실리콘), 도핑된 단결정 실리콘, 및 금속 실리사이드와 같은 다른 도체를 포함한다. 합금은 그들의 구성과 다른 일함수를 가질 수 있고 구성 금속의 비의 선택적 사용을 통해 특정 일함수를 가질 수 있다는 것을 주목해야 한다.

[0073] 종종, 도체는 금속으로 간주되며, 이는 금속이 낮은 저항, 우수한 고주파수 성능을 제공하는 높은 캐리어 이동도 및 스위칭, 바람직한 저전력 특성 및 제조 제어의 용이성을 포함하는 전도성 반도체를 능가하는 장점을 제공할 수 있기 때문이다. 또한 금속의 사용은 반도체 도핑을 수행하기 위한 조건을 소거시킬 수 있어, 제조를 간략화시키고 품질 제어를 개선시킬 수 있다.

[0074] 고려되는 금속은 순금속, 합금, 내화성 금속, 실리사이드를 형성하지 않는 금속, 열적으로 증발된 금속 증기의 응축(condensation)과 같은 것에 의해 거의 침해되지 않는(non-invasive) 프로세스에 의해 물리적으로 증착된 금속, 및 예정된 일함수를 갖는 금속을 포함한다. 침해되지 않게 증착된 금속의 사용은 층의 패시베이션 특성을 차단시키지 않고 얇은 인터페이스층상에 금속을 형성할 수 있게 한다.

[0075] 예정된 일함수를 갖는 금속은 원하는 적용분야에 따라, 반도체 보다 작은 또는 큰 일함수를 갖는 금속일 수 있다. 종종, 반도체는 실리콘이다. 이 경우, 반도체 또는 실리콘의 일함수에 의해 반도체 밴드갭의 중간에 있는 에너지를 의미한다. 실리콘 보다 작은 일함수를 갖는 예시적인 금속은 3A족 원소, 알루미늄(Al), 인듐(In), 티타늄(Ti), 크롬(Cr), 탄탈(Ta), 세슘(Cs), 마그네슘(Mg), 에르븀(Er), 이테르븀(Yb), 망간(Mn), 납(Pb), 은(Ag), 이트륨(Y), 및 아연(Zn)을 포함한다. 실리콘보다 높은 일함수를 갖는 예시적인 금속은 백금(Pt), 금(Au), 텉스텐(W), 니켈(Ni), 몰리브덴(Mo), 구리(Cu), 코발트(Co) 및 팔라듐(Pd)을 포함한다.

[0076] 도 6에 도시된 반도체-인터페이스층-도체 구성은 본 발명자가 "패시베이션 처리된 쇼트키 배리어"라 부르는 것으로 선택된 것을 규정한다. 패시베이션 처리된 쇼트키 배리어는 도체에 인접한 반도체에 형성된 공핍 영역으로 인해 도체 내에 페르미 에너지(전기화학적 전위)에서 전자 또는 홀에 대해 자연적으로 형성된 전기적 전위 배리어이다. 패시베이션 처리된 쇼트키 배리어는 반도체와 도체 사이에 인터페이스층이 배치되지 않고 콘택 접합부에 자연스럽게 형성되는 표준의 패시베이션처리되지 않은 쇼트키 배리어로부터 배리어 높이에서 벗어날 수 있다. 즉, 패시베이션처리된 쇼트키 배리어는 표면 특성 보다는, 주로 반도체와 도체의 별크 특성을 따르는 배리어 높이를 가질 수 있고, 인터페이스층의 특성에 부분적으로 의존할 수 있다.

[0077] 실제로, 본 발명자는 배리어 높이 변화는 반도체 기관의 질화반응(nitridation)에 의한 표면 패시베이션 두께에 서의 편차에 대해 거의 단조롭고(monotonic) 연속적이라는 것을 검출했다. 특히, MIGS를 제거하도록 질화물층이 충분히 두꺼운 범위에서 본 발명자에 의한 실험은 인터페이스층 형성 온도는 배리어 높이에 대해 강한 영향을 미치는 것을 나타낸다. 다른 범위에서, 두께는 중요할 수 있다. 사실상, 모든 표면 상태가 제거되는 경우,

배리어 높이는 사용되는 금속 선택에 의해 간단히 제어될 수 있다.

[0078] 인터페이스층의 두께가 중요한 이유를 이해하기 위해서, 인터페이스-비(specific) 콘택 저항 대 인터페이스 두께의 그래프를 나타내는 도 8을 참조한다. 상기 그래프는 금속의 일함수가 반도체에서의 전자 친화력과 동일한 구조물에 관한 것으로, 금속의 페르미 레벨은 반도체의 전도대(conduction band)와 정렬된다. 큰 두께에서, 인터페이스층은 전류에 대해 상당한 저항을 취한다. 두께가 감소함에 따라, 저항은 증가된 터널링 전류로 인해 감소된다. 그러나, 인터페이스층이 얇아지도록 연속하는 지점에 이르면 저항은 증가한다. 이는 반도체의 중간 캡으로 하향하는 금속의 페르미 레벨을 점차적으로 당겨(pull) 쇼트키 배리어를 발생시키는 MIGS의 효과 때문이다. 본 발명자는 이러한 경쟁력(competition)은 도면에 도시된 것처럼, 저항이 최소치인 최적의 두께에서 이루어진다는 것을 발견했다. 이러한 두께에서 MIGS의 효과는 금속을 디파닝시키고(depin) 쇼트키 배리어를 낮추도록 충분히 감소되며, 층은 인터페이스층에 대해 상당한 전류 흐름을 허용하도록 충분히 얇다. 약 $25000 \Omega - \mu\text{m}^2$, $1000 \Omega - \mu\text{m}^2$, $100 \Omega - \mu\text{m}^2$, $50 \Omega - \mu\text{m}^2$, $10 \Omega - \mu\text{m}^2$ 이하 또는 심지어 $1 \Omega - \mu\text{m}^2$ 이하의 콘택 저항이 달성될 수 있다.

[0079] 원하는 배리어 높이를 제공하도록 조절될 수 있는 특성은 사용되는 패시베이팅 재료(예를 들어, 밴드갭에 기초하여 선택), 인터페이스층 두께(예를 들어, 특히 인터페이스층이 패시베이션층과 분리층이 형성된 화합물층인 경우), 인터페이스층 형성 방법(예를 들어 온도와 같은 파라미터 제어), 금속 인터페이스에 형성된 MIGS의 천공깊이와 거의 유사한 인터페이스층 두께, 소스 및/또는 드레인으로 사용되는 금속, 및 다른 특성을 포함한다.

[0080] 인터페이스층(620)의 도입을 이용한 쇼트키 배리어 높이를 조절하기 위한 능력의 장점 중 하나는 실질적으로 높은 배리어 높이를 형성하는 능력이다. 예를 들어, 인터페이스층은 약 2.0 eV 이상 또는 약 2.5 eV 이상(적어도 이러한 큰 밴드갭을 갖는 반도체를 사용), 또는 거의 1.0 V의 실리콘을 사용하여, 금속 실리사이드의 사용을 통해 달성될 수 있는 것보다 큰 배리어 높이를 갖는 쇼트키 배리어를 형성하는데 사용될 수 있다. 이러한 높은 배리어 높이는 브레이크다운이 발생하기 이전에 높은 전압을 견뎌내는 능력을 수반한다. 따라서, 이러한 높은 배리어 높이를 갖는 쇼트키 배리어는 고전압 쇼트키 다이오드에 특히 유용하다.

[0081] 인터페이스층(620)을 통해 달성되는 또다른 장점은 도체(630)를 선택하는데 있어 상당한 융통성을 제공한다는 것이다. 전형적으로, 쇼트키 다이오드 분야에서의 적용을 위해 선택된 금속은 실리콘 반도체로 실리사이드를 형성할 수 있는 것들이다. 실리사이드 형성은 표면 상태(앵글링 결합으로 발생되는)를 감소시키는데 도움을 주지만, MIGS에 영향을 미치지 않는다. 따라서, 반도체 표면에서 페르미 레벨은 여전히 고정되어 있다. 실리콘과의 콘택으로 실리사이드를 형성하는 금속을 사용하는 것은 제조 환경에 있어 보다 재현 가능한 장치를 만드는데 도움을 줄 수 있으나, 이러한 장치는 고정된 배리어 높이를 갖는다는 문제점을 여전히 갖고 있다.

[0082] 그러나, 본 발명의 일 실시예에 따라, 반도체로 실리사이드를 형성하기 위해 이용되지 않는 (또는 쉽게 이용될 수 없는) 도체가 선택될 수 있다. 본 발명에 따라 제공되는 인터페이스층이 반도체 표면을 패시베이션 처리하여 MIGS의 효과를 감소 또는 제거하기 때문에, 금속 실리사이드는 요구되지 않는다. 이는 금속이 금속 실리사이드를 형성하지 않더라도, 원하는 일함수 또는 페르미 레벨 에너지와 같은 특성을 갖는 금속을 선택할 수 있게 한다.

[0083] 예를 들어, n-형 도핑된 실리콘 반도체에 대해 큰-배리어 다이오드를 제조하기 위해, 반도체의 가전자대 에너지와 거의 같은 또는 반도체의 가전자대 에너지의 약 0.1 eV 내지 약 0.3 eV 내의 일함수를 갖는 금속이 선택될 수 있다. 유사하게, p-형 도핑된 실리콘 반도체에 대해, 반도체의 전도대 에너지와 거의 같은 일함수를 갖는 금속이 선택될 수 있다. 본 발명에 따라 구성된 쇼트키 다이오드에 대해, 금속의 페르미 레벨은 인터페이스층이 접합부 내에 배치되는 경우 반도체의 밴드갭에서 어디에든 놓일 수 있어, 다양한 배리어 높이의 다이오드가 달성된다. 또한 금속의 페르미 레벨은 반도체의 전도대 또는 가전자대에 놓일 수 있다.

[0084] 따라서 인터페이스층(620)의 사용은 도체와 반도체 사이에 배리어 높이를 조율, 조절 또는 제어하는 방법을 제공한다. 인터페이스층(620)이 없다면, 배리어 높이는 거의 조율불가능하고, 조절불가능하고 고정될 것이다(상기 설명된 바와 같이).

[0085] 도체(630)와 반도체(610) 사이의 배리어 높이를 조율, 조절 또는 제어하는 데 있어 인터페이스층(620)의 역할은 반도체의 페르미 레벨의 디파닝(depinning)으로서 이해될 수 있다. 즉, 인터페이스층은 앵글링 결합을 제거하기 위해 반도체 재료와의 결합에 의한 표면 상태를 감소시킬 수 있다. 부가적으로, 인터페이스층은 (금속의) 전자과 함수가 반도체 속으로 천공되는 것을 방지하는 두께 및 밴드갭을 제공함으로써 반도체 내의 MIGS의 형성을 감소시킬 수 있다. 전자과 함수는 인터페이스층 속으로 대신 천공될 수 있고 인터페이스층 재료의 상태에

관련된 에너지에서 인터페이스층 내에 MIGS를 형성한다. 원하는 바대로, MIGS의 밀도 및 인터페이스층 속의 MIGS 천공 깊이는 반도체보다 큰 밴드갭 또는 높은 유효 질량을 갖는 인터페이스층 재료 또는 재료들을 선택함으로써 감소될 수 있다.

[0086] 본 발명의 일실시예에 따라, 인터페이스층(620)은 장치가 동작하는 동안 반도체 표면과 인터페이스층을 통해 전류가 통과하도록 동작가능한 장치속에 통합될 수 있다. 이러한 실시예에서, 단일층 또는 예를 들어, 약 0.1nm 내지 약 0.3nm 사이의 두께를 가지며, 또한 인터페이스층이 페르미 레벨을 디피닝(de-pin)시키고(배리어 높이가 주로 접합 재료의 벌크 특성에 따르도록) 인터페이스층에 대해 충분한 전류 전달을 허용하도록(반도체에 비해) 넓은 밴드갭을 갖는 인터페이스층을 사용하는 것이 바람직할 수 있다. 바람직하게, 이러한 인터페이스층은 많은 반도체 장치에 대해 바람직하게 전류 흐름에 낮은 임피던스를 제공하도록 충분히 얇으면서(배리어 두께에 대한 직접적인 터널링의 지수 관계로 인해), 배리어 높이가 조절가능하도록 반도체 표면에 충분한 패시베이션을 제공할 수 있다. 즉, 인터페이스층은 표면 상태의 패시베이션 및 인터페이스층에 대해 충분한 전류가 전달되도록 조절가능한 배리어 높이에 대해 실질적으로 얇은층을 갖을 수 있도록 반도체의 MIGS 표면 상태의 패시베이션 및 감소(또는 제거)를 허용할 수 있다.

[0087] 배리어 높이를 조절할 수 있는 몇가지 방법이 있다. 예를 들어, 페르미 레벨 피닝(pinning) 정도를 조율함으로써 상기 조절을 이를 수 있다. 다른말로, 일부 실시예는 Si내의 MIGS 효과가 모두 제거되지 않도록 충분히 얇은 인터페이스층을 허용할 수 있다. 또한, 피닝은 인터페이스층의 두께와 인터페이스 재료의 선택의 조합에 의해 변할 수 있다. 인터페이스층과 콘택트되는 금속은 상이한 재료에서 상이한 레벨의 MIGS에 의해 피닝될 수 있다. 반대로, 또는 추가적으로, 패시베이션은 패시베이션되지 않은 상태의 유효 레벨을 허용하도록 불충분한 채로 있을 수 있다. 페르미 레벨의 완벽한 디피닝(MIGS를 포함하는 Si내의 모든 표면 상태를 제거)은 또 다른 옵션으로, 이 경우 원하는 일함수를 소유하는 순수한 금속 또는 합금을 선택함으로써 간단하게 배리어 높이를 결정할 수 있다. 이 경우, 배리어 높이는 실현불가능한 이상화가 될 때까지 식(1)에 의해 결정된다. 주목할 것은 본 명세서에서 개시되는 조율 형태는 접합 동작 동안 외부에 적용되는 조건을 변화시키지 않고, 제조 시간에서 접합 구조를 변경함으로써 배리어 높이를 조절한다는 것이다.

[0088] 도 7a-7d는 반도체와 콘택트하는(또는 근접해 있는) 금속을 함유한 다양한 쇼트키 배리어에 대한 페르미 에너지, 전도대 에너지 및 가전자대 에너지 사이의 관계를 나타내며, 여기서 전도대(Ec)와 가전자대(Ev) 사이에는 반도체 밴드갭(Eg)이 존재한다. 본 실시예에서, 금속의 일함수(Φ_M)는 반도체의 전자 친화도(χ_S)와 거의 같도록 선택된다. 도 7a에, 패시베이션되지 않은 쇼트키 배리어(700)가 도시된다. 본 실시예에서, 금속(730)의 페르미 레벨(E_f)은 반도체(710)의 밴드갭에 피닝된다. 이는 인터페이스에서 하전된 쌍극자(dipole)에 의해 야기되는 진공 레벨에서의 불연속성으로 인한 것이다.

[0089] 도 7b에서, 인터페이스층(720b)은 반도체(710)의 표면에서 냉글링 결합을 방지하도록 충분히 두껍지만, MIGS의 효과를 소거 또는 충분히 감소시킬 만큼 두껍지는 않다. 결과적으로, 밴드 구조물은 이전의 도면에 도시된 것과 크게 다르지 않다. 유사하게, 도 7c에서는, 인터페이스층(720c)이 MIGS의 효과를 소거 또는 감소시키도록 충분히 두껍지만 반도체 표면을 보호하지는 않는 경우, 에너지 밴드 구조물에서의 변화가 거의 없는 것으로 관찰된다. 그러나, 도 7d에 도시된 것처럼, 인터페이스층(720d)이 MIGS의 효과를 소거 또는 감소시키고 반도체 표면을 보호하는데 충분한 경우, 반도체의 전도대와 정렬되는 금속의 페르미 레벨을 볼 수 있다(즉, 반도체의 페르미 레벨은 디피닝되고 금속의 페르미 레벨에 따라 더 이상 정렬되지 않는다). 진공 레벨은 인터페이스에서 하전된 쌍극자가 존재하기 않기 때문에 연속적이다. 따라서, 이러한 형태로 구성된 장치의 밴드 구조물은 벌크 재료 특성만의 결과이며 표면 특성에 의한 결과는 아니다. 예로써, 이러한 경우에 재료는 Al 및 Si일 수 있으며, Al의 일 함수(Φ_M)는 약 4.1 eV이고 Si에 대한 전자 친화도(χ_S)는 약 4.05 eV이다.

V. 패시베이션 처리된 반도체 표면을 함유한 트랜지스터

[0091] 본 명세서에서 개시된 인터페이스 층은 전계 효과 트랜지스터 채널의 반도체 표면과 관련하여 사용될 수 있다. 즉, 인터페이스층은 소스와 채널, 채널과 드레인 사이, 또는 절연된 게이트 전계 효과 트랜지스터 모두에 배치될 수 있다. 이러한 인터페이스층의 사용은 본 발명의 양수인에게 양도된, 2002년 본 발명자에 의해 "INSULATED GATE FIELD EFFECT TRANSISTOR HAVING PASSIVATED SCHOTTKY BARRIERS TO THE CHANNEL"이란 명칭으

로 출원된 공동계류중인 US 특허 출원 번호 No. _____에 상세히 개시되어 있다.

[0092] 전계 효과 트랜지스터의 채널에서 소스와 드레인의 콘택은 본 발명을 구성하는 금속-인터페이스층-반도체 콘택의 광범위한 카테고리의 일례이다. 과거에, 이러한 콘택은 실리사이드- n^+ -Si 접합을 포함하며, 이는 중간갭에서 피닝되는 반도체의 페르미 레벨로 "누설(leaky)" 쇼트키 다이오드를 형성한다. 대조적으로, 본 발명은 콘택을 제공하며, 여기서 금속의 페르미 레벨은 (예를 들어, 도 7d에 도시된 것처럼) 반도체의 전도대와 정렬된다. 다른 경우에 있어, 사용되는 반도체 재료 및 도체의 형태에 따라, 금속의 페르미 레벨은 반도체의 가전자대와 정렬될 수 있다는 것을 주목해야 한다.

[0093] 이들 형태의 접합부(즉, 새롭게 패시베이션처리된 쇼트키 배리어 접합부와 종래의 실리사이드-반도체 접합부)는 전류 터널링을 허용하지만, 본 발명의 접합부는 앞서 사용되는 실리사이드층의 두께에 비해 거의 얇은 인터페이스층으로 제조될 수 있다. 사실상, 실리사이드 두께 이하 정도의 크기를 갖는 두께가 예상된다. 종래의 실리사이드-반도체 접합부에서, 쇼트키 배리어는 공핍층을 포함하도록 형성된다. 이러한 공핍층에 의해 제공되는 터널 배리어는 본 발명의 유전체 터널 배리어보다 두꺼운 크기를 가질 수 있다. 본 발명에 의해 제공된 보다 얇은 인터페이스층은 접합부에 대해 높은 전류를 허용한다(즉, 낮은 접합부 비콘택 저항).

[0094] 유전체의 두가지 다른 특성을 주목할 수 있다. 첫째는 반도체 전도대(전자에 대한)에 비교되는 배리어의 높이 특성에 있다. 실리사이드 배리어보다 얇은 배리어를 제조하는 데 있어, 높은 터널 배리어(예를 들어, 실리사이드에 대해서 0.6 eV의 갭의 대략 절반과 비교해서, 질화물에 대해서는 2 eV)는 선택사항일 수 있다. 스페이서 층은 낮은 배리어로 사용될 수 있다(예를 들어, TiO_2 는 1 eV 이하의 배리어를 갖는다). 그럼에도 불구하고, 전자에 대해 높은 배리어를 갖더라도, 본 발명자는 저항은 실리사이드 배리어로 실리콘에 대한 콘택 보다 100배 낮아질 수 있는 것을 발견했다.

[0095] 두번째 특성은 유전체 내의 전자의 유효 질량에 있다. 지금까지 큰 질량의 전자는 (이들의 짧은 파장으로 인해) 금속으로부터 반도체 속으로 천공되지 않았다. 유전체 속으로 전자가 거의 천공되지 않아, 유전체 내의 MIGS 효과는 거의 없다. 따라서, 유전체내의 MIGS는 큰 밴드갭 및 큰 유효 질량으로 감소된다.

[0096] 또한 본 발명의 접합부는 소스 또는 드레인이 주입된 웰에 콘택을 제조하는데 사용될 수 있으며 (고체 용해도의 제한에 도달하는) 고농도 도핑 레벨을 위한 조건을 감소시키는 장점을 갖는다. 과거에 고농도 도핑 프로파일은 터널링 전류를 증가시켜, 접합 저항을 감소시키기 위해 상대적으로 얇은 접합 공핍층을 유지하도록 요구되었다. 그러나, 낮은 저항 접합부를 제공하기 위해 도핑 프로파일을 증가시키는 것은 점차 어려워지고 있다. 본 발명을 사용하여 낮은 도핑 농도로 동일한 레벨의 저항에 도달하는 것이 가능하다. 또한, 낮은 도핑 농도를 사용하더라도 매우 낮은 저항을 달성할 수 있다. 본 발명이 고농도 도핑 레벨을 사용하는 경우, 저항은 보다 감소될 것이다.

[0097] 따라서, 반도체-인터페이스층-금속 접합부에 대한 방법 및 적용분야가 개시되었다. 특정 실시예를 참조로 개시되었지만, 본 발명의 광범위한 범주 및 정신을 이탈하지 않는 한 본 명세서에 개시된 기술에 대한 다양한 변형 및 변화를 이룰 수 있다. 상세한 설명 및 도면은 제한적 의미라기보다는 예시적인 것으로서 본 발명은 이하 첨부되는 청구항과 관련하여서만 판단된다.

도면의 간단한 설명

[0020] 도 1은 댱글링 결합을 갖는 표면 실리콘 원자들을 포함하는 패시베이팅 처리되지 않은(un-passivated) 실리콘 표면의 횡단면을 도시한다.

[0021] 도 2는 금속들과 반도체들에 대한 여러 에너지 레벨들을 도시하며 금속의 일함수와 반도체의 전자 친화도가 나타나도록 지칭된다.

[0022] 도 3은 통상적인 금속 - n -형 반도체 접합부에 대한 에너지 밴드 다이어그램을 도시하며 또한 재료들이 서로 콘택을 이루는 경우 반도체에 형성된 공핍 영역(depletion region)의 개념을 도시한다.

[0023] 도 4는 통상적인 금속 - n 형 반도체 접합부에서의 결합 밴딩(band bending)을 도시한다.

[0024] 도 5는 반도체 장치 작동시 전기 전류가 흐르는 표면을 가지며 본 발명의 일 실시예에 따라 표면 상에 형성된 인터페이스층을 포함하는 반도체 재료를 포함하는 반도체 장치를 도시한다.

[0025] 도 6은 본 발명의 일 실시예에 따라 반도체와 도전체 사이에 배치되는 인터페이스층을 포함하는 전기 접합부를

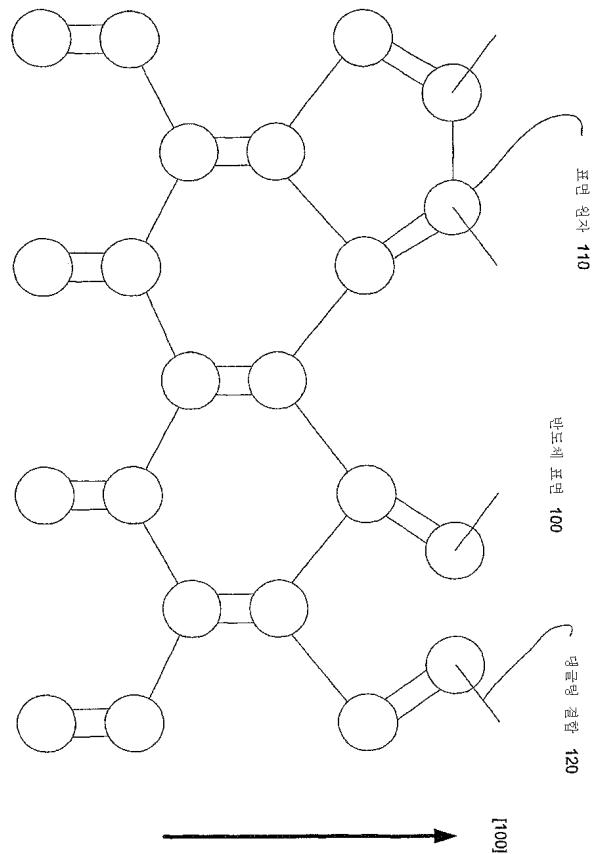
도시한다.

[0026] 도 7a, 7b, 7c 및 7d는 각각 본 발명의 일 실시예에 따라 패시베이션처리된 쇼트키 다이오드, MIGS가 제거되지 않은 패시베이션처리된 쇼트키 다이오드, MIGS가 제거된 패시베이션처리되지 않은 쇼트키 다이오드 및 MIGS가 제거된 패시베이션 처리된 쇼트키 다이오드에 대한 페르미 에너지, 전도대 에너지, 및 가전자대 에너지 사이의 관계를 도시한다.

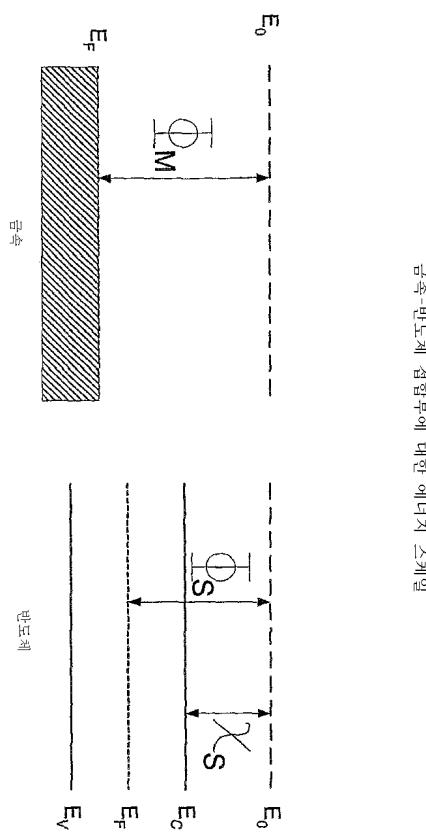
[0027] 도 8은 본 발명의 일 실시예에 따라 반도체와 도전체 사이에 배치된 인터페이스층을 포함하는 전기 접합부에 있어서 인터페이스층 두께에 대한 인터페이스층 저항의 곡선을 도시한다.

도면

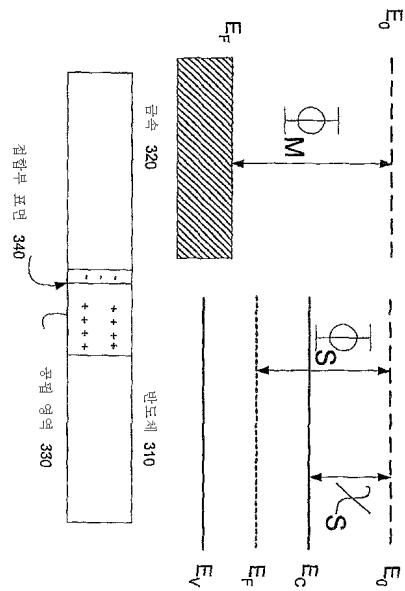
도면1



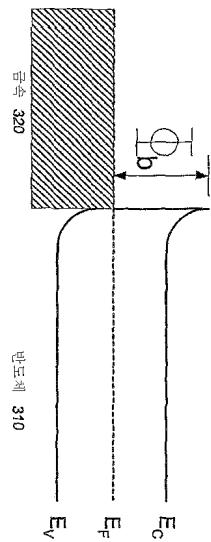
도면2



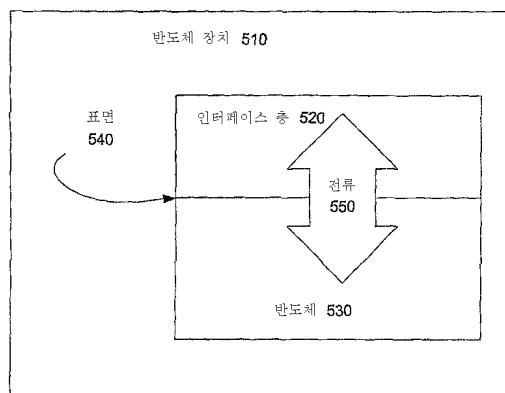
도면3



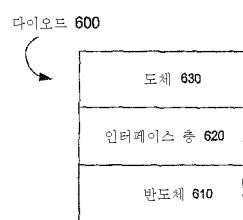
도면4



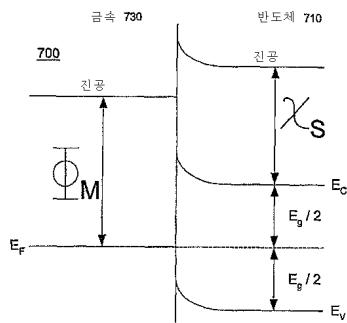
도면5



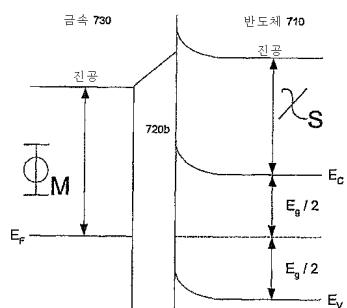
도면6



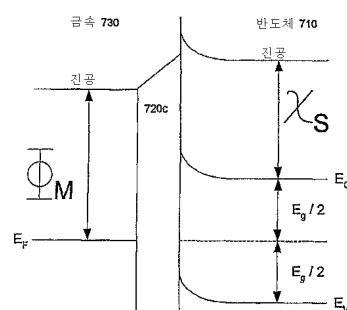
도면7a



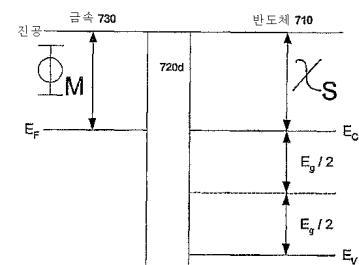
도면7b



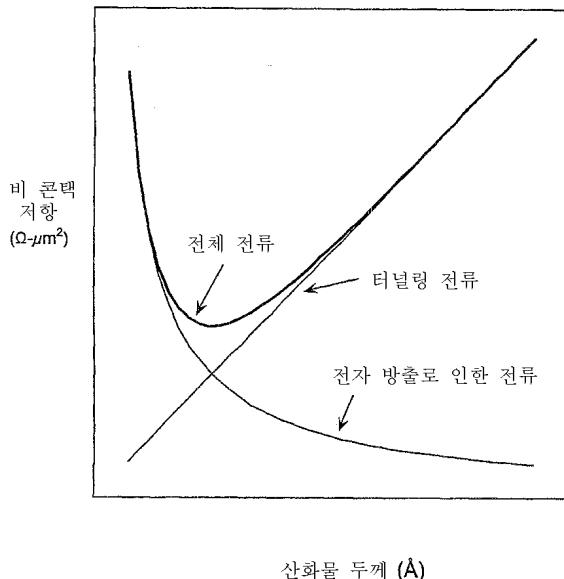
도면7c



도면7d



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 64

【변경전】

제 62항에 있어서

【변경후】

제 63항에 있어서