(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 114116582 A
(43)申请公布日 2022.03.01

(21)申请号 202111346435.8

(22)申请日 2021.11.15

(71)申请人 成都海光集成电路设计有限公司
地址 610041 四川省成都市高新区天府大道中段1366号2栋天府软件园E5座11层22-31号

(72)发明人 孙瑛琪 柳胜杰 李晶晶 杨光林 韩亚男

(74)专利代理机构 北京兰亭信通知识产权代理有限公司 11667
代理人 孙峰芳

(51)Int.Cl.
G06F 13/42(2006.01)
G06F 11/32(2006.01)
G06F 11/22(2006.01)

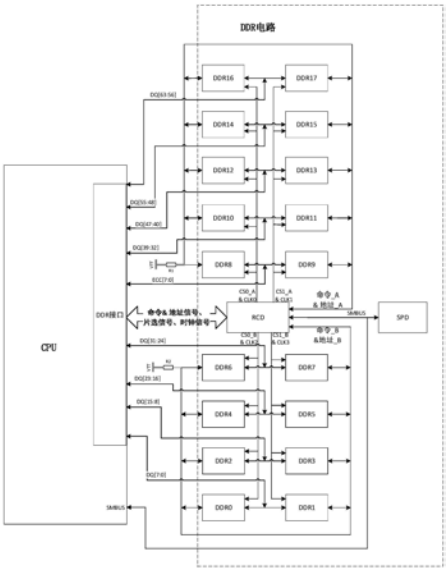
权利要求书1页 说明书5页 附图3页

(54)发明名称

主板及电子设备

(57)摘要

本发明提供一种主板及电子设备。该主板包括PCB板,PCB板上集成有互联的CPU芯片和DDR电路,CPU芯片内置有DDR控制器,其中,CPU芯片设有DDR接口,用于DDR控制器对外连接;DDR电路的信号端与DDR接口直接通过金属走线连接;且,DDR电路布置在PCB板的正面,PCB板的背面相对DDR电路的位置设置DDR信号测试点。本发明能够测试CPU芯片的DDR接口的信号质量。



CN 114116582 A

1.一种主板,其特征在于,所述主板包括PCB板,所述PCB板上集成有互联的CPU芯片和DDR电路,所述CPU芯片内置有DDR控制器,其中,

所述CPU芯片设有DDR接口,用于所述DDR控制器对外连接;

所述DDR电路的信号端与所述DDR接口直接通过金属走线连接;

且,所述DDR电路布置在所述PCB板的正面,所述PCB板的背面相对所述DDR电路的位置设置DDR信号测试点。

2.根据权利要求1所述的主板,其特征在于,所述DDR电路采用RDIMM的方式。

3.根据权利要求2所述的主板,其特征在于,所述DDR电路包括两组DDR颗粒、RCD芯片和SPD芯片,其中,

每组DDR颗粒各自包括多颗DDR颗粒,其中每颗DDR颗粒的数据信号直接连接至所述DDR接口;

所述RCD芯片,用于将所述DDR接口连接的一组命令和地址信号分为完全相同的两组命令和地址信号,两组命令和地址信号各自连接一组DDR颗粒,并对两组DDR颗粒分配时钟信号和片选信号;

所述SPD芯片,通过SMBUS总线与所述RCD芯片连接,并连接到所述CPU芯片的SMBUS接口。

4.根据权利要求3所述的主板,其特征在于,所述两组DDR颗粒共包括18颗DDR颗粒,其中一组包括10颗DDR颗粒,8颗DDR颗粒用于传输数据信号,2颗DDR颗粒用于传输ECC信号;另一组包括8颗DDR颗粒,用于传输数据信号。

5.根据权利要求4所述的主板,其特征在于,所述18颗DDDR颗粒采用2Rank设计,从0至17依次编号,所有的偶数DDR颗粒构成第一Rank,所有的奇数DDR颗粒构成第二Rank;

所述第一Rank布置为一列,所述第二Rank布置为一列,且位于每列中间位置的1颗DDR颗粒用于传输8位ECC信号,两侧的8颗DDR颗粒用于传输64位数据信号;

两颗用于传输8位ECC信号的DDR颗粒与其一侧的8颗DDR颗粒一起构成一组DDR颗粒,两颗用于传输8位ECC信号的DDR颗粒另一侧的8颗DDR颗粒一起构成另一组DDR颗粒。

6.根据权利要求5所述的主板,其特征在于,所述18颗DDDR颗粒布置在所述PCB板的正面,所述PCB板的背面相对所述18颗DDR颗粒的位置设置DDR信号测试点。

7.根据权利要求1所述的主板,其特征在于,所述CPU芯片布置在所述PCB板的正面,所述DDR接口的管脚旁设置过孔,过孔的背面作为DDR接口信号测试点。

8.根据权利要求1所述的主板,其特征在于,所述CPU芯片还设有以下接口,包括:

2个PCIe x16接口,用于连接2个PCIe x16插槽;

4个SATA接口,用于连接标准SATA盘;

PCIe x2接口,用于连接一个千兆网络芯片I350;

2个USB接口。

9.根据权利要求1所述的主板,其特征在于,所述PCB板上集成有BMC芯片,所述BMC芯片通过SPI接口、LPC接口和USB接口与所述CPU芯片互联。

10.一种电子设备,其特征在于,所述电子设备包括如权利要求1至9任一项所述的主板。

主板及电子设备

技术领域

[0001] 本发明涉及电子设备主板技术领域,尤其涉及一种主板及电子设备。

背景技术

[0002] 主板实际应用中,发现许多问题与DDR(Double Data Rate SDRAM,双倍速率同步动态随机存储器)有关,但是因为现有主板的内存条上没有测试点,且DDR颗粒是球栅阵列封装,焊接点隐藏在DDR颗粒下方,因此测试定位DDR接口问题,特别是DDR接口信号速率上不去时,如果用示波器观察实际信号波形,示波器探头无法靠近实际DDR颗粒管脚位置,无法观测到DDR颗粒管脚位置处的真实信号波形质量,更因为内存条一般是DIMM(Dual－Inline－Memory－Modules,双列直插式存储模块)的方式,是通过DIMM插槽连接器与CPU连接的,DIMM插槽连接器引入的干扰无法在使用示波器观测信号波形时排除。为了解决这些问题,更好的观测DDR信号质量,找到影响DDR信号速率及其他问题的根本原因,有必要提出一种新的主板结构。

发明内容

[0003] 为解决上述问题,本发明提供一种主板及电子设备,适用于测试CPU芯片的DDR接口的信号质量。

[0004] 第一方面,本发明提供一种主板,所述主板包括PCB板,所述PCB板上集成有互联的CPU芯片和DDR电路,所述CPU芯片内置有DDR控制器,其中,

[0005] 所述CPU芯片设有DDR接口,用于所述DDR控制器对外连接;

[0006] 所述DDR电路的信号端与所述DDR接口直接通过金属走线连接;

[0007] 且,所述DDR电路布置在所述PCB板的正面,所述PCB板的背面相对所述DDR电路的位置设置DDR信号测试点。

[0008] 可选地,所述DDR电路采用RDIMM的方式。

[0009] 可选地,所述DDR电路包括两组DDR颗粒、RCD芯片和SPD芯片,其中,

[0010] 每组DDR颗粒各自包括多颗DDR颗粒,其中每颗DDR颗粒的数据信号直接连接至所述DDR接口;

[0011] 所述RCD芯片,用于将所述DDR接口连接的一组命令和地址信号分为完全相同的两组命令和地址信号,两组命令和地址信号各自连接一组DDR颗粒,并对两组DDR颗粒分配时钟信号和片选信号;

[0012] 所述SPD芯片,通过SMBUS总线与所述RCD芯片连接,并连接到所述CPU芯片的SMBUS接口。

[0013] 可选地,所述两组DDR颗粒共包括18颗DDR颗粒,其中一组包括10颗DDR颗粒,8颗DDR颗粒用于传输数据信号,2颗DDR颗粒用于传输ECC信号;另一组包括8颗DDR颗粒,用于传输数据信号。

[0014] 可选地,所述18颗DDDR颗粒采用2Rank设计,从0至17依次编号,所有的偶数DDR颗

粒构成第一Rank,所有的奇数DDR颗粒构成第二Rank;

[0015] 所述第一Rank布置为一列,所述第二Rank布置为一列,且位于每列中间位置的1颗DDR颗粒用于传输8位ECC信号,两侧的8颗DDR颗粒用于传输64位数据信号;

[0016] 两颗用于传输8位ECC信号的DDR颗粒与其一侧的8颗DDR颗粒一起构成一组DDR颗粒,两颗用于传输8位ECC信号的DDR颗粒另一侧的8颗DDR颗粒一起构成另一组DDR颗粒。

[0017] 可选地,所述18颗DDDR颗粒布置在所述PCB板的正面,所述PCB板的背面相对所述18颗DDR颗粒的位置设置DDR信号测试点。

[0018] 可选地,所述CPU芯片布置在所述PCB板的正面,所述DDR接口的管脚旁设置过孔,过孔的背面作为DDR接口信号测试点。

[0019] 可选地,所述CPU芯片还设有以下接口,包括:

[0020] 2个PCIe x16接口,用于连接2个PCIe x16插槽;

[0021] 4个SATA接口,用于连接标准SATA盘;

[0022] PCIe x2接口,用于连接一个千兆网络芯片I350;

[0023] 2个USB接口。

[0024] 可选地,所述PCB板上集成有BMC芯片,所述BMC芯片通过SPI接口、LPC接口和USB接口与所述CPU芯片互联。

[0025] 第二方面,本发明提供一种电子设备,所述电子设备包括上述主板。

[0026] 本发明提供的主板及电子设备,适用于测试CPU芯片的DDR接口的信号质量,由于DDR电路直接集成到主板上,不通过连接器接入,排除连接器引入的影响,方便测试CPU芯片DDR接口的最大性能,可以更好的用示波器观察信号质量,实现信号测试与性能测试的对照研究。同时将DDR电路集成到主板上,抗震动性比插槽强,系统可靠性更高。

附图说明

[0027] 图1为本发明一实施例的主板框架结构示意图;

[0028] 图2为本发明一实施例的主板PCB布局示意图;

[0029] 图3为本发明一实施例的主板框架结构示意图。

具体实施方式

[0030] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0031] 下面结合附图,对本发明的一些实施方式作详细说明。在不冲突的情况下,下述的实施例及实施例中的特征可以相互组合。

[0032] 图1示出了本发明一实施例提供的一种主板的框架结构示意图。该主板包括PCB(Printed Circuit Board,印制电路板),以下称为PCB板。如图1所示,在PCB板上集成有互联的CPU芯片和DDR电路,CPU芯片内置有DDR控制器,其中,CPU芯片设有DDR接口,用于DDR控制器对外连接;DDR电路的信号端与DDR接口直接通过金属走线连接;且,DDR电路布置在PCB板的正面,PCB板的背面相对DDR电路的位置设置DDR信号测试点。

[0033] 作为一种实施方式，本实施例的DDR电路可以采用RDIMM(Registered DIMM，带寄存器的双列直插内存模块)的方式。RDIMM在内存条上加了一个寄存器进行传输，其位于CPU和DDR颗粒之间，既减少了并行传输的距离，又保证并行传输的有效性。由于寄存器效率很高，因此相比无缓冲DIMM，RDIMM的容量和频率更容易提高。

[0034] 具体地，参考图1，RDIMM方式的DDR电路包括两组DDR颗粒、1颗RCD芯片和1颗SPD芯片。RCD芯片，即Registering Clock Driver，时钟缓存寄存器芯片，用来缓存DDR控制器的命令和地址信号，将DDR控制器过来的命令和地址信号一分为二，减少命令和地址信号到DDR颗粒的延迟。SPD芯片，即Serial Presence Detect，串行表象探测芯片，是一块可擦写的存储器，里面记录了该DDR电路的许多重要信息：一类是基本参数，如频率、容量、时序等；另一类则是内存模块序列号、制造商代码等信息。SPD信息一般都是在出厂前，由厂商根据内存的实际性能写入到SPD芯片中。

[0035] 其中，两组DDR颗粒共包括18颗DDR颗粒，可以记为A组和B组，A组包括10颗DDR颗粒，其中8颗DDR颗粒用于传输数据信号，另外2颗DDR颗粒用于传输ECC(Error Correcting Code，纠错码)信号。B组包括8颗DDR颗粒，用于传输数据信号。每颗DDR颗粒的数据信号(包括ECC信号)不经过任何转接，直接连接至CPU DDR接口。

[0036] CPU芯片的DDR接口连接的一组命令和地址信号通过RCD芯片分成A，B两组。A组命令和地址信号连接驱动A组的10颗DDR颗粒。B组命令和地址信号连接驱动B组的8颗DDR颗粒。使用RCD芯片将CPU芯片传过来的一组Command&Address(命令和地址)信号分为完全相同的两组命令和地址信号，分别驱动位于两边的两组DDR颗粒，可以优化DIMM内存条的信号布线，增强信号驱动能力，实现提升DDR接口速率。目前DDR4RDIMM内存条数据速率可以达到3200MT/s。另外，RCD芯片还用于对两组DDR颗粒分配时钟信号和片选信号。参考图1，片选信号CS0__A和时钟信号CLK0连接DDR8、DDR10、DDR12、DDR14和DDR16，片选信号CS1__A和时钟信号CLK1连接DDR9、DDR11、DDR13、DDR15和DDR17，片选信号CS0__B和时钟信号CLK2连接DDR0、DDR2、DDR4和DDR6，片选信号CS1__B和时钟信号CLK3连接DDR1、DDR3、DDR5和DDR7。

[0037] 另外，SPD芯片通过SMBUS(System Management Bus，系统管理总线)与RCD芯片连接，并连接到CPU芯片的SMBUS接口。这样配置DDR颗粒，既可以通过CPU的DDR接口直接配置DDR颗粒，也可以将配置数据写到SPD芯片中，通过SPD芯片配置DDR颗粒。

[0038] 当然，DDR电路并不限于RDIMM的方式。例如，还可以是LRDIMM(Load Reduced DIMM，低负载双列直插内存模块)的方式。相比RDIMM，LRDIMM并未使用复杂寄存器，只是简单缓冲，缓冲降低了下层主板上的电力负载，但对内存性能几乎无影响。此外，LRDIMM内存将RDIMM内存上的Register芯片改为iMB(isolation Memory Buffer)内存隔离缓冲芯片，直接好处就是降低了内存总线负载，进一步提升内存支持容量。

[0039] 本发明实施例提供的主板，适用于测试CPU芯片的DDR接口的信号质量，由于DDR电路直接集成到主板上，不通过连接器接入，排除连接器引入的影响，方便测试CPU芯片DDR接口的最大性能，可以更好的用示波器观察信号质量，实现信号测试与性能测试的对照研究。同时将DDR电路集成到主板上，抗震动性比插槽强，系统可靠性更高。将RCD，DDR电路集成在主板上的设计方法，也可以应用于需要集成DDR控制器与DDR颗粒在同一PCB板上的设计中，例如，应用于VPX(VPX是由VITA组织制定的用以满足恶劣环境下高可靠，高带宽要求的下一代高级计算平台标准)等高可靠性的系统设计、CPU芯片外部DDR设计、FPGA外部DDR设计以

及嵌入式DDR设计等。即本发明不仅应用于测试领域，更可以应用于实际产品系统设计。

[0040] 进一步地，18颗DDR颗粒采用2Rank设计，Rank是指多个DDR颗粒数据位组成一个64－bit的单元，其通过一个CS片选信号选择访问。对ECC DIMM来说，一个内存Rank有72个数据位，包括64bits data+8bits ECC。本实施例中，18个DDR颗粒从0至17依次编号，所有的偶数DDR颗粒构成第一Rank，包括DDR0，DDR2，DDR4，DDR6，DDR8，DDR10，DDR12，DDR14，DDR16，记为Rank0，Rank0中DDR8为ECC颗粒。所有的奇数DDR颗粒构成第二Rank，包括DDR1，DDR3，DDR5，DDR7，DDR9，DDR11，DDR13，DDR15，DDR17，记为Rank1，Rank1中DDR9为ECC颗粒。

[0041] 具体到布局和分组，第一Rank布置为一列，第二Rank布置为一列，且位于每列中间位置的1颗DDR颗粒用于传输8位ECC信号，两侧的8颗DDR颗粒用于传输64位数据信号。具体地，DDR0和DDR1传输数据信号DQ[7:0]，DDR2和DDR3传输数据信号DQ[15:8]，DDR4和DDR5传输数据信号DQ[23:16]，DDR6和DDR7传输数据信号DQ[31:24]，DDR8和DDR9传输数据信号ECC[7:0]，DDR10和DDR11传输数据信号DQ[39:32]，DDR12和DDR13传输数据信号DQ[47:40]，DDR14和DDR15传输数据信号DQ[55:48]，DDR16和DDR17传输数据信号DQ[63:56]。

[0042] 分组时，两颗用于传输8位ECC信号的DDR颗粒与其一侧的8颗DDR颗粒一起构成A组DDR颗粒，两颗用于传输8位ECC信号的DDR颗粒另一侧的8颗DDR颗粒一起构成B组DDR颗粒。即DDR8－17为A组，DDR0－7为B组。18颗DDDR颗粒布置在PCB板的正面，PCB板的背面相对18颗DDR颗粒的位置设置DDR信号测试点。这样设计方便测试信号质量。

[0043] 同样地，CPU芯片布置在PCB板的正面，CPU背面相应位置也放置有DDR接口信号测试点，方便用示波器等工具观察测试信号收发两端的信号质量。测试点的设计方法为DDR颗粒，CPU芯片管脚旁直接打过孔到背面，在背面过孔上露铜作为测试点，这样在测试点上用示波器测试信号质量，示波器探头到实际芯片管脚距离极短，可以反映芯片管脚处的信号波形质量。图2示出了主板PCB的布局与测试点分布情况。图2示出了CPU、RCD及DDR0－17的分布情况，其中CPU、RCD及DDR0－17内部的黑点表示信号测试点，信号测试点根据芯片的管脚分布来设计。

[0044] 上述实施例为1DPC(1个DDR电路上有1个RCD，即主板上一个DDR控制器外接1个DDR电路)，2Rank设计，也可以扩展到2DPC(主板上一个DDR控制器外接2个DDR电路)设计，即2DPC，1R设计，或2DPC，2R设计。

[0045] 另外说明的是，可以参考图3，CPU芯片上除外接DDR电路的DDR接口外，还设计有如下接口：

[0046] 2个PCIe x16接口，用于连接2个PCIe x16插槽，可以插标准PCIe卡；

[0047] 4个SATA接口，用于连接标准SATA盘；

[0048] PCIe x2接口，外接一个千兆网络芯片I350，I350出2路千兆电口网络；

[0049] 2个USB接口，集成支持USB2.0与USB3.0标准。

[0050] 另外，主板还集成有BMC(Baseboard Manager Controller，基板管理控制器)芯片，作为主板的管理单元，通过PCIe x1，LPC(Low Pin Count)，USB，SPI(Serial Peripheral interface)等接口与CPU互联。BMC芯片包括的外设接口如下：

[0051] 千兆RJ45接口：远程管理接口，通过BMC芯片外接千兆PHY芯片实现。远程管理平台通过千兆网络实现对主板的管理。

[0052] COM接口：串口接口；

[0053] VGA接口:显示接口,接显示设备;

[0054] LED port80:连接数码管,显示CPU状态;

[0055] FAN CON[1:8]:风扇控制接口,控制风扇转速;

[0056] SD Card:SD卡接口,存储服务器log信息;

[0057] 另外,BMC FW(Firmware)是BMC系统自身固件,存放在BMC FW Flash中。

[0058] BMC芯片与CPU芯片之间的互联关系包括:

[0059] SPI互联:CPU BIOS通过SPI SW(Switch)可以切换连接到BMC,还是切换连接到CPU。升级BIOS固件时,切换连接到BMC。正常开机运行时,切换到CPU。这样可以通过远程管理平台升级CPU BIOS固件,即远程管理平台通过BMC的千兆RJ45接口,将新的BIOS发送到BMC,BMC再烧写到BIOS芯片,然后再通过SPI SW切换到CPU,CPU开机即可使用新的BIOS固件。

[0060] LPC互联:BMC与CPU之间互联的LPC接口用来传送CPU启动运行的状态信息,传送给BMC后,通过BMC连接的LED PORT80来显示。同时也连接到CPLD(Complex Programmable Logic Device,复杂可编程逻辑器件),告知CPLD目前CPU的启动运行状态。

[0061] USB互联:BMC与CPU之间互联的USB口用来实现远程虚拟机,即远程管理平台通过BMC千兆RJ45网口连接到BMC,再通过BMC的USB口连接到CPU,实现远程虚拟机。

[0062] 另一方面,本发明实施例还提供一种电子设备,该电子设备包括上述实施例的主板。

[0063] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应该以权利要求的保护范围为准。

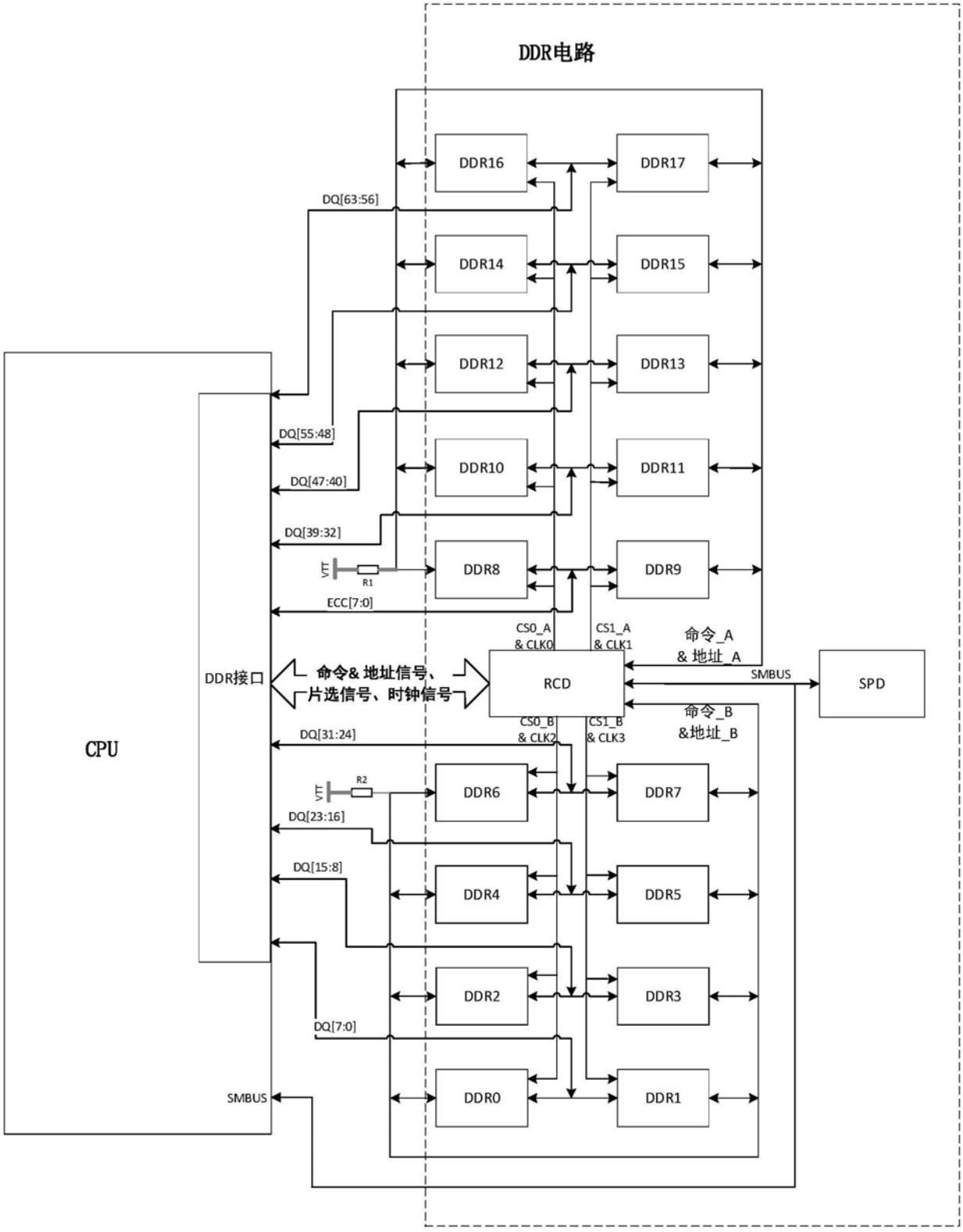

DDR电路
DDR16
DDR17
DQ[63:56]
DDR14
DDR15
DDR12
DDR13
DQ[55:48]
DDR10
DDR11
DQ[47:40]
DQ[39:32]
VTT
R1
DDR8
DDR9
ECC[7:0]
CS0_A & CLK0
CS1_A & CLK1
命令_A & 地址_A
SMBUS
SPD
DDR接口
命令& 地址信号、片选信号、时钟信号
RCD
CS0_B & CLK2
CS1_B & CLK3
命令_B &地址_B
CPU
DQ[31:24]
VTT
R2
DDR6
DDR7
DQ[23:16]
DQ[15:8]
DDR4
DDR5
DDR2
DDR3
DQ[7:0]
SMBUS
DDR0
DDR1

图1

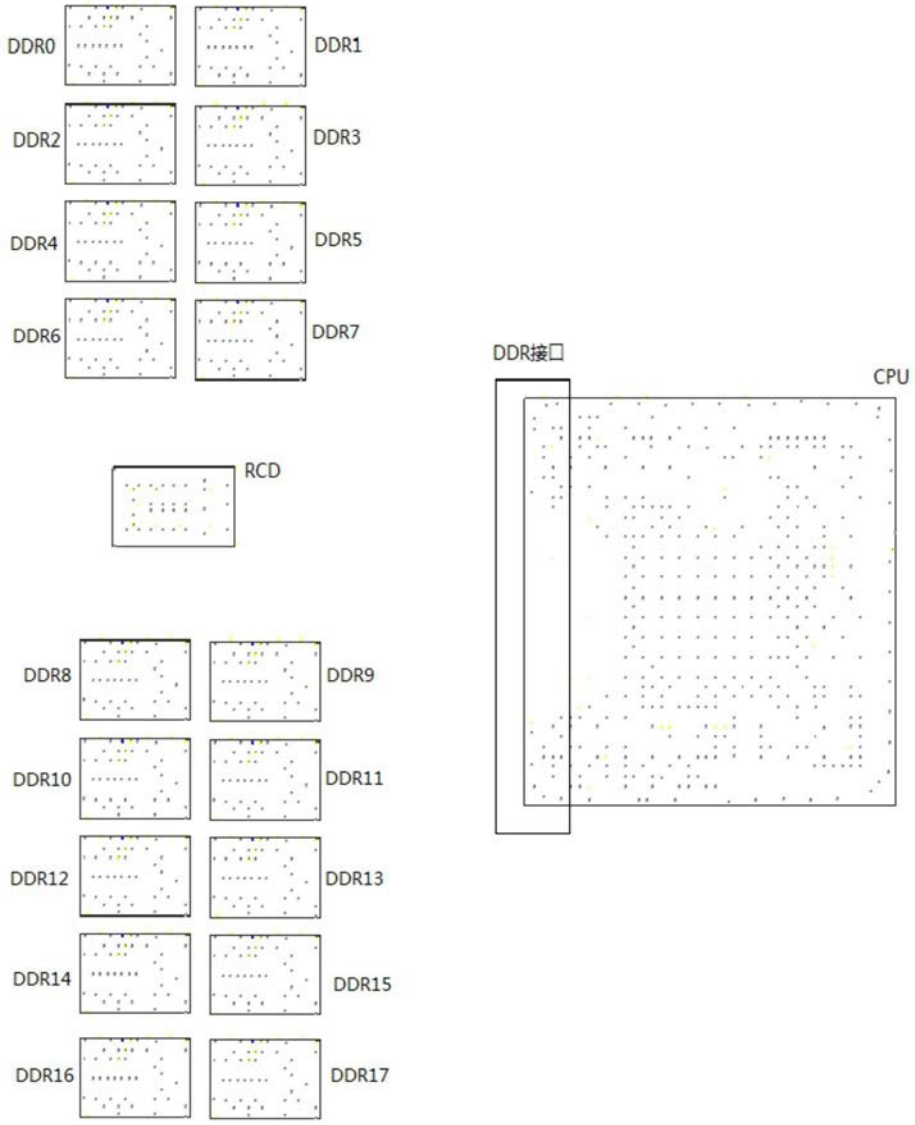

DDR0
DDR1
DDR2
DDR3
DDR4
DDR5
DDR6
DDR7
RCD
DDR8
DDR9
DDR10
DDR11
DDR12
DDR13
DDR14
DDR15
DDR16
DDR17
DDR接口
CPU

图2

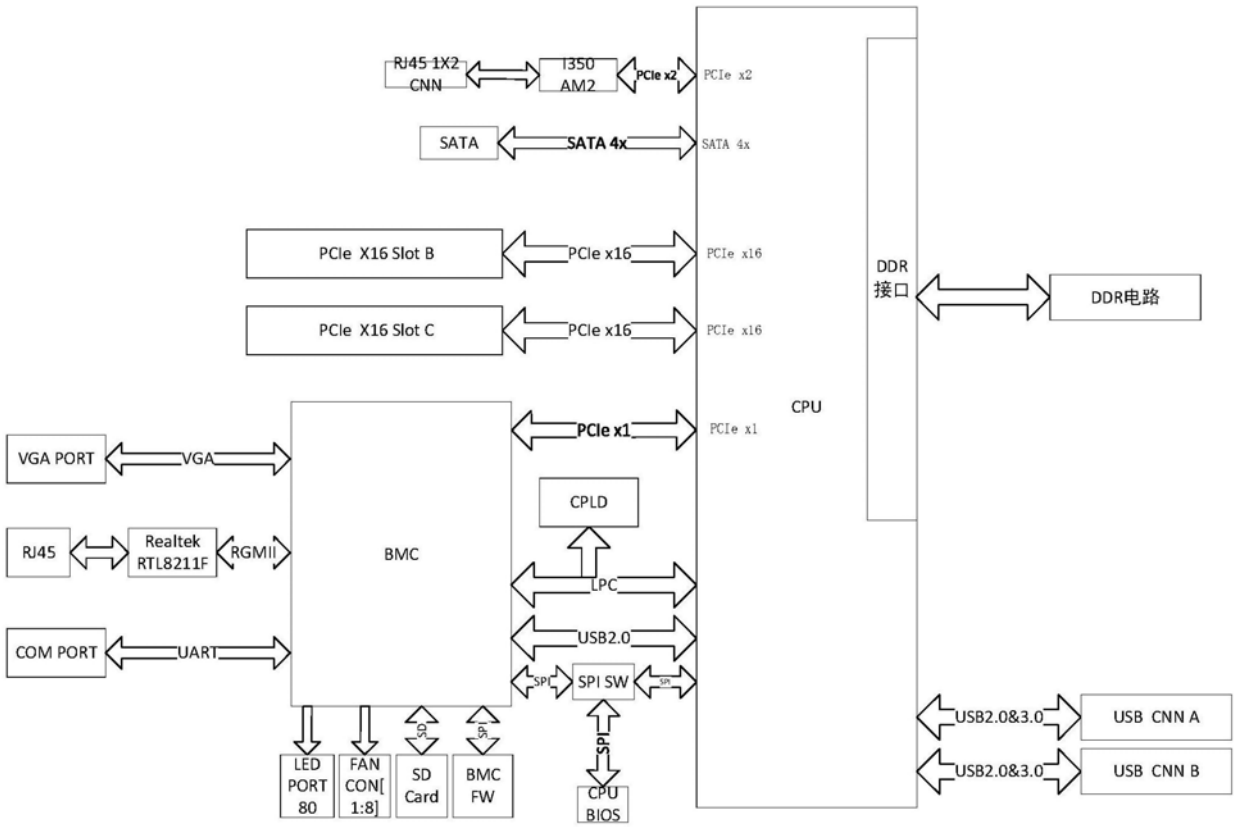

RJ45 1X2 CNN
I350 AM2
PCIe x2
PCIe x2
SATA
SATA 4x
SATA 4x
PCIe X16 Slot B
PCIe x16
PCIe x16
PCIe X16 Slot C
PCIe x16
PCIe x16
CPU
DDR 接口
DDR电路
PCIe x1
PCIe x1
VGA PORT
VGA
CPLD
RJ45
Realtek RTL8211F
RGMII
BMC
LPC
USB2.0
COM PORT
UART
SPI
SPI SW
SPI
USB2.0&3.0
USB CNN A
USB2.0&3.0
USB CNN B
SD
SPI
SPI
LED PORT 80
FAN CON[1:8]
SD Card
BMC FW
CPU BIOS

图3