



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월30일
(11) 등록번호 10-1983976
(24) 등록일자 2019년05월24일

- (51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) **G09G 3/20** (2006.01)
H01L 29/786 (2006.01) **H03K 17/06** (2006.01)
- (21) 출원번호 10-2012-0049579
(22) 출원일자 2012년05월10일
심사청구일자 2017년05월08일
(65) 공개번호 10-2012-0127268
(43) 공개일자 2012년11월21일
(30) 우선권주장
JP-P-2011-108133 2011년05월13일 일본(JP)

(56) 선행기술조사문헌

JP2008009418 A*
KR1020050096568 A
KR1020060076147 A
JP2007123861 A

*는 심사관에 의하여 인용된 문헌

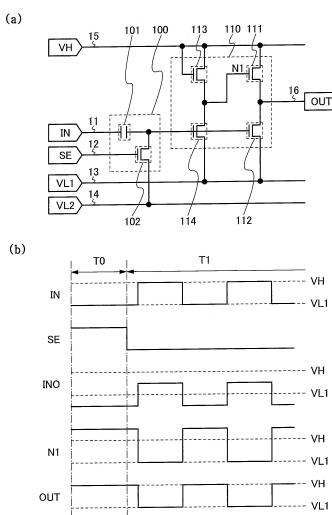
전체 청구항 수 : 총 13 항

심사관 : 신영교

(54) 발명의 명칭 **반도체 장치****(57) 요약**

트랜지스터가 가령 공핍형인 경우에도, 안정적으로 동작할 수 있는 반도체 장치를 제공하는 것을 과제의 하나로 한다.

개시하는 발명의 일 형태의 반도체 장치는, 제 1 전위를 제 1 배선에 공급하는 기능을 갖는 제 1 트랜지스터와, 제 2 전위를 제 1 배선에 공급하는 기능을 갖는 제 2 트랜지스터와, 제 1 트랜지스터의 게이트에 제 1 트랜지스터가 온이 되기 위한 제 3 전위를 공급한 후, 제 3 전위의 공급을 멈추는 기능을 갖는 제 3 트랜지스터와, 제 2 전위를 제 1 트랜지스터의 게이트에 공급하는 기능을 갖는 제 4 트랜지스터와, 제 1 신호에 오프셋을 가한 제 2 신호를 생성하는 기능을 갖는 제 1 회로를 가지며, 제 4 트랜지스터의 게이트에는, 제 2 신호가 입력되고, 제 2 신호의 최소값은, 제 2 전위 미만의 값이다.

대 표 도 - 도1

명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 전위를 제 1 배선에 공급하는 제 1 트랜지스터;

제 2 전위를 상기 제 1 배선에 공급하는 제 2 트랜지스터;

제 3 전위를 상기 제 1 트랜지스터의 게이트에 공급하는 제 3 트랜지스터;

상기 제 2 전위를 상기 제 1 트랜지스터의 상기 게이트에 공급하는 제 4 트랜지스터; 및

상기 제 4 트랜지스터의 게이트에 전기적으로 접속되어 오프셋 전압을 유지하는 회로를 포함하고,

상기 오프셋 전압에 따른 신호가 상기 제 4 트랜지스터의 상기 게이트에 입력되는, 반도체 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 신호의 로우 레벨의 전위는 상기 제 2 전위 미만인, 반도체 장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 회로는:

하나의 전극에 입력 신호가 입력되는 용량 소자; 및

상기 용량 소자의 다른 전극에 제 4 전위를 공급하는 제 5 트랜지스터를 포함하고,

상기 오프셋 전압은 상기 입력 신호와 상기 제 4 전위 간의 차이인, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 제 4 전위는 상기 제 2 전위 미만인, 반도체 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

반도체 장치에 있어서,

제 1 트랜지스터의 제 1 단자 및 제 2 트랜지스터의 제 1 단자에 전기적으로 접속된 제 1 배선;

상기 제 1 트랜지스터의 제 2 단자, 제 3 트랜지스터의 게이트, 및 상기 제 3 트랜지스터의 제 1 단자에 전기적으로 접속된 제 2 배선;

상기 제 2 트랜지스터의 제 2 단자 및 제 4 트랜지스터의 제 1 단자에 전기적으로 접속된 제 3 배선;

상기 제 3 트랜지스터의 제 2 단자 및 상기 제 4 트랜지스터의 제 2 단자에 전기적으로 접속된 상기 제 1 트랜지스터의 게이트; 및

상기 제 2 트랜지스터의 게이트 및 상기 제 4 트랜지스터의 게이트에 전기적으로 접속된 회로를 포함하고,

상기 회로는 오프셋 전압을 유지하고,

상기 제 4 트랜지스터는 n-채널 트랜지스터이고,

상기 오프셋 전압에 따른 신호가 상기 제 4 트랜지스터의 상기 게이트에 입력되며,

상기 신호의 로우 레벨의 전위는 상기 제 3 배선의 전위 미만인, 반도체 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

제 1 항에 있어서,

상기 신호는 상기 제 2 트랜지스터의 게이트에 입력되는, 반도체 장치.

청구항 15

제 1 항 또는 제 11 항에 있어서,

상기 제 1 트랜지스터 내지 상기 제 4 트랜지스터 각각의 도전형은 서로 동일한, 반도체 장치.

청구항 16

제 11 항에 있어서,

상기 회로는 상기 제 4 트랜지스터의 상기 게이트에 전기적으로 접속된 용량 소자, 및 제 5 트랜지스터를 포함하는, 반도체 장치.

청구항 17

제 16 항에 있어서,

상기 용량 소자의 하나의 전극에는 입력 신호가 입력되고, 상기 용량 소자의 다른 전극에는 상기 제 5 트랜지스터를 통해 전위가 입력되고,

상기 오프셋 전압은 상기 입력 신호와 상기 전위 간의 차이인, 반도체 장치.

청구항 18

제 6 항 또는 제 16 항에 있어서,

상기 제 1 트랜지스터 내지 상기 제 5 트랜지스터 각각의 도전형은 서로 동일한, 반도체 장치.

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

제 1 항 또는 제 11 항에 있어서,

상기 반도체 장치는 플립플롭 회로에 사용되는, 반도체 장치.

청구항 26

제 25 항에 있어서,

상기 플립플롭 회로는 시프트 레지스터에 포함되는, 반도체 장치.

청구항 27

제 1 항 또는 제 11 항에 있어서,

상기 반도체 장치는 산화물 반도체를 포함하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는, 반도체 장치 및 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 텔레비전 등의 대형 표시 장치의 보급에 따라, 보다 부가 가치가 높은 표시 장치의 개발이 진행되고 있다. 특히, 1도전형의 트랜지스터만을 사용하여 구동 회로를 구성하는 기술 개발이 활발하게 진행되고 있다(특허문현 1 참조).

[0003] 도 23에, 특허문현 1에 기재된 구동 회로를 도시한다. 특허문현 1의 구동 회로는, 트랜지스터(M1), 트랜지스터(M2), 트랜지스터(M3), 트랜지스터(M4) 및 용량 소자(C1)를 가진다. 특허문현 1에서는, 신호(OUT)를 하이 레벨로 하는 경우에는, 트랜지스터(M1)의 게이트를 부유 상태로 하고, 용량 소자(C1)의 용량 결합을 사용하여 트랜지스터(M1)의 게이트의 전위를 전위(VDD)보다도 높게 하는 부트스트랩 동작이 행해지고 있다. 또한, 트랜지스터

(M1)의 게이트를 부유 상태로 하기 위해서, 트랜지스터(M1)의 게이트와 접속되는 트랜지스터(예를 들면 트랜지스터(M4))의 게이트와 소스 사이의 전위차(이하, V_{GS} 로 나타낸다)를 0[V]로 하고, 이 트랜지스터를 오프로 하는 것이 행해지고 있다.

[0004] 또한, 신호(OUT)를 로우 레벨로 하는 경우에는, 신호(IN)를 하이 레벨로 하고, 트랜지스터(M2) 및 트랜지스터(M3)를 온으로 하는 것이 행해지고 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 공개특허공보 제2002-328643호

발명의 내용

해결하려는 과제

[0006] 트랜지스터가 가령 공핍형(노멀리 온 형이라고도 한다)인 경우에는, 트랜지스터의 V_{GS} 를 0[V]로 해도, 트랜지스터가 오프로 되지 않는다. 따라서, 신호(OUT)를 하이 레벨로 하는 경우에 있어서, 트랜지스터(M3) 및 트랜지스터(M4)가 오프로 되지 않기 때문에, 트랜지스터(M1)의 게이트를 부유 상태로 할 수 없다. 트랜지스터(M1)의 게이트를 부유 상태로 할 수 없으면, 부트스트랩 동작을 정상적으로 행할 수 없어 오동작을 일으키는 경우가 있다. 또는, 오동작을 일으키지 않아도, 동작 가능한 구동 주파수의 범위가 좁아지는 경우가 있다.

[0007] 또한, 신호(OUT)를 로우 레벨로 하는 경우에 있어서, 표시 장치의 구동 회로의 구동 전압은 크기 때문에, 트랜지스터(M2) 및 트랜지스터(M3)의 V_{GS} 도 커진다. 따라서, 트랜지스터의 열화가 진행되어 결국 구동 회로가 오동작을 일으키는 경우가 있다.

[0008] 그래서, 본 발명의 일 형태에서는, 트랜지스터가 가령 공핍형이라도, 안정적으로 동작할 수 있는 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또한, 트랜지스터의 열화를 억제하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0009] 개시하는 발명의 일 형태인 반도체 장치는, 제 1 전위를 제 1 배선에 공급하는 기능을 갖는 제 1 트랜지스터와, 제 2 전위를 제 1 배선에 공급하는 기능을 갖는 제 2 트랜지스터와, 제 1 트랜지스터의 게이트에 제 1 트랜지스터가 온이 되기 위한 제 3 전위를 공급한 후, 제 3 전위의 공급을 멈추는 기능을 갖는 제 3 트랜지스터와, 제 2 전위를 제 1 트랜지스터의 게이트에 공급하는 기능을 갖는 제 4 트랜지스터와, 제 1 신호에 오프셋을 가한 제 2 신호를 생성하는 기능을 갖는 제 1 회로를 가진다. 그리고, 제 4 트랜지스터의 게이트에는, 제 2 신호가 입력된다. 또한 제 2 신호의 로우 레벨의 전위는, 제 2 전위 미만의 전위이다.

[0010] 개시하는 발명의 일 형태인 반도체 장치는, 제 1 전위를 제 1 배선에 공급하는 기능을 갖는 제 1 트랜지스터와, 제 2 전위를 제 1 배선에 공급하는 기능을 갖는 제 2 트랜지스터와, 제 1 트랜지스터의 게이트에 제 1 트랜지스터가 온이 되기 위한 제 3 전위를 공급한 후, 제 3 전위의 공급을 멈추는 기능을 갖는 제 3 트랜지스터와, 제 2 전위를 제 1 트랜지스터의 게이트에 공급하는 기능을 갖는 제 4 트랜지스터와, 한쪽의 전극에 제 1 신호가 입력되는 용량 소자와, 용량 소자의 다른쪽의 전극에 제 4 전위를 공급하는 기능을 갖는 제 5 트랜지스터를 가진다. 그리고, 제 4 트랜지스터의 게이트에, 용량 소자의 다른쪽의 전극과 접속된다. 또한, 제 4 전위는, 제 2 전위 미만의 전위이다.

[0011] 또한, 상기 반도체 장치에 있어서, 제 2 트랜지스터의 게이트에는, 제 1 신호가 입력되어도 좋다.

발명의 효과

[0012] 본 발명의 일 형태에 의해, 트랜지스터가 가령 공핍형이라도, 트랜지스터를 오프로 할 수 있다. 또한, 트랜지스터가 오프일 때의 드레인 전류를 작게 할 수 있다. 따라서, 회로의 오동작을 방지할 수 있다. 또한, 본 발명의 일 형태에 의해, 트랜지스터의 V_{GS} 를 작게 할 수 있어 트랜지스터의 열화를 억제할 수 있다.

도면의 간단한 설명

[0013]

- 도 1은 본 발명의 일 형태에 따르는 반도체 장치를 설명하기 위한 도면.
- 도 2는 본 발명의 일 형태에 따르는 반도체 장치를 설명하기 위한 도면.
- 도 3은 본 발명의 일 형태에 따르는 반도체 장치를 설명하기 위한 도면.
- 도 4는 본 발명의 일 형태에 따르는 반도체 장치를 설명하기 위한 도면.
- 도 5는 본 발명의 일 형태에 따르는 반도체 장치를 설명하기 위한 도면.
- 도 6은 본 발명의 일 형태에 따르는 반도체 장치를 설명하기 위한 도면.
- 도 7은 본 발명의 일 형태에 따르는 반도체 장치를 설명하기 위한 도면.
- 도 8은 본 발명의 일 형태에 따르는 반도체 장치를 설명하기 위한 도면.
- 도 9는 본 발명의 일 형태에 따르는 반도체 장치를 설명하기 위한 도면.
- 도 10은 본 발명의 일 형태에 따르는 반도체 장치를 설명하기 위한 도면.
- 도 11은 본 발명의 일 형태에 따르는 시프트 레지스터 회로를 설명하기 위한 도면.
- 도 12는 본 발명의 일 형태에 따르는 시프트 레지스터 회로를 설명하기 위한 도면.
- 도 13은 본 발명의 일 형태에 따르는 표시 장치를 설명하기 위한 도면.
- 도 14는 본 발명의 일 형태에 따르는 산화물 재료의 구조를 설명하는 도면.
- 도 15는 본 발명의 일 형태에 따르는 산화물 재료의 구조를 설명하는 도면.
- 도 16은 본 발명의 일 형태에 따르는 산화물 재료의 구조를 설명하는 도면.
- 도 17은 본 발명의 일 형태에 따르는 트랜지스터의 구조를 설명하는 도면.
- 도 18은 산화물 반도체층을 사용한 트랜지스터 특성의 그래프.
- 도 19는 트랜지스터의 오프 전류와 측정시 기판 온도의 관계를 도시하는 도면.
- 도 20은 본 발명의 일 형태에 따르는 전자 기기를 설명하는 도면.
- 도 21은 본 발명의 일 형태에 따르는 전자 기기를 설명하는 도면.
- 도 22는 본 발명의 일 형태에 따르는 반도체 장치를 설명하기 위한 도면.
- 도 23은 종래의 구동 회로를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0014]

본 발명을 설명하기 위한 실시형태의 일례에 관해서, 도면을 사용하여 이하에 설명한다. 또한, 본 발명의 취지 및 그 범위에서 일탈하지 않고 실시형태의 내용을 변경하는 것은, 당업자라면 용이하다. 따라서, 본 발명은, 이하에 나타내는 실시형태의 기재 내용으로 한정되지 않는다.

[0015]

(실시형태 1)

[0016]

본 실시형태에서는, 입력 신호에 오프셋을 가한 신호를 생성하고, 상기 신호에 의해 구동하는 반도체 장치의 일례에 관해서 설명한다.

[0017]

본 실시형태의 반도체 장치의 구성에 관해서 도 1a를 참조하여 설명한다. 도 1a는, 본 실시형태에 있어서의 반도체 장치의 회로도를 도시한다. 도 1a의 반도체 장치는, 회로(100)와, 회로(110)를 가진다. 회로(100)는, 배선(11), 배선(12), 배선(14) 및 회로(110)와 접속된다. 또한, 회로(110)는, 배선(15), 배선(13), 배선(16) 및 회로(100)와 접속된다. 또한, 회로(100) 및 회로(110)의 구성에 따라, 회로(100) 및 회로(110)와 접속되는 배선 등을 적절히 변경하면 좋다.

[0018]

또한, 명세서에 있어서는, X와 Y가 접속되어 있다, 라고 명시적으로 기재하는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함하는 것으로 한다.

- [0019] 배선(13)에는 전위(VL1)가 공급된다. 전위(VL1)는 소정의 전위이다. 또한, 배선(13)은 전위(VL1)를 전달하는 기능을 가진다.
- [0020] 배선(14)에는 전위(VL2)가 공급된다. 전위(VL2)는 소정의 전위이다. 또한, 전위(VL2)는 전위(VL1) 미만의 전위이다. 또한, 배선(14)은 전위(VL2)를 전달하는 기능을 가진다.
- [0021] 배선(15)에는 전위(VH)가 공급된다. 전위(VH)는 소정의 전위이다. 또한, 전위(VH)는 전위(VL1)를 초과한 전위이다. 또한, 배선(15)은 전위(VH)를 전달하는 기능을 가진다.
- [0022] 또한, 배선(13), 배선(14) 및 배선(15)을 전원선이라고도 한다. 또한, 전위(VL1), 전위(VL2) 및 전위(VH)를 전원 전위라고도 한다. 또한, 전위(VL1), 전위(VL2) 및 전위(VH)는, 예를 들면 전원 회로 등으로부터 공급된다.
- [0023] 배선(11)에는 신호(IN)가 입력된다. 신호(IN)는 반도체 장치의 입력 신호이다. 또한, 신호(IN)는 디지털 신호이며, 신호(IN)의 하이 레벨의 전위는 VH이며, 신호(IN)의 로우 레벨의 전위는 VL1이다. 즉, 배선(11)에는 전위(VH)와 전위(VL1)가 선택적으로 공급된다. 또한, 배선(11)은 신호(IN)를 전달하는 기능을 가진다.
- [0024] 배선(12)에는 신호(SE)가 입력된다. 신호(SE)는 오프셋 전압을 취득하는 타이밍을 제어하기 위한 신호이다. 또한, 신호(SE)는 디지털 신호이며, 신호(SE)의 하이 레벨의 전위는 VL2를 초과한 전위이며, 신호(SE)의 로우 레벨의 전위는 VL2 또는 VL2 미만의 전위이다. 즉, 배선(12)에는, 전위(VL2)를 초과한 전위와 전위(VL2) 또는 VL2 미만의 전위가 선택적으로 공급된다. 또한, 배선(12)은 신호(SE)를 전달하는 기능을 가진다.
- [0025] 배선(16)으로부터는 신호(OUT)가 출력된다. 신호(OUT)는 반도체 장치의 출력 신호이다. 또한, 신호(OUT)는 디지털 신호이며, 신호(OUT)의 하이 레벨의 전위는 VH이며, 신호(OUT)의 로우 레벨의 전위는 VL1이다. 또한, 배선(16)은 신호(OUT)를 전달하는 기능을 가진다.
- [0026] 또한, 배선(11), 배선(12) 및 배선(16)을 신호선이라고도 한다. 또한, 신호(IN)를 입력 신호, 신호(SE)를 제어 신호, 신호(OUT)를 출력 신호라고도 한다.
- [0027] 회로(100)는, 신호(IN)에 오프셋을 가한 신호(INO)를 생성하는 기능을 가진다. 즉, 회로(100)는, 신호(IN)의 전위를 오프셋 전압분만큼 낮춘 신호(INO)를 생성하는 기능을 가진다. 또한, 회로(100)는, 신호(INO)를 회로(110)로 출력하는 기능을 가진다.
- [0028] 또한, 신호(INO)의 로우 레벨의 전위는, 배선(13)의 전위(VL1)보다도 낮은 전위이다. 또한, 신호(INO)의 하이 레벨의 전위는 VL1을 초과하고, VH 미만의 전위인 것이 바람직하다.
- [0029] 회로(110)는, 신호(INO)(회로(100)의 출력 신호)에 따라, 신호(OUT)를 하이 레벨로 할지 로우 레벨로 할지를 선택하는 기능을 가진다. 예를 들면, 회로(110)가 인버터 회로로서 기능하는 경우, 회로(110)는, 신호(INO)가 하이 레벨일 때에는 신호(OUT)를 로우 레벨로 하고, 신호(INO)가 로우 레벨일 때에는 신호(OUT)를 하이 레벨로 하는 기능을 가진다. 또한, 회로(110)는, 신호(INO)에 따라, 배선(15)의 전위를 배선(16)으로 출력할지, 배선(13)의 전위를 배선(16)으로 출력할지를 선택하는 기능을 가진다. 예를 들면, 회로(110)는, 신호(INO)가 하이 레벨인 경우에 배선(13)의 전위를 배선(16)으로 출력하고, 신호(INO)가 로우 레벨인 경우에 배선(15)의 전위를 배선(16)으로 출력하는 기능을 가진다. 또한, 회로(110)는, 부트스트랩 동작에 의해, 신호(OUT)의 하이 레벨의 전위를 배선(15)의 전위(VH)와 동일하게 하는 기능을 가진다.
- [0030] 다음에, 회로(100) 및 회로(110)의 구체적인 예에 관해서 도 1a를 참조하여 설명한다.
- [0031] 회로(100)는, 용량 소자(101) 및 트랜지스터(102)를 가진다. 용량 소자(101)의 한쪽의 전극은 배선(11)과 접속된다. 트랜지스터(102)의 제 1 단자(소스 및 드레인의 한쪽이라고도 한다)는 배선(14)과 접속되고, 트랜지스터(102)의 제 2 단자는 용량 소자(101)의 다른쪽의 전극과 접속되고, 트랜지스터(102)의 게이트는 배선(12)과 접속된다.
- [0032] 회로(110)는, 트랜지스터(111), 트랜지스터(112), 트랜지스터(113) 및 트랜지스터(114)를 가진다. 트랜지스터(111)의 제 1 단자는 배선(15)과 접속되고, 트랜지스터(111)의 제 2 단자는 배선(16)과 접속된다. 트랜지스터(112)의 제 1 단자는 배선(13)과 접속되고, 트랜지스터(112)의 제 2 단자는 배선(16)과 접속되고, 트랜지스터(112)의 게이트는 트랜지스터(114)의 게이트와 접속된다. 트랜지스터(113)의 제 1 단자는 배선(15)과 접속되고, 트랜지스터(113)의 제 2 단자는 트랜지스터(111)의 게이트와 접속되고, 트랜지스터(113)의 게이트는 배선(15)과 접속된다. 트랜지스터(114)의 제 1 단자는 배선(13)과 접속되고, 트랜지스터(114)의 제 2 단자는 트랜지스터(111)의 게이트와 접속되고, 트랜지스터(114)의 게이트는 용량 소자(101)의 다른쪽의 전극과 접속된다. 또한,

트랜지스터(111)의 게이트와 다른 트랜지스터(예를 들면, 트랜지스터(113), 트랜지스터(114) 등)의 접속 개소를 노드(N1)로 한다.

[0033] 용량 소자(101)는, 배선(11)과 트랜지스터(102)의 제 2 단자 사이의 전위차를 유지하는 기능을 가진다. 따라서, 트랜지스터(102)의 제 2 단자가 부유 상태가 되는 경우에는, 배선(11)에 입력되는 신호에 따라, 트랜지스터(102)의 제 2 단자의 전위도 변동된다. 즉, 신호(IN)에 따라, 신호(INO)의 전위도 변동된다.

[0034] 트랜지스터(102)는, 배선(14)의 전위(VL2)를 용량 소자(101)의 다른쪽의 전극에 공급하는 기능을 가진다. 트랜지스터(102)가 용량 소자(101)의 다른쪽의 전극에 전위(VL2)를 공급하는 타이밍은, 배선(12)의 신호(SE)에 의해 제어된다.

[0035] 또한, 트랜지스터(102)는, 전위(VL1) 미만의 전위를 용량 소자(101)의 다른쪽의 전극에 공급하면 좋다. 구체적으로는, 트랜지스터(102)는, 트랜지스터(114)의 제 1 단자의 전위 미만의 전위를, 용량 소자(101)의 다른쪽의 전극에 공급하면 좋다.

[0036] 트랜지스터(111)는, 배선(15)의 전위(VH)를 배선(16)에 공급하는 기능을 가진다. 또한, 트랜지스터(111)는, 게이트와 제 2 단자 사이의 전위차를 유지하는 기능을 가진다. 따라서, 노드(N1)가 부유 상태인 경우에는, 배선(16)의 전위가 상승하면, 노드(N1)의 전위도 상승한다.

[0037] 또한, 배선(15)에 신호가 입력되는 경우에는, 트랜지스터(111)는, 배선(15)의 신호를 배선(16)에 공급하는 기능을 가진다.

[0038] 트랜지스터(112)는, 배선(13)의 전위(VL1)를 배선(16)에 공급하는 기능을 가진다. 트랜지스터(112)가 전위(VL1)를 배선(16)에 공급하는 타이밍은, 회로(100)로부터 출력되는 신호(INO)(용량 소자(101)의 다른쪽의 전극의 전위)에 의해 제어된다.

[0039] 트랜지스터(113)는, 배선(15)의 전위(VH)를 트랜지스터(111)의 게이트에 공급하는 기능을 가진다. 또한, 트랜지스터(113)는, 트랜지스터(111)의 게이트에 전위(VH)를 공급한 후, 트랜지스터(111)의 게이트로의 전위(VH)의 공급을 멈추는 기능을 가진다. 또한, 트랜지스터(113)는, 트랜지스터(111)가 온이 된 후부터 트랜지스터(113)가 오프가 될 때까지, 트랜지스터(111)의 게이트에 전위(VH)를 공급하는 기능을 가진다.

[0040] 또한, 트랜지스터(113)가 트랜지스터(111)의 게이트에 공급하는 전위는, 트랜지스터(111)가 온이 되는 전위이면 좋다.

[0041] 트랜지스터(114)는, 배선(13)의 전위(VL1)를 트랜지스터(111)의 게이트에 공급하는 기능을 가진다. 트랜지스터(114)가 전위(VL1)를 트랜지스터(111)의 게이트에 공급하는 타이밍은, 회로(100)로부터 출력되는 신호(INO)에 의해 제어된다.

[0042] 또한, 본 실시형태의 반도체 장치가 갖는 트랜지스터(예를 들면 트랜지스터(102), 트랜지스터(111), 트랜지스터(112), 트랜지스터(113) 및 트랜지스터(114))는 동일한 도전형이다. 본 실시형태에서는, 본 실시형태의 반도체 장치가 갖는 트랜지스터가 N채널형인 것으로서 설명한다.

[0043] 다음에, 도 1a의 반도체 장치의 구동 방법의 일례에 관해서, 도 1b를 참조하여 설명한다. 도 1b는, 도 1a의 반도체 장치의 구동 방법을 설명하기 위한 타이밍 차트의 일례이다.

[0044] 도 1a의 반도체 장치의 구동 방법에 관해서 기간(T0)과 기간(T1)으로 나누어 설명한다.

[0045] 기간(T0)은, 용량 소자(101)에 오프셋 전압을 유지시키기 위한 기간이다. 우선, 신호(IN)를 로우 레벨로 하고, 용량 소자(101)의 한쪽의 전극의 전위를 VL1로 한다. 또한, 신호(SE)를 하이 레벨로 하고, 트랜지스터(102)를 온으로 한다. 그리고, 배선(14)의 전위(VL2)를 용량 소자(101)의 다른쪽의 전극에 공급하고, 용량 소자(101)의 다른쪽의 전극의 전위를 VL2로 한다. 따라서, 용량 소자(101)에는, 신호(IN)의 로우 레벨의 전위(VL1)와, 트랜지스터(102)에 의해 공급되는 배선(14)의 전위(VL2)의 차(VL1-VL2)를 유지시킨다. 이 차(VL1-VL2)가 오프셋 전압에 상당한다.

[0046] 또한, 기간(T0)에 있어서는, 트랜지스터(102)는 VL1 미만의 전위를 용량 소자(101)의 다른쪽의 전극에 공급하면 좋다.

[0047] 기간(T1)은, 신호(IN)에 오프셋을 가하여 신호(INO)를 생성하고, 신호(INO)에 의해 회로(110)를 구동하기 위한 기간이다. 우선, 신호(SE)를 로우 레벨로 하고, 트랜지스터(102)를 오프로 함으로써, 용량 소자(101)의 다른쪽

의 전극을 부유 상태로 한다. 용량 소자(101)는, 기간(T0)에 있어서 전위차(VL1-VL2)를 유지하고 있기 때문에, 신호(IN)로부터 전위차(VL1-VL2)에 따른 값을 뺀 신호인 신호(INO)가 생성된다. 따라서, 신호(IN)가 로우 레벨이 되면, 신호(INO)도 로우 레벨이 되고, 신호(INO)의 로우 레벨의 전위는 VL1 미만의 전위가 된다. 또한, 신호(IN)가 하이 레벨이 되면, 신호(INO)도 하이 레벨이 되고, 신호(INO)의 하이 레벨의 전위는 VH 미만의 전위가 된다.

[0048] 기간(T1)에 있어서의 도 1a의 반도체 장치의 구동 방법에 관해서, 신호(IN)가 하이 레벨인 경우와 로우 레벨인 경우로 나누어 설명한다.

[0049] 기간(T1)에 있어서, 신호(IN)가 하이 레벨이 되면, 신호(INO)도 하이 레벨이 되기 때문에, 트랜지스터(112) 및 트랜지스터(114)가 온이 된다. 따라서, 배선(13)의 전위(VL1)가 트랜지스터(112)에 의해 배선(16)에 공급된다. 또한, 배선(13)의 전위(VL1)가 트랜지스터(114)에 의해 노드(N1)에 공급된다. 노드(N1)에는, 트랜지스터(113)에 의해 배선(15)의 전위(VH)도 공급되고 있다. 그러나, 트랜지스터(114)의 W(채널 폭)/L(채널 길이) 비를 트랜지스터(113)의 W/L 비보다도 충분히 크게 해 두면, 노드(N1)의 전위는 트랜지스터(111)가 오프가 될 정도의 전위가 되기 때문에, 트랜지스터(111)는 오프가 된다. 따라서, 신호(OUT)는 로우 레벨이 되고, 그 전위는 VL1이 된다.

[0050] 한편, 기간(T1)에 있어서, 신호(IN)가 로우 레벨이 되면, 신호(INO)도 로우 레벨이 되기 때문에, 트랜지스터(112) 및 트랜지스터(114)가 오프가 된다. 노드(N1)에는, 트랜지스터(113)에 의해 배선(15)의 전위(VH)가 공급되기 때문에, 노드(N1)의 전위가 상승한다. 따라서, 트랜지스터(111)가 온이 되고, 배선(15)의 전위(VH)가 트랜지스터(111)에 의해 배선(16)으로 공급되기 때문에, 배선(16)의 전위가 상승한다. 드디어, 노드(N1)의 전위가 전위(VH)로부터 트랜지스터(113)의 임계값 전압을 뺀 전위까지 상승하면, 트랜지스터(113)가 오프가 되고, 노드(N1)가 부유 상태가 된다. 노드(N1)가 부유 상태가 되어도, 배선(16)의 전위는 상승하고 있다. 또한, 트랜지스터(111)의 게이트와 제 2 단자 사이에는, 트랜지스터(113)가 오프가 되었을 때의 노드(N1)와 배선(16)의 전위차가 유지되고 있다. 따라서, 배선(16)의 전위의 상승에 따라, 노드(N1)의 전위가 더욱 상승하고, 전위(VH)보다도 높아진다. 소위 부트스트랩 동작이다. 따라서, 신호(OUT)가 하이 레벨이 되고, 그 전위는 VH가 된다.

[0051] 또한, 배선(15)에 신호가 입력되어 있는 경우, 배선(15)의 신호가 배선(16)으로 출력된다. 예를 들면, 배선(15)에 클록 신호가 입력되는 경우, 신호(IN)가 로우 레벨인 기간에서는, 클록 신호가 배선(15)으로부터 배선(16)으로 출력된다.

[0052] 이상과 같이, 신호(OUT)를 하이 레벨로 하는 경우에는, 트랜지스터(114)의 게이트의 전위가 VL1 미만이 되기 때문에, 트랜지스터(114)의 Vgs를 음의 값으로 할 수 있다. 따라서, 가령 트랜지스터(114)가 공핍형이라도, 트랜지스터(114)를 오프로 할 수 있다. 또는, 가령 트랜지스터(114)의 Vgs가 0[V]인 경우의 드레인 전류가 큰 트랜지스터라도, 트랜지스터(114)의 드레인 전류를 작게 할 수 있다. 따라서, 트랜지스터(111)의 게이트를 부유 상태로 할 수 있고, 회로(110)의 오동작을 방지할 수 있다.

[0053] 또한, 트랜지스터(114)와 같이 트랜지스터(112)의 Vgs도 음의 값으로 할 수 있다. 따라서, 가령 트랜지스터(112)가 공핍형이라도, 트랜지스터(112)를 오프로 할 수 있다. 또는, 가령 트랜지스터(112)의 Vgs가 0[V]인 경우의 드레인 전류가 큰 트랜지스터라도, 트랜지스터(112)의 드레인 전류를 작게 할 수 있다. 따라서, 배선(16)으로부터 배선(13)으로 흐르는 전류를 방지 또는 억제할 수 있기 때문에, 소비 전력의 삭감을 도모할 수 있다.

[0054] 또한, 신호(OUT)를 로우 레벨로 하는 경우에는, 트랜지스터(112) 및 트랜지스터(114)의 게이트의 전위는 VH 미만의 전위가 되기 때문에, 트랜지스터(112) 및 트랜지스터(114)의 Vgs를 작게 할 수 있다. 따라서, 트랜지스터(112) 및 트랜지스터(114)의 열화를 억제할 수 있다.

[0055] 이상, 도 1a의 반도체 장치의 구동 방법에 관해서 설명하였다.

[0056] 다음에, 도 1a와는 상이한 반도체 장치에 관해서, 도 2a, 도 2b, 도 3a, 도 3b, 도 4a, 도 4b, 도 5a, 도 5b를 참조하여 설명한다. 또한, 이하에서는, 도 1a와 상이한 부분에 관해서 설명한다.

[0057] 도 2a에 도시하는 바와 같이, 도 1a의 반도체 장치에 있어서, 배선(14)을 생략하고, 트랜지스터(102)의 제 1 단자를 배선(13)과 접속해도 좋다. 그리고, 기간(T0)에 있어서 배선(13)에 전위(VL2)를 공급하고, 기간(T1)에 있어서 배선(13)에 전위(VL1)를 공급해도 좋다. 이 경우에도, 기간(T0)에 있어서 용량 소자(101)의 다른쪽의 전극에 전위(VL2)를 공급할 수 있기 때문에, 도 1a의 반도체 장치와 같은 동작을 행할 수 있다. 따라서, 도 1a의 반도체 장치와 같은 효과를 나타낼 수 있다. 또한, 배선(14)을 생략할 수 있기 때문에, 도 1a의 반도체 장치와 비

교하여 배선의 수를 감소시킬 수 있다.

[0058] 또한, 도 2a의 반도체 장치에 있어서, 기간(T0)에 있어서 배선(13)의 전위를 전위(VL1) 그대로로 하고, 배선(11)의 전위를 전위(VL1)를 초과하고, 전위(VH) 미만의 전위로 해도 좋다. 이 경우에도, 기간(T1)에 있어서, 신호(IN)가 로우 레벨인 경우에, 용량 소자(101)의 다른쪽의 전극의 전위를 전위(VL1) 미만으로 할 수 있기 때문에, 도 1a의 반도체 장치와 같은 동작을 행할 수 있다. 따라서, 도 1a의 반도체 장치와 같은 효과를 나타낼 수 있다. 또한, 전원 전위를 일정하게 할 수 있기 때문에, 배선(13)에 전위를 공급하는 전원 회로 등의 구성을 간단하게 할 수 있다.

[0059] 도 2b에 도시하는 바와 같이, 도 1a의 반도체 장치에 있어서, 배선(14)을 생략하고, 트랜지스터(102)의 제 1 단자를 배선(15)과 접속해도 좋다. 그리고, 기간(T0)에 있어서 배선(15)에 전위(VL2)를 공급하고, 기간(T1)에 있어서 배선(15)에 전위(VH)를 공급해도 좋다. 이 경우에도, 기간(T0)에 있어서 용량 소자(101)의 다른쪽의 전극에 전위(VL2)를 공급할 수 있기 때문에, 도 1a의 반도체 장치와 같은 동작을 행할 수 있다. 따라서, 도 1a의 반도체 장치와 같은 효과를 나타낼 수 있다. 또한, 배선(14)을 생략할 수 있기 때문에, 도 1a의 반도체 장치와 비교하여 배선의 수를 감소시킬 수 있다.

[0060] 도 3a에 도시하는 바와 같이, 도 1a의 반도체 장치에 있어서, 배선(14)을 생략하고, 트랜지스터(102)의 제 1 단자를 배선(12)과 접속하고, 트랜지스터(102)의 제 2 단자 및 게이트를 용량 소자(101)의 다른쪽의 전극과 접속해도 좋다. 그리고, 기간(T0)에 있어서 신호(SE)를 로우 레벨로 하고, 기간(T1)에 있어서 신호(SE)를 하이 레벨로 해도 좋다. 이 경우에도, 기간(T0)에 있어서 용량 소자(101)의 다른쪽의 전극을 전위(VL1) 미만으로 할 수 있기 때문에, 도 1a의 반도체 장치와 같은 동작을 행할 수 있다. 따라서, 도 1a의 반도체 장치와 같은 효과를 나타낼 수 있다. 또한, 배선(14)을 생략할 수 있기 때문에, 도 1a의 반도체 장치와 비교하여 배선의 수를 감소시킬 수 있다.

[0061] 도 3b에 도시하는 바와 같이, 도 1a의 반도체 장치에 있어서, 배선(12) 및 배선(14)을 생략하고, 트랜지스터(102)의 제 1 단자를 배선(13)과 접속하고, 트랜지스터(102)의 제 2 단자 및 게이트를 용량 소자(101)의 다른쪽의 전극과 접속해도 좋다. 그리고, 기간(T0)에 있어서 배선(13)에 전위(VL2)를 공급하고, 기간(T1)에 있어서 배선(13)에 전위(VL1)를 공급해도 좋다. 이 경우에도, 기간(T0)에 있어서 용량 소자(101)의 다른쪽의 전극을 전위(VL1) 미만으로 할 수 있기 때문에, 도 1a의 반도체 장치와 같은 동작을 행할 수 있다. 따라서, 도 1a의 반도체 장치와 같은 효과를 나타낼 수 있다. 또한, 배선(12) 및 배선(14)을 생략할 수 있기 때문에, 도 1a의 반도체 장치와 비교하여 배선의 수를 감소시킬 수 있다.

[0062] 도 4a에 도시하는 바와 같이, 도 1a의 반도체 장치에 있어서, 배선(12) 및 배선(14)을 생략하고, 트랜지스터(102)의 제 1 단자를 배선(15)과 접속하고, 트랜지스터(102)의 제 2 단자 및 게이트를 용량 소자(101)의 다른쪽의 전극과 접속해도 좋다. 그리고, 기간(T0)에 있어서 배선(15)에 전위(VL2)를 공급하고, 기간(T1)에 있어서 배선(15)에 전위(VH)를 공급해도 좋다. 이 경우에도, 기간(T0)에 있어서 용량 소자(101)의 다른쪽의 전극을 전위(VL1) 미만으로 할 수 있기 때문에, 도 1a의 반도체 장치와 같은 동작을 행할 수 있다. 따라서, 도 1a의 반도체 장치와 같은 효과를 나타낼 수 있다. 또한, 배선(12) 및 배선(14)을 생략할 수 있기 때문에, 도 1a의 반도체 장치와 비교하여 배선의 수를 감소시킬 수 있다.

[0063] 도 4b에 도시하는 바와 같이, 도 1a의 반도체 장치에 있어서, 트랜지스터(112)의 게이트를 배선(11)과 접속해도 좋다. 도 4b의 반도체 장치에서는, 트랜지스터(112)가 배선(13)의 전위(VL1)를 배선(16)에 공급하는 타이밍은 신호(IN)에 의해 제어된다. 신호(IN)는 신호(INO)보다도 하강 시간 및 상승 시간이 짧기 때문에, 트랜지스터(112)의 게이트가 용량 소자(101)의 다른쪽의 전극과 접속되는 경우와 비교하여, 트랜지스터(112)가 온 또는 오프가 되는 타이밍을 빠르게 할 수 있다. 따라서, 배선(13)의 전위(VL1)를 배선(16)에 공급하는 타이밍도 빨라지기 때문에, 신호(OUT)의 하강 시간을 짧게 할 수 있다. 또한, 트랜지스터(112)가 오프가 되는 타이밍이 빨라지면, 배선(15)과 배선(13) 사이의 관통 전류가 생기는 시간을 짧게 할 수 있기 때문에, 소비 전력의 삭감을 도모할 수 있다.

[0064] 또한, 도 4b의 반도체 장치와 같이, 도 2a, 도 2b, 도 3a, 도 3b, 및 도 4a의 반도체 장치에 있어서도, 트랜지스터(112)의 게이트를 배선(11)과 접속해도 좋다. 이 경우에도, 도 4b의 반도체 장치와 같은 효과를 나타낼 수 있다.

[0065] 도 5a에 도시하는 바와 같이, 도 1a의 반도체 장치에 있어서, 제 1 단자가 배선(13)과 접속되고, 제 2 단자가 트랜지스터(111)의 게이트와 접속되고, 게이트가 배선(12)과 접속된 트랜지스터(115)를 형성해도 좋다. 트랜지

스터(115)는, 배선(13)의 전위(VL1)를 트랜지스터(111)의 게이트에 공급하는 기능을 가진다. 트랜지스터(115)가 트랜지스터(111)의 게이트에 전위(VL1)를 공급하는 타이밍은, 배선(12)의 신호(SE)에 의해 제어된다. 도 5a의 반도체 장치에서는, 기간(T0)에 있어서 배선(13)의 전위(VL1)를 트랜지스터(111)의 게이트에 공급할 수 있기 때문에, 반도체 장치를 초기화할 수 있다. 따라서, 반도체 장치의 오동작을 방지할 수 있다.

[0066] 또한, 도 5a의 반도체 장치에 있어서, 트랜지스터(115)의 제 1 단자를 배선(14)과 접속해도 좋다. 이 경우에도, 트랜지스터(115)의 제 1 단자가 배선(13)과 접속되는 경우와 같은 동작을 행할 수 있다.

[0067] 또한, 오프셋 전압을 취득하는 타이밍과, 초기화를 행하는 타이밍이 상이한 경우에는, 트랜지스터(115)의 게이트를 초기화용 신호가 입력되는 배선과 접속해도 좋다.

[0068] 또한, 도 2a, 도 2b, 도 3a, 도 3b, 도 4a 및 도 4b의 반도체 장치에 있어서도, 제 1 단자가 배선(13) 또는 배선(14)과 접속되고, 제 2 단자가 트랜지스터(111)의 게이트와 접속되고, 게이트가 배선(12)과 접속된 트랜지스터(115)를 형성해도 좋다. 이 경우에도, 도 5a의 반도체 장치와 같은 효과를 나타낼 수 있다.

[0069] 도 5b에 도시하는 바와 같이, 도 1a의 반도체 장치에 있어서, 트랜지스터(113)의 제 2 단자 및 게이트를 배선(17)과 접속해도 좋다. 배선(17)에는, 전위(VH)를 공급해도 좋고, 전위(VL1)를 초과하고, 전위(VH) 미만의 전위를 공급해도 좋고, 신호를 입력해도 좋다. 배선(17)에 입력하는 신호의 예로서는, 신호(IN)의 반전 신호가 있다. 따라서, 배선(11)이 인버터 회로를 개체하여 배선(17)과 접속되어도 좋다. 이와 같이 하면, 트랜지스터(114)가 온이 될 때, 트랜지스터(113)가 오프가 되기 때문에, 배선(15)과 배선(13) 사이에 전류가 흐르는 것을 방지할 수 있다. 따라서, 소비 전력의 삭감을 도모할 수 있다. 또한, 트랜지스터(113)의 W/L 비보다도, 트랜지스터(114)의 W/L 비를 충분히 크게 할 필요가 없어지기 때문에, 트랜지스터의 사이즈를 작게 할 수 있다.

[0070] 또한, 도 2a, 도 2b, 도 3a, 도 3b, 도 4a, 도 4b 및 도 5a의 반도체 장치에 있어서도, 트랜지스터(113)의 제 2 단자 및 게이트를 배선(17)과 접속해도 좋다. 이 경우에도, 도 5b의 반도체 장치와 같은 효과를 나타낼 수 있다.

[0071] 도 22a에 도시하는 바와 같이, 도 1a의 반도체 장치에 있어서, 배선(14)을 생략하고, 트랜지스터(102)의 제 1 단자를 배선(13)과 접속하고, 한쪽의 전극이 배선(12)과 접속되고 또한 다른쪽의 전극이 용량 소자(101)의 다른쪽의 전극과 접속되는 용량 소자(103)를 형성해도 좋다. 용량 소자(103)는 배선(12)과 용량 소자(101)의 다른쪽의 전극 사이의 전위차를 유지하는 기능을 가진다. 또한, 도 22a의 반도체 장치는, 트랜지스터(102)는 배선(13)의 전위(VL1)를 용량 소자(101)의 다른쪽의 전극에 공급하는 기능을 가진다. 도 22a의 반도체 장치는, 기간(T0)에 있어서, 용량 소자(101)의 한쪽의 전극에는 로우 레벨의 신호(IN)가 입력되고, 용량 소자(101)의 다른쪽의 전극에는 배선(13)의 전위(VL1)가 트랜지스터(102)에 의해 공급된다. 그 후, 신호(SE)가 하이 레벨에서 로우 레벨이 되면, 트랜지스터(102)가 오프가 되고, 또한 용량 소자(101)의 다른쪽의 전극의 전위는 용량 소자(103)의 용량 결합에 의해 전위(VL1)로부터 저하된다. 따라서, 기간(T0)에 있어서 용량 소자(101)의 다른쪽의 전극을 전위(VL1) 미만으로 할 수 있기 때문에, 도 1a의 반도체 장치와 같은 동작을 행할 수 있다. 따라서, 도 1a의 반도체 장치와 같은 효과를 나타낼 수 있다. 또한, 배선(14)을 생략할 수 있기 때문에, 도 1a의 반도체 장치와 비교하여 배선의 수를 감소시킬 수 있다. 또한, 전위(VL2)를 필요로 하지 않기 때문에, 전원 전위의 수를 감소시킬 수 있다.

[0072] 도 22b에 도시하는 바와 같이, 도 22a의 반도체 장치에 있어서, 트랜지스터(102)의 제 1 단자를 배선(11)과 접속해도 좋다. 이 경우에도, 기간(T0)에 있어서, 로우 레벨의 신호(IN)를 트랜지스터(102)에 의해 용량 소자(101)의 다른쪽의 전극에 공급할 수 있기 때문에, 도 22a의 반도체 장치와 같은 동작을 행할 수 있다. 따라서, 도 22a의 반도체 장치와 같은 효과를 나타낼 수 있다.

[0073] 또한, 도 22a 및 도 22b의 반도체 장치에 있어서, 용량 소자(103)를 생략해도 좋다. 이 경우에는, 용량 소자(103) 대신에, 트랜지스터(102)의 게이트와 제 2 단자 사이의 기생 용량을 사용하면 좋다.

[0074] 또한, 도 22a 및 도 22b의 반도체 장치에 있어서, 용량 소자(103)의 한쪽의 전극을 배선(12)과는 상이한 새로운 배선과 접속해도 좋다. 이 배선에 입력하는 신호는, 기간(T0)에 있어서 신호(SE)가 하이 레벨에서 로우 레벨이 된 후에, 하이 레벨에서 로우 레벨이 되는 신호인 것이 바람직하다. 이와 같이 하면, 트랜지스터(102)가 오프가 된 후에, 용량 소자(101)의 다른쪽의 전극의 전위를 낮출 수 있다. 또한, 로우 레벨에서 하이 레벨이 되는 타이밍은, 신호(SE)가 하이 레벨인 기간인 것이 바람직하다.

[0075] 또한, 도 2a, 도 2b, 도 3a, 도 3b, 도 4a, 도 4b, 도 5a 및 도 5b의 반도체 장치에 있어서도, 배선(14)을 생략하고, 트랜지스터(102)의 제 1 단자를 배선(11) 또는 배선(13)과 접속하고, 한쪽의 전극이 배선(12)과 접속되

고 또한 다른쪽의 전극이 용량 소자(101)의 다른쪽의 전극과 접속되는 용량 소자(103)를 형성해도 좋다.

[0076] 도시는 하지 않지만, 도 2a, 도 2b, 도 3a, 도 3b, 도 4a, 도 4b, 도 5a, 도 5b, 도 22a 및 도 22b의 반도체 장치에 있어서, 트랜지스터(111)의 게이트와 제 2 단자 사이에 용량 소자를 접속해도 좋다. 이와 같이 하면, 배선(16)과 노드(N1) 사이의 용량값을 크게 할 수 있다. 따라서, 트랜지스터(111)의 게이트와 제 2 단자 사이에 용량 소자가 형성되어 있지 않은 경우와 비교하여, 신호(IN)가 로우 레벨인 기간에 있어서 노드(N1)를 보다 높게 할 수 있다. 즉, 트랜지스터(111)의 Vgs를 크게 할 수 있다. 따라서, 트랜지스터(111)의 드레인 전류를 크게 할 수 있고, 신호(OUT)의 상승 시간을 짧게 할 수 있다.

[0077] 도시는 하지 않지만, 도 2a, 도 2b, 도 3a, 도 3b, 도 4a, 도 4b, 도 5a, 도 5b, 도 22a 및 도 22b의 반도체 장치에 있어서, 용량 소자(101)로서 MOS 용량을 사용해도 좋다. 이 경우, MOS 용량으로서 사용하는 트랜지스터의 게이트를 배선(11)과 접속하고, 트랜지스터의 소스 또는 드레인을 트랜지스터(102)의 제 2 단자와 접속하는 것이 바람직하다. 이와 같이 하면, 배선(11)의 전위는 트랜지스터(102)의 제 2 단자의 전위보다도 높기 때문에, 단위 면적당 용량값을 크게 할 수 있다.

[0078] 이상, 도 1a와는 상이한 구성의 반도체 장치에 관해서 설명하였다.

[0079] 또한, 트랜지스터(111)의 W/L 비가 클 수록, 신호(OUT)의 상승 시간을 짧게 할 수 있다. 따라서, 트랜지스터(111)의 W/L 비는, 반도체 장치가 갖는 트랜지스터 중에서 가장 큰 것이 바람직하다. 즉, 트랜지스터(111)의 W/L 비는, 트랜지스터(102)의 W/L 비, 트랜지스터(112)의 W/L 비, 트랜지스터(113)의 W/L 비, 및 트랜지스터(114)의 W/L 비보다도 큰 것이 바람직하다.

[0080] 또한, 트랜지스터(112)는 배선(16)과 접속된 부하에 전위를 공급하는데 대해, 트랜지스터(114)는 트랜지스터(111)의 게이트에 전위를 공급한다. 또한, 트랜지스터(112)의 W/L 비가 클 수록, 신호(OUT)의 하강 시간을 짧게 할 수 있다. 따라서, 트랜지스터(112)의 W/L 비는, 트랜지스터(114)의 W/L 비보다도 큰 것이 바람직하다.

[0081] 또한, 트랜지스터(102)는 기간(T0)에 있어서 용량 소자(101)의 다른쪽의 전극에 전하를 공급하면 되기 때문에, 트랜지스터(102)의 W/L 비를 크게 할 필요는 없다. 따라서, 트랜지스터(102)의 W/L 비는, 트랜지스터(112) 또는 트랜지스터(114)의 W/L 비보다도 작은 것이 바람직하다.

[0082] 또한, 용량 소자(101)의 용량값이 트랜지스터(112)의 게이트 용량 및 트랜지스터(114)의 게이트 용량의 합보다도 클 수록, 신호(IN0)의 진폭 전압을 신호(IN)의 진폭 전압에 가깝게 할 수 있다. 따라서, 용량 소자(101)의 용량값은, 트랜지스터(112)의 게이트 용량 및 트랜지스터(114)의 게이트 용량의 합보다도 큰 것이 바람직하다. 또한, 용량 소자(101)의 한쪽의 전극이 트랜지스터의 게이트 전극과 동일한 재료이며, 용량 소자(101)의 다른쪽의 전극이 트랜지스터의 소스 전극 또는 드레인 전극과 동일한 재료인 경우, 용량 소자(101)의 한쪽의 전극과 다른쪽의 전극이 중첩되는 면적은, 트랜지스터(112)의 게이트와 소스가 중첩되는 면적, 트랜지스터(112)의 게이트와 드레인이 중첩되는 면적, 트랜지스터(114)의 게이트와 소스가 중첩되는 면적, 및 트랜지스터(114)의 게이트와 드레인이 중첩되는 면적의 합보다도 큰 것이 바람직하다.

[0083] 또한, 기간(T0)에 있어서, 배선(13)에 전위(VL1)를 공급하지 않고, 배선(13)을 부유 상태로 해도 좋다. 또는, 기간(T0)에 있어서, 배선(15)에 전위(VH)를 공급하지 않고, 배선(15)을 부유 상태로 해도 좋다. 이와 같이 하면, 기간(T0)에 있어서의 오동작을 방지할 수 있다.

[0084] 또한, 기간(T1)에 있어서, 배선(14)에 전위(VL2)를 공급하지 않고, 배선(14)을 부유 상태로 해도 좋다.

[0085] 또한, 신호(IN)가 하이 레벨이 되는 기간에 있어서, 로우 레벨이 되는 신호를 배선(15)에 입력해도 좋다. 이와 같이 하면, 트랜지스터(114)가 온이 될 때, 트랜지스터(113)가 오프가 되기 때문에, 배선(15)과 배선(13) 사이에 전류가 흐르는 것을 방지할 수 있다. 따라서, 소비 전력의 감소를 도모할 수 있다. 또한, 트랜지스터(113)의 W/L 비보다도, 트랜지스터(114)의 W/L 비를 충분히 크게 할 필요가 없기 때문에, 트랜지스터의 사이즈를 작게 할 수 있다.

[0086] 본 실시형태는, 다른 실시형태 등과 적절히 조합하여 실시하는 것이 가능하다.

[0087] (실시형태 2)

[0088] 본 실시형태에서는, 본 발명의 일 형태인 반도체 장치를 시프트 레지스터 회로가 갖는 플립플롭 회로에 사용하는 경우에 관해서 설명한다. 또한, 본 실시형태에서는, 실시형태 1과 상이한 부분에 관해서 설명한다.

[0089] 본 실시형태의 반도체 장치에 관해서, 도 6a를 참조하여 설명한다. 도 6a는, 본 실시형태에 있어서의 반도체 장

치의 회로도를 도시한다. 도 6a의 반도체 장치는, 트랜지스터(111)의 제 1 단자가 배선(23)과 접속되고, 트랜지스터(113)의 게이트가 배선(21)과 접속되고, 용량 소자(101)의 한쪽의 전극이 배선(22)과 접속되는 점이, 도 1a의 반도체 장치와 상이하다.

[0090] 배선(21)에는 신호(IN1)가 입력된다. 신호(IN1)는, 반도체 장치의 입력 신호이며, 스타트 펄스로서 기능하는 신호이다. 예를 들면, 신호(IN1)는 디지털 신호이며, 신호(IN1)의 하이 레벨의 전위는 VH이며, 신호(IN1)의 로우 레벨의 전위는 VL1이다. 또한, 배선(21)은 신호(IN1)를 전달하는 기능을 가진다.

[0091] 배선(22)에는 신호(IN2)가 입력된다. 신호(IN2)는, 반도체 장치의 입력 신호이며, 리셋 신호로서 기능하는 신호이다. 예를 들면, 신호(IN2)는 디지털 신호이며, 신호(IN2)의 하이 레벨의 전위는 VH이며, 신호(IN2)의 로우 레벨의 전위는 VL1이다. 또한, 배선(22)은 신호(IN2)를 전달하는 기능을 가진다.

[0092] 배선(23)에는 신호(CK)가 입력된다. 신호(CK)는 반도체 장치의 입력 신호이다. 예를 들면, 신호(CK)는 디지털 신호이며, 신호(CK)의 하이 레벨의 전위는 VH이며, 신호(CK)의 로우 레벨의 전위는 VL1이다. 또한, 신호(CK)는, 하이 레벨과 로우 레벨을 반복하는 클록 신호이다. 또한, 배선(23)은 신호(CK)를 전달하는 기능을 가진다.

[0093] 또한, 배선(21), 배선(22) 및 배선(23)을 신호선이라고도 한다. 특히, 배선(23)을 클록 신호선이라고도 한다.

[0094] 다음에, 도 6a의 반도체 장치의 구동 방법의 일례에 관해서, 도 7을 참조하여 설명한다. 도 7은, 도 6a의 반도체 장치의 구동 방법을 설명하기 위한 타이밍 차트의 일례이다.

[0095] 기간(T0)에서는, 신호(IN2)를 로우 레벨로 하고, 용량 소자(101)의 한쪽의 전극의 전위를 VL1로 한다. 또한, 신호(SE)를 하이 레벨로 하고, 트랜지스터(102)를 온으로 한다. 그리고, 배선(14)의 전위(VL2)를 용량 소자(101)의 다른쪽의 전극에 공급하고, 용량 소자(101)의 다른쪽의 전극의 전위를 VL2로 한다. 따라서, 용량 소자(101)에는, 신호(IN2)의 로우 레벨의 전위(VL1)와, 트랜지스터(102)에 의해 공급되는 배선(14)의 전위(VL2)의 차(VL1-VL2)가 유지된다. 이 차(VL1-VL2)가 오프셋 전압에 상당한다.

[0096] 기간(T1)에서는, 신호(SE)를 로우 레벨로 하고, 트랜지스터(102)를 오프로 함으로써, 용량 소자(101)의 다른쪽의 전극을 부유 상태로 한다. 용량 소자(101)는, 기간(T0)에 있어서 전위차(VL1-VL2)를 유지하고 있기 때문에, 신호(IN2)로부터 전위차(VL1-VL2)에 따른 값을 뺀 신호인 신호(IN20)가 생성된다. 따라서, 신호(IN2)가 로우 레벨이 되면, 신호(IN20)도 로우 레벨이 되고, 신호(IN20)의 로우 레벨의 전위는 VL1 미만의 전위가 된다. 또한, 신호(IN2)가 하이 레벨이 되면, 신호(IN20)도 하이 레벨이 되고, 신호(IN20)의 하이 레벨의 전위는 VH 미만의 전위가 된다.

[0097] 기간(T1)에 있어서의 도 6a의 반도체 장치의 구동 방법에 관해서, 기간(Ta), 기간(Tb), 기간(Tc) 및 기간(Td)으로 나누어 설명한다.

[0098] 기간(Ta)에 있어서, 신호(IN2)가 로우 레벨이 되기 때문에, 신호(IN20)도 로우 레벨이 되고, 트랜지스터(112) 및 트랜지스터(114)가 오프가 된다. 또한, 신호(IN1)가 하이 레벨이 되기 때문에, 트랜지스터(113)가 온이 된다. 따라서, 배선(15)의 전위(VH)가 노드(N1)에 공급되기 때문에, 노드(N1)의 전위가 상승한다. 노드(N1)의 전위가 상승하면, 트랜지스터(111)가 온이 되고, 배선(23)의 신호(CK)가 배선(16)에 공급된다. 기간(Ta)에서는 신호(CK)는 로우 레벨이기 때문에, 신호(OUT)는 로우 레벨이 되고, 그 전위는 VL1이 된다. 또한, 노드(N1)의 전위가 VH에서 트랜지스터(113)의 임계값 전압을 뺀 전위까지 상승하면, 트랜지스터(113)가 오프가 된다. 따라서, 노드(N1)는 부유 상태가 된다. 또한, 트랜지스터(113)가 오프가 되었을 때의 노드(N1)와 배선(16) 사이의 전위차가 트랜지스터(111)의 게이트와 제 2 단자 사이로 유지된다.

[0099] 기간(Tb)에 있어서, 신호(IN2)가 로우 레벨 그대로이기 때문에, 신호(IN20)도 로우 레벨 그대로가 되고, 트랜지스터(112) 및 트랜지스터(114)가 오프 그대로가 된다. 또한, 신호(IN1)가 로우 레벨이 되기 때문에, 트랜지스터(113)는 오프 그대로가 된다. 따라서, 노드(N1)는 부유 상태 그대로가 된다. 또한, 노드(N1)의 전위는 기간(Ta)에 있어서의 전위를 유지하고 있기 때문에, 트랜지스터(111)는 온 그대로가 되고, 배선(23)의 신호(CK)가 배선(16)에 공급된 그대로가 된다. 기간(Tb)에서는, 신호(CK)가 하이 레벨이 되기 때문에, 배선(16)의 전위는 상승한다. 이 때, 트랜지스터(111)의 게이트와 제 2 단자 사이에는, 기간(Ta)에 있어서의 노드(N1)와 배선(16) 사이의 전위차가 유지되고 있다. 따라서, 배선(16)의 전위에 따라, 노드(N1)의 전위가 더욱 상승하고, VH보다도 높아진다. 따라서, 신호(OUT)가 하이 레벨이 되고, 그 전위는 VH가 된다.

[0100] 기간(Tc)에서는, 신호(IN2)가 하이 레벨이 되고, 신호(IN20)가 하이 레벨이 되기 때문에, 트랜지스터(112) 및 트랜지스터(114)가 온이 된다. 따라서, 배선(13)의 전위(VL1)가 트랜지스터(112)에 의해 배선(16)에 공급되고,

또한 트랜지스터(114)에 의해 노드(N1)에 공급된다. 또한, 신호(IN1)는 로우 레벨 그대로이기 때문에, 트랜지스터(113)는 오프 그대로가 된다. 따라서, 노드(N1)의 전위는 VL1이 되고, 트랜지스터(111)는 오프가 된다. 따라서, 신호(OUT)는 로우 레벨이 되고, 그 전위는 VL1이 된다.

[0101] 기간(Td)에서는, 신호(IN2)가 로우 레벨이 되고, 신호(IN20)가 로우 레벨이 되기 때문에, 트랜지스터(112) 및 트랜지스터(114)는 오프가 된다. 또한, 신호(IN1)가 로우 레벨 그대로이기 때문에, 트랜지스터(113)는 오프 그대로가 된다. 따라서, 노드(N1)는 기간(Tc)에 있어서의 전위(VL1)를 유지하고, 트랜지스터(111)는 오프가 된다. 또한, 배선(16)은 기간(Tc)에 있어서의 전위(VL1)를 유지하기 때문에, 신호(OUT)는 로우 레벨 그대로가 된다.

[0102] 이상과 같이, 신호(IN2)를 로우 레벨로 하는 경우에는, 트랜지스터(114)의 게이트의 전위가 VL1 미만이 되기 때문에, 트랜지스터(114)의 Vgs를 음의 값으로 할 수 있다. 따라서, 가령 트랜지스터(114)가 공핍형이라도, 트랜지스터(114)를 오프로 할 수 있다. 또는, 가령 트랜지스터(114)의 Vgs가 0[V]인 경우의 드레인 전류가 큰 트랜지스터라도, 트랜지스터(114)의 드레인 전류를 작게 할 수 있다. 따라서, 트랜지스터(111)의 게이트를 부유 상태로 할 수 있어 회로(110)의 오동작을 방지할 수 있다.

[0103] 또한, 신호(IN2)를 하이 레벨로 하는 경우에는, 트랜지스터(112) 및 트랜지스터(114)의 게이트의 전위는 VH 미만의 전위가 되기 때문에, 트랜지스터(112) 및 트랜지스터(114)의 Vgs를 작게 할 수 있다. 따라서, 트랜지스터(112) 및 트랜지스터(114)의 열화를 억제할 수 있다.

[0104] 이상, 도 6a의 반도체 장치의 구동 방법에 관해서 설명하였다.

[0105] 다음에, 도 6a와는 상이한 반도체 장치에 관해서, 도 6b, 도 8a, 도 8b, 도 9a, 도 9b 및 도 10a를 참조하여 설명한다. 또한, 또한, 이하에서는, 도 6a와 상이한 부분에 관해서 설명한다.

[0106] 도 6b에 도시하는 바와 같이, 도 6a의 반도체 장치에 있어서, 트랜지스터(113)의 제 1 단자를 배선(21)과 접속해도 좋다. 도 6b의 반도체 장치에서는, 기간(Ta)에 있어서, 트랜지스터(113)는 배선(21)의 신호(IN1)를 노드(N1)에 공급한다. 기간(Ta)에서는 신호(IN1)가 하이 레벨이기 때문에, 노드(N1)의 전위가 상승한다. 그리고, 노드(N1)의 전위가 VH에서 트랜지스터(113)의 임계값 전압을 뺀 값이 되면, 트랜지스터(113)가 오프가 된다. 또한, 기간(Tb), 기간(Tc) 및 기간(Td)에서는, 트랜지스터(113)가 오프가 된다. 따라서, 도 6a의 반도체 장치와 같은 동작을 행할 수 있다. 따라서, 도 6a의 반도체 장치와 같은 효과를 나타낼 수 있다. 또한, 배선(15)을 생략할 수 있기 때문에, 도 6a의 반도체 장치와 비교하여 배선의 수를 감소시킬 수 있다.

[0107] 도 8a에 도시하는 바와 같이, 도 6b의 반도체 장치에 있어서, 회로(100)를 배선(22) 대신에, 배선(21)에 접속해도 좋다. 도 8a의 반도체 장치에서는, 회로(100)의 배선(21)의 신호(IN1)에 오프셋을 가하고, 신호(IN1)에 오프셋을 가한 신호(IN10)를 트랜지스터(113)의 게이트에 공급한다. 용량 소자(101)의 한쪽의 전극은 배선(21)과 접속되고, 용량 소자(101)의 다른쪽의 전극은 트랜지스터(113)의 게이트와 접속된다. 트랜지스터(102)의 제 1 단자는 배선(14)과 접속되고, 트랜지스터(102)의 제 2 단자는 용량 소자(101)의 다른쪽의 전극과 접속되고, 트랜지스터(102)의 게이트는 배선(12)과 접속된다. 또한, 용량 소자(101)는 배선(21)과 트랜지스터(113)의 게이트 사이의 전위차를 유지하는 기능을 가지고, 트랜지스터(102)는 배선(14)의 전위(VL1)를 트랜지스터(113)의 게이트에 공급하는 기능을 가진다. 도 8a의 반도체 장치에서는, 트랜지스터(113)의 Vgs를 음의 값으로 할 수 있다. 따라서, 노드(N1)에 공급되는 전하량을 신경쓰지 않고, 트랜지스터(113)의 W/L 비를 크게 할 수 있다. 따라서, 기간(Ta)에 있어서, 노드(N1)의 전위가 소정의 전위에 도달할 때까지의 시간을 짧게 할 수 있고, 구동 주파수를 높게 할 수 있다.

[0108] 도 8b에 도시하는 바와 같이, 도 6b의 반도체 장치에 있어서, 회로(100)를 배선(22)에 형성하고, 또한 배선(21)에도 형성해도 좋다. 도 8b에서는, 배선(22)에 형성된 회로(100), 상기 회로(100)가 갖는 용량 소자(101) 및 트랜지스터(102)를, 각각, 회로(100A), 용량 소자(101A), 트랜지스터(102A)로 나타낸다. 또한, 배선(21)에 형성된 회로(100), 상기 회로(100)가 갖는 용량 소자(101) 및 트랜지스터(102)를, 각각, 회로(100B), 용량 소자(101B), 트랜지스터(102B)로 나타낸다. 회로(100A)는 도 6a에 도시한 회로(100)와 같기 때문에, 회로(100B)는 도 8a에 도시한 회로(100)와 같기 때문에, 그 설명을 생략한다. 도 8b의 반도체 장치에서는, 도 6b의 반도체 장치와 같은 효과, 및 도 8a의 반도체 장치와 같은 효과를 나타낼 수 있다.

[0109] 도 9a에 도시하는 바와 같이, 도 6a의 반도체 장치에 있어서, 트랜지스터(112)의 게이트를 배선(24)과 접속해도 좋다. 배선(24)에는 신호(IN3)가 입력된다. 배선(24)은 신호(IN3)를 전달하는 기능을 가진다. 신호(IN3)는 디지털 신호이며, 신호(IN3)의 하이 레벨의 전위는 VH이며, 신호(IN3)의 로우 레벨은 VL1이다. 또한, 신호(IN3)로서는, 신호(CK)의 반전 신호인 클록 신호 또는 신호(CK)로부터 위상이 어긋난 클록 신호 등이 있다. 도 9a의 반도체 장치와 같은 효과를 나타낼 수 있다.

체 장치에서는, 기간(Td)에 있어서, 트랜지스터(112)가 온과 오프를 반복하기 때문에, 배선(13)의 전위(VL1)를 배선(16)에 정기적으로 공급할 수 있고, 배선(16)의 전위를 VL1로 유지하기 쉽게 할 수 있다.

[0110] 또한, 도 6b, 도 8a 및 도 8b의 반도체 장치에 있어서도, 트랜지스터(112)의 게이트를 배선(24)과 접속해도 좋다. 이 경우에도, 도 9a의 반도체 장치와 같은 효과를 나타낼 수 있다.

[0111] 또한, 도 6a, 도 6b, 도 8a 및 도 8b의 반도체 장치에 있어서, 제 1 단자가 배선(13)과 접속되고, 제 2 단자가 배선(16)과 접속되고, 게이트가 배선(24)과 접속된 트랜지스터를 형성해도 좋다. 이 경우에도, 도 9a의 반도체 장치와 같은 효과를 나타낼 수 있다.

[0112] 도 9b에 도시하는 바와 같이, 도 6a의 반도체 장치에 있어서, 제 1 단자가 배선(23)과 접속되고, 제 2 단자가 배선(25)과 접속되고, 게이트가 트랜지스터(111)의 게이트와 접속된 트랜지스터(116)를 형성해도 좋다. 트랜지스터(116)는, 배선(23)의 신호(CK)를 배선(25)에 공급하는 기능을 가진다. 트랜지스터(116)가 배선(25)에 배선(23)의 신호(CK)를 공급하는 타이밍은, 노드(N1)의 전위에 의해 제어된다. 또한, 트랜지스터(116)는, 배선(25)과 노드(N1) 사이의 전위차를 유지하는 기능을 가진다. 또한, 배선(25)으로부터는 신호(OUT)가 출력된다. 배선(25)은 신호(OUT)를 전달하는 기능을 가진다. 또한, 도 9b에서는, 배선(16)으로부터 출력되는 신호(OUT)를 신호(OUTA)로 나타내고, 배선(25)으로부터 출력되는 신호(OUT)를 신호(OUTB)로 나타낸다. 신호(OUTA)는, 신호(OUTB)와 같은 타이밍으로 하이 레벨과 로우 레벨이 반전되는 신호이다. 도 9b의 반도체 장치에서는, 신호(OUTA)와 신호(OUTB)의 한쪽을 시프트 레지스터의 전송용 신호로서 사용하고, 신호(OUTA)와 신호(OUTB)의 다른쪽을 부하 등의 구동용 신호로서 사용할 수 있다. 따라서, 도 9b의 반도체 장치를 플립플롭 회로에 사용함으로써, 큰 부하를 구동하는 경우에도, 정상적으로 동작할 수 있다.

[0113] 또한, 도 6b, 도 8a, 도 8b 및 도 9a의 반도체 장치에 있어서도, 제 1 단자가 배선(23)과 접속되고, 제 2 단자가 배선(25)과 접속되고, 게이트가 트랜지스터(111)의 게이트와 접속된 트랜지스터(116)를 형성해도 좋다. 이 경우에도, 도 9b의 반도체 장치와 같은 효과를 나타낼 수 있다.

[0114] 도 10a에 도시하는 바와 같이, 도 6a의 반도체 장치에 있어서, 신호(IN2)를 생성하기 위한 회로(120)를 형성해도 좋다. 회로(120)는, 노드(N1), 배선(12) 및 용량 소자(101)의 한쪽의 전극과 접속된다. 회로(120)는, 노드(N1) 및 배선(12)의 신호(SE)에 따른 신호(IN2)를 생성하고, 신호(IN2)를 용량 소자(101)의 한쪽의 전극으로 출력하는 기능을 가진다. 예를 들면, 회로(120)는, 신호(SE)가 하이 레벨인 경우에 노드(N1)의 전위에 관계없이, 신호(IN2)를 로우 레벨로 한다. 또한, 회로(120)는, 신호(SE)가 로우 레벨인 경우에, 노드(N1)의 전위가 높을 때(기간(Ta), 기간(Tb) 등)에 신호(IN2)를 로우 레벨로 하고, 노드(N1)의 전위가 낮을 때(기간(Tc), 기간(Td) 등)에 신호(IN2)를 하이 레벨로 한다. 즉, 회로(120)는, NOR 회로로서의 기능을 가진다.

[0115] 또한, 회로(120)는, 노드(N1) 대신에, 배선(16)과 접속되어도 좋다.

[0116] 또한, 도 6b, 도 8a, 도 8b, 도 9a 및 도 9b의 반도체 장치에 있어서도, 신호(IN2)를 생성하기 위한 회로(120)를 형성해도 좋다.

[0117] 도시는 하지 않지만, 도 6a, 도 6b, 도 8a, 도 8b, 도 9a, 도 9b 및 도 10a의 반도체 장치에 있어서, 도 2a의 반도체 장치와 같이 트랜지스터(102)의 제 2 단자를 배선(13)과 접속해도 좋다. 이 경우에도, 도 2a의 반도체 장치와 같은 효과를 나타낸다.

[0118] 도시는 하지 않지만, 도 6a, 도 6b, 도 8a, 도 8b, 도 9a, 도 9b 및 도 10a의 반도체 장치에 있어서, 도 2b의 반도체 장치와 같이, 트랜지스터(102)의 제 2 단자를 배선(15)과 접속해도 좋다. 이 경우에도, 도 2b의 반도체 장치와 같은 효과를 나타낸다.

[0119] 도시는 하지 않지만, 도 6a, 도 6b, 도 8a, 도 8b, 도 9a, 도 9b 및 도 10a의 반도체 장치에 있어서, 도 3a의 반도체 장치와 같이, 트랜지스터(102)의 제 1 단자를 배선(12)과 접속하고, 트랜지스터(102)의 게이트를 트랜지스터(102)의 제 2 단자와 접속해도 좋다. 이 경우에도, 도 3a의 반도체 장치와 같은 효과를 나타낸다.

[0120] 도시는 하지 않지만, 도 6a, 도 6b, 도 8a, 도 8b, 도 9a, 도 9b 및 도 10a의 반도체 장치에 있어서, 도 3b의 반도체 장치와 같이, 트랜지스터(102)의 제 1 단자를 배선(13)과 접속하고, 트랜지스터(102)의 게이트를 트랜지스터(102)의 제 2 단자와 접속해도 좋다. 이 경우에도, 도 3b의 반도체 장치와 같은 효과를 나타낸다.

[0121] 도시는 하지 않지만, 도 6a, 도 6b, 도 8a, 도 8b, 도 9a, 도 9b 및 도 10a의 반도체 장치에 있어서, 도 4a의 반도체 장치와 같이, 트랜지스터(102)의 제 1 단자를 배선(15)과 접속하고, 트랜지스터(102)의 게이트를 트랜지

스터(102)의 제 2 단자와 접속해도 좋다. 이 경우에도, 도 4a의 반도체 장치와 같은 효과를 나타낸다.

[0122] 도시는 하지 않지만, 도 6a, 도 6b, 도 8a, 도 8b, 도 9a, 도 9b 및 도 10a의 반도체 장치에 있어서, 도 4b의 반도체 장치와 같이, 트랜지스터(112)의 게이트를 용량 소자(101)의 한쪽의 전극과 접속해도 좋다. 이 경우에도, 도 4b의 반도체 장치와 같은 효과를 나타낸다.

[0123] 도시는 하지 않지만, 도 6a, 도 6b, 도 8a, 도 8b, 도 9a, 도 9b 및 도 10a의 반도체 장치에 있어서, 도 5a의 반도체 장치와 같이, 제 1 단자가 배선(13)과 접속되고, 제 2 단자가 트랜지스터(111)의 게이트와 접속되고, 게이트가 배선(12)과 접속되는 트랜지스터(115)를 형성해도 좋다. 이 경우에도, 도 5a의 반도체 장치와 같은 효과를 나타낸다.

[0124] 도시는 하지 않지만, 도 6a, 도 6b, 도 8a, 도 8b, 도 9a, 도 9b 및 도 10a의 반도체 장치에 있어서, 도 22a 및 도 22b의 반도체 장치와 같이, 배선(14)을 생략하고, 트랜지스터(102)의 제 1 단자를 배선(22) 또는 배선(13)과 접속하고, 한쪽의 전극이 배선(12)과 접속되고 또한 다른쪽의 전극이 용량 소자(101)의 다른쪽의 전극과 접속되는 용량 소자(103)를 형성해도 좋다. 이 경우에도, 도 22a 및 도 22b의 반도체 장치와 같은 효과를 나타낸다.

[0125] 이상, 도 6a와는 상이한 구성의 본 실시형태의 반도체 장치에 관해서 설명하였다.

[0126] 다음에, 회로(120)의 구체예에 관해서 설명한다.

[0127] 도 10b는, 회로(120)의 회로도를 도시한다. 회로(120)는, 트랜지스터(121), 트랜지스터(122) 및 트랜지스터(123)를 가진다. 트랜지스터(121)의 제 1 단자는 배선(15)과 접속되고, 트랜지스터(121)의 제 2 단자는 용량 소자(101)의 한쪽의 전극과 접속되고, 트랜지스터(121)의 게이트는 배선(15)과 접속된다. 트랜지스터(122)의 제 1 단자는 배선(13)과 접속되고, 트랜지스터(122)의 제 2 단자는 용량 소자(101)의 한쪽의 전극과 접속되고, 트랜지스터(122)의 게이트는 노드(N1)와 접속된다. 트랜지스터(123)의 제 1 단자는 배선(13)과 접속되고, 트랜지스터(123)의 게이트는 배선(12)과 접속된다.

[0128] 트랜지스터(121)는 배선(15)의 전위(VH)를 용량 소자(101)의 한쪽의 전극에 공급하는 기능을 가진다. 트랜지스터(122)는 배선(13)의 전위(VL1)를 용량 소자(101)의 한쪽의 전극에 공급하는 기능을 가진다. 트랜지스터(123)는 배선(13)의 전위(VL1)를 용량 소자(101)의 한쪽의 전극에 공급하는 기능을 가진다. 또한, 트랜지스터(122)가 배선(13)의 전위(VL1)를 용량 소자(101)의 한쪽의 전극에 공급하는 타이밍은, 노드(N1)의 전위에 의해 제어된다. 트랜지스터(123)가 배선(13)의 전위(VL1)를 용량 소자(101)의 한쪽의 전극에 공급하는 타이밍은, 배선(12)의 신호(SE)에 의해 제어된다.

[0129] 기간(T0)에 있어서는, 신호(SE)가 하이 레벨이 되기 때문에, 트랜지스터(123)가 온이 된다. 따라서, 트랜지스터(122)의 온 또는 오프에 관계없이, 배선(13)의 전위(VL1)가 트랜지스터(123)에 의해 용량 소자(101)의 한쪽의 전극에 공급되기 때문에, 신호(IN2)는 로우 레벨이 된다.

[0130] 기간(T1)에 있어서는, 신호(SE)가 로우 레벨이 되기 때문에, 트랜지스터(123)가 오프가 된다. 따라서, 노드(N1)의 전위가 높아지고, 트랜지스터(122)가 온이 되는 경우에는, 배선(13)의 전위(VL1)가 트랜지스터(122)에 의해 용량 소자(101)의 한쪽의 전극에 공급되기 때문에, 신호(IN2)가 로우 레벨이 된다. 한편, 노드(N1)의 전위가 낮아지고, 트랜지스터(122)가 오프가 되는 경우에는, 배선(13)의 전위(VL1)가 용량 소자(101)의 한쪽의 전극에 공급되지 않기 때문에, 신호(IN2)가 하이 레벨이 된다.

[0131] 또한, 도 10c에 도시하는 바와 같이, 도 10b의 회로(120)에 있어서, 트랜지스터(124), 트랜지스터(125) 및 트랜지스터(126)를 형성해도 좋다. 트랜지스터(124)의 제 1 단자는 배선(15)과 접속되고, 트랜지스터(124)의 제 2 단자는 용량 소자(101)의 한쪽의 전극과 접속되고, 트랜지스터(124)의 게이트는 트랜지스터(121)의 제 2 단자, 트랜지스터(122)의 제 2 단자 및 트랜지스터(123)의 제 2 단자와 접속된다. 트랜지스터(125)의 제 1 단자는 배선(13)과 접속되고, 트랜지스터(125)의 제 2 단자는 용량 소자(101)의 한쪽의 전극과 접속되고, 트랜지스터(125)의 게이트는 노드(N1)와 접속된다. 트랜지스터(126)의 제 1 단자는 배선(13)과 접속되고, 트랜지스터(126)의 게이트는 배선(12)과 접속된다. 도 10c의 반도체 장치에서는, 부트스트랩 동작을 사용하여 신호(IN2)의 하이 레벨의 전위를 VH로 할 수 있고, 또한 신호(IN2)의 로우 레벨의 전위를 VL1로 할 수 있다.

[0132] 또한, 도 10c의 회로(120)에 있어서, 배선(15) 대신에, 배선(23)을 사용해도 좋다. 즉, 트랜지스터(121)의 제 1

단자, 트랜지스터(121)의 게이트 및 트랜지스터(124)의 제 1 단자를 배선(23)과 접속해도 좋다. 이와 같이 하면, 기간(Td)에 있어서, 신호(IN2)를 하이 레벨과 로우 레벨을 반복하는 신호로 할 수 있다. 따라서, 트랜지스터(112) 및 트랜지스터(114)가 온이 되는 시간을 짧게 할 수 있기 때문에, 트랜지스터(112) 및 트랜지스터(114)의 열화를 억제할 수 있다.

[0133] 이상, 회로(120)의 구체예에 관해서 설명하였다.

[0134] 또한, 기간(Td) 전체 또는 기간(Td)의 일부에 있어서, 신호(IN2)를 하이 레벨로 하면, 트랜지스터(112) 및 트랜지스터(114)가 온이 된다. 따라서, 배선(13)의 전위가 트랜지스터(112)에 의해 배선(16)에 공급되고, 또한 트랜지스터(114)에 의해 노드(N1)에 공급된다. 따라서, 기간(Td)에 있어서도, 배선(16) 및 노드(N1)의 전위를 VL1로 유지하기 쉬워진다.

[0135] 본 실시형태는, 다른 실시형태 등과 적절히 조합하여 실시하는 것이 가능하다.

[0136] (실시형태 3)

[0137] 본 실시형태에서는, 실시형태 2에 있어서 설명한 반도체 장치를 플립플롭 회로로서 사용한 시프트 레지스터 회로에 관해서 설명한다. 또한, 본 실시형태에서는, 실시형태 1, 2와 상이한 부분에 관해서 설명한다.

[0138] 본 실시형태의 시프트 레지스터 회로에 관해서, 도 11을 참조하여 설명한다. 도 11은, 본 실시형태에 있어서의 시프트 레지스터 회로의 회로도를 도시한다. 도 11의 시프트 레지스터 회로는, N(N은 자연수)개의 플립플롭 회로(200)를 가진다. 단, 도 11에는, 1단계 내지 3단계의 플립플롭 회로(200)(플립플롭 회로(200_1), 플립플롭 회로(200_2), 플립플롭 회로(200_3)로 나타낸다)만을 도시한다.

[0139] 또한, 도 11의 시프트 레지스터 회로에서는, 플립플롭 회로(200)로서, 도 6a의 반도체 장치가 사용되고 있다. 단, 플립플롭 회로(200)에는, 도 6a의 반도체 장치로 한정되지 않고, 실시형태 2에 있어서의 반도체 장치를 적절히 사용하는 것이 가능하다.

[0140] 도 11의 시프트 레지스터 회로의 접속 관계에 관해서 설명한다. i(i는 2 내지 N-1 중 어느 하나) 단계의 플립플롭 회로(200)는, i단계의 배선(31)(배선(31_i)으로 나타낸다), i-1단계의 배선(31)(배선(31_i-1)으로 나타낸다), i+1단계의 배선(31)(배선(31_i+1)으로 나타낸다), 배선(32), 배선(33), 배선(34), 배선(35)과 배선(36)의 한쪽, 및 배선(37)과 접속된다. 구체적으로는, i단계의 플립플롭 회로(200)에 있어서, 배선(16)이 i단계의 배선(31)과 접속되고, 배선(21)이 i-1단계의 배선(31)과 접속되고, 배선(22)이 i+1단계의 배선(31)과 접속된다. 또한, 배선(15)이 배선(32)과 접속되고, 배선(13)이 배선(33)과 접속되고, 배선(14)이 배선(34)과 접속되고, 배선(23)이 배선(35)과 배선(36)의 한쪽과 접속되고, 배선(12)이 배선(37)과 접속된다. 또한, 1단계의 플립플롭 회로(200)에서는, 배선(21)이 배선(38)과 접속되는 점이, i단계의 플립플롭 회로(200)와 상이하다.

[0141] 배선(31)으로부터는 신호(OUT)가 출력되고, 배선(31)은 신호(OUT)를 전달하는 기능을 가진다.

[0142] 배선(32)에는 전위(VH)가 공급되고, 배선(32)은 전위(VH)를 전달하는 기능을 가진다.

[0143] 배선(33)에는 전위(VL1)가 공급되고, 배선(33)은 전위(VL1)를 전달하는 기능을 가진다.

[0144] 배선(34)에는 전위(VL2)가 공급되고, 배선(34)은 전위(VL2)를 전달하는 기능을 가진다.

[0145] 배선(35)에는 신호(CK1)가 입력되고, 배선(35)은 신호(CK1)를 전달하는 기능을 가진다. 또한, 배선(36)에는 신호(CK2)가 입력되고, 신호(CK2)를 전달하는 기능을 가진다. 신호(CK1) 및 신호(CK2)는, 신호(CK)와 같은 신호이다. 단, 신호(CK1) 및 신호(CK2)는, 서로 반전된 신호, 또는 서로 위상이 상이한 신호이다.

[0146] 배선(37)에는 신호(SE)가 입력되고, 배선(37)은 신호(SE)를 전달하는 기능을 가진다.

[0147] 배선(38)에는 신호(SP)가 입력되고, 배선(38)은 신호(SP)를 전달하는 기능을 가진다. 신호(SP)는 시프트 레지스터 회로의 스타트 펄스이다. 또한, 신호(SP)는, 하이 레벨의 전위가 VH이며, 로우 레벨의 전위가 VL1인 디지털 신호이다.

[0148] 다음에, 도 11의 시프트 레지스터 회로의 구동 방법의 일례에 관해서, 도 12를 참조하여 설명한다. 도 12는, 도 11의 시프트 레지스터 회로의 구동 방법을 설명하기 위한 타이밍 차트의 일례를 도시한다. 또한, 도 12에서는, 1단계의 플립플롭 회로(200)의 신호(OUT), 2단계의 플립플롭 회로(200)의 신호(OUT), N단계의 플립플롭 회로(200)의 신호(OUT)를, 각각, 신호(OUT1), 신호(OUT2), 신호(OUTN)로 나타낸다.

[0149] 기간(T0)에 있어서는, 신호(SE)는 하이 레벨이 된다. 따라서, 1단계 내지 N단계의 플립플롭 회로(200)의

각각은, 실시형태 2에서 설명한 기간(T0)에 있어서의 동작을 행한다.

[0150] 기간(T1)에 있어서는, 신호(SE)가 로우 레벨이 된다. 따라서, 1단계 내지 N단계의 플립플롭 회로(200)의 각각은, 실시형태 2에서 설명한 기간(T1)에 있어서의 동작을 행한다. 구체적으로는, i-1단계의 플립플롭 회로(200)의 신호(OUT)가 하이 레벨이 되면, i단계의 플립플롭 회로(200)는 실시형태 2에서 설명한 기간(Ta)에 있어서의 동작을 행한다. 따라서, i단계의 플립플롭 회로(200)의 신호(OUT)는 로우 레벨이 된다. 그 후, 신호(CK1) 및 신호(CK2)가 반전되면, i단계의 플립플롭 회로(200)는 실시형태 2에서 설명한 기간(Tb)에 있어서의 동작을 행한다. 따라서, i단계의 플립플롭 회로(200)의 신호(OUT)는 하이 레벨이 된다. 그 후, 신호(CK1) 및 신호(CK2)가 반전되고, 또한 i+1단계의 플립플롭 회로(200)의 신호(OUT)가 하이 레벨이 되면, i단계의 플립플롭 회로(200)는 실시형태 2에서 설명한 기간(Tc)에 있어서의 동작을 행한다. 따라서, i단계의 플립플롭 회로(200)의 신호(OUT)가 로우 레벨이 된다. 그 후, 다시 i-1단계의 플립플롭 회로(200)의 신호(OUT)가 하이 레벨이 될 때까지, i단계의 플립플롭 회로(200)는 실시형태 2에서 설명한 기간(Td)에 있어서의 동작을 행한다. 따라서, i단계의 플립플롭 회로(200)의 신호(OUT)는 로우 레벨을 유지한다.

[0151] 도 11의 시프트 레지스터 회로는, 플립플롭 회로(200)로서 도 6a의 반도체 장치를 사용하고 있기 때문에, 도 6a의 반도체 장치와 같은 효과를 나타낼 수 있다.

[0152] 이상, 도 11의 시프트 레지스터 회로의 구동 방법에 관해서 설명하였다.

[0153] 또한, 도 11의 시프트 레지스터 회로에 있어서, 배선(37)을 생략하고, 각 플립플롭 회로(200)에 있어서 배선(12)을 배선(38)과 접속해도 좋다. 이와 같이 하면, 배선의 수를 감소시킬 수 있다. 또한, 용량 소자(101)에 오프셋 전압을 정기적으로 유지할 수 있다.

[0154] 또한, 플립플롭 회로(200)로서 도 9a의 반도체 장치를 사용하는 경우, 배선(23)을 배선(35)과 접속할 때에는, 배선(24)을 배선(36)과 접속하는 것이 바람직하다. 이와 같이 하면, 배선수의 증가를 억제할 수 있다.

[0155] 또한, 플립플롭 회로로서 도 9b의 반도체 장치를 사용하는 경우, 배선(25)을 배선(31)과 접속하고, 배선(16)을 부하와 접속하는 것이 바람직하다. 이와 같이 하면, 부하의 영향을 받지 않는 배선(25)의 신호(OUTB)에 의해 다른 단계의 플립플롭 회로(200)를 구동할 수 있기 때문에, 시프트 레지스터 회로를 안정적으로 구동시킬 수 있다.

[0156] 본 실시형태는, 다른 실시형태 등과 적절히 조합하여 실시하는 것이 가능하다.

[0157] (실시형태 4)

[0158] 본 실시형태에서는, 실시형태 3의 시프트 레지스터 회로를 구동 회로로서 사용한 표시 장치에 관해서 설명한다.

[0159] 또한, 구동 회로의 일부 또는 전체를, 화소부와 동일한 기판 위에 일체 형성하여 시스템 온 패널을 형성할 수 있다.

[0160] 표시 장치에 사용하는 표시 소자로서는 액정 소자(액정 표시 소자라고도 한다), 발광 소자(발광 표시 소자라고도 한다)를 적용할 수 있다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.

[0161] 도 13a에 있어서, 제 1 기판(4001) 위에 형성된 화소부(4002)를 둘러싸도록 하여 셀재(4005)가 형성되고, 제 2 기판(4006)에 의해 봉지되어 있다. 도 13a에 있어서는, 제 1 기판(4001) 위의 셀재(4005)에 의해 둘러싸여 있는 영역과는 상이한 영역에, 별도 준비된 기판 위에 주사선 구동 회로(4004), 신호선 구동 회로(4003)가 실장되어 있다. 또한 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018a)(Flexible printed circuit), FPC(4018b)으로부터 공급되어 있다.

[0162] 도 13b 및 도 13c에 있어서, 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하여 셀재(4005)가 형성되어 있다. 또한 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성되어 있다. 따라서 화소부(4002)와, 주사선 구동 회로(4004)는, 제 1 기판(4001)과 셀재(4005)와 제 2 기판(4006)에 의해, 표시 소자와 함께 봉지되어 있다. 도 13b 및 도 13c에 있어서는, 제 1 기판(4001) 위의 셀재(4005)에 의해 둘러싸여 있는 영역과는 상이한 영역에, 별도 준비된 기판 위에 신호선 구동 회로(4003)가 실장되어 있다. 도 13b 및 도 13c에 있어서는, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급되어 있다.

- [0163] 또한 도 13b 및 도 13c에 있어서는, 신호선 구동 회로(4003)를 별도 형성하고, 제 1 기판(4001)에 실장하고 있는 예를 도시하고 있지만, 이 구성으로 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.
- [0164] 또한, 별도 형성한 구동 회로의 접속 방법은, 특별히 한정되는 것이 아니며, COG(Chip On Glass) 방법, 와이어 본딩 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 사용할 수 있다. 도 13a는, COG 방법에 의해 신호선 구동 회로(4003), 주사선 구동 회로(4004)를 실장하는 예이며, 도 13b는, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 13c는 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.
- [0165] 또한, 표시 장치는, 표시 소자가 봉지된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다.
- [0166] 또한, 본 명세서 중에 있어서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치 포함한다)을 가리킨다. 또한, 커넥터, 예를 들면 FPC 또는 TAB 테이프 또는 TCP가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG 방식에 의해 IC(접적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.
- [0167] 또한, 제 1 기판 위에 형성된 화소부는, 트랜지스터를 복수 가지고 있다.
- [0168] 표시 소자로서, 액정 소자를 사용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용한다. 이들 액정 재료는, 조건에 따라, 콜레스테릭상, 스택틱상, 큐빅상, 키랄 네마티ック상, 등방상 등을 나타낸다.
- [0169] 또한, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용해도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온시켜 가면, 콜레스테릭상으로부터 등방상에 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서밖에 발현되지 않기 때문에, 온도 범위를 개선하기 위해서 5중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층에 사용하면 좋다. 블루상을 나타내는 액정과 키랄제를 함유하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 또한 배향막을 형성하지 않아도 되기 때문에 러빙 처리가 불필요해진다. 이로 인해, 러빙 처리에 의해 야기되는 정전 파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감시킬 수 있다. 따라서 액정 표시 장치의 생산성을 향상시키는 것이 가능해진다.
- [0170] 또한, 액정 재료의 고유 저항은, $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이며, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이며, 더욱 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에 있어서의 고유 저항의 값은, 20°C에서 측정한 값으로 한다.
- [0171] 액정 표시 장치에 형성되는 유지 용량의 크기는, 화소부에 배치되는 트랜지스터의 리크 전류 등을 고려하여, 소정 기간 동안 전하를 유지할 수 있도록 설정된다. 유지 용량의 크기는, 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다.
- [0172] 액정 표시 장치에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, ALFC(Anti Ferroelectric Liquid Crystal) 모드 등을 사용한다.
- [0173] 또한, 노멀리 블랙형의 액정 표시 장치, 예를 들면 수직 배향(VA) 모드를 채용한 투과형의 액정 표시 장치로 해도 좋다. 수직 배향 모드로서는, 몇가지 들 수 있지만, 예를 들면, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV 모드 등을 사용할 수 있다.
- [0174] 또한, VA형의 액정 표시 장치에도 적용할 수 있다. VA형의 액정 표시 장치란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이다. VA형의 액정 표시 장치는, 전압이 인가되지 않고 있을 때에 패널면에 대해 액정 분자가 수직방향을 향하는 방식이다. 또한, 화소(픽셀)를 몇개의 영역(서브 픽셀)으로 나누고, 각각 다른 방향으로 분자를 쓰러뜨리도록 고안되어 있는 멀티 도메인화 또는 멀티 도메인 설계라고 하는 방법을 사용할 수 있다.
- [0175] 또한, 표시 장치에 있어서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등을 적절히 형성한다. 예를 들면, 편광 기판 및 위상차 기판에 의한 원편광을 사용해도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 사용해도 좋다.

- [0176] 또한, 화소부에 있어서의 표시 방식은, 프로그래시브 방식이나 인터레이스 방식 등을 사용할 수 있다. 또한, 컬러 표시할 때에 화소로 제어하는 색 요소로서는, RGB(R은 적색, G는 녹색, B는 청색을 나타낸다)의 3색으로 한정되지 않는다. 예를 들면, RGBW(W는 백색을 나타낸다), 또는 RGB에, 옐로우, 시안, 마젠타 등을 1색 이상 추가한 것이 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 상이해도 좋다. 단, 개시하는 발명은, 컬러 표시의 표시 장치로 한정되는 것이 아니며, 흑백 표시의 표시 장치에 적용할 수도 있다.
- [0177] 또한, 표시 장치에 포함되는 표시 소자로서, 일렉트로 루미네센스를 이용하는 발광 소자를 적용할 수 있다. 일렉트로 루미네센스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 의해 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불리고 있다.
- [0178] 유기 EL 소자에서는, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 함유하는 층에 주입되고, 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아올 때에 발광한다. 상기 메커니즘으로부터, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.
- [0179] 무기 EL 소자는, 그 소자 구성에 의해, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층 사이에 개재하고, 또한 그것을 전극 사이에 개재한 구조이며, 발광 메커니즘은 금속 이온의 내각 전자 천이를 이용하는 국재형 발광이다.
- [0180] 또한, 표시 장치로서, 전자 잉크를 구동시키는 전자 페이퍼를 제공하는 것도 가능하다. 전자 페이퍼는, 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리고 있고, 종이와 동일한 읽기 용이성, 다른 표시 장치에 비해 저소비 전력, 얇고 가벼운 형상으로 하는 것이 가능하다는 이점을 가지고 있다.
- [0181] 전기 영동 표시 장치는, 여러 가지 형태가 생각될 수 있지만, 플러스의 전하를 갖는 제 1 입자와,マイ너스의 전하를 갖는 제 2 입자를 포함하는 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것이며, 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽에 집합한 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 함유하고, 전계가 없는 경우에 있어서 이동하지 않는 것이다. 또한, 제 1 입자의 색과 제 2 입자의 색은 상이한 것(무색을 포함한다)으로 한다.
- [0182] 이와 같이, 전기 영동 표시 장치는, 유전 상수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다.
- [0183] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이며, 이 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써 컬러 표시도 가능하다.
- [0184] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자에는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로 루미네센트 재료, 일렉트로크로믹 재료, 자기 영동 재료로부터 선택된 1종의 재료, 또는 이들의 복합 재료를 사용하면 좋다.
- [0185] 또한, 전자 페이퍼로서, 트위스트 볼 표시 방식을 사용하는 표시 장치도 적용할 수 있다. 트위스트 볼 표시 방식이란, 백색과 흑색으로 분할 채색된 구형 입자를 표시 소자에 사용하는 전극층인 제 1 전극층 및 제 2 전극층 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 발생시킨 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.
- [0186] 본 실시형태에서 서술한 표시 장치에 실시형태 3의 시프트 레지스터 회로를 적용함으로써, 가령 트랜지스터가 공핍형이라도 안정된 구동을 할 수 있는 표시 장치를 제공할 수 있다.
- [0187] 본 실시형태는, 다른 실시형태 등과 적절히 조합하여 실시하는 것이 가능하다.
- [0188] (실시형태 5)
- [0189] 본 실시형태에서는, 실시형태 1의 반도체 장치, 실시형태 2의 반도체 장치, 실시형태 3의 시프트 레지스터 회로 및 실시형태 4의 표시 장치에 사용할 수 있는 트랜지스터에 관해서 설명한다.
- [0190] <산화물 반도체에 관해서>

- [0191] 이하에서는, 산화물 반도체에 관해서 상세하게 설명한다.
- [0192] 산화물 반도체는, 사용하는 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 특히 In과 Zn을 함유하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 감소시키기 위한 스테빌라이저로서, 이를 외에 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.
- [0193] 또한, 기타 스테빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴뮴(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 또는 복수종을 가져도 좋다.
- [0194] 예를 들면, 산화물 반도체로서, 산화인듐, 산화주석, 산화아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기한다), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0195] In-Ga-Zn계의 산화물 반도체 재료는, 무전계일 때의 저항이 충분히 높고 오프 전류를 충분히 작게 하는 것이 가능하며, 또한, 전계 효과 이동도가 높은 특징을 가지고 있다. 또한, In-Sn-Zn계 산화물 반도체 재료를 사용한 트랜지스터는, In-Ga-Zn계의 산화물 반도체 재료를 사용한 트랜지스터보다도 전계 효과 이동도를 3배 이상으로 할 수 있고, 또한, 임계값 전압을 양으로 하기 쉬운 특징을 가지고 있다. 이들 반도체 재료는, 본 발명의 일 형태에 있어서의 반도체 장치를 구성하는 트랜지스터에 사용할 수 있는 적합한 재료의 하나이다.
- [0196] 또한, 여기에서, 예를 들면, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 상관하지 않는다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어가 있어도 좋다.
- [0197] 또한, 산화물 반도체로서, $InM_0_3(ZnO)_m$ ($m > 0$, 또한, m 은 정수가 아니다)로 표기되는 재료를 사용해도 좋다. 또한, M은, Ga, Fe, Mn 및 Co로부터 선택된 1개의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $In_3Sn_0_5(ZnO)_n$ ($n > 0$, 또한, n 은 정수)로 표기되는 재료를 사용해도 좋다.
- [0198] 예를 들면, $In:Ga:Zn=1:1:1(=1/3:1/3:1/3)$ 또는 $In:Ga:Zn=2:2:1(=2/5:2/5:1/5)$ 의 원자수비의 In-Ga-Zn계 산화물이나 그 조성 균방의 산화물을 사용할 수 있다. 또는, $In:Sn:Zn=1:1:1(=1/3:1/3:1/3)$, $In:Sn:Zn=2:1:3(=1/3:1/6:1/2)$ 또는 $In:Sn:Zn=2:1:5(=1/4:1/8:5/8)$ 의 원자수비의 In-Sn-Zn계 산화물이나 그 조성 균방의 산화물을 사용하면 좋다.
- [0199] 그러나, 이들에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 임계값, 편차 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 밀도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0200] 예를 들면, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물에서도, 별크내 결합 밀도를 저감시킴으로써 이동도를 높일 수 있다.
- [0201] 또한, 예를 들면, In, Ga, Zn의 원자수비가 $In:Ga:Zn=a:b:c(a+b+c=1)$ 인 산화물의 조성이, 원자수비가 $In:Ga:Zn=A:B:C(A+B+C=1)$ 인 산화물의 조성 균방이다란, a, b, c가,
- [0202]
$$(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$$
- [0203] 를 만족시키는 것을 말하고, r은, 예를 들면, 0.05로 하면 좋다. 다른 산화물에서도 마찬가지이다.
- [0204] 또한, 산화물 반도체층으로서는, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되어 고순도화되는 것이 바람직하다. 구체적으로는, 고순도화된 산화물 반도체층은, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의한 수소 농도의 측정값이, $5 \times 10^{19} / \text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하, 보다 바람

직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16} / \text{cm}^3$ 이하이다. 또한, 홀 효과 측정에 의해 측정할 수 있는 산화물 반도체층의 캐리어 밀도는, $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만이다.

[0205] 여기에서, 산화물 반도체층 중의, 수소 농도의 분석에 관해서 언급해 둔다. 반도체층 중의 수소 농도 측정은, 2차 이온 질량 분석법으로 행한다. SIMS 분석은, 그 원리상, 시료 표면 균방이나, 재질이 상이한 층과의 적층 계면 균방의 데이터를 정확하게 얻는 것이 곤란한 것이 알려져 있다. 그래서, 층 중에 있어서의 수소 농도의 두께 방향의 분포를 SIMS으로 분석하는 경우, 대상이 되는 층이 존재하는 범위에 있어서, 값에 극단적인 변동이 없고, 거의 일정한 값이 얻어지는 영역에 있어서의 평균값을, 수소 농도로서 채용한다. 또한, 측정의 대상이 되는 층의 두께가 작은 경우, 인접하는 층내의 수소 농도의 영향을 받아 거의 일정한 값이 얻어지는 영역을 찾아낼 수 없는 경우가 있다. 이 경우, 상기 층이 존재하는 영역에 있어서의, 수소 농도의 극대값 또는 극소값을, 상기 층 중의 수소 농도로서 채용한다. 또한 상기 층이 존재하는 영역에 있어서, 극대값을 갖는 산형의 피크, 극소값을 갖는 골짜기형의 피크가 존재하지 않는 경우, 변곡점의 값을 수소 농도로서 채용한다.

[0206] 스퍼터링법을 사용하여 산화물 반도체층을 제작하는 경우에는, 타깃 중의 수소 농도뿐만 아니라, 챔버 내에 존재하는 물, 수소를 최대한 저감시켜 두는 것이 중요하다. 구체적으로는, 상기 형성 이전에 챔버내를 베이크하거나, 챔버 내에 도입되는 가스 중의 물, 수소 농도를 저감시키거나, 및 챔버로부터 가스를 배기하는 배기계에 있어서의 역류를 방지하는 등을 행하는 것이 효과적이다.

[0207] 산화물 반도체는 단결정이라도, 비단결정이라도 좋다. 후자의 경우, 비정질이라도, 다결정이라도 좋다. 또한, 비정질 중에 결정성을 갖는 부분을 포함하는 구조라도, 비비정질이라도 좋다.

[0208] 비정질 상태의 산화물 반도체는, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 사용하여 트랜지스터를 제작했을 때의 계면 산란을 저감시킬 수 있어 비교적 용이하게, 비교적 높은 이동도를 얻을 수 있다.

[0209] 또한, 결정성을 갖는 산화물 반도체에서는, 보다 벌크내 결함을 저감시킬 수 있고, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하며, 구체적으로는, 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하의 표면 위에 형성하면 좋다.

[0210] 또한, Ra는, JIS B0601에서 정의되어 있는 중심선 평균 거칠기를 면에 대해 적용할 수 있도록 3차원으로 확장한 것이며, 「기준면에서 지정면까지의 편차의 절대값을 평균한 값」으로 표현할 수 있고, 이하의 식으로 정의된다.

수학식 1

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

[0211] [0212] 또한, 상기에 있어서, S_0 는, 측정면(좌표 $(x_1, y_1)(x_1, y_2)(x_2, y_1)(x_2, y_2)$)로 나타내는 4점에 의해 둘러싸이는 장방형의 영역)의 면적을 가리키고, Z_0 는 측정면의 평균 높이를 가리킨다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)으로 평가 가능하다.

[0213] 산화물 반도체막은, 단결정, 다결정(폴리 크리스탈이라고도 한다.) 또는 비정질 등의 상태를 취한다.

[0214] 바람직하게는, 산화물 반도체막은, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막으로 한다.

[0215] CAAC-OS막은, 완전한 단결정이 아니며, 완전한 비정질도 아니다. CAAC-OS막은, 비정질상에 결정부 및 비정질부를 갖는 결정-비정질 혼합 구조의 산화물 반도체막이다. 또한, 상기 결정부는, 1번이 100nm 미만인 입방체 내에 들어가는 크기인 것이 많다. 또한, 투과형 전자현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는, CAAC-OS막에 함유되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의해 CAAC-OS막에는 입계(그레인 바운더리라고도 한다.)는 확인할 수 없다. 이로 인해, CAAC-OS막은, 입계에 기인하는 전자 이동도의 저하가 억제된다.

[0216] CAAC-OS막에 포함되는 결정부는, c축이 CAAC-OS막의 폐형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방

향으로 정렬되고, 또한 ab면에 수직한 방향에서 볼 때 삼각형상 또는 육각형상의 원자 배열을 가지며, c축에 수직한 방향에서 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부간에, 각각 a축 및 b축의 방향이 상이해도 좋다. 본 명세서에 있어서, 단순히 수직이라고 기재하는 경우, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 평행이라고 기재하는 경우, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.

- [0217] 또한, CAAC-OS막에 있어서, 결정부의 분포가 일정하지 않아도 좋다. 예를 들면, CAAC-OS막의 형성 과정에 있어서, 산화물 반도체막의 표면측으로부터 결정 성장시키는 경우, 피형성면의 근방에 대해 표면의 근방에서는 결정부가 차지하는 비율이 높아지게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써, 상기 불순물 첨가 영역에 있어서 결정부가 비정질화되는 경우도 있다.
- [0218] CAAC-OS막에 포함되는 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c축의 방향은, CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 결정부는, 성막함으로써, 또는 성막후에 가열 처리 등의 결정화 처리를 행함으로써 형성된다.
- [0219] CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동을 저감시키는 것이 가능하다. 따라서, 상기 트랜지스터는, 신뢰성이 높다.
- [0220] 또한, 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 좋다.
- [0221] 또한, 스퍼터링법을 사용하여 CAAC-OS막을 성막하는 경우에는, 분위기 중의 산소 가스비가 높은 편이 바람직하다. 예를 들면, 아르곤 및 산소의 혼합 가스 분위기 중에서 스퍼터링법을 행하는 경우에는, 산소 가스비를 30% 이상으로 하는 것이 바람직하며, 40% 이상으로 하는 것이 보다 바람직하다. 분위기 중으로부터의 산소의 보충에 의해, CAAC의 결정화가 촉진되기 때문이다.
- [0222] 또한, 스퍼터링법을 사용하여 CAAC-OS막을 성막하는 경우에는, CAAC-OS막이 성막되는 기판을 150°C 이상으로 가열해 두는 것이 바람직하며, 170°C 이상으로 가열해 두는 것이 보다 바람직하다. 기판 온도의 상승에 따라, CAAC의 결정화가 촉진되기 때문이다.
- [0223] 또한, CAAC-OS막에 대해, 질소 분위기 중 또는 진공 중에 있어서 열처리를 행한 후에는, 산소 분위기 중 또는 산소와 다른 가스의 혼합 분위기 중에 있어서 열처리를 행하는 것이 바람직하다. 상기의 열처리에서 발생하는 산소 결손을 나중의 열처리에 있어서의 분위기 중으로부터의 산소 공급에 의해 복원할 수 있기 때문이다.
- [0224] 또한, CAAC-OS막이 성막되는 막표면(피성막면)은 평탄한 것이 바람직하다. CAAC-OS막은, 상기 피성막면에 개략 수직이 되는 c축을 가지기 때문에, 상기 피성막면에 존재하는 요철은, CAAC-OS막에 있어서의 결정립계의 발생을 유발하게 되기 때문이다. 따라서, CAAC-OS막이 성막되기 전에 상기 피성막 표면에 대해 화학 기계 연마 (Chemical Mechanical Polishing: CMP) 등의 평탄화 처리를 행하는 것이 바람직하다. 또한, 상기 피성막면의 평균 거칠기는, 0.5nm 이하인 것이 바람직하며, 0.3nm 이하인 것이 보다 바람직하다.
- [0225] 이어서, CAAC에 포함되는 결정 구조의 일례에 관해서 도 14 내지 도 16을 사용하여 상세하게 설명한다. 또한, 특별히 언급하지 않는 한, 도 14 내지 도 16은 상방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단순히 상반분, 하반분이라고 하는 경우, ab면을 경계로 한 경우의 상반분, 하반분을 말한다. 또한, 도 14에 있어서, 원으로 둘러싸인 0는 4배위의 0를 나타내고, 2중원으로 둘러싸인 0는 3배위의 0을 나타낸다.
- [0226] 도 14a에, 1개의 6배위의 In과, In에 근접한 6개의 4배위의 산소 원자(이하 4배위의 0)를 갖는 구조를 도시한다. 여기에서는, 금속 원자 1개에 대해, 근접한 산소 원자만 나타낸 구조를 소그룹이라고 한다. 도 14a의 구조는, 팔면체 구조를 취하지만, 간단하게 하기 위해 평면 구조로 도시하고 있다. 또한, 도 14a의 상반분 및 하반분에는 각각 3개씩 4배위의 0가 있다. 도 14a에 도시하는 소그룹은 전하가 0이다.
- [0227] 도 14b에, 1개의 5배위의 Ga와, Ga에 근접한 3개의 3배위의 산소 원자(이하 3배위의 0)와, 근접한 2개의 4배위의 0를 갖는 구조를 도시한다. 3배위의 0는, 모두 ab면에 존재한다. 도 14b의 상반분 및 하반분에는 각각 1개씩 4배위의 0가 있다. 또한, In도 5배위를 취하기 때문에, 도 14b에 도시하는 구조를 취할 수 있다. 도 14b에 도시하는 소그룹은 전하가 0이다.
- [0228] 도 14c에, 1개의 4배위의 Zn과, Zn에 근접한 4개의 4배위의 0를 갖는 구조를 도시한다. 도 14c의 상반분에는 1

개의 4배위의 0가 있고, 하반분에는 3개의 4배위의 0가 있다. 또는, 도 14c의 상반분에 3개의 4배위의 0가 있고, 하반분에 1개의 4배위의 0가 있어도 좋다. 도 14c에 도시하는 소그룹은 전하가 0이다.

[0229] 도 14d에, 1개의 6배위의 Sn과, Sn에 근접한 6개의 4배위의 0를 갖는 구조를 도시한다. 도 14d의 상반분에는 3개의 4배위의 0가 있고, 하반분에는 3개의 4배위의 0가 있다. 도 14d에 도시하는 소그룹은 전하가 +1이 된다.

[0230] 도 14e에, 2개의 Zn을 함유하는 소그룹을 도시한다. 도 14e의 상반분에는 1개의 4배위의 0가 있고, 하반분에는 1개의 4배위의 0가 있다. 도 14e에 도시하는 소그룹은 전하가 -1이 된다.

[0231] 여기에서는, 복수의 소그룹의 집합체를 중그룹이라고 하고, 복수의 중그룹의 집합체를 대그룹(유닛 셀이라고도 한다.)이라고 한다.

[0232] 여기에서, 이들의 소그룹끼리가 결합하는 규칙에 관해서 설명한다. 도 14a에 도시하는 6배위의 In의 상반분의 3개의 0는 하방향에 각각 3개의 근접 In을 가지고, 하반분의 3개의 0는 상방향에 각각 3개의 근접 In을 가진다. 도 14b에 도시하는 5배위의 Ga의 상반분의 1개의 0는 하방향에 1개의 근접 Ga를 가지고, 하반분의 1개의 0는 상방향에 1개의 근접 Ga를 가진다. 도 14c에 도시하는 4배위의 Zn의 상반분의 1개의 0는 하방향에 1개의 근접 Zn을 가지고, 하반분의 3개의 0는 상방향에 각각 3개의 근접 Zn을 가진다. 이와 같이, 금속 원자의 상방향의 4배위의 0의 수와, 그 0의 하방향에 있는 근접 금속 원자의 수는 동일하며, 마찬가지로 금속 원자의 하방의 4배위의 0의 수와, 그 0의 상방향에 있는 근접 금속 원자의 수는 동일하다. 0는 4배위이기 때문에, 하방향에 있는 근접 금속 원자의 수와, 상방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 상방향에 있는 4배위의 0의 수와, 별도의 금속 원자의 하방향에 있는 4배위의 0의 수의 합이 4개일 때, 금속 원자를 갖는 2종의 소그룹끼리는 결합할 수 있다. 그 이유를 이하에 나타낸다. 예를 들면, 6배위의 금속 원자(In 또는 Sn)가 하반분의 4배위의 0를 통하여 결합하는 경우, 4배위의 0가 3개이기 때문에, 5배위의 금속 원자(Ga 또는 In), 또는 4배위의 금속 원자(Zn) 중 어느 하나와 결합하게 된다.

[0233] 이러한 배위수를 갖는 금속 원자는, c축 방향에 있어서, 4배위의 0를 통하여 결합한다. 또한, 이것 외에도, 층 구조의 합계 전하가 0이 되도록 복수의 소그룹이 결합하여 중그룹을 구성한다.

[0234] 도 15a에, In-Sn-Zn-0계의 층 구조를 구성하는 중그룹의 모델도를 도시한다. 도 15b에, 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 15c는, 도 15b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시한다.

[0235] 도 15a에 있어서는, 간단하게 하기 위해, 3배위의 0는 생략하고, 4배위의 0는 개수만 나타내고, 예를 들면, Sn의 상반분 및 하반분에는 각각 3개씩 4배위의 0가 있는 것을 동그라미 3으로 나타내고 있다. 마찬가지로, 도 15a에 있어서, In의 상반분 및 하반분에는 각각 1개씩 4배위의 0가 있고, 동그라미 1로서 나타내고 있다. 또한, 마찬가지로, 도 15a에 있어서, 하반분에는 1개의 4배위의 0가 있고, 상반분에는 3개의 4배위의 0가 있는 Zn과, 상반분에는 1개의 4배위의 0가 있고, 하반분에는 3개의 4배위의 0가 있는 Zn을 나타내고 있다.

[0236] 도 15a에 있어서, In-Sn-Zn-0계의 층 구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 0가 3개씩 상반분 및 하반분에 있는 Sn이, 4배위의 0가 1개씩 상반분 및 하반분에 있는 In과 결합하고, 그 In이, 상반분에 3개의 4배위의 0가 있는 Zn과 결합하고, 그 Zn의 하반분의 1개의 4배위의 0를 통하여 4배위의 0가 3개씩 상반분 및 하반분에 있는 In과 결합하고, 그 In이, 상반분에 1개의 4배위의 0가 있는 Zn 2개로 이루어지는 소그룹과 결합하고, 이 소그룹의 하반분의 1개의 4배위의 0를 통하여 4배위의 0가 3개씩 상반분 및 하반분에 있는 Sn과 결합하고 있는 구조이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.

[0237] 여기에서, 3배위의 0 및 4배위의 0의 경우, 결합 1개당 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들면, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는, 각각 +3, +2, +4이다. 따라서, Sn을 함유하는 소그룹은 전하가 +1이 된다. 이로 인해, Sn을 함유하는 층 구조를 형성하기 위해서는, 전하 +1을 상쇄하는 전하 -1이 필요해진다. 전하 -1을 츄하는 구조로서, 도 14e에 도시하는 바와 같이, 2개의 Zn을 함유하는 소그룹을 들 수 있다. 예를 들면, Sn을 함유하는 소그룹 1개에 대해, 2개의 Zn을 함유하는 소그룹이 1개 있으면, 전하가 상쇄되기 때문에, 층 구조의 합계 전하를 0으로 할 수 있다.

[0238] 구체적으로는, 도 15b에 도시한 대그룹이 반복됨으로써, In-Sn-Zn-0계의 결정($In_2SnZn_3O_8$)을 얻을 수 있다. 또한, 얻어지는 In-Sn-Zn-0계의 층 구조는, $In_2SnZn_2O_7(ZnO)_m$ (m 은 0 또는 자연수.)로 하는 조성식으로 나타낼 수 있다.

[0239] 또한, 이것 외에도, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn계 산화

물(IGZO라고도 표기한다.), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물, 등을 사용한 경우도 마찬가지이다.

[0240] 예를 들면, 도 16a에, In-Ga-Zn-0계의 층 구조를 구성하는 중그룹의 모델도를 도시한다.

[0241] 도 16a에 있어서, In-Ga-Zn-0계의 층 구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 0가 3개씩 상반분 및 하반분에 있는 In이, 4배위의 0가 1개 상반분에 있는 Zn과 결합하고, 그 Zn의 하반분의 3개의 4배위의 0를 통하여, 4배위의 0가 1개씩 상반분 및 하반분에 있는 Ga와 결합하고, 그 Ga의 하반분의 1개의 4배위의 0를 통하여, 4배위의 0가 3개씩 상반분 및 하반분에 있는 In과 결합하고 있는 구조이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.

[0242] 도 16b에 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 16c는, 도 16b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시하고 있다.

[0243] 여기에서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는, 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 하나를 포함하는 소그룹은, 전하가 0이 된다. 이로 인해, 이들 소그룹의 조합이면 중그룹의 합계 전하는 항상 0이 된다.

[0244] 또한, In-Ga-Zn-0계의 층 구조를 구성하는 중그룹은, 도 16a에 도시한 중그룹으로 한정되지 않고, In, Ga, Zn의 배열이 상이한 중그룹을 조합한 대그룹도 취할 수 있다.

[0245] <채널이 산화물 반도체층에 형성되는 트랜지스터에 관해서>

[0246] 채널이 산화물 반도체층에 형성되는 트랜지스터에 관해서 도 17a 내지 도 17d를 참조하여 설명한다. 또한, 도 17a 내지 도 17d는, 트랜지스터의 구조예를 도시하는 단면 모식도이다.

[0247] 도 17a에 도시하는 트랜지스터는, 도전층(601)(a)과, 절연층(602)(a)과, 산화물 반도체층(603)(a)과, 도전층(605a)(a)과, 도전층(605b)(a)과, 절연층(606)(a)과, 도전층(608)(a)을 포함하고 있다.

[0248] 도전층(601)(a)은, 피소자 형성층(600)(a) 위에 형성되어 있다.

[0249] 절연층(602)(a)은, 도전층(601)(a) 위에 형성되어 있다.

[0250] 산화물 반도체층(603)(a)은, 절연층(602)(a)을 개재하여 도전층(601)(a)에 중첩된다.

[0251] 도전층(605a)(a) 및 도전층(605b)(a)의 각각은, 산화물 반도체층(603)(a) 위에 형성되고, 산화물 반도체층(603)(a)에 전기적으로 접속되어 있다.

[0252] 절연층(606)(a)은, 산화물 반도체층(603)(a), 도전층(605a)(a), 및 도전층(605a)(b) 위에 형성되어 있다.

[0253] 도전층(608)(a)은, 절연층(606)(a)을 개재하여 산화물 반도체층(603)(a)에 중첩된다.

[0254] 또한, 반드시 도전층(601)(a) 및 도전층(608)(a)의 한쪽을 형성하지 않아도 좋다.

[0255] 또한, 도전층(608)(a)을 형성하지 않는 경우에는, 절연층(606)(a)을 형성하지 않아도 좋다.

[0256] 도 17b에 도시하는 트랜지스터는, 도전층(601)(b)과, 절연층(602)(b)과, 산화물 반도체층(603)(b)과, 도전층(605a)(b)과, 도전층(605b)(b)과, 절연층(606)(b)과, 도전층(608)(b)을 포함하고 있다.

[0257] 도전층(601)(b)은, 피소자 형성층(600)(b) 위에 형성되어 있다.

[0258] 절연층(602)(b)은, 도전층(601)(b) 위에 형성되어 있다.

[0259] 도전층(605a)(b) 및 도전층(605b)(b)의 각각은, 절연층(602)(b)의 일부 위에 형성되어 있다.

[0260] 산화물 반도체층(603)(b)은, 도전층(605a)(b) 및 도전층(605b)(b) 위에 형성되고, 도전층(605a)(b) 및 도전층(605b)(b)에 전기적으로 접속되어 있다. 또한, 산화물 반도체층(603)(b)은, 절연층(602)(b)을 개재하여 도전층(601)(b)에 중첩된다.

- [0261] 절연층(606)(b)은, 산화물 반도체층(603)(b), 도전층(605a)(b), 및 도전층(605b)(b) 위에 형성되어 있다.
- [0262] 도전층(608)(b)은, 절연층(606)(b)을 개재하여 산화물 반도체층(603)(b)에 중첩된다.
- [0263] 또한, 반드시 도전층(601)(b) 및 도전층(608)(b)의 한쪽을 형성하지 않아도 좋다. 도전층(608)(b)을 형성하지 않는 경우에는, 절연층(606)(b)을 형성하지 않아도 좋다.
- [0264] 도 17c에 도시하는 트랜지스터는, 도전층(601)(c)과, 절연층(602)(c)과, 산화물 반도체층(603)(c)과, 도전층(605a)(c)과, 도전층(605b)(c)을 포함하고 있다.
- [0265] 산화물 반도체층(603)(c)은, 영역(604a)(c) 및 영역(604b)(c)을 포함하고 있다. 영역(604a)(c) 및 영역(604b)(c)은, 서로 이간되고, 각각 도편트가 첨가된 영역이다. 또한, 영역(604a)(c) 및 영역(604b)(c) 사이의 영역이 채널 형성 영역이 된다. 산화물 반도체층(603)(c)은, 피소자 형성층(600)(c) 위에 형성된다. 또한, 반드시 영역(604a)(c) 및 영역(604b)(c)을 형성하지 않아도 좋다.
- [0266] 도전층(605a)(c) 및 도전층(605b)(c)은, 산화물 반도체층(603)(c) 위에 형성되고, 산화물 반도체층(603)(c)에 전기적으로 접속되어 있다. 또한, 도전층(605a)(c) 및 도전층(605b)(c)의 측면은, 테이퍼상이다.
- [0267] 또한, 도전층(605a)(c)은, 영역(604a)(c)의 일부에 중첩되지만, 반드시 이것으로 한정되지는 않는다. 도전층(605a)(c)을 영역(604a)(c)의 일부에 중첩시킴으로써, 도전층(605a)(c) 및 영역(604a)(c) 사이의 저항값을 작게 할 수 있다. 또한, 도전층(605a)(c)에 중첩되는 산화물 반도체층(603)(c)의 영역 전체가 영역(604a)(c)이라도 좋다.
- [0268] 또한, 도전층(605b)(c)은, 영역(604b)(c)의 일부에 중첩되지만, 반드시 이것으로 한정되지 않는다. 도전층(605b)(c)을 영역(604b)(c)의 일부에 중첩시킴으로써, 도전층(605b)(c) 및 영역(604b)(c) 사이의 저항을 작게 할 수 있다. 또한, 도전층(605b)(c)에 중첩되는 산화물 반도체층(603)(c)의 영역 전체가 영역(604b)(c)이라도 좋다.
- [0269] 절연층(602)(c)은, 산화물 반도체층(603)(c), 도전층(605a)(c), 및 도전층(605b)(c) 위에 형성되어 있다.
- [0270] 도전층(601)(c)은, 절연층(602)(c)을 개재하여 산화물 반도체층(603)(c)에 중첩된다. 절연층(602)(c)을 개재하여 도전층(601)(c)과 중첩되는 산화물 반도체층(603)(c)의 영역이 채널 형성 영역이 된다.
- [0271] 또한, 도 17d에 도시하는 트랜지스터는, 도전층(601)(d)과, 절연층(602)(d)과, 산화물 반도체층(603)(d)과, 도전층(605a)(d)과, 도전층(605b)(d)을 포함하고 있다.
- [0272] 도전층(605a)(d) 및 도전층(605b)(d)은, 피소자 형성층(600)(d) 위에 형성된다. 또한, 도전층(605a)(d) 및 도전층(605b)(d)의 측면은, 테이퍼상이다.
- [0273] 산화물 반도체층(603)(d)은, 영역(604a)(d) 및 영역(604b)(d)을 포함하고 있다. 영역(604a)(d) 및 영역(604b)(d)은, 서로 이간되고, 각각 도편트가 첨가된 영역이다. 또한, 영역(604a)(d) 및 영역(604b)(d) 사이의 영역이 채널 형성 영역이 된다. 산화물 반도체층(603)(d)은, 예를 들면 도전층(605a)(d), 도전층(605b)(d), 및 피소자 형성층(600)(d) 위에 형성되고, 도전층(605a)(d) 및 도전층(605b)(d)에 전기적으로 접속된다. 또한, 반드시 영역(604a)(d) 및 영역(604b)(d)을 형성하지 않아도 좋다.
- [0274] 영역(604a)(d)은, 도전층(605a)(d)에 전기적으로 접속되어 있다.
- [0275] 영역(604b)(d)은, 도전층(605b)(d)에 전기적으로 접속되어 있다.
- [0276] 절연층(602)(d)은, 산화물 반도체층(603)(d) 위에 형성되어 있다.
- [0277] 도전층(601)(d)은, 절연층(602)(d)을 개재하여 산화물 반도체층(603)(d)에 중첩된다. 절연층(602)(d)을 개재하여 도전층(601)(d)과 중첩되는 산화물 반도체층(603)(d)의 영역이 채널 형성 영역이 된다.
- [0278] 또한, 도 17a 내지 도 17d에 도시하는 각 구성 요소에 관해서 설명한다.
- [0279] 피소자 형성층(600)(a) 내지 피소자 형성층(600)(d)으로서는, 예를 들면 절연층, 또는 절연 표면을 갖는 기판 등을 사용할 수 있다. 또한, 미리 소자가 형성된 층을 피소자 형성층(600)(a) 내지 피소자 형성층(600)(d)으로서 사용할 수도 있다.
- [0280] 도전층(601)(a) 내지 도전층(601)(d)의 각각은, 트랜지스터의 게이트로서의 기능을 가진다. 또한, 트랜지스터의

게이트로서의 기능을 갖는 층을 게이트 전극 또는 게이트 배선이라고도 한다.

[0281] 도전층(601)(a) 내지 도전층(601)(d)으로서는, 예를 들면 폴리브텐, 마그네슘, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료, 또는 이들을 주성분으로 하는 합금 재료의 층을 사용할 수 있다. 또한, 도전층(601)(a) 내지 도전층(601)(d)의 형성에 적용 가능한 재료의 층의 적층에 의해, 도전층(601)(a) 내지 도전층(601)(d)을 구성할 수 있다.

[0282] 절연층(602)(a) 내지 절연층(602)(d)의 각각은, 트랜지스터의 게이트 절연층으로서의 기능을 가진다.

[0283] 절연층(602)(a) 내지 절연층(602)(d)으로서는, 예를 들면 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 질화산화실리콘층, 산화알루미늄층, 질화알루미늄층, 산화질화알루미늄층, 질화산화알루미늄층, 산화하프늄층, 또는 산화란탄층을 사용할 수 있다. 또한, 절연층(602)(a) 내지 절연층(602)(d)에 적용 가능한 재료의 층의 적층에 의해 절연층(602)(a) 내지 절연층(602)(d)을 구성할 수도 있다.

[0284] 또한, 절연층(602)(a) 내지 절연층(602)(d)으로서는, 예를 들면 원소주기표에 있어서의 제 13 족 원소 및 산소 원소를 함유하는 재료의 절연층을 사용할 수 있다. 예를 들면, 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)이 제 13 족 원소를 함유하는 경우에, 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)에 접하는 절연층으로서 제 13 족 원소를 함유하는 절연층을 사용함으로써, 상기 절연층과 산화물 반도체층의 계면의 상태를 양호하게 할 수 있다.

[0285] 제 13 족 원소 및 산소 원소를 함유하는 재료로서는, 예를 들면 산화갈륨, 산화알루미늄, 산화알루미늄갈륨, 산화갈륨알루미늄 등을 들 수 있다. 또한, 산화알루미늄갈륨이란, 갈륨의 함유량(원자%)보다 알루미늄의 함유량(원자%)이 많은 물질을 말하고, 산화갈륨알루미늄이란, 갈륨의 함유량(원자%)이 알루미늄의 함유량(원자%) 이상인 물질을 말한다. 예를 들면, Al_2O_x ($x=3+a$, a 는 0보다 크고 1보다 작은 값), Ga_2O_x ($x=3+a$, a 는 0보다 크고 1보다 작은 값), 또는 $Ga_xAl_{2-x}O_{3+a}$ (x 는 0보다 크고 2보다 작은 값, a 는 0보다 크고 1보다 작은 값)로 표기되는 재료를 사용할 수도 있다.

[0286] 또한, 절연층(602)(a) 내지 절연층(602)(d)에 적용 가능한 재료의 층의 적층에 의해 절연층(602)(a) 내지 절연층(602)(d)을 구성할 수도 있다. 예를 들면, 복수의 Ga_2O_x 로 표기되는 산화갈륨을 함유하는 층의 적층에 의해 절연층(602)(a) 내지 절연층(602)(d)을 구성해도 좋다. 또한, Ca_2O_x 로 표기되는 산화갈륨을 함유하는 절연층 및 Al_2O_x 로 표기되는 산화알루미늄을 함유하는 절연층의 적층에 의해 절연층(602)(a) 내지 절연층(602)(d)을 구성해도 좋다.

[0287] 또한, 트랜지스터의 채널 길이 30nm으로 했을 때, 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)의 두께를 예를 들면 5nm 정도로 해도 좋다. 이 때, 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)이 CAAC의 산화물 반도체층이면, 트랜지스터에 있어서의 단채널 효과를 억제할 수 있다.

[0288] 영역(604a)(c), 영역(604b)(c), 영역(604a)(d), 및 영역(604b)(d)은, N형 또는 P형의 도전형을 부여하는 도편트가 첨가되고, 트랜지스터의 소스 또는 드레인으로서의 기능을 가진다. 도편트로서는, 예를 들면 원소주기표에 있어서의 13족의 원소(예를 들면 봉소 등), 원소주기표에 있어서의 15족의 원소(예를 들면 질소, 인, 및 비소의 1개 또는 복수), 및 희가스 원소(예를 들면 헬륨, 아르곤, 및 크세논의 1개 또는 복수)의 1개 또는 복수를 사용할 수 있다. 또한, 트랜지스터의 소스로서의 기능을 갖는 영역을 소스 영역이라고도 하고, 트랜지스터의 드레인으로서의 기능을 갖는 영역을 드레인 영역이라고도 한다. 영역(604a)(c), 영역(604b)(c), 영역(604a)(d), 및 영역(604b)(d)에 도편트를 첨가함으로써 도전층과의 접속 저항을 작게 할 수 있기 때문에, 트랜지스터를 미세화할 수 있다.

[0289] 도전층(605a)(a) 내지 도전층(605a)(d), 및 도전층(605b)(a) 내지 도전층(605b)(d)의 각각은, 트랜지스터의 소스 또는 드레인으로서의 기능을 가진다. 또한, 트랜지스터의 소스로서의 기능을 갖는 층을 소스 전극 또는 소스 배선이라고도 하고, 트랜지스터의 드레인으로서의 기능을 갖는 층을 드레인 전극 또는 드레인 배선이라고도 한다.

[0290] 도전층(605a)(a) 내지 도전층(605a)(d), 및 도전층(605b)(a) 내지 도전층(605b)(d)으로서는, 예를 들면 알루미늄, 마그네슘, 크롬, 구리, 탄탈, 티타늄, 폴리브텐, 또는 텉스텐 등의 금속 재료, 또는 이들의 금속 재료를 주성분으로 하는 합금 재료의 층을 사용할 수 있다. 예를 들면, 구리, 마그네슘, 및 알루미늄을 함유하는 합금 재료의 층에 의해, 도전층(605a)(a) 내지 도전층(605a)(d), 및 도전층(605b)(a) 내지 도전층(605b)(d)을 구성할

수 있다. 또한, 도전층(605a)(a) 내지 도전층(605a)(d), 및 도전층(605b)(a) 내지 도전층(605b)(d)에 적용 가능한 재료의 층의 적층에 의해, 도전층(605a)(a) 내지 도전층(605a)(d), 및 도전층(605b)(a) 내지 도전층(605b)(d)을 구성할 수도 있다. 예를 들면, 구리, 마그네슘, 및 알루미늄을 함유하는 합금 재료의 층과 구리를 함유하는 층의 적층에 의해, 도전층(605a)(a) 내지 도전층(605a)(d), 및 도전층(605b)(a) 내지 도전층(605b)(d)을 구성할 수 있다.

[0291] 또한, 도전층(605a)(a) 내지 도전층(605a)(d), 및 도전층(605b)(a) 내지 도전층(605b)(d)으로서는, 도전성의 금속 산화물을 함유하는 층을 사용할 수도 있다. 도전성의 금속 산화물로서는, 예를 들면 산화인듐, 산화주석, 산화아연, 인듐주석 산화물, 또는 인듐아연 산화물을 사용할 수 있다. 또한, 도전층(605a)(a) 내지 도전층(605a)(d), 및 도전층(605b)(a) 내지 도전층(605b)(d)에 적용 가능한 도전성의 금속 산화물은, 산화실리콘을 함유하고 있어도 좋다.

[0292] 절연층(606)(a) 및 절연층(606)(b)으로서는, 절연층(602)(a) 내지 절연층(602)(d)에 적용 가능한 재료의 층을 사용할 수 있다. 또한, 절연층(606)(a) 및 절연층(606)(b)에 적용 가능한 재료의 적층에 의해, 절연층(606)(a) 및 절연층(606)(b)을 구성해도 좋다. 예를 들면, 산화실리콘층, 산화알루미늄층 등에 의해 절연층(606)(a) 및 절연층(606)(b)을 구성해도 좋다. 예를 들면, 산화알루미늄층을 사용함으로써, 산화물 반도체층(603)(a) 및 산화물 반도체층(603)(b)으로의 불순물(물)의 침입 억제 효과를 보다 높일 수 있고, 또한, 산화물 반도체층(603)(a) 및 산화물 반도체층(603)(b) 중의 산소의 탈리 억제 효과를 높일 수 있다.

[0293] 도전층(608)(a) 및 도전층(608)(b)의 각각은, 트랜지스터의 게이트로서의 기능을 가진다. 또한, 트랜지스터가 도전층(601)(a) 및 도전층(608)(a)의 양자, 또는 도전층(601)(b) 및 도전층(608)(b)의 양자를 함유하는 구조인 경우, 도전층(601)(a) 및 도전층(608)(a)의 한쪽, 또는 도전층(601)(b) 및 도전층(608)(b)의 한쪽을, 백 게이트, 백 게이트 전극, 또는 백 게이트 배선이라고도 한다. 게이트로서의 기능을 갖는 도전층을, 채널 형성층을 개재하여 복수 형성함으로써, 트랜지스터의 임계값 전압을 제어하기 쉽게 할 수 있다.

[0294] 도전층(608)(a) 및 도전층(608)(b)으로서는, 예를 들면 도전층(601)(a) 내지 도전층(601)(d)에 적용 가능한 재료의 층을 사용할 수 있다. 또한, 도전층(608)(a) 및 도전층(608)(b)에 적용 가능한 재료의 층의 적층에 의해 도전층(608)(a) 및 도전층(608)(b)을 구성해도 좋다.

[0295] 또한, 절연층(602)(a) 내지 절연층(602)(d)에 적용 가능한 재료의 적층에 의해 채널 보호층으로서의 기능을 갖는 절연층을 구성해도 좋다.

[0296] 또한, 피소자 형성층(600)(a) 내지 피소자 형성층(600)(d) 위에 하지층을 형성하고, 상기 하지층 위에 트랜지스터를 형성해도 좋다. 이 때, 하지층으로서는, 예를 들면 절연층(602)(a) 내지 절연층(602)(d)에 적용 가능한 재료의 층을 사용할 수 있다. 또한, 절연층(602)(a) 내지 절연층(602)(d)에 적용 가능한 재료의 적층에 의해 하지층을 구성해도 좋다. 예를 들면, 산화알루미늄층 및 산화실리콘층의 적층에 의해 하지층을 구성함으로써, 하지층에 함유되는 산소가 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)을 통하여 탈리하는 것을 억제할 수 있다.

[0297] 또한, 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)에 접하는 절연층 중의 산소를 과잉으로 함으로써, 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)에 공급되기 쉬워진다. 따라서, 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d) 중, 또는 상기 절연층과 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)의 계면에 있어서의 산소 결함을 저감시킬 수 있기 때문에, 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)의 캐리어 밀도를 보다 저감시킬 수 있다. 또한, 이것으로 한정되지 않고, 제조 과정에 의해 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)에 함유되는 산소를 과잉으로 한 경우라도, 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)에 접하는 상기 절연층에 의해, 산화물 반도체층(603)(a) 내지 산화물 반도체층(603)(d)으로부터의 산소의 탈리를 억제할 수 있다.

[0298] <산화물 반도체층에 채널이 형성되는 트랜지스터의 특성에 관해서>

[0299] In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터는, 상기 산화물 반도체를 형성할 때에 기판을 가열하여 성막하는 것, 또는 산화물 반도체층을 형성한 후에 열처리를 행함으로써 양호한 특성을 얻을 수 있다. 또한, 주성분과는 조성비로 5atomic% 이상 함유되는 원소를 말한다.

[0300] In, Sn, Zn을 주성분으로 하는 산화물 반도체층의 성막후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시키는 것이 가능해진다. 또한, 트랜지스터의 임계값 전압을 플러스 시프트시키고, 노멀

리 · 오프화시키는 것이 가능해진다.

[0301] 예를 들면, 도 18a 내지 도 18c는, In, Sn, Zn을 주성분으로 하고, 채널 길이(L)가 $3\mu\text{m}$, 채널 폭(W)이 $10\mu\text{m}$ 인 산화물 반도체층과, 두께 100nm의 게이트 절연층을 사용한 트랜지스터의 특성이다. 또한, V_d 는 10V로 하였다.

[0302] 도 18a는 기판을 의도적으로 가열하지 않고 스퍼터링법으로 In, Sn, Zn을 주성분으로 하는 산화물 반도체층을 형성했을 때의 트랜지스터 특성이다. 이 때 전계 효과 이동도는 $18.8\text{cm}^2/\text{Vsec}$ 가 얻어지고 있다. 한편, 기판을 의도적으로 가열하여 In, Sn, Zn을 주성분으로 하는 산화물 반도체층을 형성하면 전계 효과 이동도를 향상시키는 것이 가능해진다. 도 18b는 기판을 200°C 로 가열하고, In, Sn, Zn을 주성분으로 하는 산화물 반도체층을 형성했을 때의 트랜지스터 특성을 도시하지만, 전계 효과 이동도는 $32.2\text{cm}^2/\text{Vsec}$ 가 얻어지고 있다.

[0303] 전계 효과 이동도는, In, Sn, Zn을 주성분으로 하는 산화물 반도체층을 형성한 후에 열처리를 함으로써, 더욱 높일 수 있다. 도 18c는, In, Sn, Zn을 주성분으로 하는 산화물 반도체층을 200°C 에서 스퍼터링 성막한 후, 650°C 에서 열처리를 했을 때의 트랜지스터 특성을 도시한다. 이 때 전계 효과 이동도는 $34.5\text{cm}^2/\text{Vsec}$ 가 얻어지고 있다.

[0304] 또한, 기판 가열이나 열처리는, 산화물 반도체에 있어서 악성 불순물인 수소나 수산기를 막 중에 함유시키지 않도록 하는 것, 또는 막 중에서 제거하는 작용이 있다. 즉, 산화물 반도체 중에서 도너 불순물이 되는 수소를 제거함으로써 고순도화를 도모할 수 있고, 그것에 의해서 트랜지스터의 노멀리 · 오프화를 도모할 수 있고, 산화물 반도체가 고순도화됨으로써 오프 전류를 $1\text{aA}/\mu\text{m}$ 이하로 할 수 있다. 여기에서, 상기 오프 전류값의 단위는, 채널 폭 $1\mu\text{m}$ 당 전류값을 나타낸다.

[0305] 도 19에, 트랜지스터의 오프 전류와 측정시의 기판 온도(절대 온도)의 역수의 관계를 도시한다. 여기에서는, 간단하게 하기 위해 측정시의 기판 온도의 역수에 1000을 곱한 수치($1000/T$)를 가로축으로 하고 있다.

[0306] 도 19에 도시하는 바와 같이, 기판 온도가 125°C 인 경우에는 $0.1\text{aA}/\mu\text{m}(1\times 10^{-19}\text{A}/\mu\text{m})$ 이하, 85°C 인 경우에는 $10\text{zA}/\mu\text{m}(1\times 10^{-20}\text{A}/\mu\text{m})$ 이하이었다. 전류값의 대수가 온도의 역수에 비례하는 점에서, 실온(27°C)인 경우에는 $0.1\text{zA}/\mu\text{m}(1\times 10^{-22}\text{A}/\mu\text{m})$ 이하인 것으로 예상된다. 따라서, 오프 전류를 125°C 에 있어서 $1\text{aA}/\mu\text{m}(1\times 10^{-18}\text{A}/\mu\text{m})$ 이하로, 85°C 에 있어서 $100\text{zA}/\mu\text{m}(1\times 10^{-19}\text{A}/\mu\text{m})$ 이하로, 실온에 있어서 $1\text{zA}/\mu\text{m}(1\times 10^{-21}\text{A}/\mu\text{m})$ 이하로 할 수 있다.

[0307] 본 실시형태의 트랜지스터를 실시형태 1 및 실시형태 2에 있어서 서술한 반도체 장치에 사용함으로써, 반도체 장치를 안정적으로 동작시킬 수 있다. 특히, 본 실시형태의 트랜지스터를 트랜지스터(102)에 사용함으로써, 트랜지스터(102)의 오프 전류를 작게 할 수 있다. 따라서, 용량 소자(101)로부터 소실되는 전하량을 작게 할 수 있고, 용량 소자(101)에 오프셋 전압을 유지하는 회수를 감소시킬 수 있다.

[0308] 본 실시형태는, 다른 실시형태 등과 적절히 조합하여 실시하는 것이 가능하다.

[0309] (실시형태 6)

[0310] 본 실시형태에 있어서는, 상기 실시형태에서 설명한 반도체 장치, 시프트 레지스터 회로 또는 표시 장치 등을 구비하는 전자 기기의 예에 관해서 설명한다.

[0311] 도 20a는 휴대형 게임기이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 기록 매체 판독부(9672) 등을 가진다. 도 20a에 도시하는 휴대형 게임기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능, 다른 휴대형 게임기와 무선 통신을 행하여 정보를 공유하는 기능 등을 가진다. 또한, 도 20a에 도시하는 휴대형 게임기가 갖는 기능은 이것으로 한정되지 않고, 여러 가지 기능을 가진다.

[0312] 도 20b는 디지털 카메라이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 셔터 버튼(9676), 수상부(9677) 등을 가진다. 도 20b에 도시하는 디지털 카메라는, 정지 화상을 촬영하는 기능, 동영상 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 안테나로부터 여러 가지 정보를 취득하는 기능, 촬영한 화상, 또는 안테나로부터 취득한 정보를 보존하는 기능, 촬영한 화상, 또는 안테나로부터 취득한 정보를 표시부에 표시하는 기능, 등을 가진다. 또한, 도 20b에 도시하는 디지털 카메라가 갖는 기능은 이것으로 한정되지 않고, 여러 가지 기능을 가진다.

[0313] 도 20c는 텔레비전 수상기이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636) 등을 가진다. 도 20c에 도시하는 텔레비전 수상기는, 텔레비전용 전파를 처리하여 화상 신호로 변환하는 기능,

화상 신호를 처리하여 표시에 적합한 신호로 변환하는 기능, 화상 신호의 프레임 주파수를 변환하는 기능, 등을 가진다. 또한, 도 20c에 도시하는 텔레비전 수상기가 갖는 기능은 이것으로 한정되지 않고, 여러 가지 기능을 가진다.

[0314] 도 20d는, 전자 계산기(PC) 용도의 모니터(PC 모니터라고도 한다)이며, 하우징(9630), 표시부(9631) 등을 가진다. 도 20d에 도시하는 모니터는, 윈도우형 표시부(9653)가 표시부(9631)에 있는 예에 관해서 도시하고 있다. 또한, 설명을 위해 표시부(9631)에 윈도우형 표시부(9653)를 나타냈지만, 다른 심볼, 예를 들면 아이콘, 화상 등이라도 좋다. PC 용도의 모니터에서는, 입력시에만 화상 신호가 재기록되는 경우가 많으며, 상기 실시형태에 있어서의 표시 장치의 구동 방법을 적용할 때에 적합하다. 또한, 도 20d에 도시하는 모니터가 갖는 기능은 이것으로 한정되지 않고, 여러 가지 기능을 가진다.

[0315] 도 21a는 컴퓨터이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 포인팅 디바이스(9681), 외부 접속 포트(9680) 등을 가진다. 도 21a에 도시하는 컴퓨터는, 여러 가지 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 여러 가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 또는 유선 통신 등의 통신 기능, 통신 기능을 사용하여 여러 가지 컴퓨터 네트워크에 접속하는 기능, 통신 기능을 사용하여 여러 가지 데이터의 송신 또는 수신을 행하는 기능, 등을 가진다. 또한, 도 21a에 도시하는 컴퓨터가 갖는 기능은 이것으로 한정되지 않고, 여러 가지 기능을 가진다.

[0316] 다음에, 도 21b는 휴대 전화이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 마이크로폰(9638) 등을 가진다. 도 21b에 도시한 휴대 전화는, 여러 가지 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 여러 가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 등을 가진다. 또한, 도 21b에 도시한 휴대 전화가 갖는 기능은 이것으로 한정되지 않고, 여러 가지 기능을 가진다.

[0317] 다음에, 도 21c는 전자 페이퍼(E-book이라고도 한다)이며, 하우징(9630), 표시부(9631), 조작 키(9632) 등을 가진다. 도 21c에 도시한 전자 페이퍼는, 여러 가지 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 여러 가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 등을 가진다. 또한, 도 21c에 도시한 전자 페이퍼가 갖는 기능은 이것으로 한정되지 않고, 여러 가지 기능을 가진다. 다른 전자 페이퍼의 구성에 관해서 도 21d에 도시한다. 도 21d에 도시하는 전자 페이퍼는, 도 21c의 전자 페이퍼에 태양 전지(9651), 및 배터리(9652)를 부가한 구성에 관해서 도시하고 있다. 표시부(9631)로서 반사형의 표시 장치를 사용하는 경우, 비교적 밝은 상황 하에서의 사용이 예상되며, 태양 전지(9651)에 의한 발전, 및 배터리(9652)로의 충전을 효율적으로 행할 수 있어 적합하다. 또한 배터리(9652)로서는, 리튬 이온 전지를 사용하면, 소형화를 도모할 수 있는 등의 이점이 있다.

[0318] 본 실시형태에 있어서 서술한 전자 기기에, 실시형태 1의 반도체 장치, 실시형태 2의 반도체 장치, 실시형태 3의 시프트 레지스터 회로 또는 실시형태 4의 표시 장치를 적용함으로써, 가령 트랜지스터가 공핍형이라도 구동 가능한 전자 기기를 제공할 수 있다.

[0319] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

부호의 설명

11; 배선	12; 배선
13; 배선	14; 배선
15; 배선	16; 배선
17; 배선	21; 배선
22; 배선	23; 배선
24; 배선	25; 배선
31; 배선	31_i; 배선
31_i-1; 배선	32; 배선

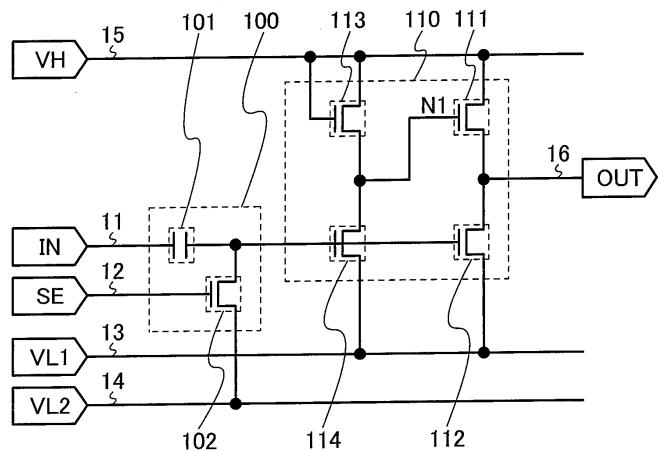
33; 배선	34; 배선
35; 배선	36; 배선
37; 배선	38; 배선
100; 회로	101; 용량 소자
102; 트랜지스터	103; 용량 소자
110; 회로	111; 트랜지스터
112; 트랜지스터	113; 트랜지스터
114; 트랜지스터	115; 트랜지스터
116; 트랜지스터	120; 회로
121; 트랜지스터	122; 트랜지스터
123; 트랜지스터	124; 트랜지스터
125; 트랜지스터	126; 트랜지스터
200; 플립플롭 회로	200_1; 플립플롭 회로
200_2; 플립플롭 회로	200_3; 플립플롭 회로
600; 피소자 형성층	601; 도전층
602; 절연층	603; 산화물 반도체층
606; 절연층	608; 도전층
100A; 회로	100B; 회로
101A; 용량 소자	101B; 용량 소자
102A; 트랜지스터	102B; 트랜지스터
4001; 기판	4002; 화소부
4003; 신호선 구동 회로	4004; 주사선 구동 회로
4005; 셀재	4006; 기판
4018; FPC	4018a; FPC
4018b; FPC	604a; 영역
604b; 영역	605a; 도전층
605b; 도전층	9630; 하우징
9631; 표시부	9632; 조작 키
9633; 스피커	9635; 조작 키
9636; 접속 단자	9638; 마이크로 폰
9651; 태양 전지	9652; 배터리
9653; 원도우형 표시부	9672; 기록 매체 판독부
9676; 셋터 베튼	9677; 수상부
9680; 외부 접속 포트	9681; 포인팅 디바이스
IN; 신호	INO; 신호
IN1; 신호	IN10; 신호

IN2; 신호	IN20; 신호
IN3; 신호	SE; 신호
OUT; 신호	OUTA; 신호
OUTB; 신호	OUT1; 신호
OUT2; 신호	OUTN; 신호
VH; 전위	VDD; 전위
VL1; 전위	VL2; 전위
N1; 노드	T0; 기간
T1; 기간	Ta; 기간
Tb; 기간	Tc; 기간
Td; 기간	CK; 신호
CK1; 신호	CK2; 신호
SP; 신호	M1; 트랜지스터
M2; 트랜지스터	M3; 트랜지스터
M4; 트랜지스터	C1; 용량 소자

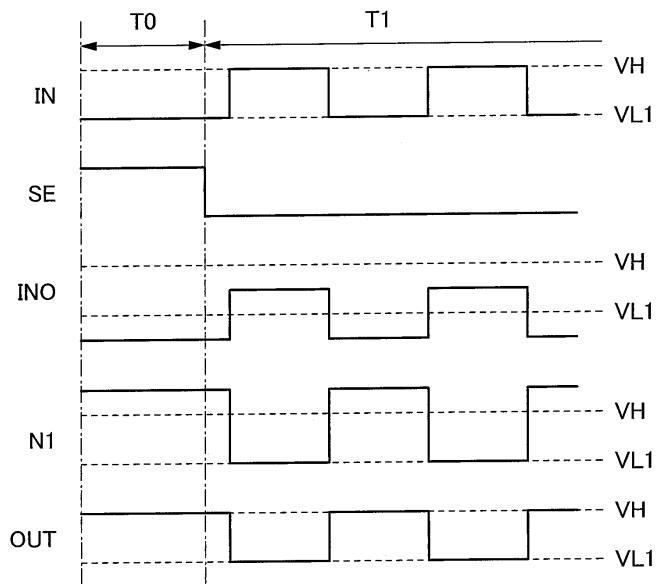
도면

도면1

(a)

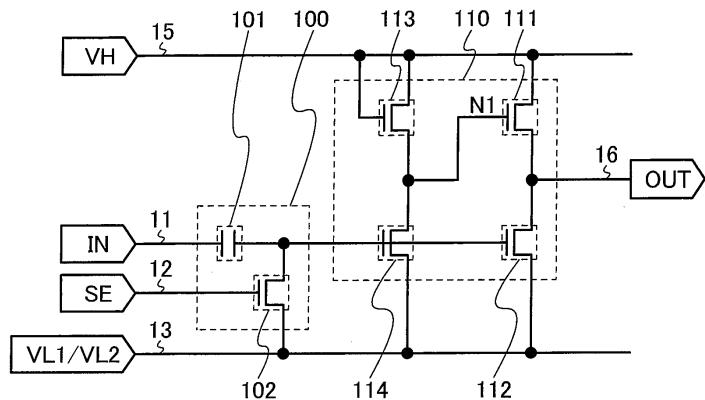


(b)

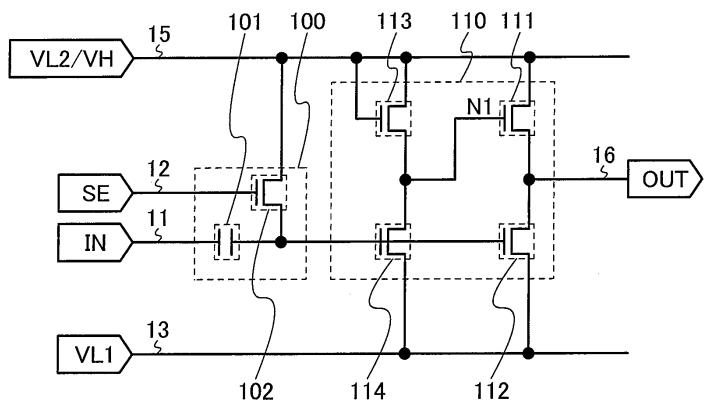


도면2

(a)

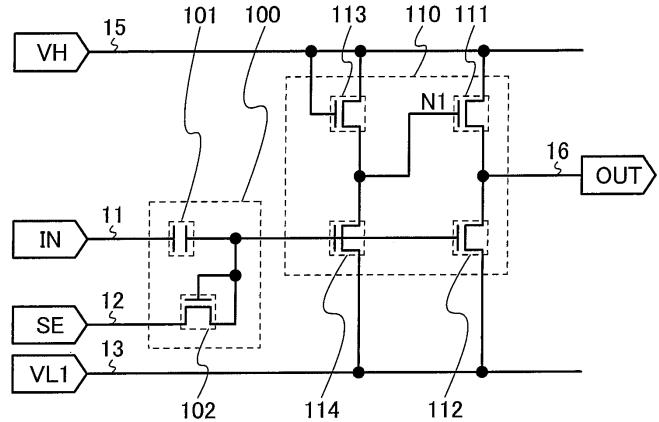


(b)

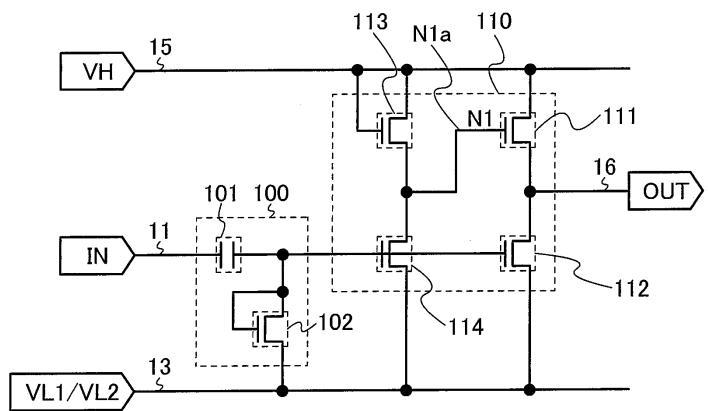


도면3

(a)

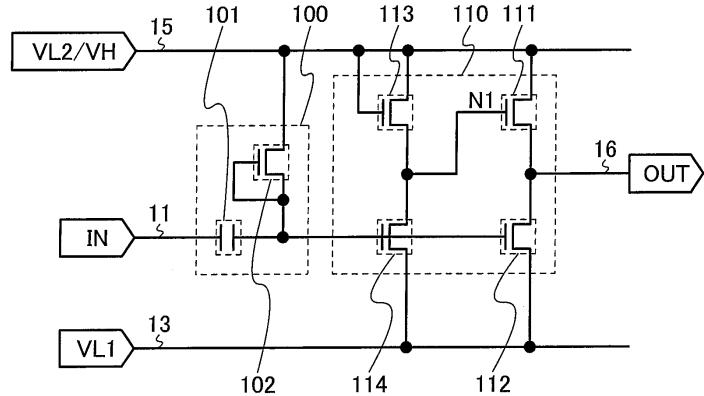


(b)

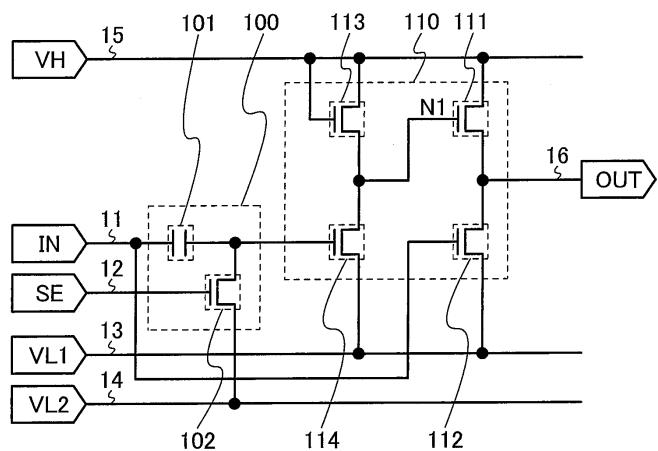


도면4

(a)

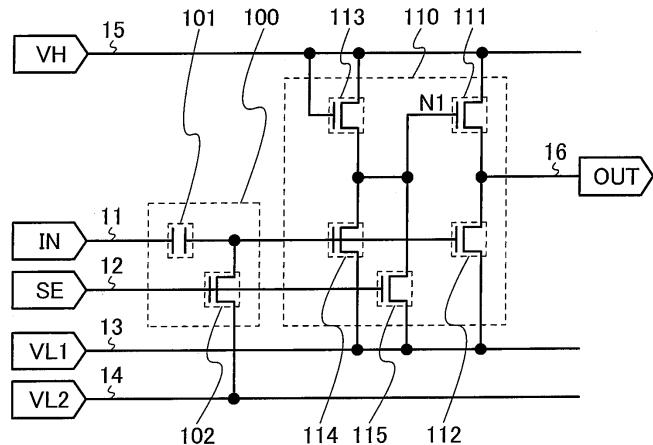


(b)

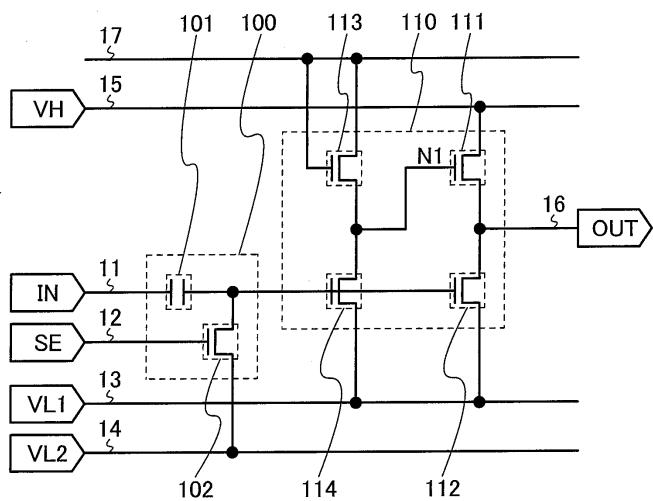


도면5

(a)

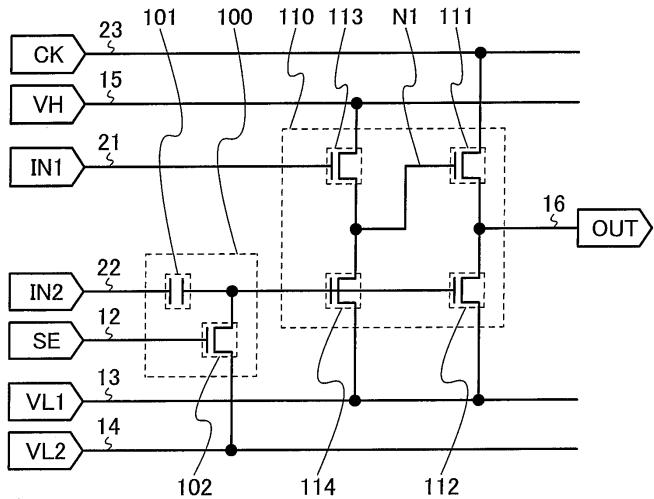


(b)

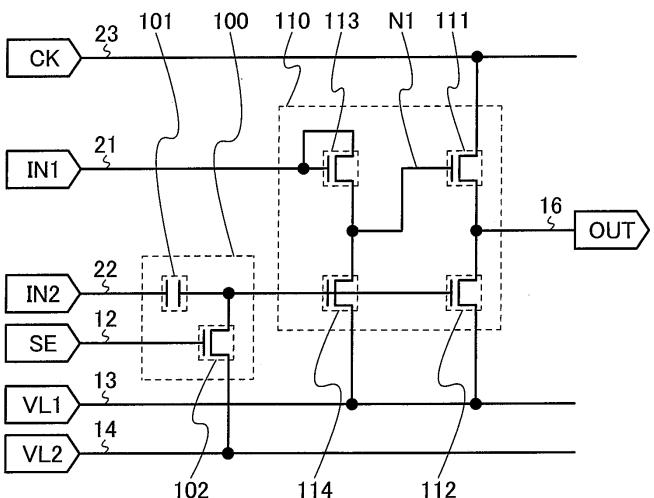


도면6

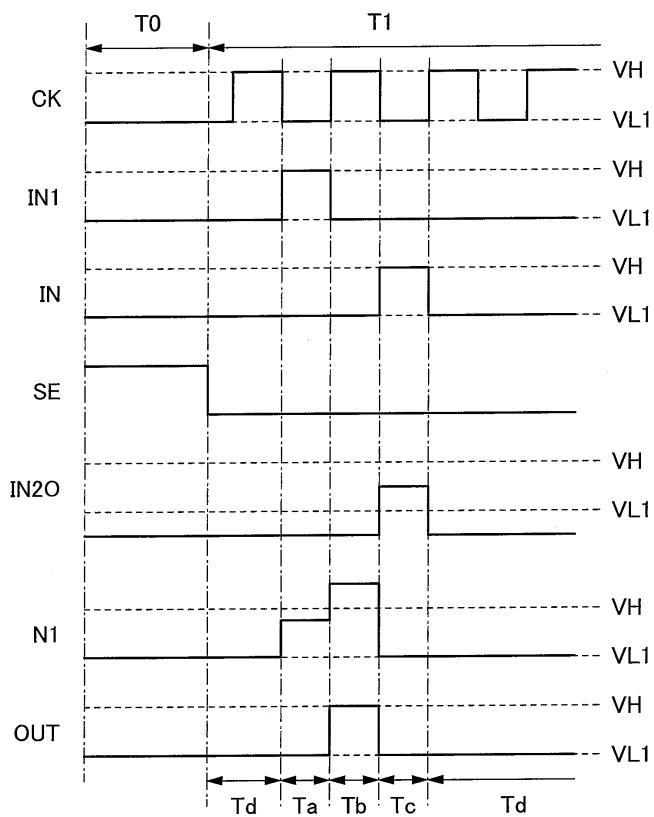
(a)



(b)

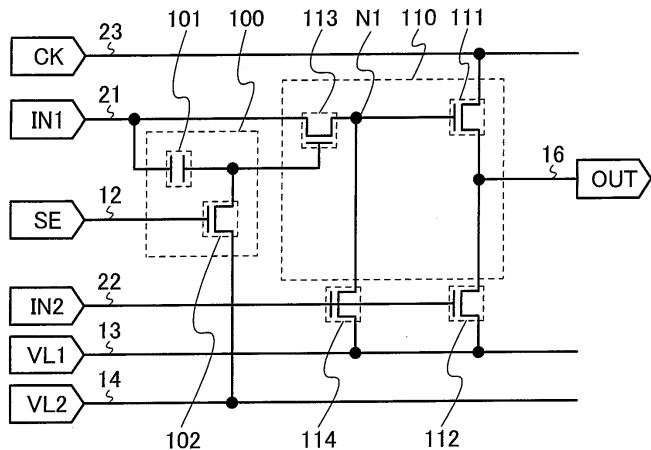


도면7

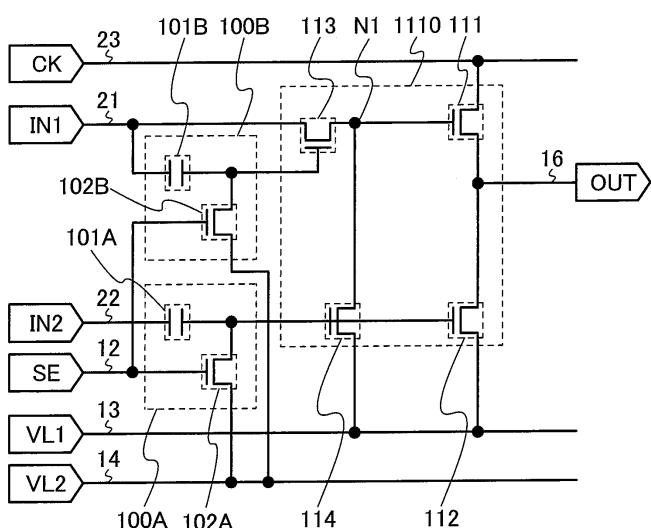


도면8

(a)

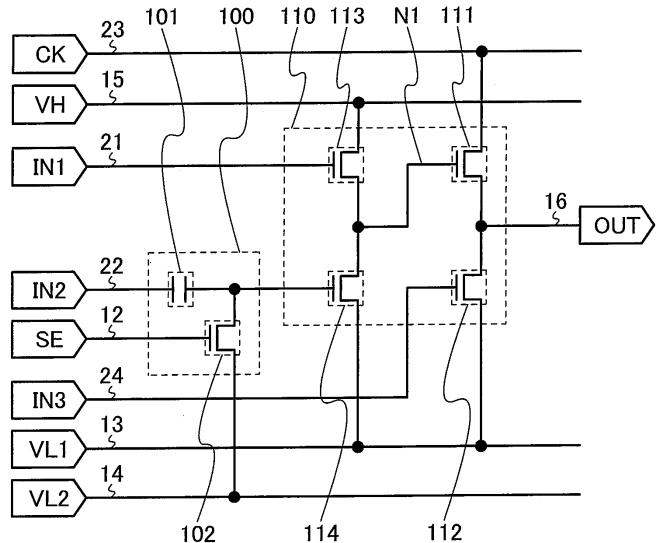


(b)

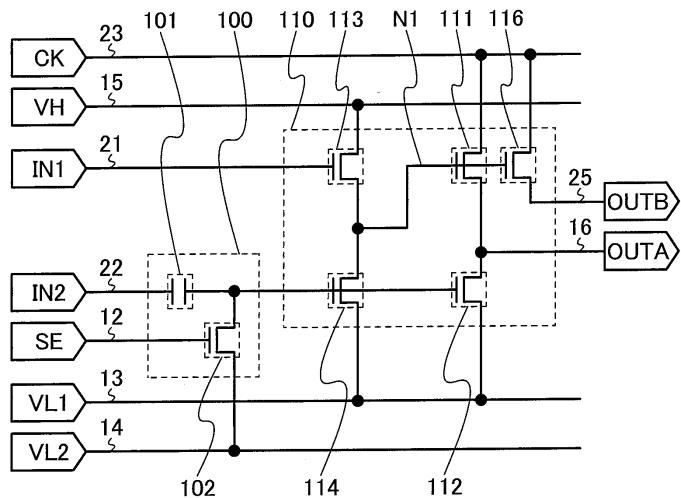


도면9

(a)

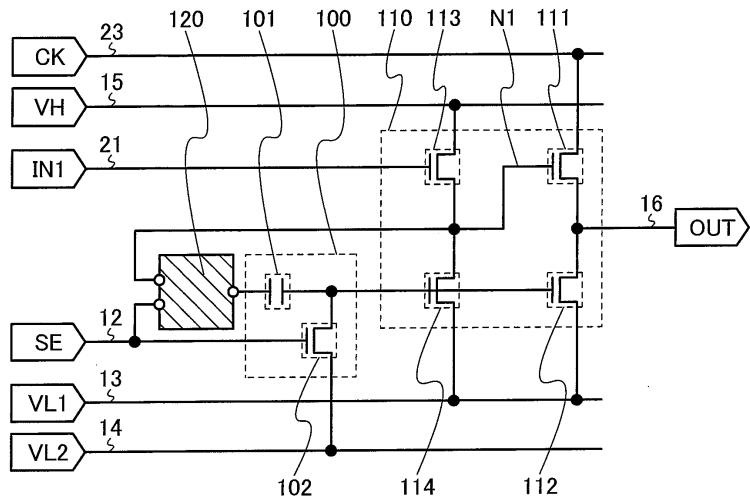


(b)

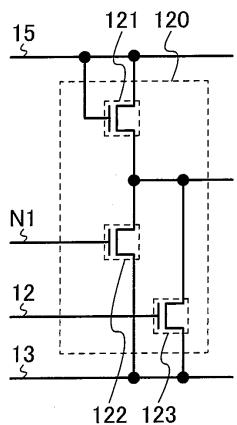


도면10

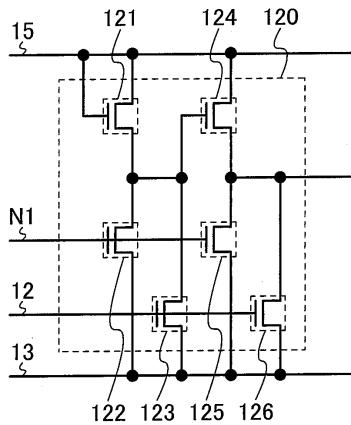
(a)



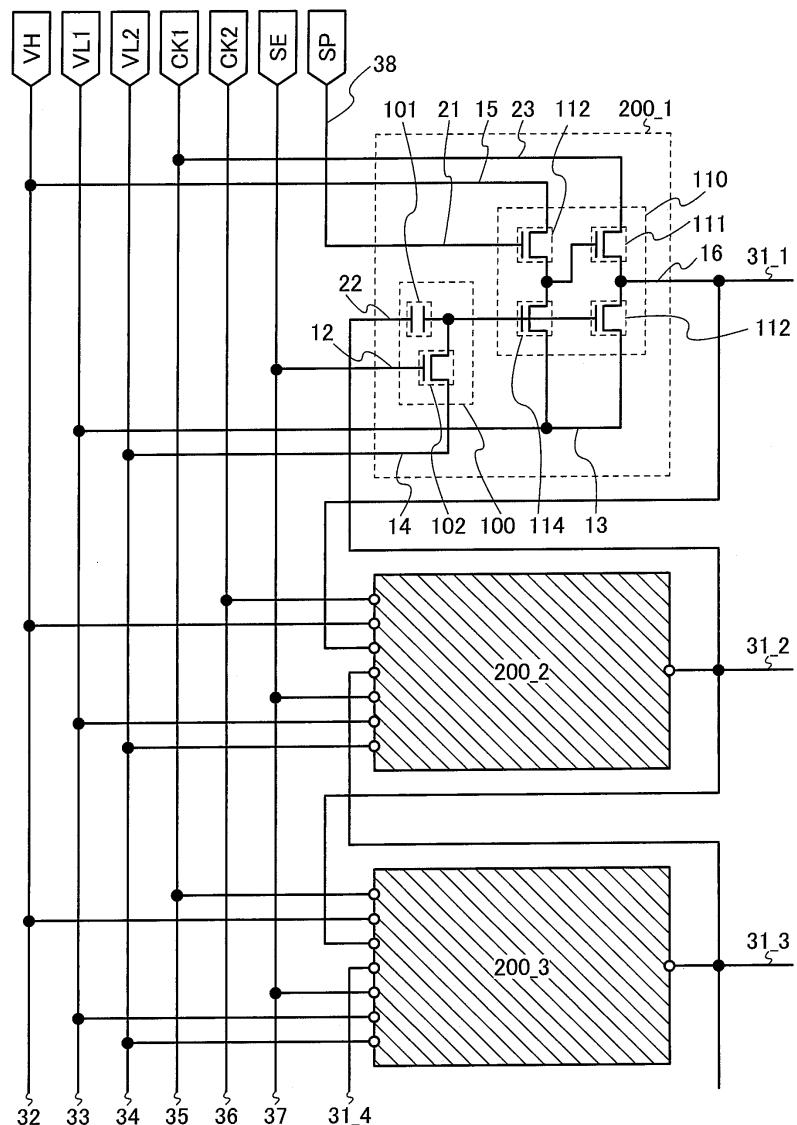
(b)



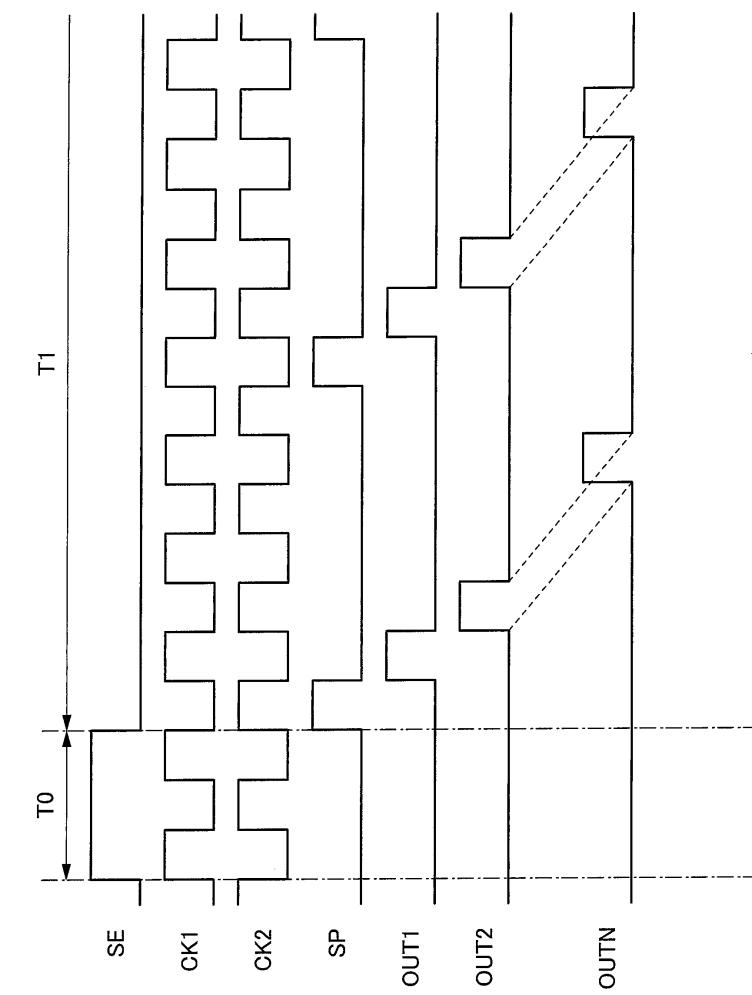
(c)



도면11

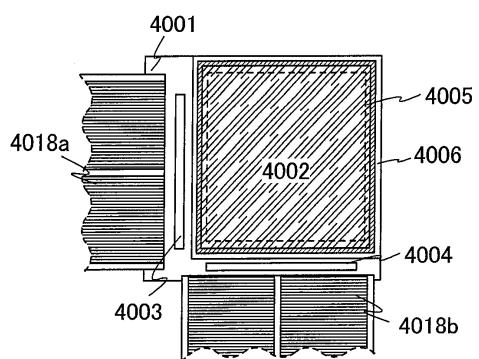


도면12

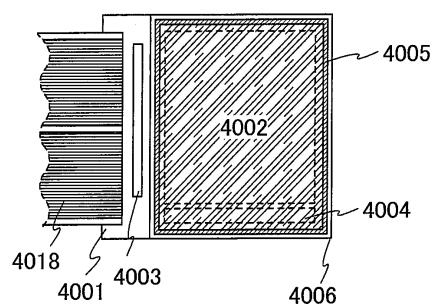


도면13

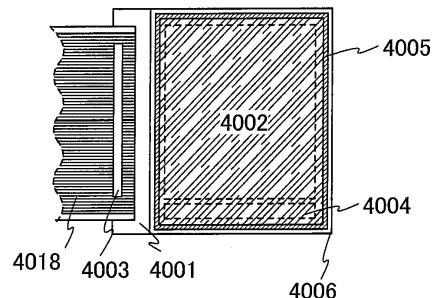
(a)



(b)

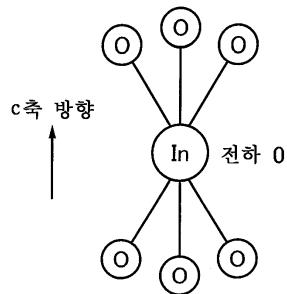


(c)

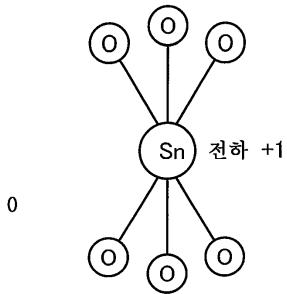


도면14

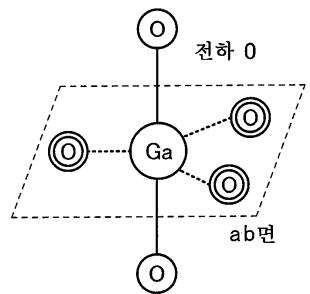
(a)



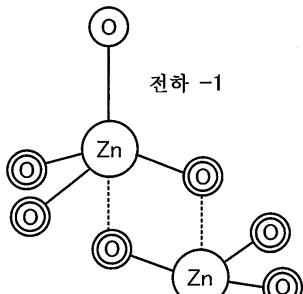
(d)



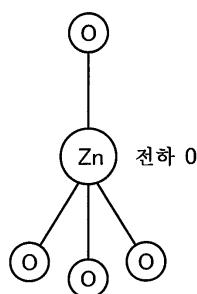
(b)



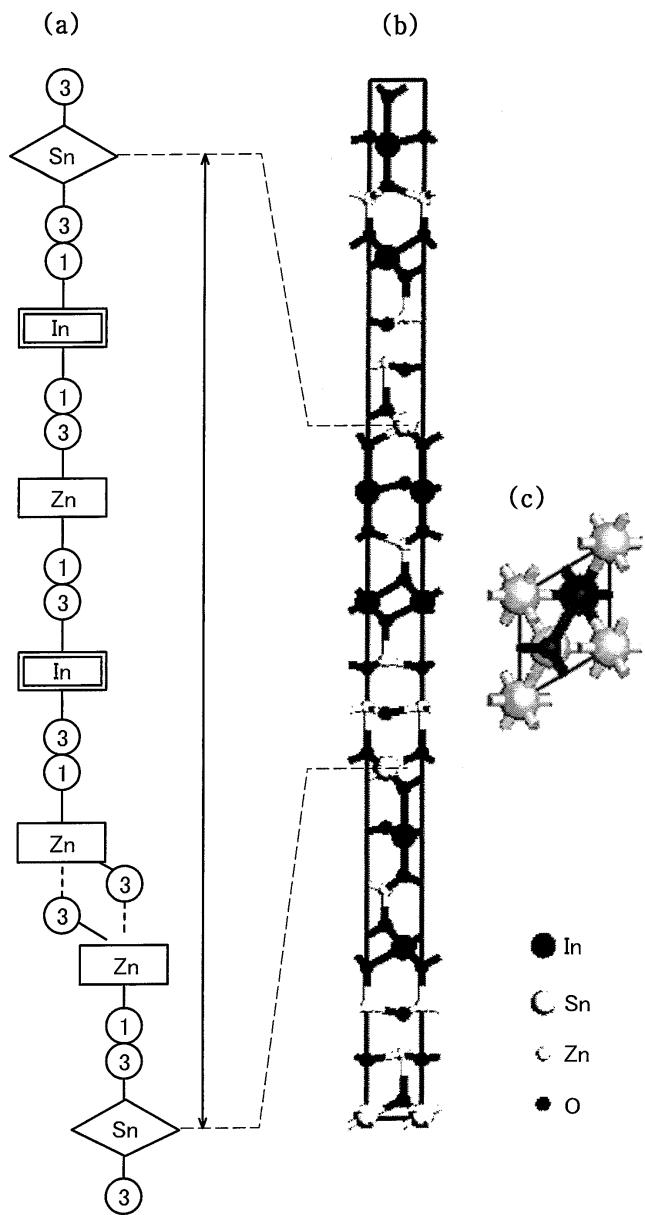
(e)



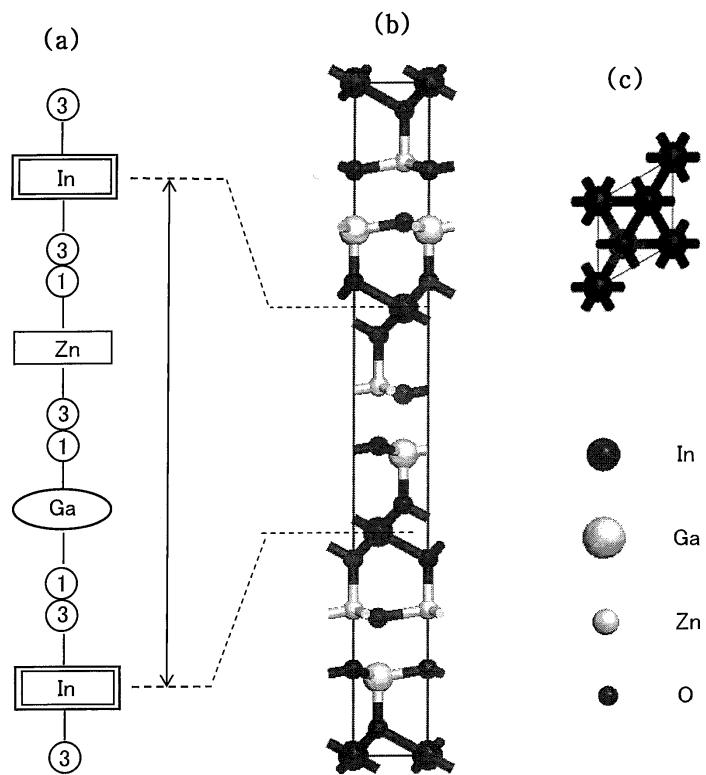
(c)



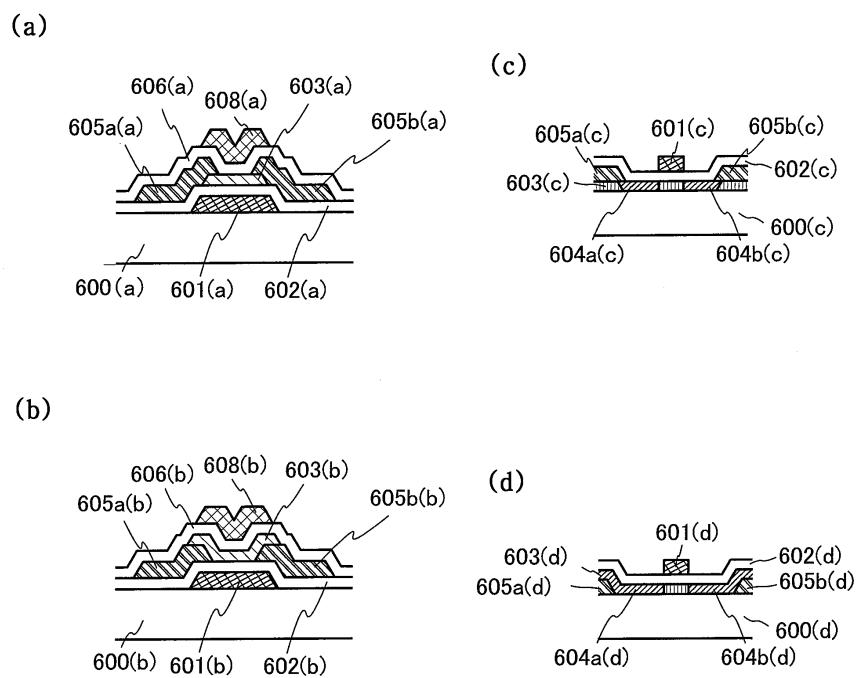
도면15



도면16

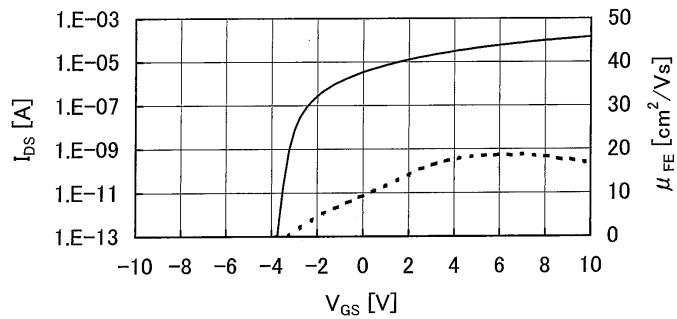


도면17

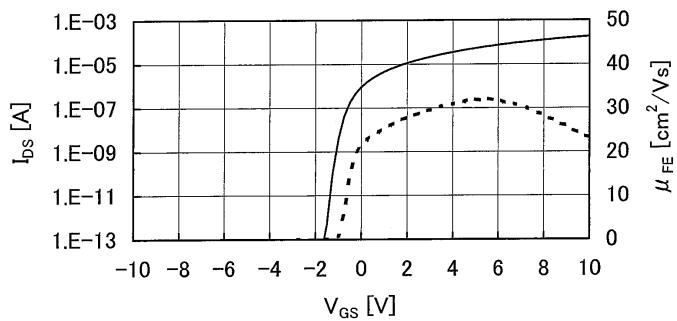


도면18

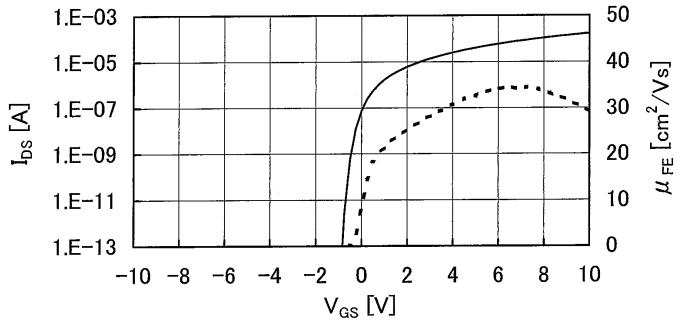
(a)



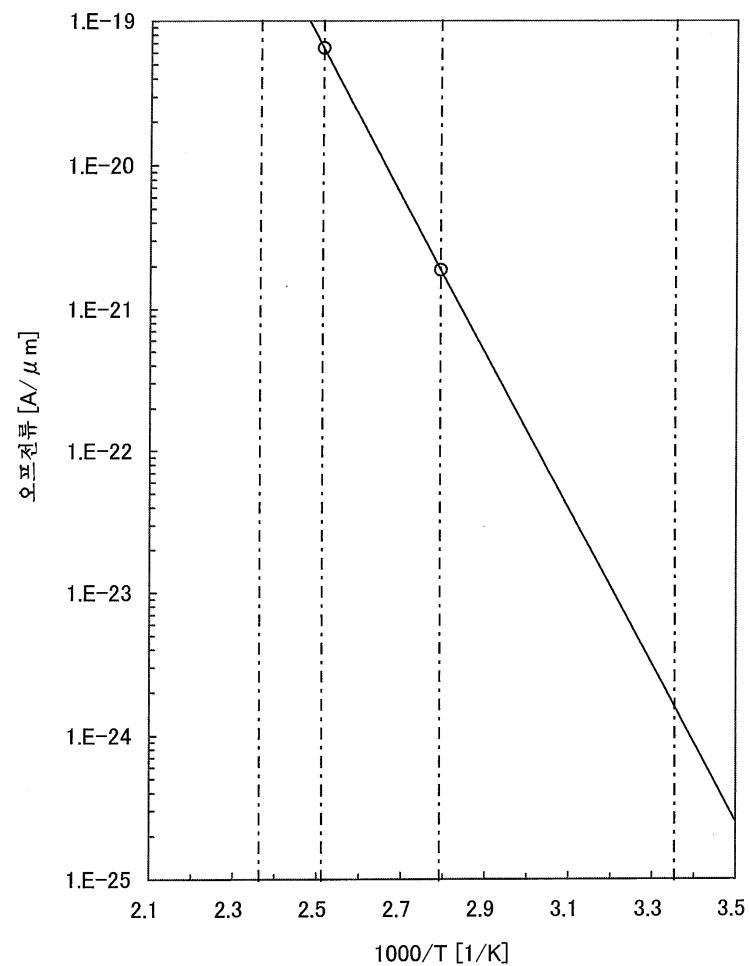
(b)



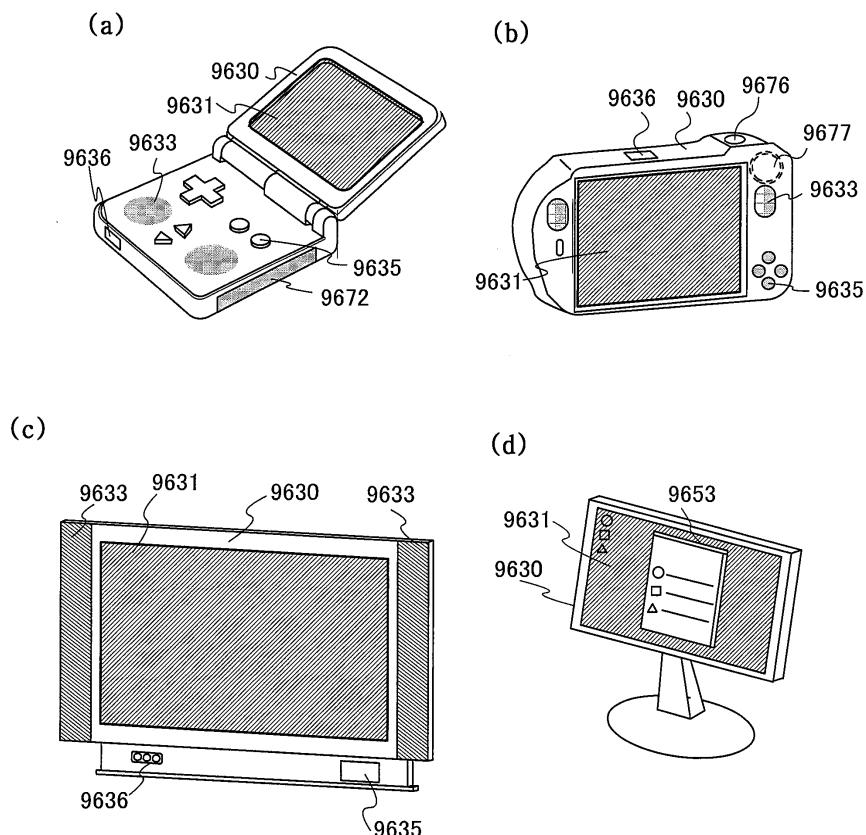
(c)



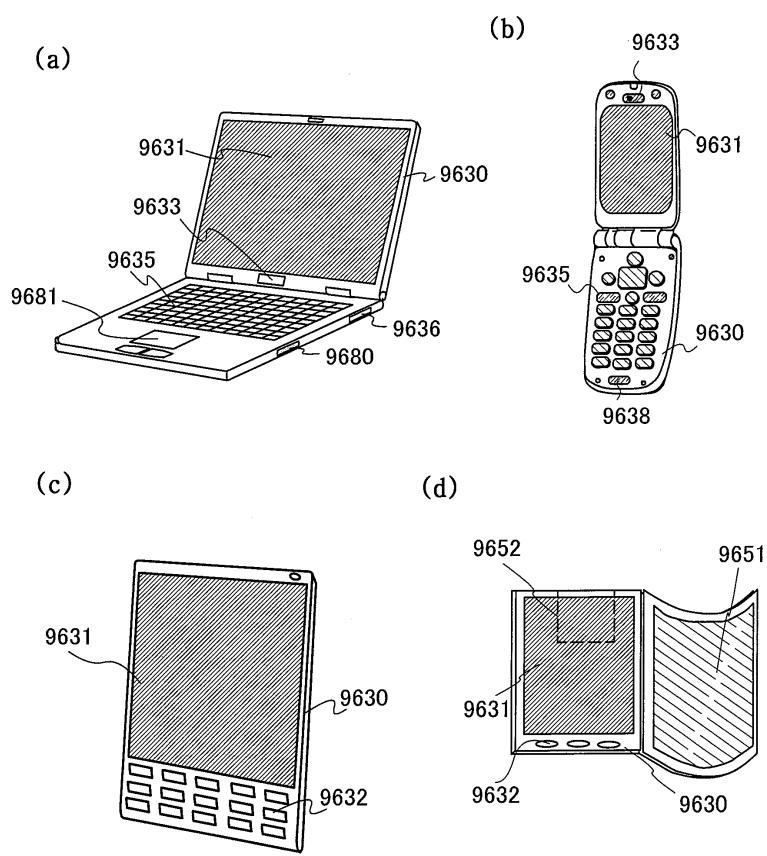
도면19



도면20

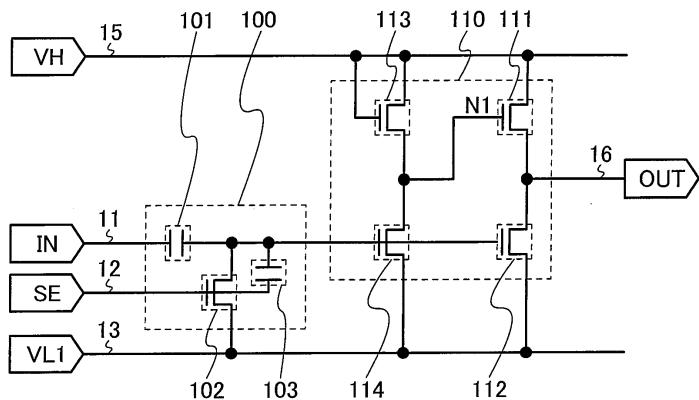


도면21

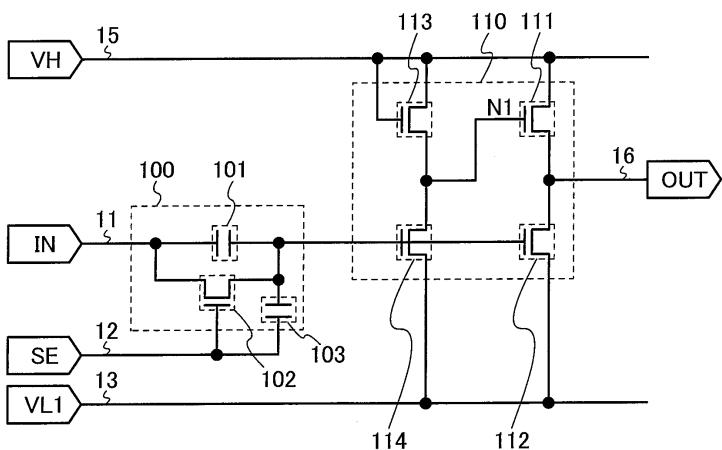


도면22

(a)



(b)



도면23

