(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2004-529582
(P2004-529582A)
(43)公表日　平成16年9月24日(2004.9.24)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H04N 5/335	H04N 5/335	P	4M118
H01L 27/148	H04N 5/335	F	5C024
	H01L 27/14	B	

審査請求 未請求　予備審査請求 有　（全 31 頁）

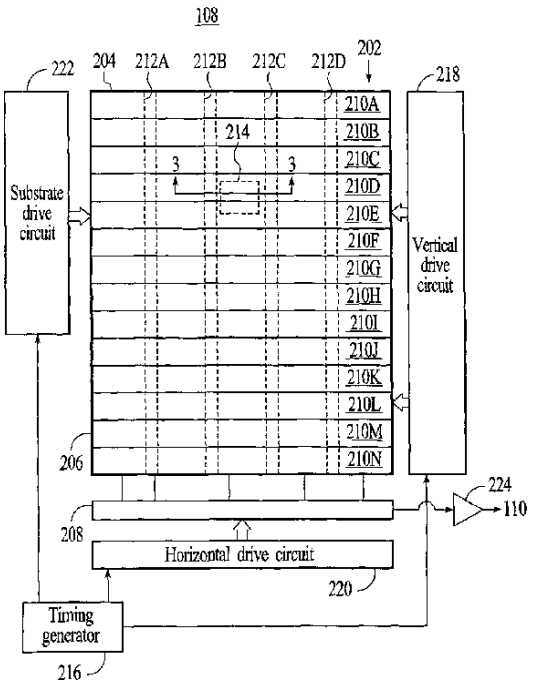
(21)出願番号　特願2002-592623(P2002-592623)
(86)(22)出願日　平成14年5月17日(2002.5.17)
(85)翻訳文提出日　平成15年11月18日(2003.11.18)
(86)国際出願番号　PCT/US2002/016003
(87)国際公開番号　WO2002/096094
(87)国際公開日　平成14年11月28日(2002.11.28)
(31)優先権主張番号　09/861,075
(32)優先日　平成13年5月18日(2001.5.18)
(33)優先権主張国　米国(US)

(71)出願人　398038580
ヒューレット・パッカード・カンパニー
HEWLETT-PACKARD COMPANY
アメリカ合衆国カリフォルニア州パロアルト　ハノーバー・ストリート　３０００
(74)代理人　100087642
弁理士　古谷　聡
(74)代理人　100076680
弁理士　溝部　孝彦
(74)代理人　100121061
弁理士　西山　清春

最終頁に続く

(54)【発明の名称】ＣＣＤにおける飽和アーティファクトの低減装置

(57)【要約】
高さを低減した記憶エリア（２０６）を有するフレーム転送ＣＣＤセンサ（２０２）を使用してイメージを電子的に捕捉するための装置および方法は、露出期間後にＣＣＤセンサのイメージエリア（２０４）におけるＣＣＤセンサのエネルギープロファイルを変更することにより、生成されるデジタルイメージにおける飽和アーティファクトを低減する。蓄積された電荷の大部分がＣＣＤセンサのイメージエリアから記憶エリアに転送される時に、ＣＣＤセンサのイメージエリアに残っている飽和電荷の散逸が大幅に低減するように、イメージエリアの基板（３０２）に印加される電位を低減すること（５１０）により、ＣＣＤセンサのイメージエリアのエネルギープロファイルを変更する。これにより、イメージエリアと記憶エリアとにおける飽和電荷が、それらの初期レベルにほぼ維持され、その結果、デジタルイメージにおける飽和アーティファクトが低減する。



【特許請求の範囲】
【請求項１】
電子イメージセンサ（２０２）を使用して対象シーンを電子的に捕捉する方法において、
前記電子イメージセンサの基板（３０２）に第１の電圧（４０６）を供給するステップ（５０４）と、
前記対象シーンからの入射光に対し前記電子イメージセンサを既定の露出期間だけ露出させて、前記電子イメージセンサに電荷を蓄積するステップ（５０４）と、
前記既定の露出期間後に、前記電子イメージセンサの前記基板に、前記第１の電圧より低い電圧である第２の電圧（４１０）を供給するステップ（５０８）と、
前記電子イメージセンサから前記電荷を出力するステップ（５１２）
を含む方法。
【請求項２】
前記基板（３０２）に前記第２の電圧（４１０）を供給する前記ステップ（５０８）は、前記電子イメージセンサ（２０２）のイメージエリア（２０４）の前記基板にのみ前記第２の電圧を供給するステップである、請求項１に記載の方法。
【請求項３】
前記入射光に対し前記電子イメージセンサ（２０２）を露出させる前記ステップ（５０４）は、前記電子イメージセンサの前記イメージエリア（２０４）のみを前記対象シーンからの前記入射光に対して前記既定の露出期間だけ露出させて、前記電子イメージセンサの前記イメージエリアに前記電荷を蓄積するステップである、請求項２に記載の方法。
【請求項４】
前記電子イメージセンサ（２０２）の前記イメージエリア（２０４）から前記電荷を前記電子イメージセンサの記憶エリア（２０６）に転送するステップ（５１０）をさらに含み、前記記憶エリアは前記イメージエリアより小さいことからなる、請求項３に記載の方法。
【請求項５】
前記電子イメージセンサ（２０２）の前記基板（３０２）に前記第２の電圧（４１０）を供給する前記ステップ（５０８）に先立ち、前記対象シーンからの前記入射光を遮蔽するために機械式シャッタを閉じるステップ（５０６）をさらに含む、請求項１乃至４のいずれかに記載の方法。
【請求項６】
対象シーンをデジタルに取込むための装置において、
基板（３０２）を有する電子イメージセンサ（２０２）と、
前記電子イメージセンサに動作可能に結合されて、前記電子イメージセンサの前記基板に第１の電圧（４０６）および第２の電圧（４１０）を供給する基板駆動回路（２２２）であって、該基板駆動回路は、前記電子イメージセンサを前記対象シーンからの入射光に露出させて前記電子イメージセンサに電荷を蓄積する露出期間中、前記電子イメージセンサの前記基板に前記第１の電圧を供給するように構成され、該基板駆動回路は、さらに、前記露出期間後に、前記電子イメージセンサの前記基板に、前記第１の電圧より低い電圧である前記第２の電圧を供給するように構成されることからなる、基板駆動回路（２２２）と、
前記電子イメージセンサに結合されて、前記電子イメージセンサからの前記電荷を出力する出力レジスタ（２０８）
を備える、装置。
【請求項７】
前記電子イメージセンサ（２０２）は、イメージエリア（２０４）と記憶エリア（２０６）とを有し、前記記憶エリアは前記イメージエリアより小さい、請求項６に記載の装置。
【請求項８】
前記基板駆動回路（２２２）は、前記電子イメージセンサ（２０２）の前記イメージエリア（２０４）の前記基板（３０２）にのみ前記第１および第２の電圧（４０６、４１０）

を供給するように構成される、請求項７に記載の装置。
【請求項９】
前記電子イメージセンサ（２０２）に結合されて、前記電子イメージセンサの前記イメージエリア（２０４）から前記電子イメージセンサの前記記憶エリア（２０６）に前記電荷を転送するように構成された垂直駆動回路（２１８）をさらに備える、請求項７または８に記載の装置。
【請求項１０】
前記電子イメージセンサ（２０２）は電荷結合素子を含む、請求項６乃至９のいずれかに記載の装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、一般的には、電荷結合素子に関し、特に、高さを低減した記憶エリアを有するフレーム転送ＣＣＤセンサを使用してイメージを電子的に捕捉する装置および方法に関する。
【背景技術】
【０００２】
従来のフィルムカメラとは対照的に、デジタルカメラは、対象シーン（対象とするシーン）をデジタルに取込むために電子イメージセンサを採用する。このため、電子イメージセンサは、デジタルカメラのためのフィルムとしての役割を果たす。典型的には、電子イメージセンサは、電荷結合素子（ＣＣＤ）センサかまたは相補型金属酸化膜半導体（ＣＭＯＳ）センサのいずれかである。しかしながら、ＣＣＤセンサの方が、感度が高く、より低いノイズ特性を有するため、高画質を必要とする用途ではずっと広く採用されてきた。
【０００３】
フレームインターライン転送ＣＣＤセンサ、インターライン転送ＣＣＤイメージセンサおよびフレーム転送ＣＣＤセンサ等、複数の異なるタイプのＣＣＤセンサがある。本明細書において対象となるＣＣＤセンサは、フレーム転送ＣＣＤセンサである。デジタル写真術において使用される従来のフレーム転送ＣＣＤセンサは、画素領域のＣＣＤアレイとシリアルレジスタとを有する。ＣＣＤアレイは、イメージエリアと記憶エリアとを有する。ＣＣＤアレイの画素領域は、分離埋込材（isolation implant）とゲート電極とによって画定され、それらは互いに対して垂直に延在する。ＣＣＤアレイを使用して、突当る照明に応じて画素領域内に電荷を蓄積し、蓄積された電荷を読出しのためにシリアルレジスタに転送する。しかしながら、イメージエリアに比べて低減された高さを有するＣＣＤアレイの記憶エリアを、不透明なマスクで覆うことにより、光子によって誘起される電荷の蓄積を防止する。このため、記憶エリアを排他的に使用して、イメージエリア内の蓄積された電荷を読出しのためにシリアルレジスタに転送する。この記憶エリアおかげで、イメージエリア内の蓄積された電荷のほとんどを、機械式シャッタ（メカニカルシャッタ）を使用することなく照明に対する露出（または露光。以下同じ）から迅速に退避させることができ、それによりデジタルカメラのビデオモード動作が容易になる。ビデオモード動作は、デジタルカメラが露出制御および焦点制御のための情報を捕捉するために必要である。さらに、ビデオモード動作は、ユーザに対して最終イメージのリアルタイムプレビューを提供するために必要である。
【０００４】
従来のフレーム転送ＣＣＤセンサを有するデジタルカメラは、シーンの静止画を以下の方法でデジタルに取込む。ユーザ入力に応じて、ＣＣＤアレイのイメージエリアから既存の電荷をクリアし、それにより露出期間（露光期間）が開始する。露出期間中、突当る光（入射光）に応じて、電荷がイメージエリアの画素領域に蓄積される。露出期間の最後に、デジタルカメラの機械式シャッタを閉じることにより、電荷がそれ以上蓄積されないようにする。そして、イメージエリア内の蓄積された電荷を、ＣＣＤアレイの記憶エリアに迅速に転送する。次に、転送された電荷を、比較的低速で行単位でシリアルレジスタを介し

て読出す。
【０００５】
光がＣＣＤアレイに突当る時、光子がシリコンに吸収され、電子－正孔ペアが生成される。電子は、ＣＣＤアレイのゲート電極と基板とに既定の電圧を印加することにより、ＣＣＤアレイの画素領域に生成されるポテンシャル井戸に取込まれる。このため、電荷は、ＣＣＤアレイの露出した画素領域に蓄積される。しかしながら、高強度の光が画素領域に突当ると、非常に多くの光子がポテンシャル井戸に到達する場合があり、それによりそのポテンシャル井戸内の電荷が隣の井戸に溢れ出る場合がある。この現象を、「ブルーミング（blooming）」と呼ぶ。ブルーミングを制御する一般的な方法は、「垂直アンチブルーミング（vertical anti-blooming）」法である。垂直アンチブルーミング法は、ポテンシャル井戸と基板との間に、隣接する井戸間の電荷の流れに抗する障壁よりも低いポテンシャル障壁を確立する。このため、非常に多くの光が画素領域に突当ると、過度な電荷は、隣接する井戸に流れ込まず、単に基板内に排出される。アンチブルーミング排出の作用は、基板に印加されるＤＣ電位によって制御される。基板に印加される電位が増大すると、ブルーミングを生じることく、過度の照明に耐える井戸の能力もまた増大する。しかしながら、電位のかかる増大により、井戸の電荷容量が低減する。
【０００６】
不都合なことに、アンチブルーミング排出は、井戸の容量に厳密な制限を確立しない。このため、井戸が蓄積された電荷で一杯になると、過度な電荷は、井戸が漸近的に井戸容量に達するまで時間経過とともに排出され続け、それによりデジタルカメラのイメージ捕捉プロセス中に問題がもたらされる可能性がある。ＣＣＤアレイの記憶エリアがイメージエリアより小さいため、蓄積された電荷が迅速に記憶エリアに転送されると、蓄積された電荷の一部は、蓄積された電荷の十分な行がシリアルレジスタを介して読出されるまでイメージエリアに残らなければならない。ＣＣＤアレイの記憶エリアは、典型的には、アンチブルーミング排出機能を有していない。このため、記憶エリアに迅速に転送される飽和電荷は減少しない。しかしながら、イメージエリアに残っている飽和電荷は、減少し続ける。したがって、結果としてのイメージは、イメージに明るい部分とそれより暗い部分とをもたらすアーティファクトを有する可能性があり、それらは、目に見える線によって分離される。かかるアーティファクトを、本明細書では「飽和アーティファクト」と呼ぶ。イメージの明るい部分は、記憶エリアに迅速に転送された飽和電荷に対応し、より暗い部分は、イメージエリアに残されたままであった飽和電荷に対応する。
【発明の開示】
【発明が解決しようとする課題】
【０００７】
上述した問題に鑑みて、結果としてのデジタルイメージの飽和アーティファクトが低減するように、高さを低減した記憶エリアを有するフレーム転送ＣＣＤセンサを使用してイメージを電子的に捕捉するための装置および方法が必要とされている。
【課題を解決するための手段】
【０００８】
高さを低減した記憶エリアを有するフレーム転送ＣＣＤセンサを使用してイメージを電子的に捕捉するための装置および方法は、露出期間後にＣＣＤセンサのイメージエリアにおけるＣＣＤセンサのエネルギープロファイルを変更することにより、結果として生じるデジタルイメージの飽和アーティファクトを低減する。ＣＣＤセンサのイメージエリアのエネルギープロファイルを、蓄積された電荷の大部分がＣＣＤセンサのイメージエリアから記憶エリアに転送される時にＣＣＤセンサのイメージエリアに残っている飽和電荷の散逸が大幅に低減されるように、イメージエリアの基板に印加される電位を低減することにより、変更する。このため、イメージエリアと記憶エリアとにおける飽和電荷がそれらの初期レベルに実質的に維持され、その結果、デジタルイメージの飽和アーティファクトが低減する。
【０００９】

本発明による装置は、基板を有する電子イメージセンサと、基板駆動回路と、出力レジスタと、を有する。基板駆動回路は、電子イメージセンサが対象シーンからの入射光にさらされて、電子センサに電荷を蓄積する露出期間中、電子イメージセンサの基板に第１の電圧を供給するように構成される。さらに、基板駆動回路は、露出期間後に、第１の電圧より低い電圧である第２の電圧を基板に供給するように構成される。本装置の電子センサは、電荷結合素子を含んでもよい。

【００１０】

１実施形態では、電子イメージセンサは、イメージエリアと記憶エリアとを含む。電子センサの記憶エリアは、イメージエリアより小さい。この実施形態では、基板駆動回路を、電子イメージセンサのイメージエリアの基板にのみ第１および第２の電圧を供給するように構成してもよい。また、基板駆動回路を、電子イメージセンサから既存の電荷をクリアするために、電子イメージセンサの基板に対し第１の電圧より高い第３の電圧を供給するように構成してもよい。

【００１１】

１実施形態では、本装置は、電子イメージセンサのイメージエリアから電子センサの記憶エリアに電荷を転送するように構成された垂直駆動回路を有する。

【００１２】

本発明による方法は、電子イメージセンサの基板に第１の電圧を供給するステップと、対象シーンからの入射光に対し電子イメージセンサを既定の露出期間だけ露出させて、電子イメージセンサに電荷を蓄積するステップと、既定の露出期間後に電子イメージセンサの基板に、第１の電圧より低い電圧である第２の電圧を供給するステップと、電子イメージセンサから電荷を出力するステップと、を含む。本方法は、基板に第２の電圧を供給するステップに先立ち、対象シーンからの入射光を遮蔽するために機械式シャッタを閉じるステップをさらに含むことができる。

【００１３】

１実施形態では、基板に第２の電圧を供給するステップは、電子イメージセンサのイメージエリアの基板にのみ第２の電圧を供給するステップである。この実施形態では、入射光に対し電子イメージセンサを露出させるステップは、電子センサのイメージエリアのみを対象シーンからの入射光に対し既定の露出期間だけ露出させて、電子イメージセンサのイメージエリアに電荷を蓄積するステップである。この実施形態では、本方法は、電子イメージセンサのイメージエリアからの電荷を、電子イメージセンサのイメージエリアより小さい電子イメージセンサの記憶エリアに転送するステップをさらに含むことができる。

【００１４】

１実施形態では、本方法は、電子イメージセンサから既存の電荷をクリアするステップをさらに含む。この電子イメージセンサをクリアするステップは、第１の電圧より高い第３の電圧を電子イメージセンサの基板に供給するステップを含むことができる。

【００１５】

本発明の他の態様および利点は、本発明の原理を例示する添付図面並びに以下の詳細な説明から明らかとなろう。

【実施例】

【００１６】

図１に、本発明によるデジタルイメージング装置１００を示す。デジタルイメージング装置は、フレーム転送電荷結合素子（ＣＣＤ）センサを利用して、シーンからの突当る光（入射光）に応じて蓄積された電荷の形態で対象シーンを取込む。デジタルイメージング装置は、生成されたデジタルイメージにおける飽和アーティファクトが大きく低減されるように、蓄積された電荷を処理するように設計される。したがって、デジタルイメージング装置によって取込まれた明るいシーンのイメージの品質が大幅に向上する。

【００１７】

デジタルイメージング装置１００は、図１に示すように、制御機構１０６に接続されるレンズ１０２と機械式シャッタ１０４とを有する。制御機構は、対象シーンに焦点を合せる

ためにレンズを調整するように動作する。さらに、制御機構は、機械式シャッタを開閉することにより積分期間すなわち露出期間を制御するよう動作する。デジタルイメージング装置は、さらに、イメージ捕捉ユニット１０８と、相関二重サンプリング（correlated double sampling:ＣＤＳ）ユニット１１０と、アナログ・デジタル変換器（ＡＤＣ）１１２と、デジタル信号処理（ＤＳＰ）回路１１４と、記憶ユニット１１６と、マイクロコントローラ１１８と、を含む。イメージ捕捉ユニットは、対象シーンを蓄積された電荷として電子的に取込むように動作する。この蓄積された電荷のことを、本明細書では、アナログイメージ信号と呼ぶ場合がある。そして、イメージ捕捉ユニットは、処理するためにアナログイメージ信号を逐次出力する。イメージ捕捉ユニットについては、後でより詳細に説明する。

【００１８】

デジタルイメージング装置１００のＣＤＳユニット１１０は、イメージ捕捉ユニット１０８からアナログイメージ信号に含まれるノイズを低減するように動作する。そして、ノイズが低減された信号は、ＡＤＣ１１２に送信される。ＡＤＣは、アナログイメージ信号からのノイズが低減された信号をデジタルイメージ信号に変換する。そして、デジタルイメージ信号は、ＤＳＰ回路１１４によって受取られ、そこで、デモザイク（demosaic）処理され格納するために圧縮される。さらに、ＤＳＰ回路は、取込まれたイメージを強化（または改善）するために１つまたは複数のイメージ処理技術を実行してもよい。そして、処理されたイメージは、デジタルイメージング装置の記憶ユニット１１６に格納される。例として、記憶ユニットは、フラッシュメモリであってもよい。デジタルイメージング装置のコンポーネントは、マイクロコントローラ１１８によって制御される。

【００１９】

図２に、デジタルイメージング装置１００のイメージ捕捉ユニット１０８のブロック図を示す。図２に示すように、イメージ捕捉ユニットは、フレーム転送ＣＣＤアーキテクチャにしたがって構成されるＣＣＤセンサ２０２を含む。ＣＣＤセンサは、イメージエリア２０４と、記憶エリア２０６と、シリアルレジスタ２０８と、を有する。ＣＣＤセンサのイメージエリアと記憶エリアとは、構造的に同様である。しかしながら、記憶エリアは不透明な遮蔽物によってマスクされている。このため、機械式シャッタ１０４が開かれた時、イメージエリアのみが照明に露出される。さらに、記憶エリアは、イメージエリアと比較して高さが低減されている。記憶エリアの幅は、イメージエリアと同じである。

【００２０】

ＣＣＤのイメージエリア２０４および記憶エリア２０６は、平行なゲート電極２１０と平行な分離埋込材２１２とを有する。例示的な実施形態では、ゲート電極は多結晶シリコン（poly-Si）から形成され、分離埋込材はｐ＋領域である。平行なゲート電極は水平に延在し、平行な分離埋込材は垂直に延在する。図２には数個のゲート電極および分離埋込材しか示していないが、ＣＣＤのイメージエリアおよび記憶エリアは、さらなるゲート電極および分離埋込材を含む。ゲート電極および分離埋込材は、画素領域２１４によって示すように、画素領域を画定する。この例示的な実施形態では、画素領域２１４は、分離埋込材２１２Ｂおよび２１２Ｃと２つのゲート電極２１０Ｄおよび２１０Ｅとによって画定されるＣＣＤセンサ２０２の部分である。画素領域に含まれるゲート電極の数は、フレーム転送ＣＣＤセンサの電荷転送相方式（charge transport phase scheme）を表す。例示的な実施形態では、ＣＣＤセンサ２０２は、２相電荷転送方式を利用する。しかしながら、ＣＣＤセンサは、３相または４相電荷転送方式等、異なる電荷転送方式を利用してもよい。これらの代替方式では、ＣＣＤセンサの画素領域は、追加のゲート電極によって画定される。

【００２１】

図３に、図２の線３－３に沿ったＣＣＤセンサ２０２の部分断面図を示す。図３に示すように、ＣＣＤセンサは、ｎ型基板３０２と、ｐ型領域３０４と、ｎ型領域３０６と、ゲート酸化膜３０８と、を含む。ゲート電極２１０Ｄと分離埋込材２１２Ｂおよび２１２Ｃも示されている。ゲート電極２１０Ｄおよび基板に印加される電圧により、画素領域２１４

におけるＣＣＤセンサのエネルギープロファイルを変化させることができる。図４のエネルギー図に示すように、ＣＣＤセンサのエネルギープロファイルを、ゲート電極に印加される電圧かまたは基板に印加される電圧のいずれかによって変化させることができる。

【００２２】

図４に示すように、ゲート電極２１０Ｄにおける電圧（$Ｖ_g$）が０Ｖであり、基板３０２における電圧（$Ｖ_s$）が１８Ｖである場合、ＣＣＤセンサ２０２のエネルギープロファイルは、エネルギー曲線４０２によってほぼ画定される。同様に、$Ｖ_g$が８Ｖであり$Ｖ_s$が２８Ｖである場合、エネルギープロファイルは、エネルギー曲線４０４によってほぼ画定される。エネルギー曲線４０２および４０４は、これらの条件下で、画素領域２１４の電荷が基板を通って排出されることを示す。しかしながら、$Ｖ_g$が８Ｖであり$Ｖ_s$が１８Ｖである場合、エネルギープロファイルは、エネルギー曲線４０６によってほぼ画定され、それは電荷を保持するためのポテンシャル井戸４０８を有する。露出期間中に、曲線４０６によって画定されるようなエネルギープロファイルを使用することにより、突当る光子によって生成される電荷が蓄積される。エネルギー曲線４０６は、過剰な電荷が基板を通って排出されるが隣接する画素領域に溢れ出ないように構成される。このため、エネルギー曲線４０６は、隣接する画素領域間の障壁より低い、ｎ型領域３０６と基板３０２との間のポテンシャル障壁を含み、それはアンチブルーミング制御を提供する。しかしながら、このポテンシャル障壁を、エネルギー曲線４１０によって示すように、$Ｖ_s$を低減することによって上昇させることができる。曲線４１０によってほぼ画定されるエネルギープロファイルは、$Ｖ_g$が８Ｖであり$Ｖ_s$が１５Ｖである場合に生成される。後述するように、曲線４０６および４１０によってほぼ画定されるＣＣＤセンサ２０２のエネルギープロファイルを使用することにより、取込まれたイメージの飽和アーティファクトが低減される。

【００２３】

再び図２を参照すると、イメージ捕捉ユニット１０８は、タイミング発生器２１６と、垂直駆動回路２１８と、水平駆動回路２２０と、基板駆動回路２２２と、増幅器２２４と、をさらに有する。タイミング発生器は、垂直駆動回路と水平駆動回路と基板駆動回路とにタイミング信号を提供する。垂直駆動回路は、イメージエリア２０４と記憶エリア２０６との両方におけるゲート電極２１０にゲート電圧を供給する。露出期間中、垂直駆動回路は、選択されたゲート電極にゲート電圧を供給し、イメージエリアの画素領域にポテンシャル井戸を生成して電荷を蓄積する。露出期間後、垂直駆動回路は、イメージエリアから蓄積された電荷を記憶エリアを介してシリアルレジスタ２０８に垂直に転送するために段階的にゲート電圧を供給する。最初に、蓄積された電荷は、記憶エリアに迅速に転送される。そして、転送された電荷は、アナログイメージ信号として行単位でシリアルレジスタを介して逐次読出される。シリアルレジスタが蓄積された電荷の行を逐次読出すために必要な電圧は、水平駆動回路によって供給される。例示的な実施形態では、垂直および水平駆動回路は、０Ｖまたは８Ｖのいずれかを供給する。そして、シリアルレジスタからのアナログイメージ信号は、ＣＤＳユニット１１０に送信される前に増幅器２２４によって増幅される。

【００２４】

イメージ捕捉ユニット１０８の基板駆動回路２２２は、ＣＣＤセンサ２０２のイメージエリア２０４の基板３０２に対し基板電圧を提供する。基板駆動回路は、３つの電圧、すなわち高電圧、中間電圧および低電圧のうちの１つを供給するように構成される。基板駆動回路は、イメージエリアから既存の電荷をクリアするために基板に高電圧を供給する。露出期間中、基板駆動回路は、ポテンシャル井戸を生成するために基板に中間電圧を供給する。読出し中、基板駆動回路は、蓄積された電荷を記憶エリアに高速で転送した後にイメージエリアに残っている飽和電荷の散逸を低減するために、基板に低電圧を供給する。これにより、イメージエリアに残っている飽和電荷と記憶エリアの飽和電荷とが、それらの初期レベルで維持され、それにより飽和アーティファクトが低減する。例示的な実施形態では、基板駆動回路は、１５、１８または２８Ｖを供給する。

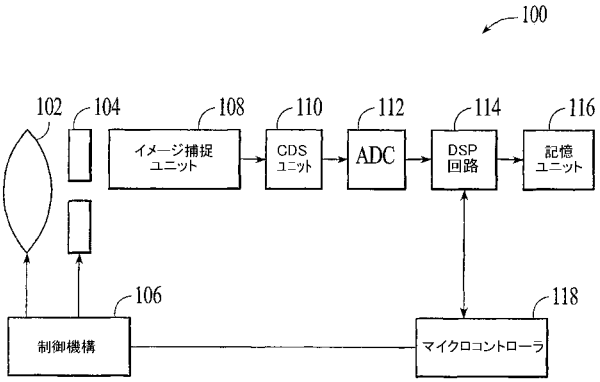
【００２５】
高さを低減した記憶エリアを有するフレーム転送ＣＣＤセンサを使用してイメージを電子的に捕捉する方法を、図５を参照して説明する。ステップ５０２において、露出期間を開始するために、フレーム転送ＣＣＤセンサのイメージエリアから既存の電荷をクリアする。イメージエリアのゲート電極の電圧を０Ｖに設定することにより、イメージエリアをクリアしてもよい。代替的に、イメージエリアの基板に高基板電圧をパルスで与えることによってイメージエリアをクリアしてもよい。例として、高基板電圧は２８Ｖであってもよい。次に、ステップ５０４において、露出期間の終了まで、突当る照明（入射照明）に応答してイメージ領域に電荷を蓄積する。この期間中、イメージエリアのアクティブ化されたゲート電極に印加される電圧は、高ゲート電圧、たとえば８Ｖであり、イメージエリアの基板に印加される電圧は、中間基板電圧、たとえば１８Ｖである。ステップ５０６において、露出期間を終了するために機械式シャッタを閉じる。突当る照明の強度と露出期間の持続時間に応じて、蓄積された電荷の一部が飽和電荷となる場合がある。これら飽和電荷は、アンチブルーミング効果のために基板を通して排出されることになる。次に、ステップ５０８において、イメージエリアの基板における電圧を、低基板電圧、たとえば１５Ｖまで低減し、基板を通して排出される飽和電荷の量を低減するために基板に対しより高いポテンシャル障壁を生成する。

【００２６】
次に、ステップ５１０において、ＣＣＤセンサ２０２のイメージエリア内の蓄積された電荷を、シリアルレジスタに向ってＣＣＤセンサの記憶エリアに迅速に転送する。しかしながら、記憶エリアがイメージエリアより小さいため、蓄積された電荷の一部は、イメージエリアに残る。イメージエリアの基板に対するポテンシャル障壁が増大しているため、イメージエリアに残っている飽和電荷は、基板を通してそれほど排出されない。ステップ５１２において、転送された電荷は、行単位でシリアルレジスタを通して逐次読出される。飽和電荷は読出し中に初期レベルにほぼ維持されるため、生成されるイメージにおける飽和アーティファクトが低減する。

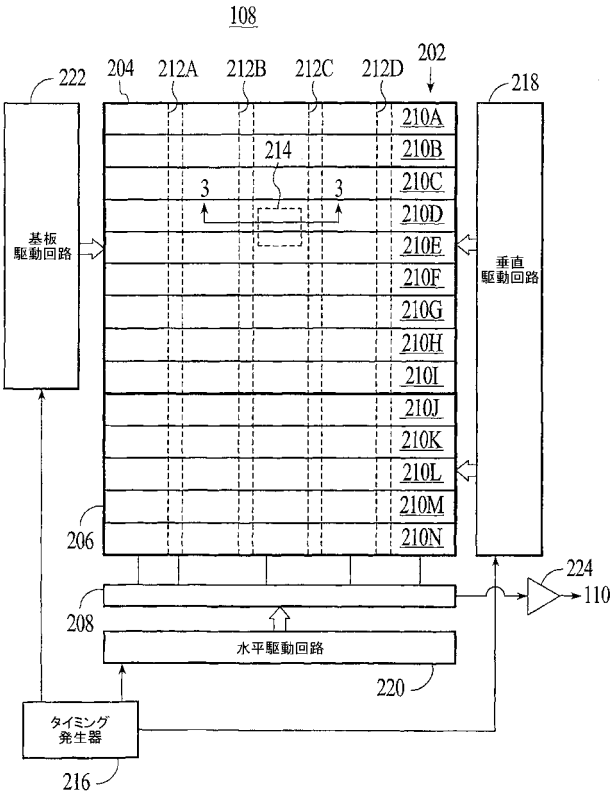
【図面の簡単な説明】

【００２７】
【図１】本発明によるデジタルイメージング装置のブロック図である。
【図２】デジタルイメージング装置のイメージ捕捉ユニットのブロック図である。
【図３】イメージ捕捉ユニットに含まれるＣＣＤセンサのイメージエリアの部分断面図である。
【図４】イメージエリアの画素領域のエネルギー図であり、ゲート電極と基板に印加される異なる電位に対する種々のエネルギー曲線を示す。
【図５】高さを低減した記憶エリアを有するフレーム転送ＣＣＤセンサを使用して、イメージを電子的に捕捉する方法のプロセスフロー図である。

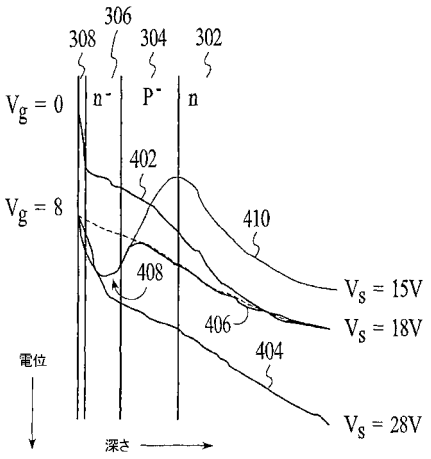
【図１】


100
102
104
108
イメージ捕捉ユニット
110
CDSユニット
112
ADC
114
DSP回路
116
記憶ユニット
106
制御機構
118
マイクロコントローラ

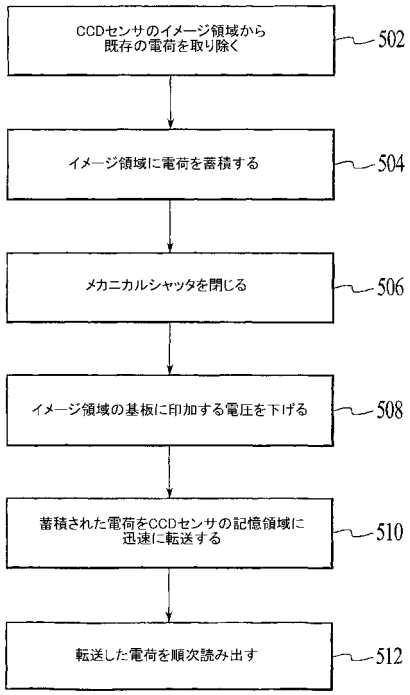
【図２】


108
202
222
204
212A
212B
212C
212D
218
214
3
3
210A
210B
210C
210D
210E
210F
210G
210H
210I
210J
210K
210L
210M
210N
基板駆動回路
垂直駆動回路
206
224
110
208
水平駆動回路
220
タイミング発生器
216

【図４】


306
308
304
302
Vg = 0
n-
P-
n
402
Vg = 8
410
408
Vs = 15V
406
Vs = 18V
404
Vs = 28V
電位
深さ

【図５】


CCDセンサのイメージ領域から既存の電荷を取り除く
502
イメージ領域に電荷を蓄積する
504
メカニカルシャッタを閉じる
506
イメージ領域の基板に印加する電圧を下げる
508
蓄積された電荷をCCDセンサの記憶領域に迅速に転送する
510
転送した電荷を順次読み出す
512

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau

(43) International Publication Date
28 November 2002 (28.11.2002)

PCT

(10) International Publication Number
WO 02/096094 A1

(51) International Patent Classification⁷: H04N 3/14, 5/335

(21) International Application Number: PCT/US02/16003

(22) International Filing Date: 17 May 2002 (17.05.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
09/861,075 18 May 2001 (18.05.2001) US

(71) Applicant: HEWLETT-PACKARD COMPANY [US/US]; 3000 Hanover Street, Palo Alto, CA 94304-1112 (US).

(72) Inventor: BAER, Richard L.; 1280 Colonial Oaks Drive, Los Altos, CA 94024 (US).

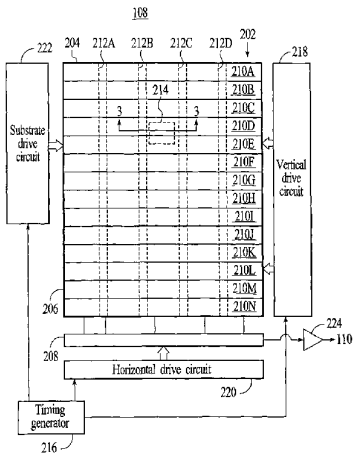
(74) Agent: HEMINGER, Susan, E.; Hewlett-Packard Company, IP Administration, P. O. Box 272400, Ft. Collins, CO 80527-2400 (US).

(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent

[Continued on next page]

(54) Title: REDUCER OF SATURATION ARTIFACTS ON CCD



(57) Abstract: An apparatus and method for electronically acquiring images using a frame-transfer CCD sensor (202) with a reduced-height storage area (206) reduces saturation artifacts in the resulting digital images by modifying the energy profile of the CCD sensor in an image area (204) of the CCD sensor after an exposure period. The energy profile of the image area of the CCD sensor is modified by decreasing (510) the potential applied to the substrate (302) of the image area such that dissipation of saturated charges remaining in the image area of the CCD sensor is significantly reduced when the majority of accumulated charges is transferred from the image area to the storage area of the CCD sensor. Thus, the saturated charges in the image area and the storage area are substantially maintained at their initial levels, which results in digital images with reduced saturation artifacts.

WO 02/096094 A1

WO 02/096094 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

Published:

— *with international search report*

REDUCER OF SATURATION ARTIFACTS ON CCD

FIELD OF THE INVENTION

The invention relates generally to charge coupled devices, and more particularly to an apparatus and method for electronically acquiring images using a frame-transfer CCD sensor with a reduced-height storage area.

BACKGROUND OF THE INVENTION

In contrast to a conventional film camera, a digital camera employs an electronic image sensor to digitally capture a scene of interest. Thus, the electronic image sensor functions as a film for the digital camera. Typically, the electronic image sensor is either a charge coupled device (CCD) sensor or a complementary metal oxide semiconductor (CMOS) sensor. However, due to their higher sensitivity and lower noise characteristics, CCD sensors have been much more widely adopted in applications that require high image quality.

There are a number of different types of CCD sensors, such as frame interline-transfer CCD sensors, interline-transfer CCD image sensors, and frame-transfer CCD sensors. The CCD sensors of interest herein are the frame-transfer CCD sensors. A conventional frame-transfer CCD sensor for use in digital photography includes a CCD array of pixel regions and a serial register. The CCD array includes an image area and a storage area. The pixel regions of the CCD array are defined by isolation implants and gate electrodes, which extend perpendicular to each other. The CCD array is used to accumulate electronic charges within the pixel regions in response to impinging illumination and to transfer the accumulated charges to the serial register for readout. However, the storage area of the CCD array, which has a reduced-height in comparison with the image area, is covered with an opaque mask to prevent photon-induced accumulation of charges. Thus, the storage area is exclusively used to transfer

the accumulated charges in the image area to the serial register for readout. The storage area allows much of the accumulated charges in the image area to be rapidly removed from exposure to illumination without the use of a mechanical shutter, which facilitates a video mode operation for a digital camera. A video mode operation is required by a digital camera to acquire information for exposure control and focus control. In addition, a video mode operation is required to provide a user with a real time preview of the final image.

A digital camera with a conventional frame-transfer CCD sensor digitally captures a still image of a scene in the following manner. In response to a user input, the image area of the CCD array is cleared of existing charges, which begins an exposure period. During the exposure period, charges are accumulated in the pixel regions of the image area in response to impinging light. At the end of the exposure period, a mechanical shutter of the digital camera is closed to prevent further accumulation of charges. The accumulated charges in the image area are then rapidly transferred to the storage area of the CCD array. Next, the transferred charges are readout through the serial register on a row-by-row basis in a relatively slow fashion.

When light impinges upon the CCD array, photons are absorbed in the silicon, producing electron-hole pairs. The electrons are captured in potential wells, which are created in the pixel regions of the CCD array by applying predefined voltages to the gate electrodes and the substrate of the CCD array. Thus, charges are accumulated in the exposed pixel regions of the CCD array. However, when a high intensity light impinges upon a pixel region, too many photons may reach a potential well, which may cause the charges within that potential well to overflow into neighboring wells. This phenomenon is called "blooming". A common method for controlling blooming is a "vertical anti-blooming" method. The vertical anti-blooming method establishes a potential barrier between the potential well and the substrate, which is lower than the barriers against charge flow between the neighboring wells. Thus, when too much light impinges upon a pixel region, the excess charge simply drains into the substrate, instead of flowing into the neighboring wells. The operation of the anti-blooming drain is controlled by the DC potential applied to the substrate. If the potential applied to the substrate is increased, the ability of the wells to withstand

excessive illumination without blooming is also increased. However, such increase in potential reduces the charge capacity of the wells.

Unfortunately, the anti-blooming drain does not establish a rigid limit on the well capacity. Thus, if a well is overfilled with accumulated charge, the excess charge will continue to drain away over time until the well asymptotically reaches the well capacity, which can cause a problem during the image acquisition process of the digital camera. Since the storage area of the CCD array is smaller than the image area, when the accumulated charges are rapidly transferred to the storage area, some of the accumulated charges must remain in the image area until enough rows of accumulated charges have been readout through the serial register. The storage area of the CCD array typically does not have an anti-blooming drain. Thus, the saturated charges that are rapidly transferred to the storage area will not decay. However, saturated charges that remain in the image area will continue to decay. Consequently, the resulting image may have artifacts that produce a bright portion and a darker portion in the image, which are separated by a visible line. Such artifacts are referred herein as "saturation artifacts". The bright portion of the image corresponds to the saturated charges that were rapidly transferred to the storage area, while the darker portion corresponds to the saturated charges that were left remaining in the image area.

In view of the above-described problem, there is a need for an apparatus and method for electronically acquiring images using a frame-transfer CCD sensor with a reduced-height storage area such that saturation artifacts in the resulting digital images are reduced.

SUMMARY OF THE INVENTION

An apparatus and method for electronically acquiring images using a frame-transfer CCD sensor with a reduced-height storage area reduces saturation artifacts in the resulting digital images by modifying the energy profile of the CCD sensor in an image area of the CCD sensor after an exposure period. The energy profile of the image area of the CCD sensor is modified by decreasing the potential applied to the substrate of the image area such that

dissipation of saturated charges remaining in the image area of the CCD sensor is significantly reduced when the majority of accumulated charges is transferred from the image area to the storage area of the CCD sensor. Thus, the saturated charges in the image area and the storage area are substantially maintained at their initial levels, which results in digital images with reduced saturation artifacts.

An apparatus in accordance with the invention includes an electronic image sensor with a substrate, a substrate drive circuit and an output register. The substrate drive circuit is configured to supply a first voltage to the substrate of the electronic image sensor during an exposure period when the electronic image sensor is exposed to incident light from a scene of interest to accumulate charges in the electronic sensor. The substrate drive circuit is further configured to supply a second voltage, which is a lower voltage than the first voltage, to the substrate after the exposure period. The electronic sensor of the apparatus may include a charge coupled device.

In an embodiment, the electronic image sensor includes an image area and a storage area. The storage area of the electronic sensor is smaller than the image area. In this embodiment, the substrate drive circuit may be configured to supply the first and second voltages to only the substrate in the image area of the electronic image sensor. The substrate drive circuit may also be configured to supply a third voltage, which higher than the first voltage, to the substrate of the electronic image sensor to clear the electronic image sensor of existing charges.

In an embodiment, the apparatus includes a vertical drive circuit that is configured to transfer the charges from the image area of the electronic image sensor to the storage area of the electronic sensor.

A method in accordance with the invention includes the steps of supplying a first voltage to a substrate of an electronic image sensor, exposing the electronic image sensor to incident light from a scene of interest for a predefined exposure period to accumulate charges in the electronic image sensor, supplying a second voltage, which is a lower voltage than the first voltage, to the substrate of the electronic image sensor after the predefined exposure period, and outputting the charges from the electronic image sensor. The method may further include a step of closing a mechanical shutter to block the incident light

from the scene of interest, prior to the step of supplying the second voltage to the substrate.

In an embodiment, the step of supplying the second voltage to the substrate is a step of supplying the second voltage to only the substrate in an image area of the electronic image sensor. In this embodiment, the step of exposing the electronic image sensor to the incident light is a step of exposing only the image area of the electronic sensor to the incident light from the scene of interest for the predefined exposure period to accumulate the charges in the image area of the electronic image sensor. In this embodiment, the method may further include a step of transferring the charges from the image area of the electronic image sensor to a storage area of the electronic image sensor, which is smaller than the image area of the electronic image sensor.

In an embodiment, the method further includes a step of clearing the electronic image sensor of existing charges. This step of clearing the electronic image sensor may include supplying a third voltage, which is higher than the first voltage, to the substrate of the electronic image sensor.

Other aspects and advantages of the present invention will become apparent from the following detailed description, taken in conjunction with the accompanying drawings, illustrated by way of example of the principles of the invention.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a block diagram of a digital imaging apparatus in accordance with the present invention.

Fig. 2 is a block diagram of an image-acquiring unit of the digital imaging apparatus.

Fig. 3 is a partial cross-sectional view of an image area of a CCD sensor included in the image-acquiring unit.

Fig. 4 is an energy diagram of a pixel region of the image area with various energy curves for different potentials applied to the gate electrodes and the substrate.

Fig. 5 is a process flow diagram of a method of electronically acquiring images using a frame-transfer CCD sensor with a reduced-height storage area.

DETAILED DESCRIPTION

With reference to Fig. 1, a digital imaging apparatus 100 in accordance with the present invention is shown. The digital imaging apparatus utilizes a frame-transfer charge coupled device (CCD) sensor to capture a scene of interest in the form of accumulated charges in response to impinging light from the scene. The digital imaging apparatus is designed to process the accumulated charges such that saturation artifacts in the resulting digital images are substantially reduced. Consequently, the quality of bright scene images captured by the digital imaging apparatus is significantly increased.

The digital imaging apparatus 100 includes a lens 102 and a mechanical shutter 104 that are connected to a control mechanism 106, as shown in Fig. 1. The control mechanism operates to adjust the lens in order to focus a scene of interest. In addition, the control mechanism operates to open and close the mechanical shutter to control integration or exposure periods. The digital imaging apparatus further includes an image-acquiring unit 108, a correlated double sampling (CDS) unit 110, an analog-to-digital converter (ADC) 112, a digital signal processing (DSP) circuit 114, a storage unit 116, and a microcontroller 118. The image-acquiring unit operates to electronically capture a scene of interest as accumulated charges, which are sometimes referred herein as analog image signal. The image-acquiring unit then serially outputs the analog image signals for processing. The image-acquiring unit is described in more detail below.

The CDS unit 110 of the digital imaging apparatus 100 operates to reduce noises contained in the analog image signals from the image-acquiring unit 108. The noise-reduced signals are then transmitted to the ADC 112. The ADC converts the noise-reduced signals from analog image signals to digital image signals. The digital images signals are then received by the DSP circuit 114, where the digital image signals are demosaiced and compressed for storage. In addition, the DSP circuit may perform one or more image processing techniques

to enhance the captured image. The processed image is then stored in the storage unit 116 of the digital imaging apparatus. As an example, the storage unit may be a flash memory. The components of the digital imaging apparatus are controlled by the microcontroller 118.

Turning to Fig. 2, a block diagram of the image-acquiring unit 108 of the digital imaging apparatus 100 is shown. As illustrated in Fig. 2, the image-acquiring unit includes a CCD sensor 202, which is configured in accordance to a frame-transfer CCD architecture. The CCD sensor includes an image area 204, a storage area 206 and a serial register 208. The image area and the storage area of the CCD sensor are structurally similar. However, the storage area is masked with an opaque shield. Thus, only the image area is exposed to illumination when the mechanical shutter 104 is opened. Furthermore, the storage area has a reduced-height as compared to the image area. The width of the storage area is the same as the image area.

The CCD image and storage areas 204 and 206 include parallel gate electrodes 210 and parallel isolation implants 212. In the exemplary embodiment, the gate electrodes are formed of poly-Si and the isolating implants are p+ regions. The parallel gate electrodes extend horizontally, while the parallel isolation implants extend vertically. Although only few gate electrodes and isolation implants are shown in Fig. 2, the CCD image and storage areas includes additional gate electrodes and isolation implants. The gate electrodes and the isolation implants define pixel regions, as illustrated by a pixel region 214. In this exemplary embodiment, the pixel region 214 is a section of the CCD sensor 202 defined by the isolation implants 212B and 212C and the two gate electrodes 210D and 210E. The number of gate electrodes included in a pixel region is indicative of the charge transport phase scheme of a frame-transfer CCD sensor. In the exemplary embodiment, the CCD sensor 202 utilizes bi-phase charge transport scheme. However, the CCD sensor may utilize different charge transport scheme, such as a three-phase or four-phase charge transport scheme. In these alternative schemes, the pixel regions of the CCD sensor are defined by additional gate electrodes.

Turning now to Fig. 3, a partial cross-section of the CCD sensor 202 along the line 3--3 in Fig. 2 is shown. As illustrated in Fig. 3, the CCD sensor includes

an n-type substrate 302, a p- region 304, an n- region 306, and a gate oxide 308. The gate electrode 210D and the isolation implants 212B and 212C are also shown. Depending on the voltages applied to the gate electrode 210D and the substrate, the energy profile of the CCD sensor at the pixel region 214 can be varied. As illustrated in the energy diagram of Fig. 4, the energy profile of the CCD sensor can be varied with either the voltage applied to the gate electrode or the voltage applied to the substrate.

As shown in Fig. 4, when the voltage (V_g) on the gate electrode 210D is 0 volts and the voltage (V_s) on the substrate 302 is 18 volts, the energy profile of the CCD sensor 202 is approximately defined by the energy curve 402. Similarly, when V_g is 8 volts and V_s is 28 volts, the energy profile is approximately defined by the energy curve 404. The energy curves 402 and 404 show that under these conditions, charge in the pixel region 214 will drain through the substrate. However, when V_g is 8 volts and the V_s is 18 volts, the energy profile is approximately defined by the energy curve 406, which has a potential well 408 to hold charge. The energy profile as defined by the curve 406 is used during exposure periods to accumulate charges created by impinging photons. The energy curve 406 is configured such that excess charge will drain through the substrate and not overflow to neighboring pixel regions. Thus, the energy curve 406 includes a potential barrier between the n- region 306 and the substrate 302 that is lower than the barriers between neighboring pixel regions, which provides anti-blooming control. However, this potential barrier can be raised by decreasing V_s, as illustrated by the energy curve 410. The energy profile as approximately defined by the curve 410 is created when V_g is 8 volts and V_s is 15 volts. As described below, the energy profiles of the CCD sensor 202 as approximately defined by the curves 406 and 410 are used to reduce saturation artifacts in the captured images.

Turning back to Fig. 2, the image-acquiring unit 108 further includes a timing generator 216, a vertical drive circuit 218, a horizontal drive circuit 220, a substrate drive circuit 222 and an amplifier 224. The timing generator provides timing signals to the vertical drive circuit, the horizontal drive circuit and the substrate drive circuit. The vertical drive circuit supplies gate voltages to the gate electrodes 210 in both the image area 204 and the storage area 206. During an

exposure period, the vertical drive circuit supplies gate voltages to selected gate electrodes, creating potential wells in the pixel regions of the image area to accumulate charges. After the exposure period, the vertical drive circuit supplies gate voltages in phases to vertically transfer the accumulated charges from the image area to the serial register 208 through the storage area. Initially, the accumulated charges are rapidly transferred to the storage area. The transferred charges are then serially readout though the serial register on a row-by-row basis as analog image signals. The voltages needed by the serial register to serially readout a row of accumulated charges are supplied by the horizontal drive circuit. In the exemplary embodiment, the vertical and horizontal drive circuits supply either 0 volts or 8 volts. The analog image signals from the serial register are then amplified by the amplifier 224, before being transmitted to the CDS unit 110.

The substrate drive circuit 222 of the image-acquiring unit 108 provides substrate voltages to the substrate 302 of the image area 204 of the CCD sensor 202. The substrate drive circuit is configured to supply one of three voltages, a high voltage, a medium voltage and a low voltage. The substrate drive circuit supplies the high voltage to the substrate to clear the image area of existing charges. During exposure periods, the substrate drive circuit supplies the medium voltage to the substrate to create potential wells. During readout, the substrate drive circuit supplies the low voltage to the substrate to reduce the dissipation of saturated charges remaining in the image area after rapid transfer of the accumulated charges to the storage area. Thus, the saturated charges remaining in the image area and the saturated charges in the storage area are maintained at their initial levels, which reduces saturation artifacts. In the exemplary embodiment, the substrate drive circuit supplies 15, 18 or 28 volts.

A method of electronically acquiring images using a frame-transfer CCD sensor with a reduced-height storage area is described with reference to Figs. 5. At step 502, an image area of the frame-transfer CCD sensor is cleared of existing charges to initiate an exposure period. The image area may be cleared by setting the voltage on the gate electrodes of the image area to 0 volts. Alternatively, the image area may be cleared by pulsing the substrate of the image area with a high substrate voltage. As an example, the high substrate voltage may be 28 volts. Next, at step 504, charges are accumulated in the

image area in response to impinging illumination until the end of the exposure period. During this period, the voltage applied to the activated gate electrodes of the image area is a high gate voltage, e.g., 8 volts, while the voltage applied to the substrate of the image area is a medium substrate voltage, e.g., 18 volts. At step 506, a mechanical shutter is closed to terminate the exposure period. Depending on the intensity of the impinging illumination and the duration of the exposure period, some of the accumulated charges may be saturated charges. These saturated charges will drain through the substrate due to the anti-blooming effect. Next, at step 508, the voltage on the substrate of the image area is decreased to a low substrate voltage, e.g., 15 volts, creating a higher potential barrier to the substrate to reduce the amount of saturated charges drained through the substrate.

Next, at step 510, the accumulated charges in the image area of the CCD sensor 202 are rapidly transferred to a storage area of the CCD sensor toward a serial register. However, since the storage area is smaller than the image area, some of the accumulated charges will remain in the image area. Due to the increased potential barrier to the substrate of the image area, the saturated charges remaining in the image area will not substantially drain through the substrate. At step 512, the transferred charges are serially readout through the serial register on a row-by-row basis. Since the saturated charges are substantially maintained at their initial levels during readout, saturation artifacts are reduced in the resulting image.

WHAT IS CLAIMED IS:

1. A method of electronically acquiring a scene of interest using an electronic image sensor (202) comprising:

supplying (504) a first voltage (406) to a substrate (302) of said electronic image sensor;

exposing (504) said electronic image sensor to incident light from said scene of interest for a predefined exposure period to accumulate charges in said electronic image sensor;

supplying (508) a second voltage (410) to said substrate of said electronic image sensor after said predefined exposure period, said second voltage being a lower voltage than said first voltage; and

outputting (512) said charges from said electronic image sensor.

2. The method of claim 1 wherein said step of supplying (508) said second voltage (410) to said substrate (302) is a step of supplying said second voltage to only said substrate in an image area (204) of said electronic image sensor (202).

3. The method of claim 2 wherein said step of exposing (504) said electronic image sensor (202) to said incident light is a step of exposing only said image area (204) of said electronic image sensor to said incident light from said scene of interest for said predefined exposure period to accumulate said charges in said image area of said electronic image sensor.

4. The method of claim 3 further comprising a step of transferring (510) said charges from said image area (204) of said electronic image sensor (202) to a storage area (206) of said electronic image sensor, said storage area being smaller than said image area.

5. The method of claim 1, 2, 3 or 4 further comprising a step of closing (506) a mechanical shutter to block said incident light from said scene of interest, prior to said step of supplying (508) said second voltage (410) to said substrate (302) of said electronic image sensor (202).

6. An apparatus for digitally capturing a scene of interest comprising:

an electronic image sensor (202) having a substrate (302);

a substrate drive circuit (222) operatively coupled to said electronic image sensor to supply a first voltage (406) and a second voltage (410) to said substrate of said electronic image sensor, said substrate drive circuit being configured to supply said first voltage to said substrate of said electronic image sensor during an exposure period when said electronic image sensor is exposed to incident light from said scene of interest to accumulate charges in said electronic image sensor, said substrate drive circuit further being configured to supply said second voltage to said substrate of said electronic image sensor after said exposure period, said second voltage being a lower voltage than said first voltage; and

an output register (208) coupled to said electronic image sensor to output said charges from said electronic image sensor.

7. The apparatus of claim 6 wherein said electronic image sensor (202) includes an image area (204) and a storage area (206), said storage area being smaller than said image area.

8. The apparatus of claim 7 wherein said substrate drive circuit (222) is configured to supply said first and second voltages (406, 410) to only said substrate (302) in said image area (204) of said electronic image sensor (202).

9. The apparatus of claim 7 or 8 further comprising a vertical drive circuit (218) coupled to said electronic image sensor (202), said vertical drive circuit being configured to transfer said charges from said image area (204) of said electronic image sensor to said storage area (206) of said electronic image sensor.

10. The apparatus of claim 6, 7, 8 or 9 wherein said electronic image sensor (202) includes a charge coupled device.

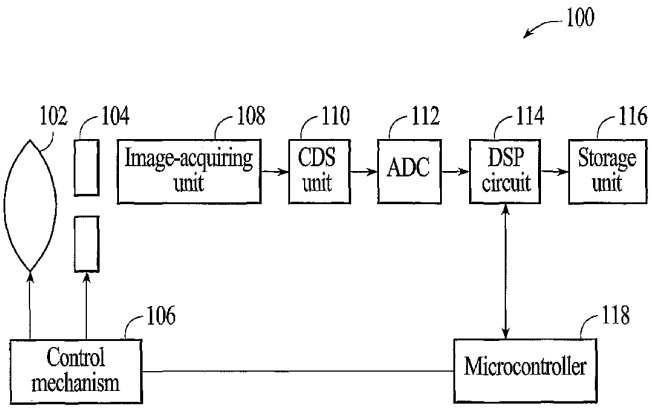

100
102
104
108
110
112
114
116
Image-acquiring unit
CDS unit
ADC
DSP circuit
Storage unit
106
118
Control mechanism
Microcontroller

FIG. 1

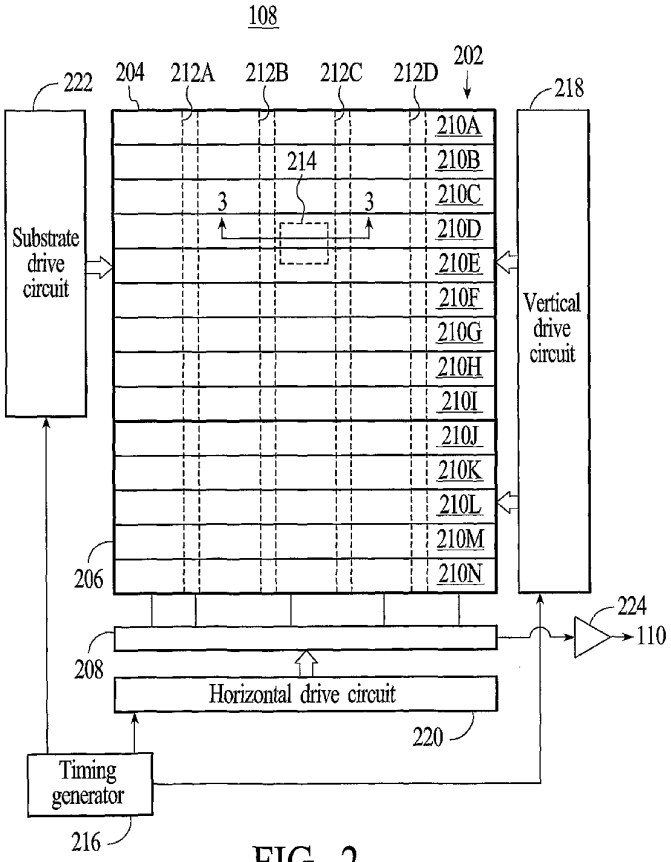

108
222
204
212A
212B
212C
212D
202
218
210A
210B
210C
210D
210E
210F
210G
210H
210I
210J
210K
210L
210M
210N
214
3
3
Substrate drive circuit
Vertical drive circuit
206
208
224
110
Horizontal drive circuit
220
Timing generator
216

FIG. 2

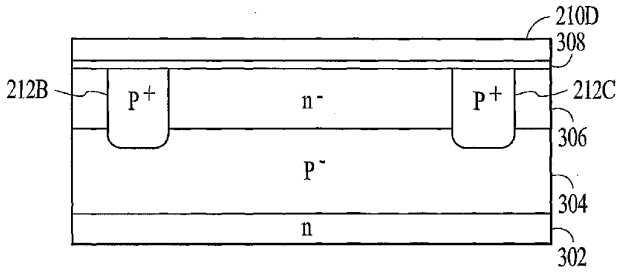

210D
308
212B
P+
n-
P+
212C
306
P-
304
n
302

FIG. 3

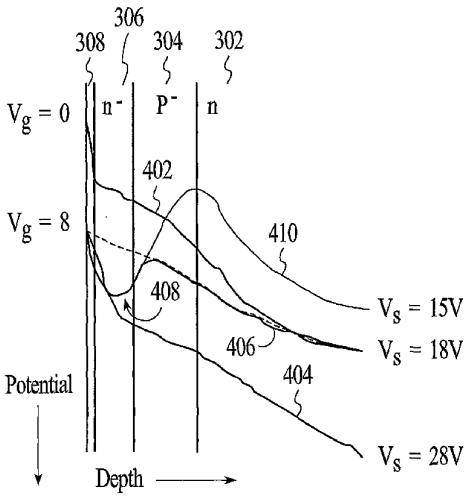

306
308
304
302
Vg = 0
n-
P-
n
402
Vg = 8
410
408
Vs = 15V
406
Vs = 18V
404
Potential
Vs = 28V
Depth

FIG. 4

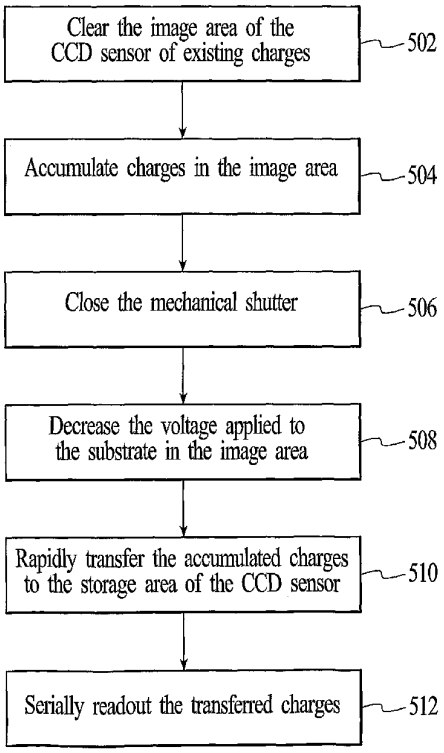

Clear the image area of the CCD sensor of existing charges
502
Accumulate charges in the image area
504
Close the mechanical shutter
506
Decrease the voltage applied to the substrate in the image area
508
Rapidly transfer the accumulated charges to the storage area of the CCD sensor
510
Serially readout the transferred charges
512

FIG. 5

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US02/16003

A. CLASSIFICATION OF SUBJECT MATTER
IPC(7) : H04N 3/14, 5/335
US CL : 348/311
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
U.S. : 348/249, 296, 312, 324, 367

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
European and Japanese patent abstract databases text searched for CCDs having on-chip storage and mechanical shutters.

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X --- Y	US 5,729,287 A (MORIMOTO et al) 17 May 1998 (17.05.1998), column 7, lines 58-67; column 8, lines 1-16.	1 - 4, 6 --- 5, 7 - 9
Y	U.S. 5,463,421 A (DEGUCHI et al) 31 October 1995 (31.10.1995), column 5, lines 51-53; column 6, lines 10-15.	7 - 9
Y	US 5,828,407 A (SUZUKI) 27 October 1998 (27.10.1998), column 7, lines 9-16; column 7, line 67; column 8, lines 1-5.	5
A	US 5,471,242 A (KONDO) 28 November 1995 (28.11.1995), column 4, lines 12-16; column 7, lines 57-61.	5

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 July 2002 (12.07.2002)	28 AUG 2002
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703)305-3230	Authorized officer Wendy R. Garber Telephone No. (703) 305-4929

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US02/16003

Box I Observations where certain claims were found unsearchable (Continuation of Item 1 of first sheet)

This international report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claim Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☒ Claim Nos.: 10
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of Item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

Form PCT/ISA/210 (continuation of first sheet(1)) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US02/16003

Continuation of Item 4 of the first sheet:
The title is too long.

NEW TITLE:

REDUCER OF SATURATION ARTIFACTS ON CCD

Form PCT/ISA/210 (second sheet) (July 1998)

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZM,ZW

(72)発明者 ベーア，リチャード，エル
アメリカ合衆国カリフォルニア州９４０２４，ロスアルトス，コロニアル・オークス・ドライブ・１２８０

Ｆターム(参考) 4M118 AA05 AB01 BA10 BA12 FA06 FA13 FA26 FA34 GD03
5C024 BX01 CX12 CX55 GY03