



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0031675
(43) 공개일자 2023년03월07일

(51) 국제특허분류(Int. Cl.)
H10K 10/80 (2023.01) H10K 10/00 (2023.01)
(52) CPC특허분류
H10K 10/82 (2023.02)
H10K 10/471 (2023.02)
(21) 출원번호 10-2021-0114158
(22) 출원일자 2021년08월27일
심사청구일자 2021년08월27일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
김현석
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
이경진
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(74) 대리인
특허법인더웨이브

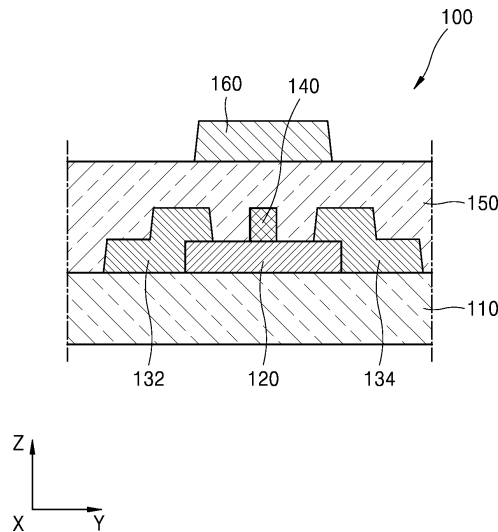
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 박막 트랜지스터

(57) 요약

본 발명의 일 실시예는, 기판, 상기 기판 상의 반도체층, 상기 반도체층 상에 위치하며, 상기 반도체층의 양측에 각각 접하는 소스전극과 드레인전극, 상기 반도체층 상에서 상기 소스전극과 상기 드레인전극 사이에 위치하는 보조전극, 상기 소스전극, 상기 드레인전극 및 상기 보조전극을 덮는 절연층 및 상기 절연층 상에 위치하는 게이트 전극을 포함하는 박막 트랜지스터를 개시한다.

대표도 - 도1



(52) CPC특허분류

H10K 10/484 (2023.02)

(72) 발명자

박지민

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

장성철

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

김재현

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

이 발명을 지원한 국가연구개발사업

과제고유번호

0000000000

과제번호

2021-RMD-S03

부처명

과학기술정보통신부

과제관리(전문)기관명

과학기술일자리진흥원

연구사업명

연구재료개발확산지원사업

연구과제명

트랜지스터 및 센서 연구를 위한 작용기 함유 패터링 박막필름 연구재료 개발

기 여 율

1/1

과제수행기관명

충남대학교

연구기간

2021.04.01 ~ 2021.12.31

명세서

청구범위

청구항 1

기관;

상기 기관 상의 반도체층;

상기 반도체층 상에 위치하며, 상기 반도체층의 양측에 각각 접하는 소스전극과 드레인전극;

상기 반도체층 상에서 상기 소스전극과 상기 드레인전극 사이에 위치하는 보조전극;

상기 소스전극, 상기 드레인전극 및 상기 보조전극을 덮는 절연층; 및

상기 절연층 상에 위치하는 게이트 전극;을 포함하는 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 보조전극은 상기 반도체층상에 직접 위치하여 상기 반도체층과 접하는 박막 트랜지스터.

청구항 3

제1항에 있어서,

제1 방향을 따른 상기 보조전극의 길이는 상기 제1 방향을 따른 상기 소스전극 폭의 100% 내지 160%인 박막 트랜지스터.

청구항 4

제1항에 있어서,

제2 방향을 따른 상기 소스전극과 상기 보조전극 사이의 제1 간격은 상기 제2 방향을 따른 상기 보조전극과 상기 드레인전극 사이의 제2 간격보다 큰 박막 트랜지스터.

청구항 5

제4항에 있어서,

상기 제1 간격은 상기 제2 간격의 100% 초과 130% 이하인 박막 트랜지스터.

청구항 6

제1항에 있어서,

상기 보조전극은 상기 소스전극 및 상기 드레인전극과 동일한 재질을 포함하는 박막 트랜지스터.

청구항 7

제1항에 있어서,

상기 반도체층은 ZnSnO_3 와 BaSnO_3 를 포함하는 박막 트랜지스터.

청구항 8

제7항에 있어서,

상기 반도체층의 상기 ZnSnO_3 함량은 상기 BaSnO_3 함량 보다 큰 박막 트랜지스터.

청구항 9

제7항에 있어서,

상기 절연층은 유기물질을 포함하는 박막 트랜지스터.

청구항 10

제9항에 있어서,

상기 유기물질은 파릴렌 D인 박막 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 박막 트랜지스터에 관한 것이다.

배경 기술

[0002] 박막트랜지스터는 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층(active layer)과, 절연층에 의해 활성층과 전기적으로 절연되는 게이트 전극을 포함할 수 있다. 또한, 소스 영역과 드레인 영역 각각에는 소스 전극과 드레인 전극이 전기적으로 연결될 수 있다.

[0003] 일반적으로 박막 트랜지스터의 활성층은 비정질 실리콘(amorphous silicon)이나 폴리 실리콘(poly-silicon)으로 형성되는데, 활성층이 비정질 실리콘으로 형성되면 전하의 이동도(mobility)가 낮아 고속으로 동작하는 구동 회로의 구현이 어려울 수 있다. 또한, 활성층이 폴리 실리콘으로 형성되면 전하의 이동도는 향상될 수 있지만, 박막 트랜지스터의 문턱전압(V_{th})이 불균일하여 별도의 보상 회로가 부가 되어야 하는 문제가 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예들은, 안정성을 유지하면서 전하의 이동도가 향상된 탑 게이트 방식의 박막 트랜지스터를 제공한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예는, 기판, 상기 기판 상의 반도체층, 상기 반도체층 상에 위치하며, 상기 반도체층의 양측에 각각 접하는 소스전극과 드레인전극, 상기 반도체층 상에서 상기 소스전극과 상기 드레인전극 사이에 위치하는 보조전극, 상기 소스전극, 상기 드레인전극 및 상기 보조전극을 덮는 절연층 및 상기 절연층 상에 위치하는 게이트 전극;을 포함하는 박막 트랜지스터를 개시한다.

[0006] 본 실시예에 있어서, 상기 보조전극은 상기 반도체층상에 직접 위치하여 상기 반도체층과 접할 수 있다.

[0007] 본 실시예에 있어서, 제1 방향을 따른 상기 보조전극의 길이는 상기 제1 방향을 따른 상기 소스전극 폭의 100% 내지 160%일 수 있다.

[0008] 본 실시예에 있어서, 제2 방향을 따른 상기 소스전극과 상기 보조전극 사이의 제1 간격은 상기 제2 방향을 따른 상기 보조전극과 상기 드레인전극 사이의 제2 간격보다 클 수 있다.

[0009] 본 실시예에 있어서, 상기 제1 간격은 상기 제2 간격의 100% 초과 130% 이하일 수 있다.

[0010] 본 실시예에 있어서, 상기 보조전극은 상기 소스전극 및 상기 드레인전극과 동일한 재질을 포함할 수 있다.

[0011] 본 실시예에 있어서, 상기 반도체층은 $ZnSnO_3$ 와 $BaSnO_3$ 를 포함할 수 있다.

[0012] 본 실시예에 있어서, 상기 반도체층의 상기 $ZnSnO_3$ 함량은 상기 $BaSnO_3$ 함량보다 클 수 있다.

[0013] 본 실시예에 있어서, 상기 절연층은 유기물질을 포함할 수 있다.

[0014] 본 실시예에 있어서, 상기 유기물질은 파릴렌 D를 포함할 수 있다.

발명의 효과

[0015] 본 발명의 실시예들에 의하면, 소스 전극과 드레인 전극 사이에 반도체층과 접하는 보조 전극을 위치시킴으로써 전하의 이동도가 증가하여, 탑 게이트 방식의 박막 트랜지스터의 전기적 특성이 향상될 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 일 예를 개략적으로 도시한 단면도이다.

도 2는 도 1의 박막 트랜지스터의 일 예를 개략적으로 도시한 평면도이다.

도 3는 도 1의 박막 트랜지스터의 다른 예를 개략적으로 도시한 평면도이다.

도 4는 박막 트랜지스터의 반도체층에 따른 박막 트랜지스터의 특성을 도시한 그래프이다.

도 5는 도 1의 박막 트랜지스터의 특성을 도시한 그래프이다.

도 6은 도 1의 박막 트랜지스터의 안정성 결과를 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0018] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

[0019] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0020] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0021] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

[0022] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0023] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하기로 한다.

[0024] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 일 예를 개략적으로 도시한 단면도이고, 도 2는 도 1의 박막 트랜지스터의 일부를 개략적으로 도시한 평면도이다.

[0025] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 박막 트랜지스터(100)는 기판(110), 기판(110) 상의 반도체층(120), 상기 반도체층(120)의 양단에 각각 전기적으로 연결된 소스전극(132)과 드레인전극(134), 상기 반도체층(120) 상에서 소스전극(132)과 드레인전극(134) 사이에 배치된 보조전극(140), 소스전극(132), 드레인전극(134) 및 보조전극(140)을 덮는 절연층(150) 및 절연층(150) 상에 배치된 게이트전극(160)을 포함할 수 있다.

[0026] 기판(110)은 유리 또는 고분자재질을 포함할 수 있다. 기판(110)이 고분자재질을 포함하는 경우, 기판(110)은 폴리에테르설폰 (polyethersulphone; PES), 폴리에틸렌테레프탈레이트 (polyethyleneterephthalate; PET), 폴리카보네이트 (polycarbonate; PC), 폴리이미드 (polyimide; PI), 및 폴리에틸렌나프탈레이트 (polyethylenenaphthalate; PEN), 폴리아크릴레이트 (polyacrylate; PAR) 등을 포함할 수 있다.

[0027] 반도체층(120)은 아연(Zn) 및 주석(Sn) 중에서 선택된 하나 이상의 원소와 산소(O)를 포함하여 형성될 수 있다. 또한, 반도체층(120)은 바륨(Ba)을 포함할 수 있다.

[0028] 일 예로, 반도체층(120)은 at%로 아연(Zn) 21at% 내지 25at%, 주석(Sn) 24at% 내지 27at%, 바륨(Ba) 0.12at%

내지 0.18at%, 산소(O) 50at% 내지 55at% 포함할 수 있다.

- [0029] 특히, 반도체층(120)이 바륨(Ba)을 0.12at% 내지 0.18at% 포함함으로써, 반도체층(120)이 아연(Zn), 주석(Sn) 및 산소(O)로 형성되는 경우에 비해, 박막 트랜지스터(100)의 신뢰성이 향상될 수 있다.
- [0030] 즉, 반도체층(120)은 ZnSnO_3 와 BaSnO_3 를 함께 포함할 수 있다. BaSnO_3 는 ZnSnO_3 의 전도도를 조절하여 반도체층(120)이 반도체성을 가지게 해주며, 박막 트랜지스터(100)의 신뢰성을 향상시킬 수 있다. 이때, ZnSnO_3 의 함량은 BaSnO_3 의 함량보다 클 수 있다. 예를 들어, ZnSnO_3 는 반도체층(120) 전체를 기준으로 99wt% 내지 99.5wt% 포함될 수 있으며, BaSnO_3 는 반도체층(120) 전체를 기준으로 0.5wt% 내지 1wt% 포함될 수 있다.
- [0031] BaSnO_3 의 함량이 0.5wt%보다 작으면 반도체층(120)의 반도체성이 확보되지 않을 수 있고, 반대로 BaSnO_3 의 함량이 0.5wt%보다 크면 전자의 이동도가 감소하고, 박막 트랜지스터(100)의 ON상태와 OFF상태의 드레인전류의 비가 감소하며, 문턱전압이하 스윙(Subthreshold swing)이 증가할 수 있다.
- [0032] 한편, 상기 실시예에서는 반도체층(120)이 아연(Zn), 주석(Sn), 바륨(Ba) 및 산소(O)를 포함하는 예를 설명하였으나, 본 발명은 이에 한정되지 않고, 반도체층(120)은 비정질실리콘, 다결정실리콘 또는 유기반도체물질 등을 포함할 수도 있다.
- [0033] 소스 전극(132)과 드레인 전극(134)은 도전성 물질로 이루어질 수 있다. 예를 들어, 소스 전극(132)과 드레인 전극(134)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질을 포함할 수 있으며, 단층 또는 다층 구조를 가질 수 있다.
- [0034] 보조전극(140)은 반도체층(120) 상에 직접 위치한다. 즉, 보조전극(140)은 반도체층(120)에 접하여 형성된다. 보조전극(140)은 소스 전극(132) 및 드레인 전극(134) 사이에서, 소스 전극(132) 및 드레인 전극(134)과 이격되어 위치한다. 따라서, 보조전극(140)은 전압이 직접 인가되지 않는 플로팅 상태를 가질 수 있다.
- [0035] 일 예로, 보조전극(140)은 소스 전극(132)과 드레인 전극(134)의 형성시 함께 형성되어 소스 전극(132) 및 드레인 전극(134)과 동일한 재질을 포함할 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 보조전극(140)은 전자를 풍부하게 가지고 있는 다양한 재질로 형성될 수 있다.
- [0036] 이러한 보조전극(140)은 반도체층(120)의 채널 영역에서 반도체층(120)과 직접 접하여 형성되어, 소스영역에서 공급되는 캐리어인 전자가 채널 영역을 통해 드레인영역으로 이동할 때, 보조전극(140)을 경유하여 이동하게 함으로써, 전자의 이동 효율을 향상시킬 수 있다. 그 결과, 박막 트랜지스터(100)의 이동도(Mobility)가 향상될 수 있다. 또한, 전자를 포함하는 보조전극(140)은 캐리어인 전자를 공급할 수 있으므로, 박막 트랜지스터(100)의 전류량이 증가할 수 있다.
- [0037] 도 2는 소스전극(132), 드레인전극(134) 및 보조전극(140)만을 도시한 평면도로서, 도 2를 참조하면, 제1 방향(X)을 따른 보조전극(140)의 길이(L)는 제1 방향(X)을 따른 소스전극(132)과 드레인전극(134)의 폭(W)보다 클 수 있다.
- [0038] 일 예로, 제1 방향(X)을 따른 보조전극(140)의 길이(L)는 제1 방향(X)을 따른 소스전극(132)과 드레인전극(134)의 폭(W)의 100% 내지 160%일 수 있다. 이에 의해, 채널을 통과하는 전자들이 보조전극(140)을 경유하여 이동하는 확률을 높일 수 있고, 이동 중 캐리어가 재결합에 의해 소멸되는 것을 감소시킴으로써, 전하의 이동도(Mobility)와 전류량이 효과적으로 증가할 수 있다.
- [0039] 절연층(150)은 유기물질을 포함할 수 있다. 절연층(150)은 파릴렌(parylene), 폴리메틸메타크릴레이트(PMMA, polymethylmethacrylate), 폴리스타이렌(PS, polystyrene), 페놀계 고분자, 아크릴계 고분자, 폴리이미드와 같은 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계 고분자, p-자이리렌계 고분자, 비닐알콜계 고분자 중에서 선택되는 어느 하나 또는 다수 개를 사용할 수 있으나, 이에 한정되는 것은 아니다. 절연층(150)이 유기물질을 포함하면, 절연층(150)을 스크린 프린팅 등의 방법으로 상온에서 형성할 수 있다.
- [0040] 일 예로, 절연층(150)은 파릴렌 D를 포함할 수 있다. 파릴렌 D는 파릴렌 N에서 두 개의 방향족 수소를 염소 원자로 치환하여 변형된 것으로, 파릴렌 D를 사용하여 절연층(150)을 상온에서 형성할 수 있다. 따라서, 고온에서 증착되는 SiN_x 또는 SiO_x 등과 같은 무기물로 절연층(150)을 형성하는 것에 비해, 파릴렌 D를 사용하여 절연층(150)을 형성하면, 절연층(150)의 형성과정에서 반도체층(120)이 고온에 노출되는 것을 방지할 수 있으므로, 반

도체층(120)이 고온에 의해 열화되어 박막 트랜지스터(100)의 특성이 저하되는 것을 방지할 수 있다.

- [0041] 게이트전극(160)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디움(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질을 포함할 수 있으며, 단층 또는 다층 구조를 가질 수 있다.
- [0042] 도 3는 도 1의 박막 트랜지스터의 다른 예를 개략적으로 도시한 평면도이다. 이하에서는 도 1 및 도 2에서 설명한 바와 동일한 내용을 중복하여 설명하지 않는다.
- [0043] 도 3을 참조하면, 보조전극(140)은 소스 전극(132) 및 드레인 전극(134) 사이에서, 소스 전극(132) 및 드레인 전극(134)과 이격되어 위치한다.
- [0044] 제2 방향(Y)을 따른 소스전극(132)과 보조전극(140) 사이의 제1 간격(d1)과 제2 방향(Y)을 따른 보조전극(140)과 드레인전극(134) 사이의 제2 간격(d2)은 제1 간격(d1)과 제2 간격(d2)은 거의 유사하며 약간의 오차는 허용될 수 있다. 여기서, 제1 간격(d1)은 서로 마주보는 소스전극(132)의 일측면과 보조전극(140)의 일측면 간의 거리를 의미하고, 제2 간격(d2)은 서로 마주보는 보조전극(140)의 타측면과 드레인전극(134)의 일측면 간의 거리를 의미한다.
- [0045] 한편, 소스 전극(132)과 드레인 전극(134) 사이에서의 보조전극(140)의 면적은 소스 전극(132)과 드레인 전극(134) 사이 공간 면적의 40% 내지 60%일 수 있다. 여기서, 소스 전극(132)과 드레인 전극(134) 사이에서의 보조전극(140)의 면적은, 보조전극(140)의 길이가 소스 전극(132) 및 드레인 전극(134)의 폭과 동일한 경우 즉, 제1 방향(X)을 따른 소스 전극(132) 또는 드레인 전극(134)의 폭과 제2 방향을 따른 보조전극(140)의 폭을 곱한 값을 의미한다.
- [0046] 소스 전극(132)과 드레인 전극(134) 사이에서의 보조전극(140)의 면적이 소스 전극(132)과 드레인 전극(134) 사이 공간 면적의 40% 내지 60%이면, 보조전극(140)에 의한 소스 전극(132)과 드레인전극(134) 간의 단락을 방지하면서, 전자의 이동경로가 감소함으로써 전자의 이동 효율을 향상시킬 수 있다.
- [0047] 선택적 실시예로, 제2 방향(Y)을 따른 소스전극(132)과 보조전극(140) 사이의 제1 간격(d1)은 제2 방향(Y)을 따른 보조전극(140)과 드레인전극(134) 사이의 제2 간격(d2)과 상이할 수 있다.
- [0048] 구체적으로, 제1 간격(d1)은 제2 간격(d2) 보다 클 수 있다. 일 예로, 제1 간격(d1)은 제2 간격(d2)의 100% 초과 130% 이하일 수 있다. 이처럼 보조전극(140)이 드레인전극(134) 쪽으로 치우쳐 형성되면, 보조전극(140)과 드레인전극(134)간의 제2 간격(d2)이 감소함으로써 공간전하영역의 접촉저항의 영향이 감소하여, 전하의 이동도는 더욱 향상될 수 있다. 또한, 보조전극(140)에서 공급되는 전자의 이동경로가 감소함으로써, 더욱 효과적으로 전자가 드레인전극(134)으로 공급될 수 있다.
- [0049] 도 4는 박막 트랜지스터의 반도체층에 따른 박막 트랜지스터의 특성을 도시한 그래프이다.
- [0050] 도 4에서 (A)는 반도체층이 ZnSnO₃로 형성된 경우이고, (B)와 (C)는 반도체층이 ZnSnO₃와 BaSnO₃로 형성된 경우이다. 구체적으로, (B)와 (C)에서는 반도체층을 아연과 주석을 포함하는 제1 타겟과 바륨과 주석을 포함하는 제2 타겟을 사용한 co-sputtering으로 형성하되, (B)는 10W로 스퍼터링을 실시하고, (C)는 30W로 스퍼터링을 실시한 경우이다. 그 결과 (B)는 99.34wt%의 ZnSnO₃와 0.65wt%의 BaSnO₃로 반도체층이 형성되고, (C)는 98.8wt%의 ZnSnO₃와 1.2wt%의 BaSnO₃로 반도체층이 형성되었다.
- [0051] 그 외에, (A), (B), (C)에서 반도체층은 30nm의 두께로 형성하고, 절연층은 SiO₂로 100nm의 두께로 형성하며, 소스전극과 드레인전극은 알루미늄으로 150nm의 두께로 형성한 점은 모두 동일하다.
- [0052] 도 4에서 알 수 있는 바와 같이, (A)에 비해 (B) 및 (C)는 문턱전압이 양의 값으로 이동하였는데, 이는 ZnSnO₃에 BaSnO₃가 첨가됨에 따라 구조적으로 안정화 됨으로써 산소 관련 결함을 억제하고 반도체 특성을 나타내는 것으로 이해될 수 있다.
- [0053] 한편, 하기 표 1은 (A), (B), (C)의 박막 트랜지스터의 이동도(μ_{FE}), 문턱전압이하 스윙(S.S), 문턱전압(V_{th}) 및 ON/OFF 상태에서의 드레인 전류비(I_{on}/I_{off})를 측정한 결과이다.

표 1

	$\mu_{FE} (Cm^2 V^{-1} s^{-1})$	S.S. ($V \cdot dec^{-1}$)	$V_{th}(V)$	I_{on}/I_{off}
(A)	39.1	0.56	-18.48	4.6×10^7
(B)	20.7	0.31	-0.06	1.6×10^8
(C)	10.8	0.66	1.36	3.3×10^7

상기 표 1에서 알 수 있는 바와 같이, (C)의 경우는 BaSnO₃의 함량이 1wt%보다 큼에 따라, BaSnO₃를 0.65wt% 포함하는 (B)에 비해 전하의 이동도(μ_{FE})가 급격하게 감소하고, ON/OFF 상태에서의 드레인 전류비(I_{on}/I_{off})가 1.6×10^8 에서 3.3×10^7 으로 감소하며, 문턱전압이하 스윙(S.S)이 두 배 가까이 증가한 것을 알 수 있다.

즉, 반도체층은 ZnSnO₃와 BaSnO₃를 함께 포함함으로써, 반도체층이 반도체성을 가질 수 있지만, 이때 박막 트랜지스터의 전기적 특성을 위해 BaSnO₃는 반도체층 전체를 기준으로 0.5wt% 내지 1wt%포함될 수 있다.

한편, 도 4의 (B)와 (A)를 비교하면, (B)가 (A)에 비해 문턱전압이하 스윙(S.S), 문턱전압(V_{th}) 및 ON/OFF 상태에서의 드레인 전류비(I_{on}/I_{off})의 특성이 향상되었지만, 전하의 이동도(μ_{FE})는 감소한 것을 알 수 있다. 그러나, 본 발명에 의하면 반도체층 상에 중간층을 형성함으로써 박막 트랜지스터의 안정성의 저하 없이 전하의 이동도(μ_{FE})를 큰 폭으로 개선할 수 있다.

도 5는 비교예(I)와 도 1의 박막 트랜지스터에 따른 실시예(II)의 특성을 도시한 그래프이다. 도 5에서 비교예(I)는 도 4의 (B)와 동일한 박막 트랜지스터이며, 실시예(II)는 비교예(I)에서 절연층을 파릴렌D로 135nm의 두께로 형성하고, 중간층을 더 형성한 경우이다. 실시예(II)에서 중간층은 소스 전극과 드레인 전극 사이의 중앙에 위치하고, 중간층의 길이는 1300 μm 로 소스 전극 폭의 160%에 해당하며, 중간층의 폭은 100 μm 로 형성되었다.

한편, 하기 표 2는 도 5의 비교예(I)와 실시예(II)의 이동도(μ_{FE}), 문턱전압이하 스윙(S.S), 문턱전압(V_{th}) 및 ON/OFF 상태에서의 드레인 전류비(I_{on}/I_{off})를 측정한 결과이다.

표 2

	$\mu_{FE} (Cm^2 V^{-1} s^{-1})$	S.S. ($V \cdot dec^{-1}$)	$V_{th}(V)$	I_{on}/I_{off}
비교예	19.14	0.42	-0.45	4.2×10^8
실시예	65.8	0.46	-0.58	2.1×10^9

상기 표 2에서 알 수 있는 바와 같이, 실시예(II)와 비교예(I)에서 문턱전압이하 스윙(S.S)과 문턱전압(V_{th})은 거의 동등한 결과를 나타내지만, 이동도(μ_{FE})는 실시예(II)가 65.8 $Cm^2 V^{-1} s^{-1}$ 이고, 비교예(I)가 20.7 $Cm^2 V^{-1} s^{-1}$ 로서, 3배 넘게 증가한 것을 알 수 있다. 또한, 도 5에서 도시된 바와 같이, 비교예(I)보다 실시예(II)에서 전류량도 증가한 것을 알 수 있다.

이는, 보조전극이 반도체층의 채널 영역에서 반도체층과 직접 접하여 형성됨으로써, 전자의 이동시 전자가 보조전극을 경유하여 이동하여, 전자의 이동 효율이 향상됨과 동시에, 보조전극으로부터 전자가 추가로 공급되기 때문이다.

또한, ON/OFF 상태에서의 드레인 전류비(I_{on}/I_{off})는 실시예(II)가 비교예(I)에 비해 약 5배 증가한 것을 알 수 있는데, 이는 실시예(II)의 절연층을 상온에서 파릴렌D로 형성함으로써, 반도체층이 절연층의 형성과정에서 고온에 노출되는 것이 방지되어 박막 트랜지스터의 특성이 향상된 것으로 이해될 수 있다.

도 6은 도 1의 박막 트랜지스터의 안정성 테스트 결과를 도시한 그래프이다.

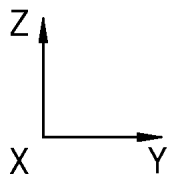
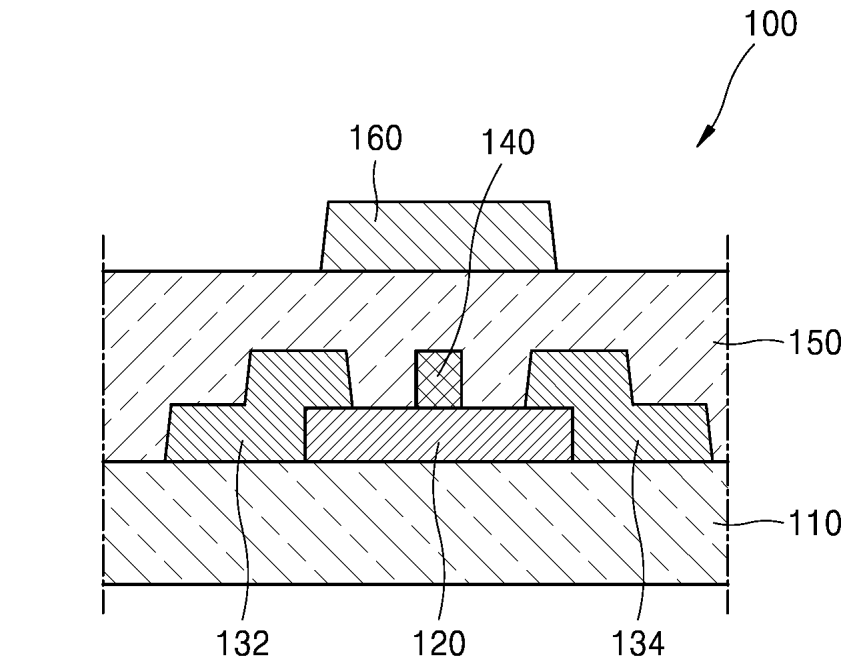
- [0065] 도 6의 (III)은 도 5의 실시예(II)와 동일한 박막 트랜지스터의 정 바이어스 스트레스(positive bias stress) 값을 측정한 결과이며, 도 6의 (IV)은 도 5의 실시예(II)와 동일한 박막 트랜지스터에서 음 바이어스 스트레스(negative bias stress) 값을 측정한 결과이다.
- [0066] 도 6의 (III)과 (IV)는 박막 트랜지스터에 전압을 인가하고 3600초까지 600초 단위로 7번 전류값을 측정한 결과로서, 도 6의 (III)과 (IV) 모두 시간이 경과하더라도 문턱전압이 균일하게 유지되는 것을 알 수 있다. 즉, 소스전극과 드레인전극 사이에서 반도체층에 접하는 보조전극을 형성하더라도 박막 트랜지스터의 안정성이 유지된다.
- [0067] 따라서, 본 발명에 의하면, 소스전극과 드레인전극 사이에서 반도체층에 접하는 보조전극을 형성함으로써, 박막 트랜지스터의 안정성이나 신뢰성의 저하 없이, 전하의 이동도가 큰 폭으로 상승할 수 있는바, TFT의 성능이 향상될 수 있다.
- [0068] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

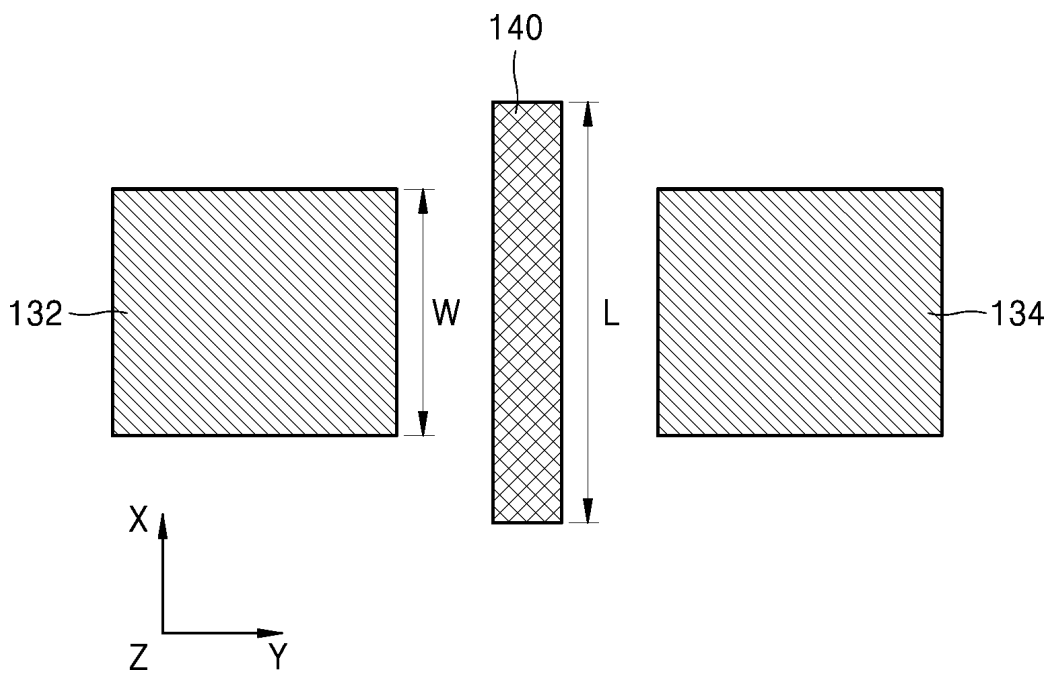
- [0069] 100: 박막 트랜지스터
 110: 기판
 120: 반도체층
 132: 소스전극
 134: 드레인전극
 140: 보조전극
 150: 절연층
 160: 게이트전극

도면

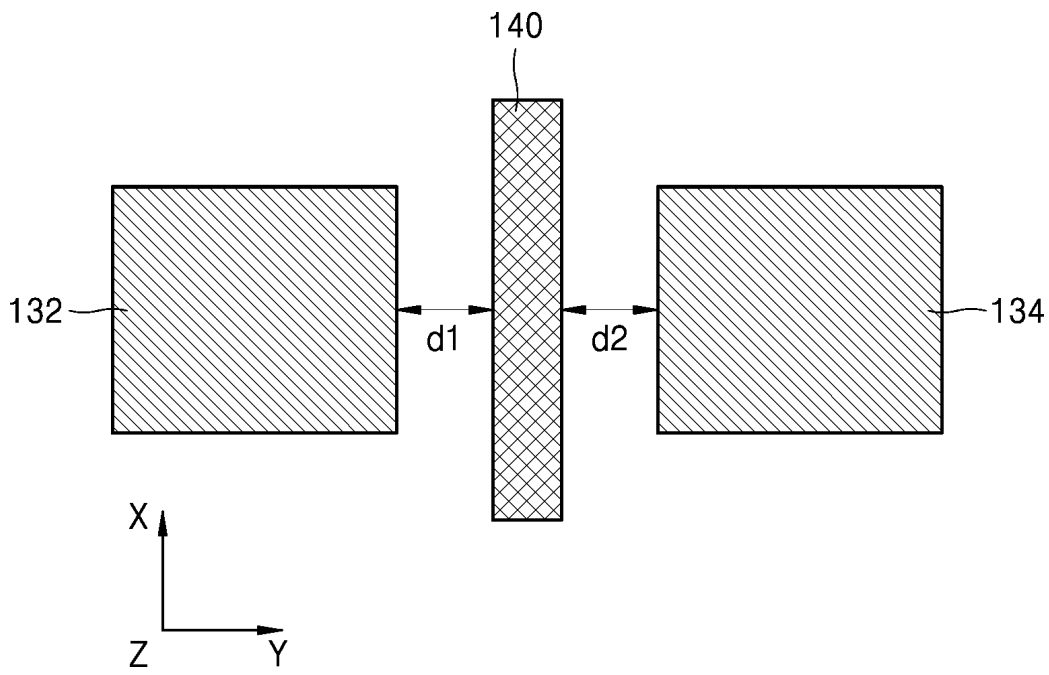
도면1



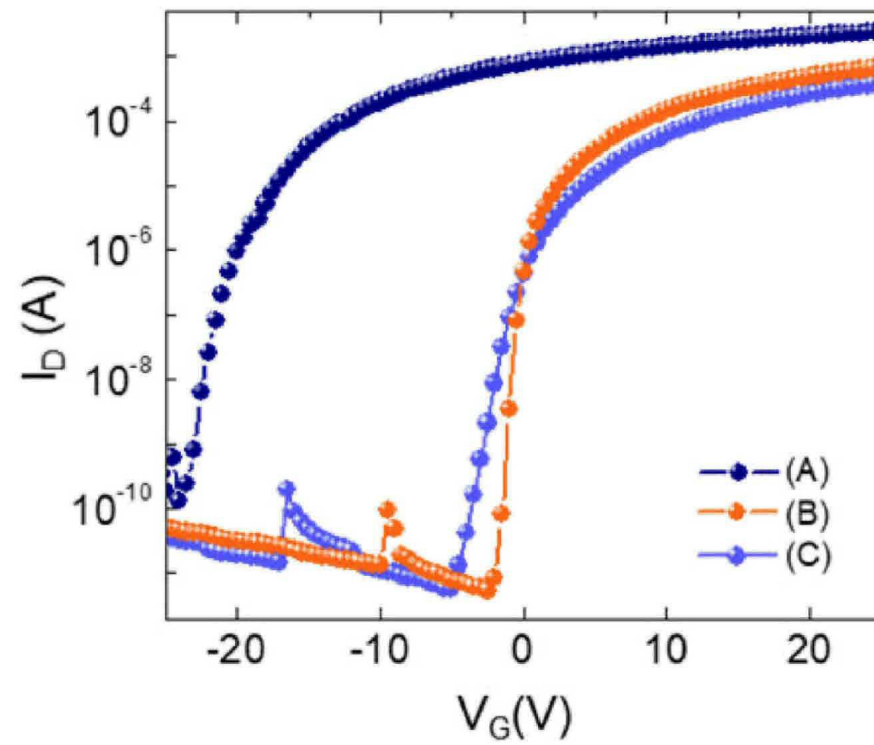
도면2



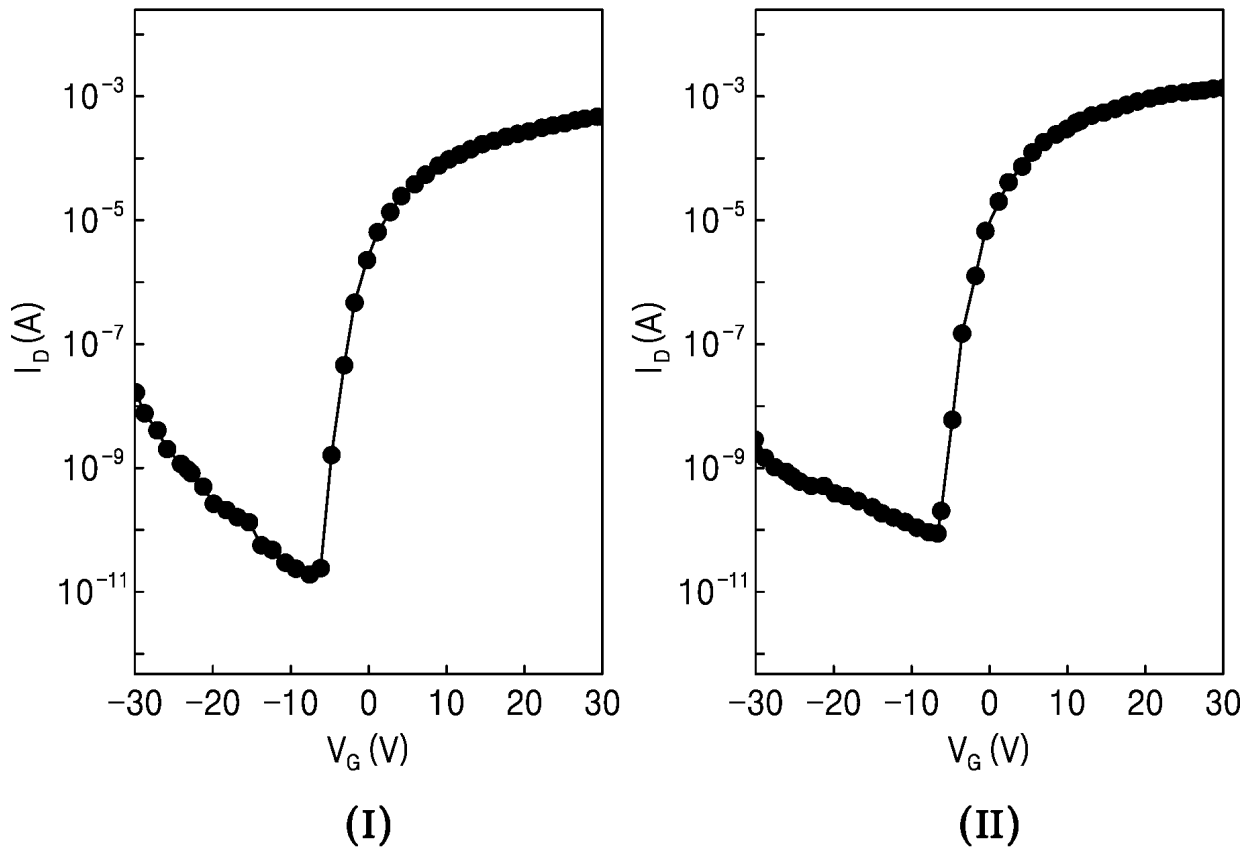
도면3



도면4



도면5



도면6

