

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-4175

(P2010-4175A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.

HO4N 5/335 (2006.01)

F 1

HO4N 5/335

Z

テーマコード(参考)

5C024

審査請求 未請求 請求項の数 6 O L (全 34 頁)

(21) 出願番号

特願2008-159692 (P2008-159692)

(22) 出願日

平成20年6月18日 (2008.6.18)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100076428

弁理士 大塚 康徳

(74) 代理人 100112508

弁理士 高柳 司郎

(74) 代理人 100115071

弁理士 大塚 康弘

(74) 代理人 100116894

弁理士 木村 秀二

(74) 代理人 100130409

弁理士 下山 治

(74) 代理人 100134175

弁理士 永川 行光

最終頁に続く

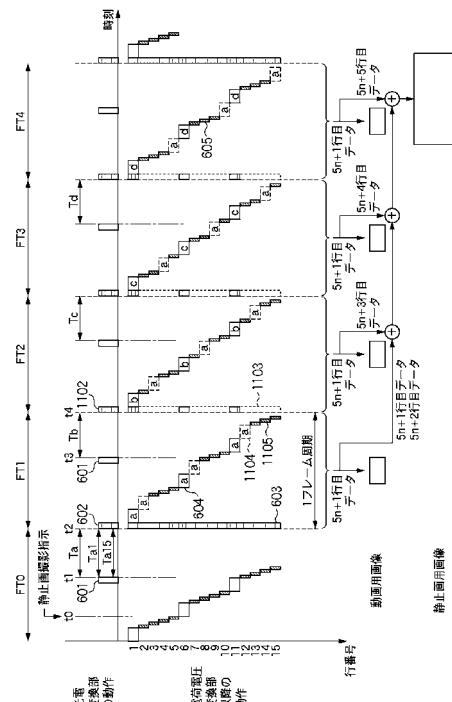
(54) 【発明の名称】撮像装置

(57) 【要約】 (修正有)

【課題】フレームレートの低下を抑制しながら、蓄積の同時性が向上した空間的な解像度の高い静止画を得る。

【解決手段】撮像装置は、動画撮影と静止画撮影が可能な撮像装置で、複数の画素が、少なくとも隣接する2行に対して少なくとも一部が重なっている第1の蓄積期間群に信号の蓄積動作を行う画素配列で、動画撮影と並行して静止画撮影を行う場合、第1フレーム期間で第1の画素群の全てから第1の信号を読み出すとともに、第1のフレーム期間から始まる連続した複数のフレーム期間のそれぞれにおいて、第2の画素群における互いに異なる一部の画素から前記第1の蓄積期間群に蓄積された信号である第2の信号を読み出し、第1の信号と、第2の信号とを合成することにより、1フレーム分の静止画用の画像信号を生成する。

【選択図】図11



【特許請求の範囲】**【請求項 1】**

動画撮影と並行して静止画撮影を行うことが可能な撮像装置であって、複数の画素が行方向及び列方向に配列された画素配列と、少なくとも隣接する2行に対して少なくとも一部が重なっている第1の蓄積期間群に信号の蓄積動作を行わせるように前記複数の画素を駆動する駆動部と、動画撮影と並行して静止画撮影を行う場合、第1のフレーム期間において、前記画素配列の一部である第1の画素群の全てから前記第1の蓄積期間群に蓄積された信号における第1の信号を読み出すとともに、前記第1のフレーム期間から始まる連続した複数のフレーム期間のそれぞれにおいて、前記画素配列の他の一部である第2の画素群における互いに異なる一部の画素から前記第1の蓄積期間群に蓄積された信号における第2の信号を読み出す読み出し部と、

前記読み出し部により前記第1のフレーム期間に読み出された前記第1の信号から1フレーム分の動画用の画像信号を生成するとともに、前記読み出し部により前記第1のフレーム期間に読み出された前記第1の信号と、前記読み出し部により前記複数のフレーム期間に渡って読み出された前記第2の信号とを合成することにより、1フレーム分の静止画用の画像信号を生成する生成部と、
を備え、

前記駆動部は、前記複数のフレーム期間における前記第1のフレーム期間以降のフレーム期間において、前記第1の蓄積期間群に蓄積された信号における前記第1の信号を更新するように前記第1の画素群を駆動するとともに、前記第1の蓄積期間群に蓄積された信号における前記第2の信号を保持し続けるように前記第2の画素群を駆動することを特徴とする撮像装置。
10

【請求項 2】

前記第1の蓄積期間群におけるそれぞれの蓄積期間は、互いに共通であることを特徴とする請求項1又は2に記載の撮像装置。

【請求項 3】

前記読み出し部は、動画撮影と並行して静止画撮影を行う場合、動画撮影のみを行う場合よりも、前記第2の画素群の画素数に対する前記第1の画素群の画素数の比率を減らすことを特徴とする請求項1又は2に記載の撮像装置。
20

【請求項 4】

前記読み出し部は、前記比率を減らした場合、前記比率を減らさない場合よりも、前記複数のフレーム期間のそれぞれにおいて前記第2の画素群から前記第2の信号を読み出す画素数を増やす

ことを特徴とする請求項3に記載の撮像装置。

【請求項 5】

前記複数の画素のそれぞれは、
光電変換部と、
電荷保持部と、

前記光電変換部で発生した電荷を前記電荷保持部へ転送する転送部と、
40

前記電荷保持部の電圧に応じた信号を出力する出力部と、

を含み、

前記駆動部は、前記複数のフレーム期間における前記第1のフレーム期間以降のフレーム期間において、前記光電変換部で発生した電荷を前記転送部が前記電荷保持部へ転送することにより前記電荷保持部に保持された前記第1の信号を更新するように前記第1の画素群を駆動するとともに、前記光電変換部で発生した電荷を前記転送部が前記電荷保持部へ転送しないことにより前記電荷保持部が前記第2の信号を保持し続けるように前記第2の画素群を駆動することを特徴とする請求項1から4のいずれか1項に記載の撮像装置。

【請求項 6】

10

20

30

40

50

動画撮影と並行して静止画撮影を行うことが可能な撮像装置であって、
複数の画素が行方向及び列方向に配列された画素配列と、
少なくとも隣接する2行に対して少なくとも一部が重なっている第1の蓄積期間群に信号
の蓄積動作を行うように、前記複数の画素を駆動する駆動部と、

前記画素配列から読み出された信号をA/D変換するA/D変換部と、

前記A/D変換部によりA/D変換された信号を記憶する記憶部と、

動画撮影と並行して静止画撮影を行う場合、第1のフレーム期間において、前記画素配列の一部である第1の画素群の全てに対する前記第1の蓄積期間群に蓄積された信号における第1の信号を前記記憶部から読み出すとともに、前記第1のフレーム期間から始まる連続した複数のフレーム期間のそれぞれにおいて、前記画素配列の他の一部である第2の画素群における互いに異なる一部の画素に対する前記第1の蓄積期間群に蓄積された信号における第2の信号を前記記憶部から読み出す制御部と、

前記制御部により前記第1のフレーム期間に読み出された第1の信号から1フレーム分の動画用の画像信号を生成するとともに、前記制御部により前記第1のフレーム期間に読み出された第1の信号と、前記制御部により前記複数のフレーム期間に渡って読み出された第2の信号とを合成することにより、1フレーム分の静止画用の画像信号を生成する生成部と、
を備え、

前記制御部は、前記複数のフレーム期間における前記第1のフレーム期間以降のフレーム期間において、前記第1の蓄積期間群に蓄積された信号における前記第1の信号を更新するように前記記憶部を制御するとともに、前記第1の蓄積期間群に蓄積された信号における前記第2の信号を保持し続けるように前記記憶部を制御する
ことを特徴とする撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置に関する。

【背景技術】

【0002】

デジタルカメラやデジタルビデオカメラといった撮像装置においては、CMOSイメージセンサなどの撮像センサを用いて静止画と動画とをそれぞれ取得できるものが普及してきている。

【0003】

撮像センサを用いて動画を取得する場合、メカシャッターを使用することが困難であるため、撮像センサの露光量を制御するために電子シャッター機能が必要となる。電子シャッター機能は、被写体の明るさに応じて画素の電荷蓄積時間を変更することによって、蓄積される信号が適正なレベルとなるようにシャッタースピードを制御するものである。電子シャッター機能には、特許文献1に紹介されているように、一括電子シャッター機能やスリットローリング電子シャッター機能がある。

【0004】

この種の撮像装置の中には、動画撮影を中断して静止画撮影を行うことが可能なものが存在する。このような撮像装置では、動画撮影モードにおいて、撮像センサにより連続して撮像された動画を、記録するとともに、LCD(液晶ディスプレイ)等の表示装置へ表示する。また、静止画撮影モードにおいて、撮像センサにより連続して撮像された動画を記録せずに表示装置へ表示する。その後、この撮像装置では、静止画撮影モードにおいて、シャッターボタン等による静止画撮影指示が為されると、動画撮像による電子ビューファインダー機能を一時停止し、静止画撮影を行う。

【0005】

ここで、静止画撮影と動画撮影とに要求される性能はそれぞれ異なる。即ち、静止画撮影には空間的な解像度が高いことが要求され、動画撮影には時間的な解像度が高いことが

要求される。

【0006】

具体的には、静止画撮影に要求される画素数は、1000万画素を超えることが多い。動画撮影に要求される画素数は、30万画素程度、ハイビジョン（HDTV）のフル規格に対応しても200万画素程度である。また、静止画撮影に要求されるフレームレートに特に制限はない。動画撮影に要求されるフレームレートは、30フレーム／秒、或いは60フレーム／秒程度である。

【0007】

仮に、静止画撮影に要求される画素数の信号を、動画撮影に必要なフレームレートで画素配列から読み出そうとすれば、撮像センサを非常に高速に駆動する必要がある。この場合、消費電力が増大する。この消費電力の増大を避けるため、動画撮影モードでは、要求される画素数が静止画より少ないこともあって、撮像センサの画素配列から垂直方向または水平方向に間引いて画素から信号を読み出す方法が取られることが多い。

10

【0008】

一方、撮像装置の中には、動画撮影と並行して静止画撮影を行うことが可能なものも存在する。

【0009】

ここで、仮に、動画撮影と並行して静止画撮影を行うために、間引き読み出しによって撮像された動画中の1フレームを使用して静止画を構成する場合を考える。この場合、動画用の画像を用いて静止画データを生成すると、その静止画データが静止画撮影に要求される画素数を満足しないため、その静止画データにより得られる静止画像は、空間的な解像度の不十分なものとなってしまう。

20

【0010】

また、仮に、動画撮影と並行して静止画撮影を行うために、静止画撮影が指示された際に一時的に動画のフレームレートを低下させて、撮像センサにおける画素配列の全画素から信号を読み出す場合を考える。この場合、一時的にフレームレートが低下した動画データが生成されるので、その動画データにより得られる動画像は、時間的な解像度が不十分なものとなってしまう。

【0011】

それに対して、特許文献2に示された技術では、連続した所定数のフレーム期間のそれぞれにおいて、互いに異なる行の信号を間引き読み出しし、その所定数のフレーム期間で読み出された行の信号を生成している。これにより、特許文献2によれば、画素配列の全行の画素の信号から1フレームの静止画データを生成できるので、動画のフレームレートを低下させることなく、空間的な解像度の高い静止画を取得することができるとしている。

30

【0012】

また、特許文献3に示された技術では、連続した所定数のフレーム期間のそれぞれにおいて、互いに異なる画素の信号をサンプリングして読み出し、その所定数のフレーム期間で読み出された画素の信号を合成することにより静止画を復元している。これにより、特許文献3によれば、画素配列の全画素の信号から1フレームの静止画データを復元できるので、動画のフレームレートを低下させることなく、空間的な解像度の高い静止画を取得することができるとされている。

40

【特許文献1】特開2007-028337号公報

【特許文献2】特開2005-012403号公報

【特許文献3】特開2000-134549号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかし、特許文献2及び特許文献3に示された技術では、異なるフレーム期間に蓄積された異なる画素の信号を合成することにより、1フレームの静止画データを得ている。即

50

ち、1フレームの静止画データの画素間における蓄積の同時性が損なわれる可能性がある。特に、被写体に動きがある場合には、被写体の位置が画素行ごと又は画素ごとに異なることがあるので、得られる静止画における空間的な解像度が実質的に劣化する可能性がある。

【0014】

本発明の目的は、フレームレートの低下を抑制しながら、蓄積の同時性が向上した空間的な解像度の高い静止画を得ることにある。

【課題を解決するための手段】

【0015】

本発明の第1側面に係る撮像装置は、動画撮影と並行して静止画撮影を行うことが可能な撮像装置であって、複数の画素が行方向及び列方向に配列された画素配列と、少なくとも隣接する2行に対して少なくとも一部が重なっている第1の蓄積期間群に信号の蓄積動作を行わせるように前記複数の画素を駆動する駆動部と、動画撮影と並行して静止画撮影を行う場合、第1のフレーム期間において、前記画素配列の一部である第1の画素群の全てから前記第1の蓄積期間群に蓄積された信号における第1の信号を読み出すとともに、前記第1のフレーム期間から始まる連続した複数のフレーム期間のそれぞれにおいて、前記画素配列の他の一部である第2の画素群における互いに異なる一部の画素から前記第1の蓄積期間群に蓄積された信号における第2の信号を読み出す読み出し部と、前記読み出し部により前記第1のフレーム期間に読み出された前記第1の信号から1フレーム分の動画用の画像信号を生成するとともに、前記読み出し部により前記第1のフレーム期間に読み出された前記第1の信号と、前記読み出し部により前記複数のフレーム期間に渡って読み出された前記第2の信号とを合成することにより、1フレーム分の静止画用の画像信号を生成する生成部とを備え、前記駆動部は、前記複数のフレーム期間における前記第1のフレーム期間以降のフレーム期間において、前記第1の蓄積期間群に蓄積された信号における前記第1の信号を更新するように前記第1の画素群を駆動するとともに、前記第1の蓄積期間群に蓄積された信号における前記第2の信号を保持し続けるように前記第2の画素群を駆動することを特徴とする。

【0016】

本発明の第2側面に係る撮像装置は、動画撮影と並行して静止画撮影を行うことが可能な撮像装置であって、複数の画素が行方向及び列方向に配列された画素配列と、少なくとも隣接する2行に対して少なくとも一部が重なっている第1の蓄積期間群に信号の蓄積動作を行うように、前記複数の画素を駆動する駆動部と、前記画素配列から読み出された信号をA/D変換するA/D変換部と、前記A/D変換部によりA/D変換された信号を記憶する記憶部と、動画撮影と並行して静止画撮影を行う場合、第1のフレーム期間において、前記画素配列の一部である第1の画素群の全てに対する前記第1の蓄積期間群に蓄積された信号における第1の信号を前記記憶部から読み出すとともに、前記第1のフレーム期間から始まる連続した複数のフレーム期間のそれぞれにおいて、前記画素配列の他の一部である第2の画素群における互いに異なる一部の画素に対する前記第1の蓄積期間群に蓄積された信号における第2の信号を前記記憶部から読み出す制御部と、前記制御部により前記第1のフレーム期間に読み出された第1の信号から1フレーム分の動画用の画像信号を生成するとともに、前記制御部により前記第1のフレーム期間に読み出された第1の信号と、前記制御部により前記複数のフレーム期間に渡って読み出された第2の信号とを合成することにより、1フレーム分の静止画用の画像信号を生成する生成部とを備え、前記制御部は、前記複数のフレーム期間における前記第1のフレーム期間以降のフレーム期間において、前記第1の蓄積期間群に蓄積された信号における前記第1の信号を更新するように前記記憶部を制御するとともに、前記第1の蓄積期間群に蓄積された信号における前記第2の信号を保持し続けるように前記記憶部を制御することを特徴とする。

【発明の効果】

【0017】

本発明によれば、フレームレートの低下を抑制しながら、蓄積の同時性が向上した空間

10

20

30

40

50

的な解像度の高い静止画を得ることができる。

【発明を実施するための最良の形態】

【0018】

本発明の第1実施形態に係る撮像装置100を、図1を用いて説明する。図1は、本発明の第1実施形態に係る撮像装置100の構成図である。

【0019】

本実施形態に係る撮像装置100は、電子シャッター機能として、一括電子シャッターモードを採用している。撮像装置100は、次の構成要素を備える。

【0020】

撮像レンズ101は、被写体の光学像を撮像センサ102の撮像面(画素配列)に形成する。

【0021】

撮像センサ102は、撮像面(画素配列)に形成された光学像を画像信号に変換する。撮像センサ102は、変換された画像信号を画素配列から読み出して出力する。撮像センサ102は、例えば、CMOSイメージセンサである。

【0022】

CPU108は、シャッターボタン等の操作部材(図示せず)を介してユーザから指示を受けて、受けた指示に応じて、AFE103、DSP104、TG107を制御する。

AFE(Analog Front End)103は、撮像センサ102から出力されるアナログ画像信号を受ける。AFE103は、CPU108により制御され、受けたアナログ画像信号に対して、A/D変換処理などのアナログ信号処理を行う。例えば、AFE103は、A/D変換器を含み、アナログ画像信号に対してA/D変換処理を行うことにより、デジタル画像信号を生成する。AFE103は、処理後のデジタル画像信号を出力する。

【0023】

DSP(Digital Signal Processor)104は、AFE103から出力されるデジタル画像信号を受ける。DSP104は、CPU108により制御され、受けたデジタル画像信号に対して、各種の画像処理や圧縮・伸張処理などのデジタル信号処理を行なう。

【0024】

例えば、DSP104は、デジタル画像信号に対して所定の信号処理を行うことにより、記録用の画像データを生成する。DSP104は、生成した記録用の画像データを記録媒体105に記録する。記録媒体105は、DSP104に着脱可能に接続される。

【0025】

あるいは、例えば、DSP104は、デジタル画像信号に対して所定の信号処理を行うことにより、表示用の画像信号(アナログ信号)を生成する。DSP104は、生成した表示用の画像信号を表示部106へ供給する。

【0026】

表示部106は、DSP104から受けた表示用の画像信号や各種メニュー画面などを表示する。

【0027】

タイミングジェネレータ(TG)107は、CPU108により制御され、所定の駆動信号を生成して、生成した駆動信号を撮像センサ101へ供給する。

【0028】

次に、撮像センサ102の構成について、図2を用いて説明する。図2は、撮像センサ102の構成図である。

【0029】

撮像センサ102は、次の構成要素を備える。

【0030】

画素配列PAでは、複数の画素P11～P44が行方向及び列方向に配列されている。

10

20

30

40

50

図2では、画素配列PAが4行4列の画素で構成される場合が例示されている。

【0031】

読み出し部10は、複数の列共通読み出し回路RC1～RC4を含む。複数の列共通読み出し回路RC1～RC4のそれぞれは、列信号線RL1～RL4を介して画素配列PAにおける各列の画素に接続されている。複数の列共通読み出し回路RC1～RC4は、画素配列PAから信号を読み出して保持する。

【0032】

垂直走査回路(駆動部)401は、画素配列PAを駆動する。垂直走査回路401は、TG107から駆動信号を受けて、受けた駆動信号に応じて、所定の制御信号を画素配列PAの各画素に供給する。例えば、垂直走査回路401は、第1のリセット制御信号resp1～resp4、第2のリセット制御信号resf1～resf4、転送制御信号tx1～tx4、選択制御信号sel1～sel4を、画素配列PAの各画素に供給する。
10

【0033】

水平走査回路402は、各列の水平転送スイッチを順次にオンして、複数の列共通読み出し回路RC1～RC4により保持された各列の信号を順次に出力線OLS,OLN経由で出力アンプ309へ転送する。

【0034】

出力アンプ309は、転送された信号に基づいて画像信号を生成して出力する。

【0035】

次に、画素P11～P44の構成を、図3を用いて説明する。図3は、画素P11の構成図である。以下では、画素P11の構成を例示的に説明するが、他の画素P12～P44の構成も画素P11の構成と同様である。
20

【0036】

画素P11は、次の構成要素を備える。

【0037】

光電変換部201は、光に応じた電荷(信号)を生成して蓄積する電荷蓄積動作を行う。光電変換部201は、例えば、フォトダイオードである。

【0038】

第1のリセット部202は、(電荷電圧変換部204と独立して)光電変換部201をリセットする。第1のリセット部202は、例えば、第1のリセットMOSトランジスタであり、垂直走査回路401からアクティブな第1のリセット制御信号resp1がゲートに供給された際にオンして光電変換部201をリセットする。そして、第1のリセット部202は、光電変換部201のリセットを完了することにより、光電変換部201に電荷蓄積動作を開始させる。
30

【0039】

転送部203は、活性状態において、光電変換部201で発生した電荷を電荷電圧変換部204へ転送し、非活性状態において、光電変換部201で発生した電荷を電荷電圧変換部204へ転送しない。転送部203は、例えば、転送MOSトランジスタであり、垂直走査回路401からアクティブな転送制御信号tx1がゲートに供給された際にオンする(活性状態になる)ことにより、光電変換部201で発生した電荷を電荷電圧変換部204へ転送する。
40

【0040】

電荷電圧変換部(電荷保持部)204は、転送された電荷を保持する。電荷電圧変換部204は、その保持する電荷を電圧に変換する。電荷電圧変換部204は、例えば、フローティングディフュージョンである。

【0041】

第2のリセット部206は、(光電変換部201と独立して)電荷電圧変換部204をリセットする。第2のリセット部206は、例えば、第2のリセットMOSトランジスタであり、垂直走査回路401からアクティブな第2のリセット制御信号resf1がゲートに供給された際にオンして電荷電圧変換部204をリセットする。
50

【0042】

出力部205は、電荷電圧変換部204の電圧に応じた信号を出力する。出力部205は、電荷電圧変換部204がリセットされた状態で、電荷電圧変換部204の電圧に応じたN信号を出力する。出力部205は、光電変換部201の電荷が電荷電圧変換部204へ転送された状態で、電荷電圧変換部204の電圧に応じたS信号を出力する。出力部205は、例えば、増幅MOSトランジスタである。

【0043】

選択部207は、画素P11を選択状態／非選択状態にする。選択部207は、例えば、選択MOSトランジスタであり、垂直走査回路401からアクティブな選択制御信号sel1がゲートに供給された際にオンして画素P11を選択状態にする。

10

【0044】

次に、列共通読み出し回路RC1～RC4の構成を、図4を用いて説明する。図4は、列共通読み出し回路RC1の構成図である。以下では、列共通読み出し回路RC1の構成を例示的に説明するが、他の列共通読み出し回路RC2～RC4の構成も列共通読み出し回路RC1の構成と同様である。

【0045】

列共通読み出し回路RC1は、次の構成要素を含む。

【0046】

S信号転送スイッチ302は、TG107からアクティブな制御信号tsが供給された際にオンすることにより、第1列の画素P11,P21,P31,P41のいずれかから読み出されたS信号をS信号保持容量304へ転送する。

20

【0047】

N信号転送スイッチ303は、TG107からアクティブな制御信号tnが供給された際にオンすることにより、第1列の画素P11,P21,P31,P41のいずれかから読み出されたN信号をN信号保持容量305へ転送する。

【0048】

S信号保持容量304は、TG107からノンアクティブな制御信号tsがS信号転送スイッチ302へ供給されS信号転送スイッチ302がオフすることにより、転送されたS信号を保持し始める。

30

【0049】

N信号保持容量305は、TG107からノンアクティブな制御信号tnがN信号転送スイッチ303へ供給されN信号転送スイッチ303がオフすることにより、転送されたN信号を保持し始める。

【0050】

水平転送スイッチ306は、水平走査回路402からアクティブな水平走査信号phが供給された際にオンすることにより、S信号保持容量304に保持されたS信号をS信号保持容量304から出力線OLSへ転送する。

40

【0051】

水平転送スイッチ307は、水平走査回路402からアクティブな水平走査信号phが供給された際にオンすることにより、N信号保持容量305に保持されたN信号をN信号保持容量305から出力線OLNへ転送する。

【0052】

これにより、出力アンプ309は、出力線OLSにより伝達されたS信号と出力線OLNにより伝達されたN信号との差分をとるCDS処理を行うことにより、画像信号を生成して出力する。

【0053】

次に、撮像装置100の動作を説明する。

【0054】

撮像装置100の構成を説明する際に4行4列の画素P11～P44で構成された画素配列PA（図2参照）を用いたが、撮像装置100の動作を説明する際には、15行25

50

列の画素 P₁ , 1 ~ P₁₅ , 25 で構成された画素配列 PA を用いることとする。図 5 は、15 行 25 列の画素 P₁ , 1 ~ P₁₅ , 25 で構成された画素配列 PA を示した図である。

【0055】

撮像装置 100 は、静止画撮影モードにおいて、画素配列 PA における全画素 P₁ , 1 ~ P₁₅ , 25 、すなわち第 1 の画素群 PG₁ 及び第 2 の画素群 PG₂ の信号から 1 フレームの静止画用の画像信号を生成する。第 1 の画素群 PG₁ は、5n + 1 行目 (n : 0 以上の整数、ここでは、n = 0, 1, 2) の画素である。第 1 の画素群 PG₁ は、第 1 行の画素 P₁ , 1 ~ P₁ , 25 と、第 6 行の画素 P₆ , 1 ~ P₆ , 25 と、第 11 行の画素 P₁₁ , 1 ~ P₁₁ , 25 とを含む。第 2 の画素群 PG₂ は、第 1 の画素群 PG₁ 以外の行 (5n + 2 行目、5n + 3 行目、5n + 4 行目、5n + 5 行目) の画素である。第 2 の画素群 PG₂ は、第 2 ~ 5 行の画素と、第 7 ~ 10 行の画素と、第 12 ~ 15 行の画素とを含む。
10

【0056】

撮像装置 100 は、動画撮影モードにおいて、第 1 の画素群 PG₁ の信号から 1 フレームの動画用の画像信号を生成する。動画撮影モードでは、画素配列 PA から第 2 の画素群 PG₂ が間引かれて (5 行につき 1 行が読み出し行として選択されて) 、第 1 の画素群 PG₁ から信号が読み出される。

【0057】

なお、動画撮影と並行して静止画撮影を行うモード (以下、動画 / 静止画並行撮影モードとする) における撮像装置 100 の動作は後述する。
20

【0058】

次に、動画撮影モードにおける動作について、主に図 6 を用いて説明する。図 6 は、動画撮影モードにおける動作を模式的に示した図である。図 6 では、横軸が時刻を表し、縦軸における横軸より上の部分が光電変換部の動作に関する画素行の位置を表し、縦軸における横軸より下の部分が読み出し部の動作に関する画素行の位置を表す。

【0059】

図 6 に示すように、複数の画素 P₁ , 1 ~ P₁₅ , 25 は、第 1 の蓄積期間群 Ta で電荷蓄積動作を行う。この第 1 の蓄積期間群における全ての画素の第 1 の蓄積期間 Ta₁ ~ Ta₁₅ は、全部が重なっている。すなわち、画素配列 PA の全画素 P₁ , 1 ~ P₁₅ , 25 の光電変換部 201 における電荷蓄積動作は、一斉に行われる。
30

【0060】

なお、蓄積期間名、制御信号名に対する添え字 1 ~ 15 は、画素行に対応している。

【0061】

図 6 に示すリセット動作 601 は、第 1 のリセット部 202 (図 3 参照) による光電変換部 201 のリセット動作の完了が、全画素 P₁ , 1 ~ P₁₅ , 25 で同時であることを示している。これについて、図 7 のタイミングチャートを用いて説明する。図 7 は、各行の画素における光電変換部 201 のリセット動作を示すタイミングチャートである。

【0062】

垂直走査回路 401 が各行の画素へ供給する第 1 のリセット制御信号 resp₁ ~ resp₁₅ は、図 7 に示すようになる。すなわち、第 1 のリセット制御信号 resp₁ ~ resp₁₅ がアクティブなレベルからノンアクティブなレベルへ遷移して各行の画素 P₁ , 1 ~ P₁₅ , 25 のリセット動作が完了するタイミングが同時である。これにより、各行の画素 P₁ , 1 ~ P₁₅ , 25 の光電変換部 201 は、同時に電荷蓄積動作を開始する。このとき、垂直走査回路 401 が各行の画素へ供給する転送制御信号 tx₁ ~ tx₁₅ は、ノンアクティブなレベルに維持されている。これにより、各行の画素 P₁ , 1 ~ P₁₅ , 25 の転送部 203 は、非活性状態に保たれている。
40

【0063】

図 6 に示す転送動作 602 , 603 は、転送部 203 (図 3 参照) による光電変換部 201 の電荷の転送動作が、全画素 P₁ , 1 ~ P₁₅ , 25 で同時に行われることを示して
50

いる。これについて、図 8 のタイミングチャートを用いて説明する。図 8 は、各行の画素における光電変換部 201 の電荷の転送動作を示すタイミングチャートである。

【0064】

垂直走査回路 401 が各行の画素へ供給する転送制御信号 $t \times 1 \sim t \times 15$ は、図 8 に示すようになる。すなわち、転送制御信号 $t \times 1 \sim t \times 15$ がノンアクティブなレベルからアクティブなレベルへ遷移して各行の画素 P1, 1 ~ P15, 25 の電荷の転送動作が開始するタイミングが同時である。これにより、各行の画素 P1, 1 ~ P15, 25 の光電変換部 201 は、同時に電荷蓄積動作を終了する。このとき、垂直走査回路 401 が各行の画素へ供給する第 1 のリセット制御信号 resp1 ~ resp15 は、ノンアクティブなレベルに維持されている。

10

【0065】

従って、図 6 に示す時刻 t_1 から時刻 t_2 までの時間が第 1 の蓄積時間 Ta1 ~ Ta15 となり、この第 1 の蓄積時間 Ta1 ~ Ta15 の長さを適切に制御することにより、取得する画像信号が適正なレベルとなるように制御することができる。

【0066】

図 6 に白い四角で示す第 1 の読み出し動作 604 は、列共通読み出し回路 RC1 ~ RC4 (図 2 参照) により第 1 の画素群 PG1 (図 5 参照) のみから信号の読み出し動作が行ごとに順次に行われることを示している。すなわち、垂直走査回路 401 は、第 1 行目、第 6 行目、第 11 行目を順次に選択する (それ以外の行をスキップする)。列共通読み出し回路 RC1 ~ RC4 は、選択された行の画素における電荷電圧変換部 204 の電圧に応じた信号を出力部 205 を介して読み出す。

20

【0067】

第 1 の読み出し動作 604 の枠内に示されたアルファベット (a, b, c, d) は、そこで読み出される画素信号が、どの蓄積期間群に光電変換部 201 により蓄積されたものかを示している。

【0068】

例えば、a と記載したものは第 1 の蓄積期間群 Ta で光電変換部 201 により蓄積された信号を示し、b と記載したものは第 2 の蓄積期間群 Tb で光電変換部 201 により蓄積された信号を示している。c と記載したものは第 3 の蓄積期間群 Tc で光電変換部 201 により蓄積された信号を示し、d と記載したものは第 4 の蓄積期間群 Td で光電変換部 201 により蓄積された信号を示している。

30

【0069】

図 9 に、第 1 の読み出し動作に関するタイミングチャートを示す。図 9 では、第 1 行目の読み出し動作を例示的に示している。

【0070】

なお、水平転送信号名 phに対する添え字 1 ~ 15 は、画素列に対応している。例えば、ph1 は第 1 列目の列共通読み出し回路 RC1 に入力される水平転送信号を示し、ph2 は第 2 列目の列共通読み出し回路 RC2 に入力される水平転送信号を示している。

【0071】

垂直走査回路 401 は、第 1 行目の画素へ供給する選択制御信号 sele1 をノンアクティブなレベルからアクティブなレベルへ遷移させる。これにより、第 1 行目の画素 P1, 1 ~ P1, 25 が選択状態になる。このため、第 1 行目の画素 P1, 1 ~ P1, 25 の出力部 205 が電荷電圧変換部 204 の電圧に応じた信号を列信号線 RL1 ~ RL4 へ出力する。

40

【0072】

次に、TG107 は、S 信号転送スイッチ 302 へ供給する制御信号 ts をアクティブなレベルにする。これにより、S 信号転送スイッチ 302 がオンして、S 信号保持容量 304 に S 信号が記憶される。

【0073】

その後、垂直走査回路 401 は、第 1 行目の画素へ供給する第 2 のリセット信号 res

50

f_1 をアクティブなレベルにする。これにより、第1行目の画素における第2のリセット部 206 がオンして、電荷電圧変換部 204 がリセットされる。その後、垂直走査回路 401 は、第1行目の画素へ供給する第2のリセット信号 $resf_1$ をノンアクティブなレベルに戻す。

【0074】

次に、TG107は、N信号転送スイッチ 303 へ供給する制御信号 t_n をアクティブなレベルにする。これにより、N信号転送スイッチ 303 がオンして、N信号保持容量 305 にN信号が記憶される。このN信号には、電荷電圧変換部 204 以降の回路ノイズ成分が含まれている。

【0075】

各列の水平転送信号 $ph_1 \sim ph_25$ を順次アクティブにして各列の水平転送スイッチを順次にオンする。これにより、各列のS信号保持容量及びN信号保持容量に保持されたS信号及びN信号を順次に出力アンプ 309 へ転送する。

10

【0076】

出力アンプ 309 は、S信号とN信号との差分信号に所定のゲインをかけることにより、回路ノイズ成分が除去された画像信号を生成して出力する。

【0077】

垂直走査回路 401 は、第1行目の画素へ供給する選択制御信号 $sel1$ をアクティブなレベルからノンアクティブなレベルへ遷移させる。これにより、第1行目の画素 $P_{1,1} \sim P_{1,25}$ が非選択状態になる。

20

【0078】

図6に斜線の四角で示す間引き動作 605 は、列共通読み出し回路 $RC1 \sim RC4$ (図2参照)により第2の画素群 $PG2$ (図5参照)から信号が読み出されないことを示している。すなわち、垂直走査回路 401 は、第2~5行目、第7~10行目、第12~15行目を順次にスキップし、列共通読み出し回路 $RC1 \sim RC4$ は、スキップされた行の画素における電荷電圧変換部 204 の電圧に応じた信号を読み出さない。

【0079】

図10に、間引き動作 605 に関するタイミングチャートを示す。図10では、第3行目の間引き動作 605 を例示的に示している。

30

【0080】

垂直走査回路 401 は、第3行目の画素へ供給する選択制御信号 $sel3$ をノンアクティブなレベルからアクティブなレベルへ遷移させる。これにより、第3行目の画素 $P_{3,1} \sim P_{3,25}$ が選択状態になる。これにより、第3行目の画素 $P_{3,1} \sim P_{3,25}$ の出力部 205 が電荷電圧変換部 204 の電圧に応じた信号を列信号線 $RL1 \sim RL4$ へ出力する。なお、電荷電圧変換部 204 は、転送された電荷を保持し続けている。

30

【0081】

その後、垂直走査回路 401 は、第3行目の画素へ供給する第2のリセット信号 $resf_3$ をアクティブなレベルにする。これにより、第3行目の画素における第2のリセット部 206 がオンして、電荷電圧変換部 204 がリセットされる。その後、垂直走査回路 401 は、第3行目の画素へ供給する第2のリセット信号 $resf_3$ をノンアクティブなレベルに戻す。

40

【0082】

垂直走査回路 401 は、第3行目の画素へ供給する選択制御信号 $sel3$ をアクティブなレベルからノンアクティブなレベルへ遷移させる。これにより、第3行目の画素 $P_{3,1} \sim P_{3,25}$ が非選択状態になる。

【0083】

この間引き動作においては、画素の信号を読み出す必要がないため、 ts 、 tn 、 ph といった信号は動かさずにノンアクティブなレベルに固定したまととする。

【0084】

このように、間引き動作の対象となる行の画素から信号を読み出さないため、1行を間

50

引く動作に必要な時間は1行の画素信号を読み出すのに対して遙かに短い時間で済む。

【0085】

読み出し部10(図2参照)は、動画撮影を行うことが指示された場合、各フレーム期間において、画素配列PAの一部である第1の画素群PG1の全てから直前のフレーム期間内の蓄積期間群に蓄積された信号における第1の信号を読み出す。

【0086】

例えば、読み出し部10は、第1のフレーム期間FT1において、第1の画素群PG1の全てから直前のフレーム期間FT0内の第1の蓄積期間群Taで蓄積された信号における第1の信号を読み出す。例えば、読み出し部10は、第2のフレーム期間FT2(第1のフレーム期間以降のフレーム期間)において、第1の画素群PG1の全てから直前のフレーム期間FT1内の第2の蓄積期間群Tbで蓄積された信号における第1の信号を読み出す。

10

【0087】

読み出し部10は、第1の信号を、出力アンプ309、及びAFE103経由でDSP104へ供給する。これにより、DSP(生成部)104は、各フレーム期間に読み出された第1の信号から、1フレーム分の動画用の画像信号(画像データ)を生成する。このとき、読み出された第1の信号は行方向(垂直方向)に間引かれたものであるため、そのまま画像を構成すると画像の縦横比が合わないため、DSP104は、列方向(水平方向)の画素情報を補間する処理を行なった上で動画用の画像を構成する。

20

【0088】

次に、動画撮影中に静止画を撮影する場合(動画/静止画並行撮影モード)における動作について、主に図11を用いて説明する。図11は、動画/静止画並行撮影モードにおける動作を模式的に示した図である。図11では、横軸が時刻を表し、縦軸における横軸より上の部分が光電変換部の動作に関する画素行の位置を表し、縦軸における横軸より下の部分が読み出し部の動作に関する画素行の位置を表す。以下では、動画モードにおける動作と異なる部分を中心に説明する。

20

【0089】

撮像装置100は、既に動画撮影モードで動作しているものとする。

【0090】

時刻t0において、CPU108は、シャッターボタン等の操作部材(図示せず)を介してユーザから静止画撮影指示を受ける。これにより、CPU108は、動作モードを、動画撮影モードから動画/静止画並行撮影モードへ切り替える。

30

【0091】

時刻t2において、全行に対する転送動作602, 603が行われるのに対して、時刻t4においては、一部の行に対する部分転送動作1102が行われる。部分転送動作1102は、転送部203(図3参照)による光電変換部201の電荷の転送動作が、第1の画素群PG1で同時に行われ、第2の画素群PG2で行われないことを示している。これについて、図12のタイミングチャートを用いて説明する。図12は、各行の画素における光電変換部201の電荷の転送動作を示すタイミングチャートである。なお、図12では、第1~7行の画素へ供給される信号が例示的に示されている。

40

【0092】

垂直走査回路401が各行の画素へ供給する転送制御信号tx1~tx15は、図12に示すようになる。すなわち、転送制御信号tx1, tx6, tx11がノンアクティブなレベルからアクティブなレベルへ同時に遷移するとともに、転送制御信号tx2~tx5, tx7~tx10, tx12~tx15がノンアクティブなレベルに維持される。これにより、第1の画素群PG1のみ転送部203が光電変換部201の電荷を電荷電圧変換部204へ転送し、第2の画素群PG2の電荷電圧変換部204は、第1の蓄積期間群Taで蓄積された電荷(信号)を保持し続ける。

【0093】

図11に破線で囲った白い四角で示す第2の読み出し動作1104は、列共通読み出し

50

回路 R C 1 ~ R C 4 (図 2 参照) により第 2 の画素群 P G 2 (図 5 参照) の一部からも信号の読み出し動作が行ごとに順次に行われることを示している。

【 0 0 9 4 】

すなわち、垂直走査回路 4 0 1 は、第 1 のフレーム期間 F T 1 において、第 2 の画素群 P G 2 から $5 n + 2$ (2, 7, 12) 行目の画素を順次に選択する。列共通読み出し回路 R C 1 ~ R C 4 は、選択された行の画素における電荷電圧変換部 2 0 4 の電圧に応じた信号 (第 1 の蓄積期間群 T a で蓄積された信号における第 2 の信号) を出力部 2 0 5 を介して読み出す。

【 0 0 9 5 】

また、垂直走査回路 4 0 1 は、第 2 のフレーム期間 F T 2 において、第 2 の画素群 P G 2 から $5 n + 3$ (3, 8, 13) 行目の画素を順次に選択する。列共通読み出し回路 R C 1 ~ R C 4 は、選択された行の画素における電荷電圧変換部 2 0 4 の電圧に応じた信号 (第 1 の蓄積期間群 T a で蓄積された信号における第 2 の信号) を出力部 2 0 5 を介して読み出す。

【 0 0 9 6 】

また、垂直走査回路 4 0 1 は、第 3 のフレーム期間 F T 3 において、第 2 の画素群 P G 2 から $5 n + 4$ (4, 9, 14) 行目の画素を順次に選択する。列共通読み出し回路 R C 1 ~ R C 4 は、選択された行の画素における電荷電圧変換部 2 0 4 の電圧に応じた信号 (第 1 の蓄積期間群 T a で蓄積された信号における第 2 の信号) を出力部 2 0 5 を介して読み出す。

【 0 0 9 7 】

また、垂直走査回路 4 0 1 は、第 4 のフレーム期間 F T 4 において、第 2 の画素群 P G 2 から $5 n + 5$ (5, 10, 15) 行目の画素を順次に選択する。列共通読み出し回路 R C 1 ~ R C 4 は、選択された行の画素における電荷電圧変換部 2 0 4 の電圧に応じた信号 (第 1 の蓄積期間群 T a で蓄積された信号における第 2 の信号) を出力部 2 0 5 を介して読み出す。

【 0 0 9 8 】

このように、列共通読み出し回路 R C 1 ~ R C 4 は、連続する複数のフレーム期間 F T 1 ~ F T 4 のそれぞれにおいて、第 2 の画素群 P G 2 における互いに異なる一部の画素から第 1 の蓄積期間群 T a で蓄積された信号における第 2 の信号を読み出す。

【 0 0 9 9 】

なお、第 2 の読み出し動作 1 1 0 4 に関するタイミングチャートは、図 9 と同様になる。

【 0 1 0 0 】

図 1 1 に斜線の四角で示す間引き動作 1 1 0 5 は、第 2 の画素群 P G 2 (図 5 参照) における読み出されない行数 (5 行に付き 3 行) が、図 6 に示す間引き動作 6 0 5 における読み出されない行数 (5 行に付き 4 行) に比べて少ない。

【 0 1 0 1 】

図 1 3 に、間引き動作 1 1 0 5 に関するタイミングチャートを示す。図 1 3 では、第 3 行目の間引き動作 1 1 0 5 を例示的に示している。

【 0 1 0 2 】

垂直走査回路 4 0 1 は、第 3 行目の画素へ供給する選択制御信号 s e l 3 をノンアクティブなレベルからアクティブなレベルへ遷移させる。これにより、第 3 行目の画素 P 3 , 1 ~ P 3 , 2 5 が選択状態になる。これにより、第 3 行目の画素 P 3 , 1 ~ P 3 , 2 5 の出力部 2 0 5 が電荷電圧変換部 2 0 4 の電圧に応じた信号を列信号線 R L 1 ~ R L 4 へ出力する。なお、電荷電圧変換部 2 0 4 は、第 1 の蓄積期間群 T a で蓄積された電荷 (信号) を保持している。

【 0 1 0 3 】

垂直走査回路 4 0 1 は、第 3 行目の画素へ供給する第 2 のリセット信号 r e s f 3 をノンアクティブなレベルに維持する。これにより、電荷電圧変換部 2 0 4 は、リセットされ

10

20

30

40

50

ず、第1の蓄積期間群T_aで蓄積された電荷(信号)を保持し続ける。

【0104】

図11に示す第1のフレーム期間FT1中の時刻t3になると、リセット動作601が全画素P1, 1~P15, 25で同時に完了する。この際、全画素における転送部203(図3参照)はオフしているため、リセット動作601によって、電荷電圧変換部204に保持されている電荷が破壊されることはない。

【0105】

このように、読み出し部10(図2参照)は、第1のフレーム期間から始まる連続した複数のフレーム期間のそれぞれにおいて、第2の画素群PG2における互いに異なる一部の画素から第1の蓄積期間群T_aで蓄積された信号における第2の信号を読み出す。

10

【0106】

例えば、読み出し部10は、第1のフレーム期間FT1において、第2の画素群PG2における5n+2(2, 7, 12)行目の画素から第1の蓄積期間群T_aで蓄積された信号における第2の信号を読み出す。

【0107】

例えば、読み出し部10は、第2のフレーム期間FT2において、第2の画素群PG2における5n+3(3, 8, 13)行目の画素から第1の蓄積期間群T_aで蓄積された信号における第2の信号を読み出す。

20

【0108】

例えば、読み出し部10は、第3のフレーム期間FT3において、第2の画素群PG2における5n+4(4, 9, 14)行目の画素から第1の蓄積期間群T_aで蓄積された信号における第2の信号を読み出す。

【0109】

例えば、読み出し部10は、第4のフレーム期間FT4において、第2の画素群PG2における5n+5(5, 10, 15)行目の画素から第1の蓄積期間群T_aで蓄積された信号における第2の信号を読み出す。

30

【0110】

読み出し部10は、第2の信号を、出力アンプ309、及びAFE103経由でDSP104へ供給する。DSP(生成部)104は、第1のフレーム期間FT1において読み出し部10により読み出された第1の信号と、複数のフレーム期間FT1~FT4に渡って読み出し部10により読み出された第2の信号とを合成する。これにより、DSP104は、1フレーム分の静止画用の画像信号を生成する。

30

【0111】

したがって、各フレーム期間FT0~FT4が長くなることを抑制しながら、第1の蓄積期間群T_aで蓄積された全画素P1, 1~P15, 25の信号を用いて1フレーム分の静止画用の画像信号(画像データ)を生成することができる。このため、フレームレートの低下を抑制しながら、蓄積の同時性が向上した空間的な解像度の高い静止画を得ることができる。特に、動く被写体に対しても、静止画のみを撮影する場合(静止画撮影モード)と変わらない良好な静止画像を得ることができる。

40

【0112】

なお、撮像センサ102の画素配列PAからの読み出し時点で列方向に間引いて読み出すようにしても構わない。

【0113】

次に、本発明の第2実施形態に係る撮像装置について説明する。以下では、第1実施形態と異なる部分を中心に説明する。

【0114】

第2実施形態に係る撮像装置は、基本的な構成は第1実施形態と同様であるが、その動作が第1実施形態と異なる。本実施形態では、20行29列の画素P1, 1~P20, 29で構成された画素配列PAを用いて撮像装置の動作を説明することとする。図14は、20行29列の画素P1, 1~P20, 29で構成された画素配列PAを示した図である

50

。

【0115】

具体的には、撮像装置は、その動作モードを動画撮影モードから動画／静止画並行撮影モードへ切り替える場合、動画撮影モードである場合よりも、第2の画素群PG2の画素数に対する第1の画素群PG1の画素数の比率を減らす。

【0116】

例えば、図15に示すように、撮像装置は、その動作モードが動画撮影モードから動画／静止画並行撮影モードへ切り替わった際に、第2の画素群PG2の画素数に対する第1の画素群PG1の画素数の比率を1/5から1/10へ減らす。すなわち、撮像センサ102の読み出し部10は、動画撮影モードにおいて、上記の比率が1/5であり、第1、6、11、16行目の画素から動画用の信号として第1の信号を読み出している。読み出し部10は、その動作モードが動画撮影モードから動画／静止画並行撮影モードへ切り替わった際に、上記の比率が1/5から1/10へ減り、第1、11行目の画素から動画用の信号として第1の信号を読み出している。なお、図15は、動画／静止画並行撮影モードにおける第2の画素群の画素数に対する第1の画素群の画素数の比率を減した場合の動作を模式的に示した図である。10

【0117】

読み出し部10は、第2の画素群PG2の画素数に対する第1の画素群PG1の画素数の比率を減らした場合、その比率を減らさない場合よりも、複数のフレーム期間FT1～FT4のそれぞれにおいて第2の画素群PG2から信号を読み出す画素数を増やす。これにより、静止画の構成するために使用する全画素の信号が読み出されるまでの時間を短縮することができる。20

【0118】

例えば、図16に示すように、読み出し部10は、上記の比率を1/5のまま減らさなかつた場合、複数のフレーム期間FT1～FT4のそれぞれにおいて、第2の画素群PG2における4行の画素から第2の信号を読み出す。この場合、4フレーム期間で、静止画生成に使用される全画素の信号を取得することができる。

【0119】

一方、例えば、図15に示すように、読み出し部10は、上記の比率を1/5から1/10へ減らした場合、複数のフレーム期間FT1～FT4のそれぞれにおいて、第2の画素群PG2における6行の画素から第2の信号を読み出す。この場合、3フレーム期間で、静止画生成に使用される全画素の信号を取得することができる。すなわち、静止画の構成するために使用する全画素の信号が読み出されるまでの時間（3フレーム期間）は、上記の比率を減らした場合（4フレーム期間）より短い。なお、図16は、動画／静止画並行撮影モードにおける第2の画素群の画素数に対する第1の画素群の画素数の比率を減さなかつた場合の動作を模式的に示した図である。図16に示す動作は、図示された行の数が異なる点を除けば、図11に示す動作と同様である。30

【0120】

静止画撮影が終了し、再び動画のみの撮影に戻った時点で、動画に使用する画素行数を元に戻せば、動画像における空間的な解像度も再び回復することができる。40

【0121】

次に、本発明の第3実施形態に係る撮像装置について説明する。以下では、第1実施形態と異なる部分を中心に説明する。

【0122】

本発明の第3実施形態に係る撮像装置は、電子シャッター機能として、スリットローリング電子シャッター機能を採用している。撮像装置100は、次の構成要素を備える。

【0123】

撮像センサ102の画素配列PAにおける各画素P11i～P44iは、図17に示すように、第1のリセット部202を含まない。図17は、本発明の第3実施形態に係る撮像装置における画素P11iの構成図である。50

【0124】

画素 P_{11i}において光電変換部 201をリセットする場合には、信号 t_xと信号 r_{esf}を同時にアクティブなレベルとしてすることで、転送部 203及び第2のリセット部 206を両方オンする。これにより、光電変換部 201の電荷が転送部 203及び第2のリセット部 206を介して電源へ掃出される。なお、図 17は、本発明の第3実施形態に係る撮像装置における画素の構成図である。図 17では、画素 P_{11i}の構成を例示的に説明しているが、他の画素 P_{12i}～P_{44i}の構成も画素 P_{11i}の構成と同様である。

【0125】

図 18は、本実施形態における動画撮影モードの動作を模式的に示した図である。横軸は時刻を表し、縦軸は画素行の位置を示している。図 18に示すスリットローリング電子シャッターにおいては、光電変換部 201のリセットを行単位で順次に行うため、光電変換部の動作と電荷電圧変換部以降の読み出し回路の動作とを分けずに記載している。

10

【0126】

垂直走査回路 401は、まず画素配列 PAの各行の画素における光電変換部 201のリセット動作を順次に完了させていく「リセット走査」を行う。これにより、各行の画素における光電変換部 201は、順次に電荷蓄積動作を開始する。なお、図 18では、便宜的に、各行のリセット走査が完了するタイミングのみを実線で示しており、各行のリセット走査が開始するタイミングの図示を省略している。

【0127】

次に、垂直走査回路 401は、各行のリセット走査完了から蓄積期間分だけ遅れて、光電変換部 201に蓄積された電荷を各画素行毎に順次に読み出し始める「読み出し走査」を行う。これにより、各行の画素における光電変換部 201は、順次に電荷蓄積動作を終了する。

20

【0128】

図 18に示す時刻 t₁が第1行目のリセット走査の完了時刻であり、時刻 t₂が第1行目の読み出し走査の開始時刻である。時刻 t₁～時刻 t₂の時間が第1行目の画素に対する第1の蓄積期間 T_{1a1}となる。時刻 t₁、t₂のそれぞれ所定時間遅延させた時刻で規定される時間が第2行目の画素に対する第1の蓄積期間 T_{1a2}となる。他の第3～15行に対する第1の蓄積期間 T_{1a3}～T_{1a15}に関しても同様に1つ上の行に対して所定時間遅延させた時刻で規定される。

30

【0129】

図 18に示すように、複数の画素 P_{1,1}～P_{15,25}は、第1の蓄積期間群 T_{1a}で電荷蓄積動作を行う。第1の蓄積期間群 T_{1a}は、少なくとも隣接する2行に対して一部が重なっている第1の蓄積期間 T_{1a1}～T_{1a15}の集まりである。

【0130】

図 18に示すように、リセット動作 1801a, 1801b の完了タイミングは、1行前のリセット動作の完了タイミングに対して、1行前の第1の読み出し動作 1804 又は間引き動作 1805 が行われた時間だけ遅延して行われる。これにより、第1の蓄積期間群 T_{1a}における第1の蓄積期間 T_{1a1}～T_{1a15}のそれぞれは、長さが互いに等しい。なお、リセット動作 1801a は、第1の読み出し動作 1804 が行われる行のリセット動作を示し、リセット動作 1801b は、間引き動作 1805 が行われる行のリセット動作を示す。

40

【0131】

図 21に、リセット動作 1801a に関するタイミングチャートを示す。図 21では、第7行目のリセット動作 1801a を例示的に説明する。

【0132】

垂直走査回路 401は、第7行目の画素へ供給する転送制御信号 t_{x7}をアクティブにする。これにより、第7行目の画素における転送部 203が光電変換部 201の電荷を電荷電圧変換部 204へ転送する。

【0133】

50

その後、第7行目の画素へ供給する第2のリセット制御信号 $r_{esf}7$ をアクティブにする。これにより、第7行目の画素における第2のリセット部 206 が電荷電圧変換部 204 をリセットする。

【0134】

垂直走査回路 401 は、第7行目の画素へ供給する第2のリセット制御信号 $r_{esf}7$ 及び転送制御信号 t_{x7} をアクティブにする。これにより、第7行目の画素における光電変換部 201 がリセットされる。

【0135】

なお、第7行目のリセット動作 1801a は、(破線の波形で示すような) 第1行目の第1の読み出し動作 1804 と並行して行われる(図18参照)。

10

【0136】

図22に、リセット動作 1801b に関するタイミングチャートを示す。図22では、第9行目のリセット動作 1801b を例示的に説明する。

【0137】

垂直走査回路 401 は、第9行目の画素へ供給する第2のリセット制御信号 $r_{esf}9$ 及び転送制御信号 t_{x9} をアクティブにする。これにより、第9行目の画素における光電変換部 201 がリセットされる。

【0138】

なお、第9行目のリセット動作 1801b は、(破線の波形で示すような) 第3行目の間引き動作 1805 と並行して行われる(図18参照)。

20

【0139】

図18に白い四角で示す第1の読み出し動作 1804 は、列共通読み出し回路 R C 1 ~ R C 4 (図2参照) により第1の画素群 PG1 (図5参照) から信号の読み出し動作が行ごとに順次に行われることを示している。すなわち、垂直走査回路 401 は、第1の画素群 PG1 から、第1行目、第6行目、第11行目を順次に選択する。列共通読み出し回路 R C 1 ~ R C 4 は、選択された行の画素における電荷電圧変換部 204 の電圧に応じた信号を出力部 205 を介して読み出す。

【0140】

図19に、第1の読み出し動作に関するタイミングチャートを示す。図19では、第1行目の読み出し動作を例示的に示している。本実施形態における第1の読み出し動作は、第1実施形態における第1の読み出し動作と次の点で異なる。

30

【0141】

TG107 は、S 信号転送スイッチ 302 へ供給する制御信号 t_s をアクティブなレベルにする。これにより、S 信号転送スイッチ 302 がオンする。垂直走査回路 401 は、制御信号 t_s がアクティブな状態で、第1行目の画素へ供給する転送制御信号 t_{x1} をアクティブにする。これにより、第1行目の画素における転送部 203 が光電変換部 201 の電荷を電荷電圧変換部 204 へ転送し、出力部 205 が電荷電圧変換部 204 の電圧に応じた S 信号を列信号線 R L 1 ~ R L 4 へ出力する。S 信号転送スイッチ 302 は、列信号線 R L 1 ~ R L 4 を介して伝達された S 信号を S 信号保持容量 304 に記憶する。

【0142】

また、各列の水平転送信号 $p_{h1} \sim p_{h25}$ が順次アクティブにされている期間に、垂直走査回路 401 は、第1行目の画素へ供給する第2のリセット制御信号 $r_{esf}1$ 及び転送制御信号 t_{x1} をアクティブにする。これにより、第1行目の画素における光電変換部 201 がリセットされる。その後、垂直走査回路 401 は、第2のリセット制御信号 $r_{esf}1$ 及び転送制御信号 t_{x1} をノンアクティブにする。

40

【0143】

図18に幅の広い斜線の四角で示す第3の読み出し動作 1807 は、第2の画素群 PG2 (図5参照) の一部からダミー的に信号の読み出し動作が行われることを示している。すなわち、垂直走査回路 401 は、第2の画素群 PG2 から第2行目、第7行目、第12行目を順次に選択し、列共通読み出し回路 R C 1 ~ R C 4 は、選択された行の画素におけ

50

る電荷電圧変換部 204 の電圧に応じた信号を出力部 205 を介してダミー的に読み出す。

【0144】

本来、動画撮影のみを考えれば、動画に使用する第1の画素群 PG1 のみの信号を読み出せばよく、それ以外の第2の画素群 PG2 の一部（2行目、7行目、12行目）を読み出す必要はない。しかし、後述する静止画撮影とのタイミングの辻褄を合わせるために、動画撮影時にも動画に使用しない第2の画素群 PG2 の一部を読み出す必要がある。

【0145】

図18に斜線の四角で示す間引き動作 1805 は、列共通読み出し回路 RC1 ~ RC4 (図2参照)により第2の画素群 PG2 (図5参照)の残りの行から信号が読み出されないことを示している。すなわち、垂直走査回路 401 は、第3 ~ 5行目、第8 ~ 10行目、第13 ~ 15行目を順次にスキップし、列共通読み出し回路 RC1 ~ RC4 は、スキップされた行の画素における電荷電圧変換部 204 の電圧に応じた信号を読み出さない。

【0146】

図20に、間引き動作 1805 に関するタイミングチャートを示す。図20では、第3行目の間引き動作 1805 を例示的に示している。

【0147】

垂直走査回路 401 は、第3行目の画素へ供給する選択制御信号 sel3 をノンアクティブなレベルからアクティブなレベルへ遷移させる。これにより、第3行目の画素 P3, 1 ~ P3, 25 が選択状態になる。

【0148】

垂直走査回路 401 は、第3行目の画素へ供給する転送制御信号 tx3 をアクティブなレベルにする。これにより、第3行目の画素における転送部 203 が光電変換部 201 の電荷を電荷電圧変換部 204 へ転送する。これにより、電荷電圧変換部 204 は、第1の蓄積期間 T1a3 で蓄積された電荷（信号）を保持する。

【0149】

垂直走査回路 401 は、第3行目の画素へ供給する選択制御信号 sel3 をアクティブなレベルからノンアクティブなレベルへ遷移させる。これにより、第3行目の画素 P3, 1 ~ P3, 25 が非選択状態になる。

【0150】

この間引き動作においては、画素の信号を読み出す必要がないため、ts, tn, ph といった信号は動かさずにノンアクティブなレベルに固定したまととする。

【0151】

このように、画素からの信号を読み出す動作を行わないため、1行を間引く動作に必要な時間は1行の画素信号を読み出すのに対して遙かに短い時間で済む。

【0152】

他の点は、第1実施形態における動画撮影モードの動作と同様である。

【0153】

次に、動画 / 静止画並行撮影モードの動作について、図23を用いて説明する。図23は、動画 / 静止画並行撮影モードの動作を模式的に示した図である。以下では動画撮影モードの動作と異なる部分を中心に説明する。

【0154】

動画 / 静止画並行撮影モードでは、フレーム期間 FT12 ~ FT14 において、動画撮影モードと異なるリセット動作 2301a, 2301b が行われる。リセット動作 2301a は、後述の第2の読み出し動作 2304 が行われる行のリセット動作を示し、リセット動作 2301b は、間引き動作 2305 が行われる行のリセット動作を示す。

【0155】

図24に、リセット動作 2301a に関するタイミングチャートを示す。図24では、第7行目のリセット動作 2301a を例示的に説明する。

【0156】

10

20

30

40

50

垂直走査回路 401 は、第 7 行目の画素へ供給する第 2 のリセット制御信号 r_{esf7} 及び転送制御信号 t_{x7} をノンアクティブに維持する。これにより、第 7 行目の画素における電荷電圧変換部 204 は、リセットされず、第 1 の蓄積期間 T_{1a7} に蓄積された信号を保持し続ける。

【0157】

なお、第 7 行目のリセット動作 $2301a$ は、（破線の波形で示すような）第 1 行目の第 1 の読み出し動作 1804 と並行して行われる（図 23 参照）。

【0158】

図 25 に、リセット動作 $2301b$ に関するタイミングチャートを示す。図 25 では、第 9 行目のリセット動作 $2301b$ を例示的に説明する。

10

【0159】

垂直走査回路 401 は、第 9 行目の画素へ供給する第 2 のリセット制御信号 r_{esf9} 及び転送制御信号 t_{x9} をノンアクティブに維持する。これにより、第 9 行目の画素における電荷電圧変換部 204 は、リセットされず、第 1 の蓄積期間 T_{1a9} に蓄積された信号を保持し続ける。

【0160】

また、動画 / 静止画並行撮影モードでは、第 3 の読み出し動作 1807 が行われない代わりに、図 23 に破線の四角で示す第 2 の読み出し動作 2304 が行われる。第 2 の読み出し動作 2304 は、列共通読み出し回路 $RC1 \sim RC4$ （図 2 参照）により第 2 の画素群 $PG2$ （図 5 参照）の一部から信号の読み出し動作が行ごとに順次に行われることを示している。

20

【0161】

すなわち、垂直走査回路 401 は、第 1 のフレーム期間 $FT11$ において、第 2 の画素群 $PG2$ から $5n+2$ （2、7、12）行目の画素を順次に選択する。列共通読み出し回路 $RC1 \sim RC4$ は、選択された行の画素における電荷電圧変換部 204 の電圧に応じた信号（第 1 の蓄積期間群 T_{1a} で蓄積された信号における第 2 の信号）を出力部 205 を介して読み出す。

【0162】

また、垂直走査回路 401 は、第 2 のフレーム期間 $FT12$ において、第 2 の画素群 $PG2$ から $5n+3$ （3、8、13）行目の画素を順次に選択する。列共通読み出し回路 $RC1 \sim RC4$ は、選択された行の画素における電荷電圧変換部 204 の電圧に応じた信号（第 1 の蓄積期間群 T_{1a} で蓄積された信号における第 2 の信号）を出力部 205 を介して読み出す。

30

【0163】

また、垂直走査回路 401 は、第 3 のフレーム期間 $FT13$ において、第 2 の画素群 $PG2$ から $5n+4$ （4、9、14）行目の画素を順次に選択する。列共通読み出し回路 $RC1 \sim RC4$ は、選択された行の画素における電荷電圧変換部 204 の電圧に応じた信号（第 1 の蓄積期間群 T_{1a} で蓄積された信号における第 2 の信号）を出力部 205 を介して読み出す。

40

【0164】

また、垂直走査回路 401 は、第 4 のフレーム期間 $FT14$ において、第 2 の画素群 $PG2$ から $5n+5$ （5、10、15）行目の画素を順次に選択する。列共通読み出し回路 $RC1 \sim RC4$ は、選択された行の画素における電荷電圧変換部 204 の電圧に応じた信号（第 1 の蓄積期間群 T_{1a} で蓄積された信号における第 2 の信号）を出力部 205 を介して読み出す。

【0165】

列共通読み出し回路 $RC1 \sim RC4$ は、複数のフレーム期間 $FT11 \sim FT14$ のそれぞれにおいて、第 2 の画素群 $PG2$ における互いに異なる一部の画素から第 1 の蓄積期間群 T_{1a} で蓄積された信号における第 2 の信号を読み出す。

【0166】

50

図26に、第2の読み出し動作2304に関するタイミングチャートを示す。図26では、第2行目のリセット動作2304を例示的に説明する。図26では、第2行目の第2の読み出し動作2304を例示的に説明する。動画／静止画並行撮影モードにおける第2の読み出し動作2304は、動画モードにおける第1の読み出し動作(図19参照)と次の点で異なる。

【0167】

垂直走査回路401は、制御信号 t_s がアクティブな状態で、第2行目の画素へ供給する転送制御信号 $t \times 2$ をノンアクティブなレベルに維持する。これにより、第2行目の画素における電荷電圧変換部204が第1の蓄積期間 T_{1a2} に蓄積された信号を保持し続け、出力部205が電荷電圧変換部204の電圧に応じたS信号を列信号線RL1～RL4へ出力する。
10

【0168】

動画／静止画並行撮影モードでは、動画モードと異なる間引き動作2305が行われる。図27は、間引き動作2305に関するタイミングチャートを示す。図27では、第3行目の間引き動作2305を例示的に説明する。動画／静止画並行撮影モードにおける間引き動作2305は、動画モードにおける間引き動作(図20参照)と次の点で異なる。

【0169】

垂直走査回路401は、第3行目の画素へ供給する転送制御信号 $t \times 3$ をノンアクティブなレベルに維持する。これにより、第3行目の画素における電荷電圧変換部204は、第1の蓄積期間 T_{1a3} に蓄積された信号を保持し続ける。
20

【0170】

このように、各フレーム期間FT10～FT14が長くなることを抑制しながら、第1の蓄積期間群T1aで蓄積された全画素P1, 1～P15, 25の信号を用いて1フレーム分の静止画用の画像信号(画像データ)を生成することができる。

【0171】

次に、本発明の第4実施形態に係る撮像装置100iについて、図28を用いて説明する。図28は、本発明の第4実施形態に係る撮像装置100iの構成図である。以下では、第3実施形態と異なる部分を中心に説明する。

【0172】

撮像装置100iは、AFE103を備えず、撮像センサ102(図1参照)に代えて撮像センサ102iを備える。撮像装置100iでは、AD変換器を撮像センサ102i内に配置するため、AFE103が不要である。
30

【0173】

撮像センサ102iは、図29に示すように、画素配列PAの各列に対応したAD(アナログ-デジタル)変換器を有する、いわゆるカラムAD構成を用いたものである。具体的には、撮像センサ102iの構成は、次の点で第1実施形態と異なる。なお、図29は、本発明の第4実施形態における撮像センサ102iの構成図である。

【0174】

撮像センサ102iは、読み出し部10i、A/D変換部20i、記憶部30i、制御部40i、及びLVDSS部2905を含む。
40

【0175】

読み出し部10iは、複数の列共通読み出し回路RC1i～RC4iを含む。複数の列共通読み出し回路RC1～RC4のそれぞれは、図30に示すように、その内部構成が第1実施形態と異なる。列共通読み出し回路RC1は、水平転送スイッチ306、307を含まない。列共通読み出し回路RC1におけるS信号保持容量304及びN信号保持容量305に保持された信号は、それぞれ、A/D変換部20iへ出力される。なお、図30は、本発明の第4実施形態における列共通読み出し回路RC1の構成図である。

【0176】

図29に示すA/D変換部20iは、複数の列A/D変換器ADC1i～ADC4iを含む。複数の列A/D変換器ADC1i～ADC4iは、複数の列共通読み出し回路RC
50

1 i ~ R C 4 i から出力された信号 (S 信号、N 信号) を受ける。複数の列 A / D 変換器 A D C 1 i ~ A D C 4 i のそれぞれは、受けた信号 (アナログ信号) を A / D 変換して、変換した信号 (デジタル信号) を記憶部 3 0 i へ供給する。

【0177】

なお、A / D 変換の方式としては、三角波を掃印するランプ型、逐次比較 (Successive Approximation) 型などがあるが、画素からのアナログ信号をデジタル信号に変換できるものならどのようなタイプのものでもよい。

【0178】

記憶部 3 0 i は、メモリ (RAM) 2 9 0 3 を含む。メモリ 2 9 0 3 は、A / D 変換部 2 0 i により A / D 変換された信号を一時的に記憶する。

10

【0179】

制御部 4 0 i は、メモリ制御部 2 9 0 4 を含む。メモリ制御部 2 9 0 4 は、メモリ 2 9 0 3 へ供給される信号の記憶動作と、メモリ 2 9 0 3 から L V D S 部 2 9 0 5 への画素信号の読み出し動作とを制御する。

【0180】

L V D S 部 2 9 0 5 は、メモリ 2 9 0 3 から読み出された画素信号 (S 信号、N 信号) をシリアル化した後、S 信号と N 信号との差動信号に生成する。L V D S 部 2 9 0 5 は、生成した差動信号を出力端子から後段 (D S P 1 0 4) へ出力する。

20

【0181】

このように撮像センサ内で画素信号をデジタル信号化して出力する場合、シリアル化して出力した方が、端子数の観点から有利である。

【0182】

また、列 A / D 変換器の後段に容量の大きなメモリを有する場合、1 行分の画素信号をメモリまで並列に処理できるため、それ以降の信号転送速度に制約されずメモリまでの信号読み出し速度を非常に高速化することができる。このため、画素信号の読み出しにおいて間引き動作をする必要がなくなる。

30

【0183】

図 3 1 に、本実施形態における動画撮影モードの動作を模式的に示す。図 3 1 では、横軸が時刻を表し、縦軸における上段の部分が光電変換部 2 0 1 からメモリ 2 9 0 3 までの信号の読み出し動作に関する画素行の位置を表し、縦軸における下段の部分がメモリ 2 9 0 3 から信号の出力動作を表す。

30

【0184】

図 3 1 に示すように、第 1 の蓄積期間群 T 2 a は、少なくとも隣接する 2 行に対して同じ長さの一部が重なっている第 1 の蓄積期間 T 2 a 1 ~ T 2 a 1 5 の集まりである。すなわち、リセット動作 3 1 0 1 の完了タイミングは、1 行前のリセット動作の完了タイミングに対して、1 行前の第 1 の読み出し動作 3 1 0 2 が行われた時間だけ遅延して行われる。これにより、第 1 の蓄積期間群 T 2 a における第 1 の蓄積期間 T 2 a 1 ~ T 2 a 1 5 のそれぞれは、長さが互いに等しい。その遅延の長さは、間引き動作 1 8 0 5 が行われないため、一定の長さ (第 1 の読み出し動作 3 1 0 2 の時間) になっている。

40

【0185】

図 3 3 に、リセット動作 3 1 0 1 に関するタイミングチャートを示す。図 3 3 では、第 1 2 行目のリセット動作 3 1 0 1 を例示的に説明する。

【0186】

垂直走査回路 4 0 1 は、第 1 2 行目の画素へ供給する第 2 のリセット制御信号 r e s f 1 2 をアクティブなレベルからノンアクティブなレベルへ遷移させる。これにより、第 1 2 行目の画素における第 2 のリセット部 2 0 6 がオフして、電荷電圧変換部 2 0 4 のリセットが解除される。

【0187】

そして、垂直走査回路 4 0 1 は、第 1 2 行目の画素へ供給する第 2 のリセット制御信号 r e s f 1 2 及び転送制御信号 t x 1 2 をアクティブにする。これにより、第 1 2 行目の

50

画素における光電変換部 201 がリセットされる。その後、垂直走査回路 401 は、第 2 のリセット制御信号 r_{esf1} をアクティブなレベルに維持するとともに、転送制御信号 t_{x1} をノンアクティブにする。

【0188】

なお、第 12 行目のリセット動作 3101 は、(破線の波形で示すような) 第 1 行目の第 1 の読み出し動作 3102 と並行して行われる(図 31 参照)。

【0189】

図 32 に、第 1 の読み出し動作 3102 に関するタイミングチャートを示す。図 32 では、第 1 行目の読み出し動作を例示的に示している。本実施形態における第 1 の読み出し動作は、第 3 実施形態における第 1 の読み出し動作(図 19 参照)と次の点で異なる。

10

【0190】

垂直走査回路 401 は、第 1 行目の画素へ供給する第 2 のリセット制御信号 r_{esf1} をアクティブなレベルからノンアクティブなレベルへ遷移させる。これにより、第 1 行目の画素における第 2 のリセット部 206 がオフして、電荷電圧変換部 204 のリセットが解除される。

10

【0191】

TG107 は、N 信号転送スイッチ 303 へ供給する制御信号 t_n をアクティブなレベルにする。これにより、N 信号転送スイッチ 303 がオンする。これにより、第 1 行目の画素における出力部 205 が電荷電圧変換部 204 の電圧に応じた N 信号を列信号線 RL1 ~ RL4 へ出力する。N 信号転送スイッチ 303 は、列信号線 RL1 ~ RL4 を介して伝達された N 信号を N 信号保持容量 305 に記憶する。TG107 は、制御信号 t_n をノンアクティブなレベルにする。

20

【0192】

その後、TG107 は、S 信号転送スイッチ 302 へ供給する制御信号 t_s をアクティブなレベルにする。これにより、S 信号転送スイッチ 302 がオンする。垂直走査回路 401 は、制御信号 t_s がアクティブな状態で、第 1 行目の画素へ供給する転送制御信号 t_{x1} をアクティブにする。これにより、第 1 行目の画素における転送部 203 が光電変換部 201 の電荷を電荷電圧変換部 204 へ転送し、出力部 205 が電荷電圧変換部 204 の電圧に応じた S 信号を列信号線 RL1 ~ RL4 へ出力する。S 信号転送スイッチ 302 は、列信号線 RL1 ~ RL4 を介して伝達された S 信号を S 信号保持容量 304 に記憶する。

30

【0193】

また、各列の水平転送信号 ph1 ~ ph25 が順次アクティブにされている期間に、垂直走査回路 401 は、第 1 行目の画素へ供給する第 2 のリセット制御信号 r_{esf1} 及び転送制御信号 t_{x1} をアクティブにする。これにより、第 1 行目の画素における光電変換部 201 がリセットされる。その後、垂直走査回路 401 は、第 2 のリセット制御信号 r_{esf1} をアクティブなレベルに維持するとともに、転送制御信号 t_{x1} をノンアクティブにする。

30

【0194】

図 31 に示す出力動作 3103 は、メモリ制御部 2904 により制御されて、メモリ 2903 に格納されている信号が L V D S 部 2905 及び出力端子を介して D S P 104 へ出力される動作を 1 行分単位で示している。

40

【0195】

枠内のアルファベット(a ~ d)は信号がどの蓄積期間群 T2a ~ T2d で蓄積されたかを示し、数字(1 ~ 15)はどの画素行の信号であるかを示している。例えば、a1 と記載した枠は、第 1 の蓄積期間 T2a において 1 行目に蓄積された信号を出力していることを示す。

【0196】

このように、制御部 40i は、各フレーム期間において、第 1 の画素群 PG1 (5n + 1 行目) の全てに対する直前のフレーム期間内の蓄積期間群 (T2a ~ T2d) で蓄積さ

50

れた信号における第1の信号を更新するように、メモリ2903を制御する。そして、制御部40iは、更新した第1の信号をメモリ2903から読み出す。

【0197】

例えば、動画撮影モードでは、第1のフレーム期間FT21において、第1の画素群PG1(5n+1行目)により直前のフレーム期間FT0内の第1の蓄積期間群T2aで蓄積された第1の信号a1,a6,a11をメモリ2903から読み出す。

【0198】

例えば、動画撮影モードでは、第2のフレーム期間FT22において、第1の画素群PG1(5n+1行目)により直前のフレーム期間FT1内の第2の蓄積期間群T2bで蓄積された第1の信号b1,b6,b11をメモリ2903から読み出す。

10

【0199】

LVD部2905は、メモリ2903から制御部40iにより読み出された第1の信号を出力端子経由でDSP104へ供給する。これにより、DSP(生成部)104は、各フレーム期間に読み出された第1の信号から、1フレーム分の動画用の画像信号(画像データ)を生成する。

【0200】

次に、動画/静止画並行撮影モードの動作について、図34を用いて説明する。図34は、動画/静止画並行撮影モードの動作を模式的に示した図である。以下では動画撮影モードの動作と異なる部分を中心に説明する。

20

【0201】

図34に斜線の四角で示す第4の読み出し動作3402は、列共通読み出し回路RC1i～RC4i(図29参照)により第2の画素群PG2(図5参照)から信号が読み出されるがメモリ2903に記憶されないことを示している。すなわち、メモリ制御部2904は、第2～5行目、第7～10行目、第12～15行目の信号を順次にスキップし、スキップされた行の画素の信号をメモリ2903に記憶させない。

20

【0202】

これにより、第2のフレーム期間FT22では、メモリ2903において、動画に使用しない第2の画素群PG2(5n+1行目以外の行)の信号が更新されない。メモリ2903は、第2の画素群PG2により第1の蓄積期間群T2aで蓄積された信号を保持し続ける。一方、メモリ2903において、動画に使用する第1の画素群G1(5n+1行目)の信号は更新される。

30

【0203】

同様に、第3のフレーム期間FT23、第4のフレーム期間FT24でも、メモリ2903において、動画に使用しない第2の画素群PG2(5n+1行目以外の行)の信号が更新されない。メモリ2903は、第2の画素群PG2により第1の蓄積期間群T2aで蓄積された信号を保持し続ける。

30

【0204】

また、メモリ制御部2904は、メモリ2903に保持された第2の画素群PG2(図5参照)の一部の信号を読み出す。

40

【0205】

すなわち、メモリ制御部2904は、第1のフレーム期間FT21において、第2の画素群PG2から5n+2(2、7、12)行目の画素の信号(第1の蓄積期間群T2aで蓄積された信号における第2の信号)を選択して読み出す。なお、メモリ制御部2904が、第1のフレーム期間FT21において、第1の画素群PG1から画素の信号(第1の蓄積期間群T2aで蓄積された信号における第1の信号)を選択して読み出す点は、動画モードと同様である。

【0206】

また、メモリ制御部2904は、第2のフレーム期間FT22において、第2の画素群PG2から5n+3(3、8、13)行目の画素の信号(第1の蓄積期間群T2aで蓄積された信号における第2の信号)を選択して読み出す。

50

【0207】

また、メモリ制御部2904は、第3のフレーム期間FT23において、第2の画素群PG2から $5n+4$ (4、9、14)行目の画素の信号(第1の蓄積期間群T2aで蓄積された信号における第2の信号)を選択して読み出す。

【0208】

また、メモリ制御部2904は、第4のフレーム期間FT24において、第2の画素群PG2から $5n+5$ (5、10、15)行目の画素の信号(第1の蓄積期間群T2aで蓄積された信号における第2の信号)を選択して読み出す。

【0209】

このように、メモリ制御部2904は、連続する複数のフレーム期間FT21～FT24のそれぞれにおいて、第2の画素群PG2における互いに異なる一部の画素から第1の蓄積期間群T2aで蓄積された信号における第2の信号を読み出す。LVDS部2905は、メモリ制御部2904により読み出された第1の信号及び第2の信号を出力端子経由でDSP104へ供給する。DSP(生成部)104は、第1のフレーム期間FT21においてメモリ制御部2904により読み出された第1の信号と、複数のフレーム期間FT21～FT24においてメモリ制御部2904により読み出された第2の信号とを合成する。これにより、DSP104は、1フレーム分の静止画用の画像信号を生成する。

10

【0210】

本実施形態によれば、動画に使用せず静止画のみに使用する画素の信号を一時的に保持する記憶手段がデジタル値で保持するメモリになることにより、大容量のメモリを比較的容易に構成することができる。

20

【0211】

また、画素から読み出された信号をデジタルのメモリに保持させてるので、アナログのメモリにおける問題(微小な欠陥に起因したリーク電流等)を回避できる。

【0212】

なお、本実施形態では動画に使用する画素と使用しない画素との区別を行単位でのみ行ったが、デジタルのメモリを使用していることで、列方向(水平方向)でも区別してもよい。これにより、データをフレームごとに更新する行と更新しない行とをより細かく制御することができ、より効率的な静止画用のデータの転送が可能となる。

30

【0213】

また、N信号を先に読み出してからS信号を読み出すことが出来、リセットノイズも除去できる。この場合、画質を容易に向上できる。

【図面の簡単な説明】**【0214】**

【図1】本発明の第1実施形態に係る撮像装置100の構成図。

40

【図2】撮像センサ102の構成図。

【図3】画素P11の構成図。

【図4】列共通読み出し回路RC1の構成図。

【図5】15行25列の画素P1,1～P15,25で構成された画素配列PAを示した図。

【図6】動画撮影モードにおける動作を模式的に示した図。

50

【図7】各行の画素における光電変換部201のリセット動作を示すタイミングチャート。

【図8】各行の画素における光電変換部201の電荷の転送動作を示すタイミングチャート。

【図9】第1の読み出し動作に関するタイミングチャート。

【図10】間引き動作605に関するタイミングチャート。

【図11】動画/静止画並行撮影モードにおける動作を模式的に示した図。

【図12】各行の画素における光電変換部201の電荷の転送動作を示すタイミングチャート。

【図13】間引き動作1105に関するタイミングチャート。

【図14】本発明の第2実施形態における20行29列の画素P1, 1~P20, 29で構成された画素配列PAを示した図。

【図15】本発明の第2実施形態における動画/静止画並行撮影モードにおける動作を模式的に示した図。

【図16】本発明の第2実施形態における動画/静止画並行撮影モードにおける動作を模式的に示した図。

【図17】本発明の第3実施形態に係る撮像装置における画素P11iの構成図。

【図18】本発明の第3実施形態における動画撮影モードの動作を模式的に示した図。

【図19】第1の読み出し動作に関するタイミングチャート。

10

【図20】間引き動作1805に関するタイミングチャート。

【図21】リセット動作1801aに関するタイミングチャート。

【図22】リセット動作1801bに関するタイミングチャート。

【図23】本発明の第3実施形態における動画/静止画並行撮影モードの動作を模式的に示した図。

【図24】リセット動作2301aに関するタイミングチャート。

【図25】リセット動作2301bに関するタイミングチャート。

【図26】第2の読み出し動作2304に関するタイミングチャート。

【図27】間引き動作2305に関するタイミングチャート。

20

【図28】本発明の第4実施形態に係る撮像装置100iの構成図。

【図29】本発明の第4実施形態における撮像センサ102iの構成図。

【図30】本発明の第4実施形態における列共通読み出し回路RC1iの構成図。

【図31】動画撮影モードの動作を模式的に示した図。

【図32】第1の読み出し動作3102に関するタイミングチャート。

【図33】リセット動作3101に関するタイミングチャート。

【図34】動画/静止画並行撮影モードの動作を模式的に示した図。

【符号の説明】

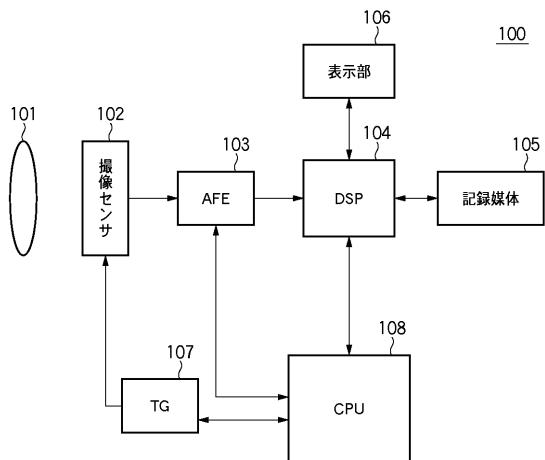
【0215】

100, 100i 撮像装置

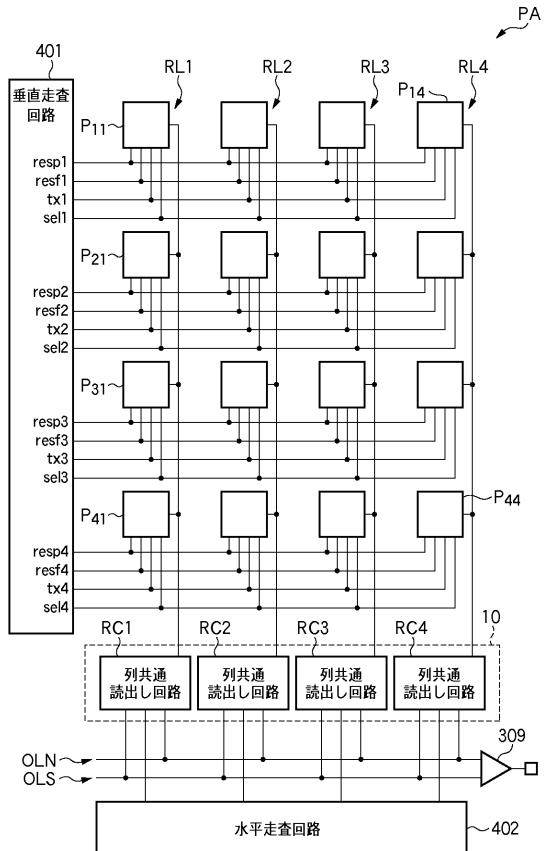
102, 102i 撮像センサ

30

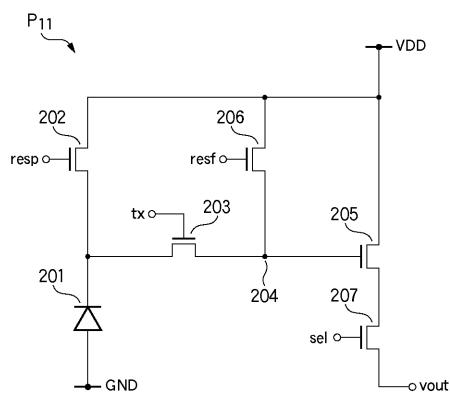
【図1】



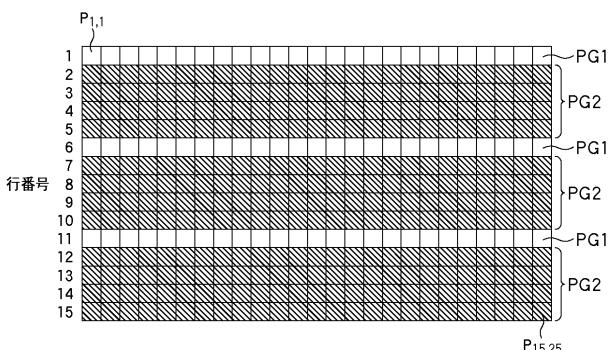
【図2】



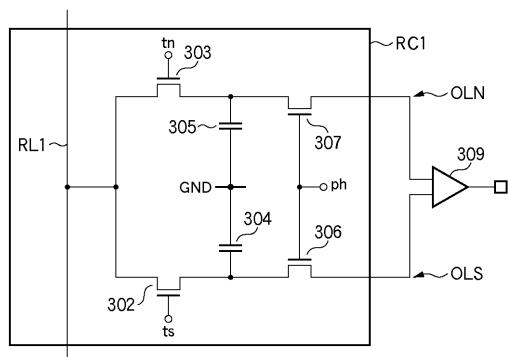
【図3】



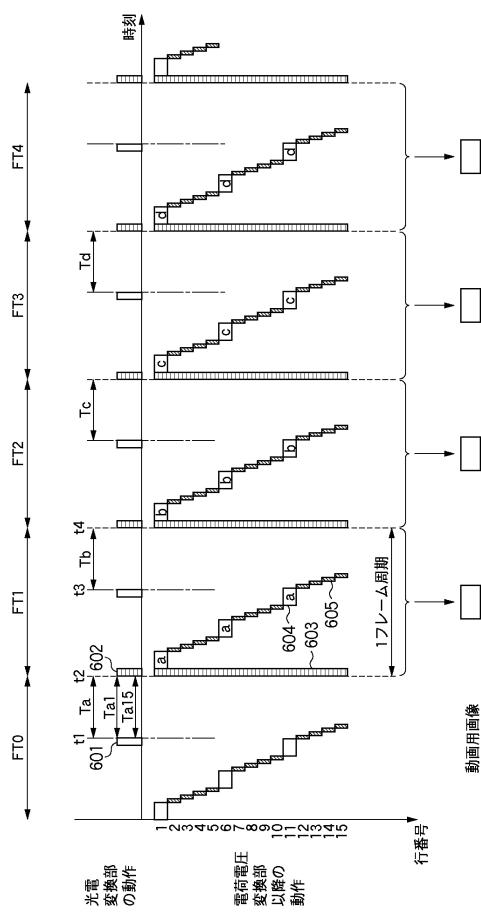
【図5】



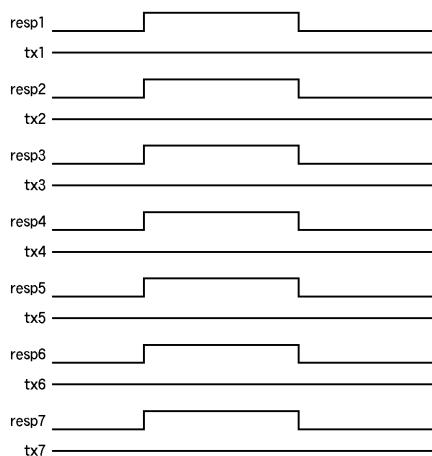
【図4】



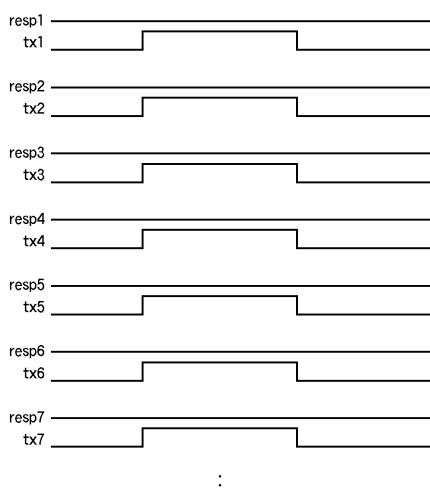
【図 6】



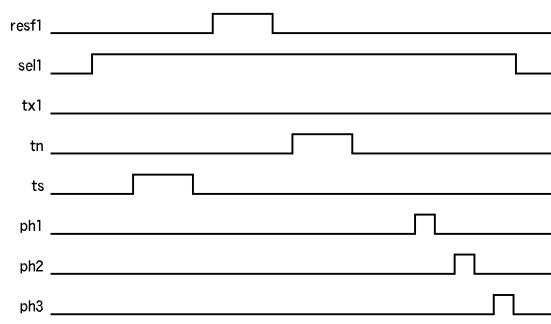
【図 7】



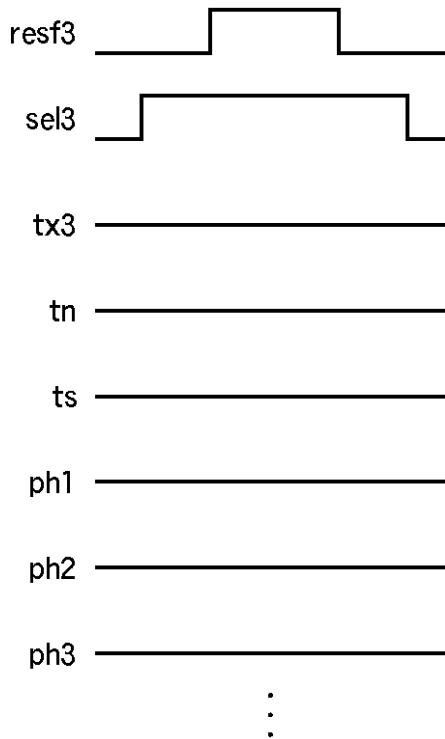
【図 8】



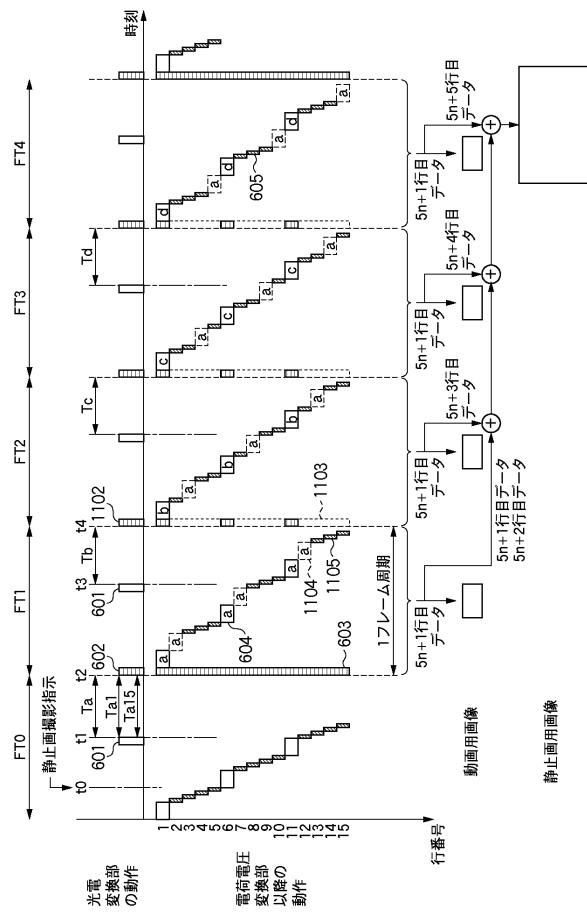
【図 9】



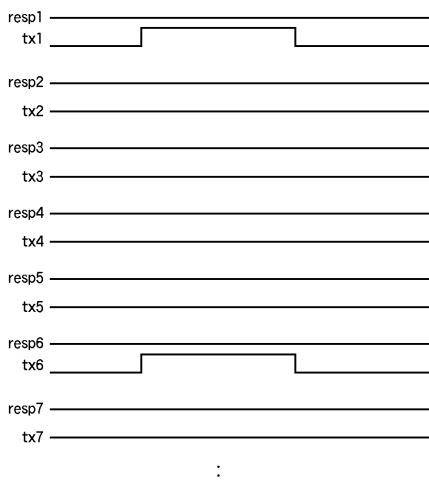
【図 1 0】



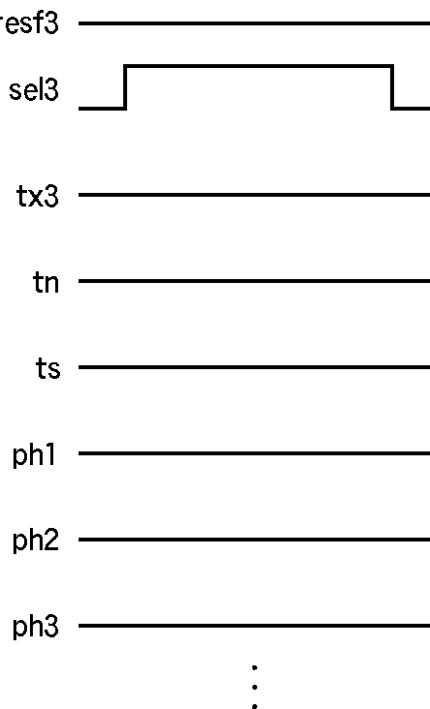
【図 1 1】



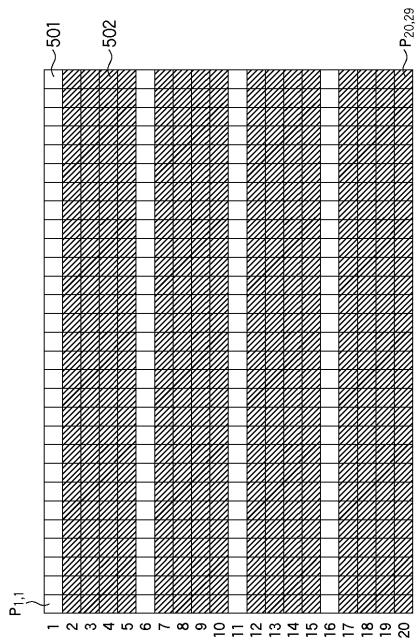
【図 1 2】



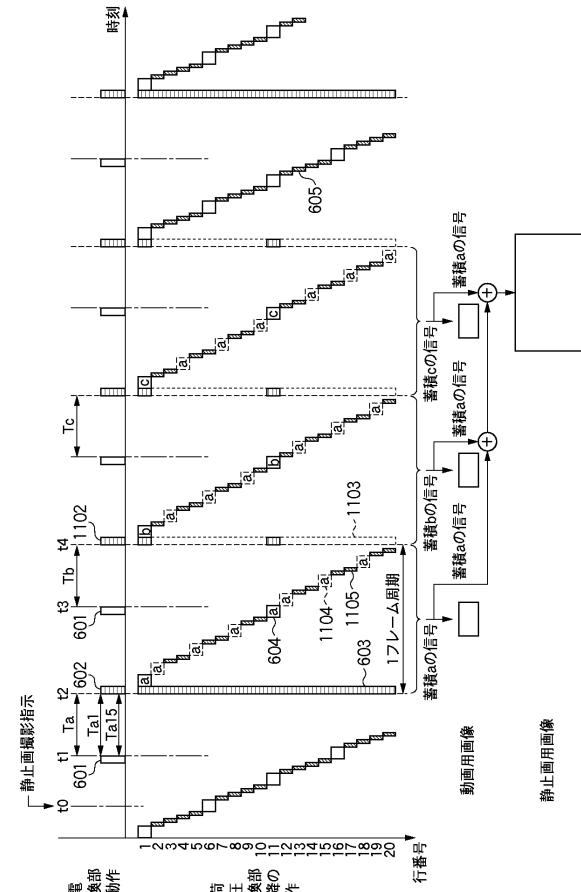
【図 1 3】



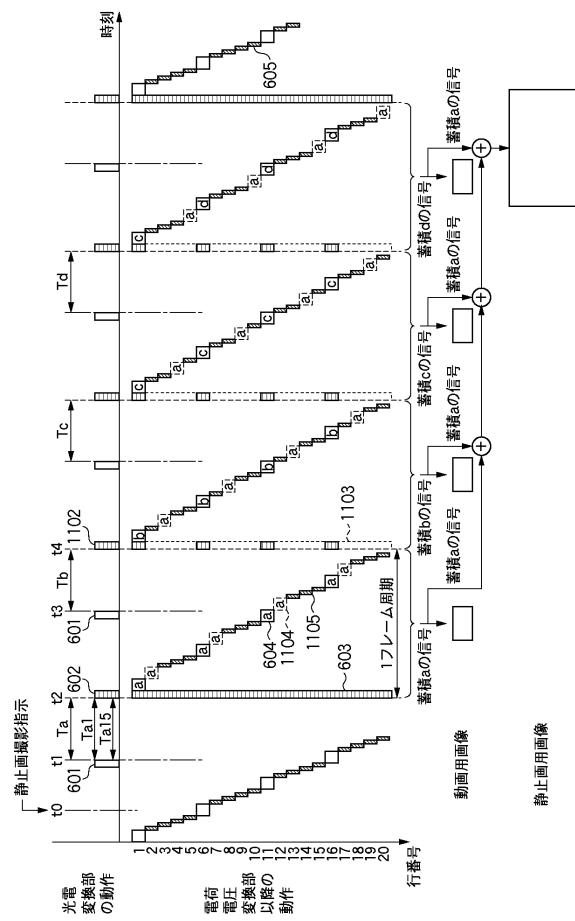
【図 14】



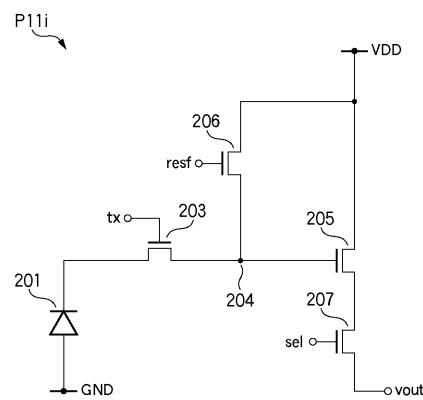
【図 15】



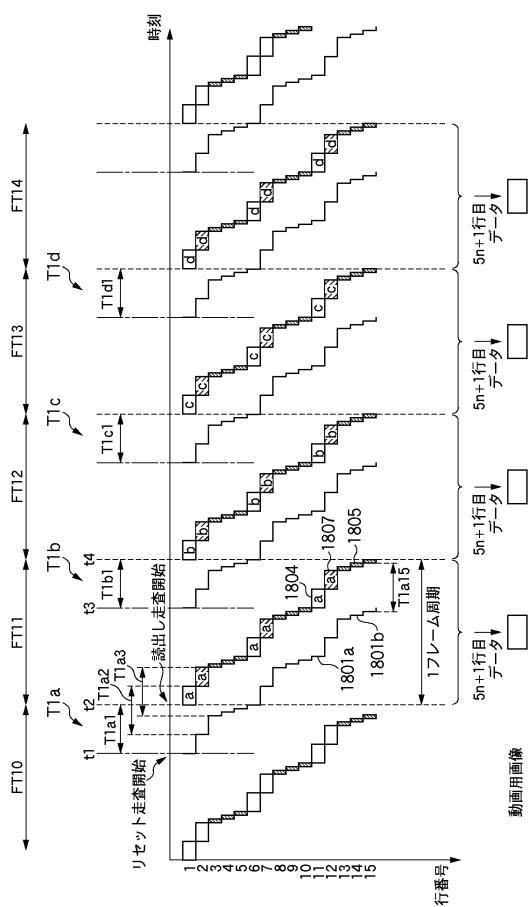
【図 16】



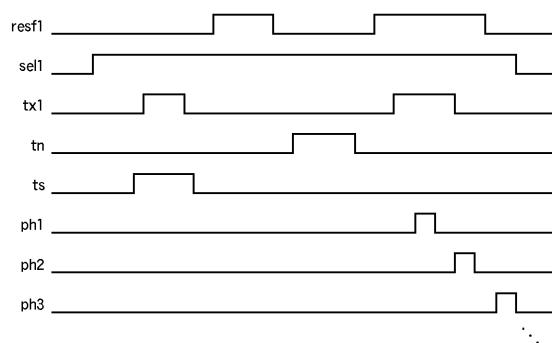
【図 17】



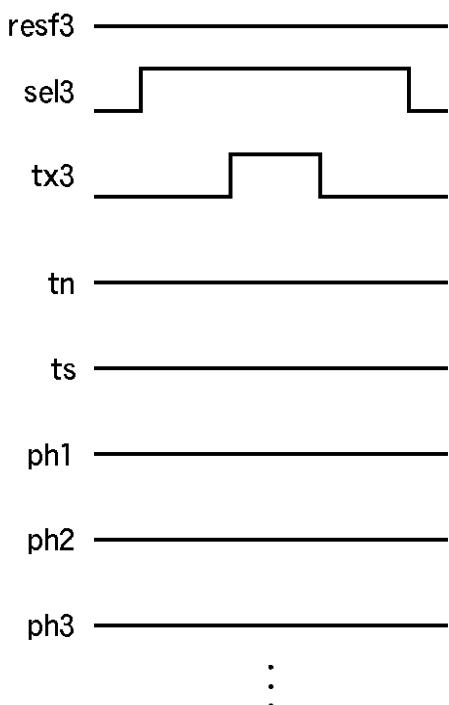
【図 18】



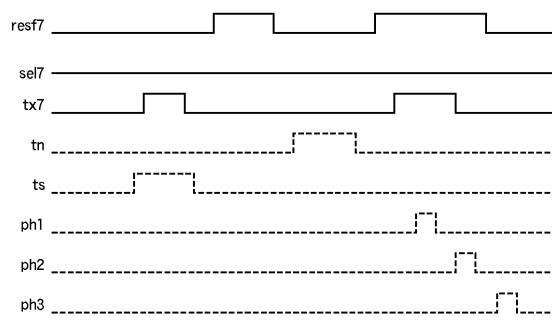
【図 19】



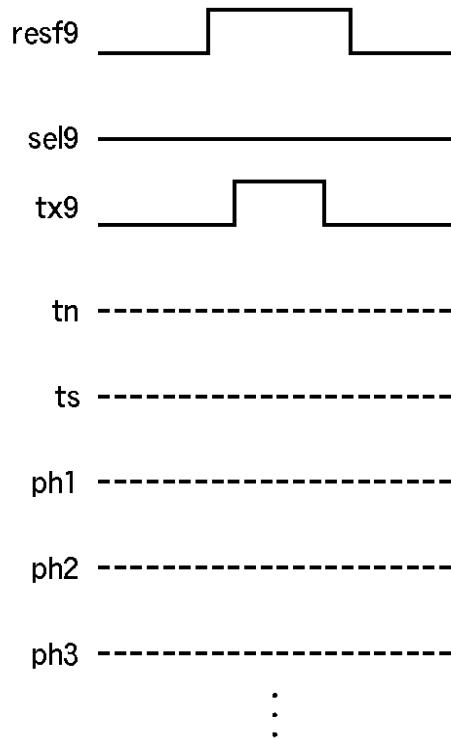
【図 20】



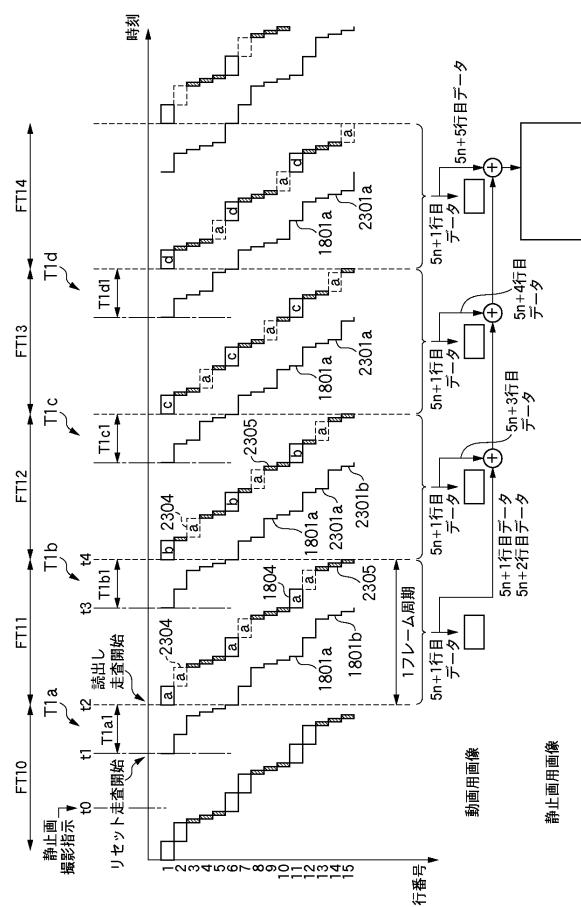
【図 21】



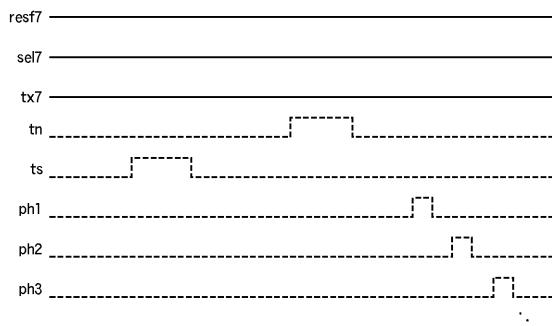
【図 2 2】



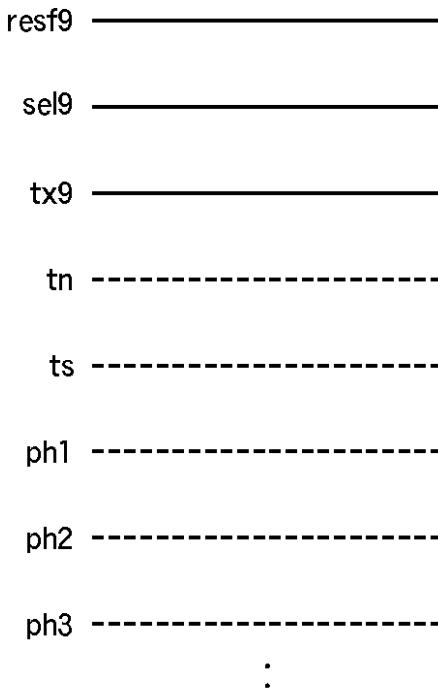
【図 2 3】



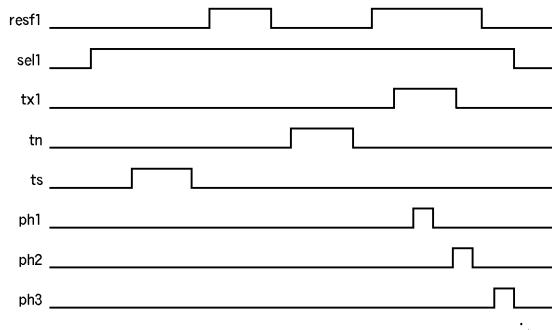
【図 2 4】



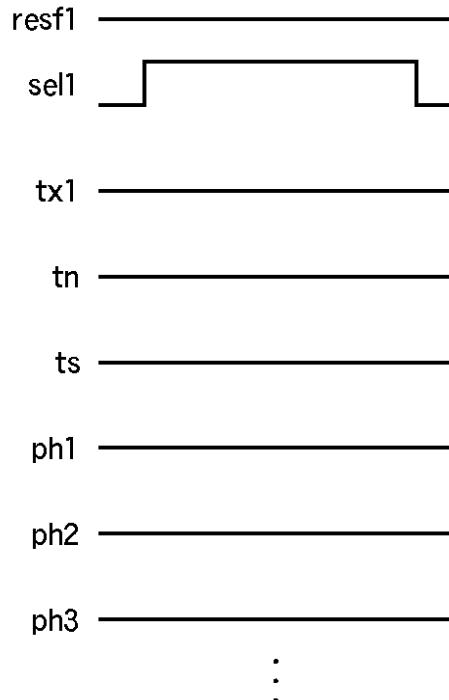
【図 2 5】



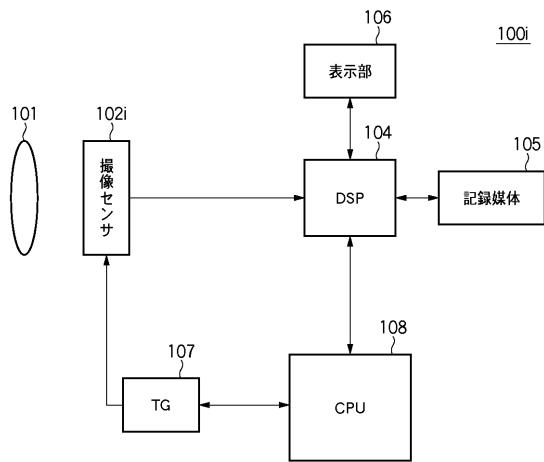
【図26】



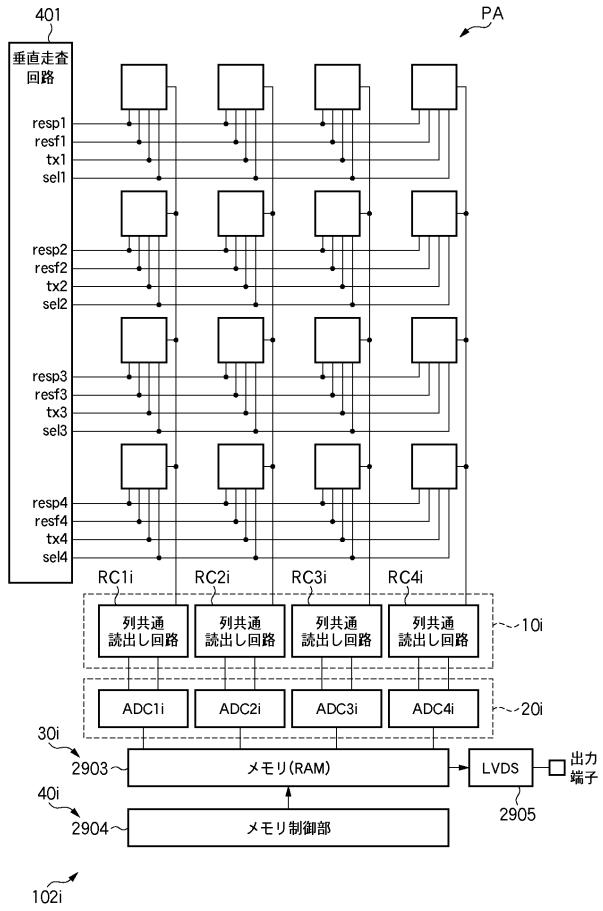
【図27】



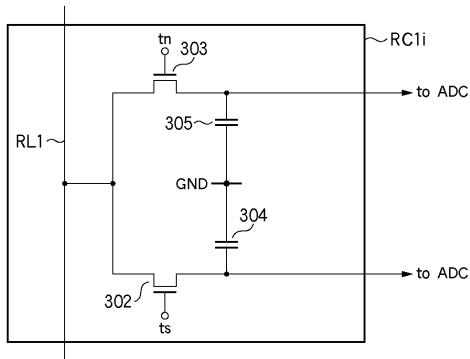
【図28】



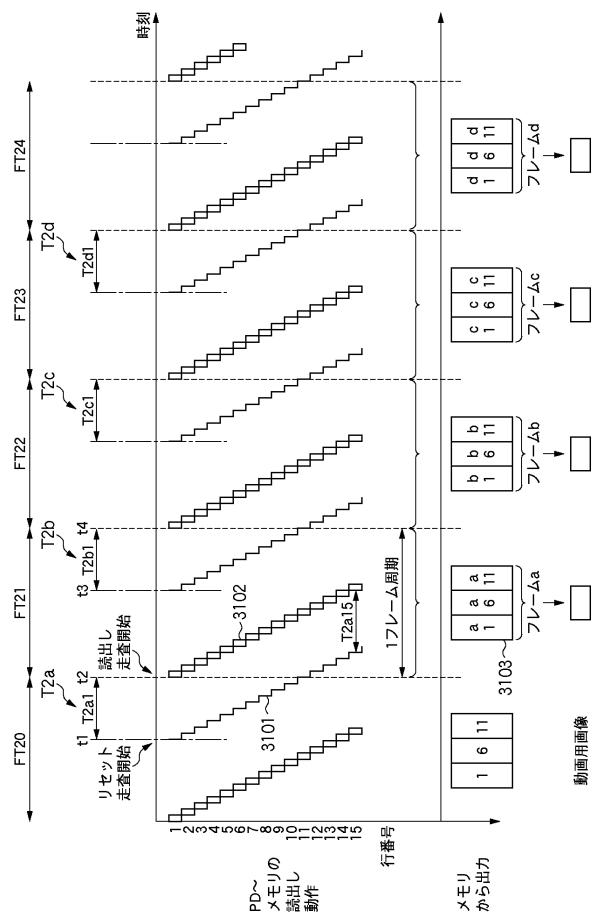
【図29】



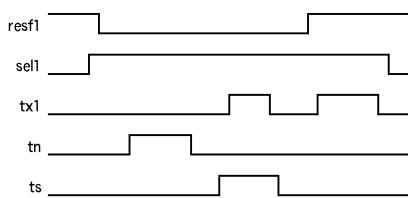
【 図 3 0 】



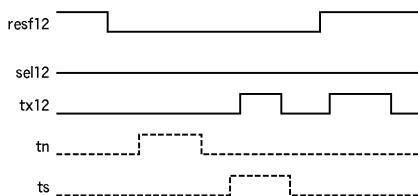
【 図 3 1 】



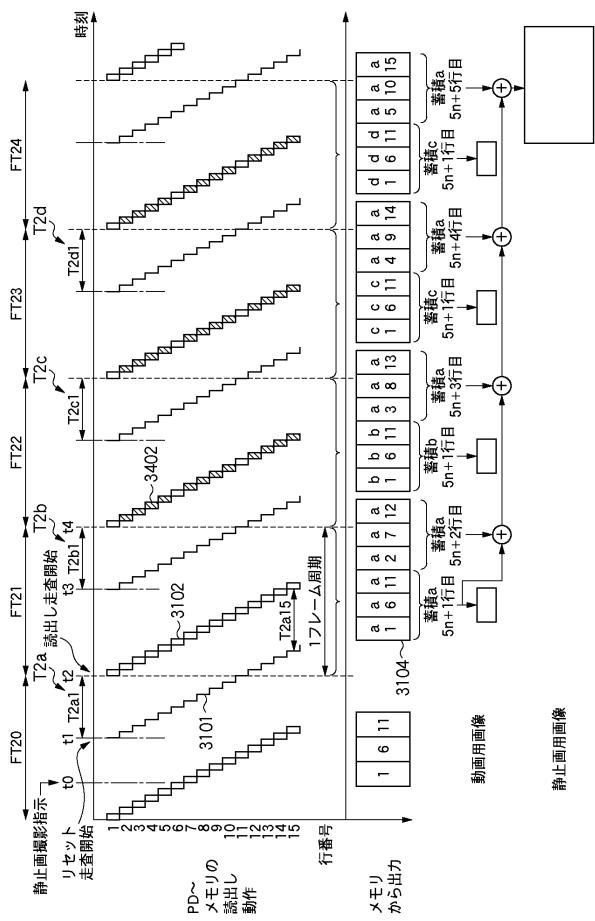
【図32】



【 図 3 3 】



【 図 3 4 】



フロントページの続き

(72)発明者 内田 峰雄

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 5C024 CX37 CY11 CY16 GY31 GZ24 HX02 JX08 JX41