

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H04N 7/50

(11) 공개번호 특2002 - 0009909
(43) 공개일자 2002년02월02일

(21) 출원번호 10 - 2000 - 0043520
(22) 출원일자 2000년07월27일

(71) 출원인 엘지전자주식회사
구자홍
서울시영등포구여의도동20번지
(72) 발명자 김응태
서울특별시서초구양재동271 - 2남포주택202호
(74) 대리인 김용인
심창섭

심사청구 : 있음

(54) 다운 컨버전 기능을 갖는 비디오 디코더 및 비디오 신호를 디코딩 하는 방법

요약

본 발명은 다운 컨버전 기능을 갖는 디지털 텔레비전용 비디오 디코더 및 비디오 신호를 디코딩하는 방법에 관한 것이다.

본 발명에 따른 장치 및 방법에 따르면, 가변 길이 디코더는 입력된 압축 비트 스트림을 분석하고 움직임 신호들을 추출한다. 상기 가변 길이 디코더를 통해 분석된 비트 스트림은 역 양자화기 및 역 이산 코사인 변환기를 차례로 거쳐 소정 매크로 블록 형태로 변환되고, 움직임 보상 장치는 추출된 움직임 신호들을 이용하여 업 샘플링된 데이터의 움직임을 보상한다. 역 이산 코사인 변환기로부터 출력된 데이터와 상기 움직임 보상 장치로부터 출력된 데이터는 가산되고 적응 다운 샘플러에 의해 다운 샘플 된후 외부 메모리에 저장된다. 한편, 적응 업 샘플러는 움직임 보상을 위해 상기 적응 다운 샘플러로부터 다운 샘플된 데이터를 업 샘플링 시켜 상기 움직임 보상 장치로 제공한다.

대표도
도 1

색인어

가변 길이 디코더, 역 양자화기, 역 이산 코사인 변환기, 적응 다운 샘플러, 적응 업 샘플러, 외부 메모리, 움직임 보상 장치, 가산기, 프레임 데이터, 필드 데이터, 루미넌스 데이터, 크로미넌스 데이터

명세서

도면의 간단한 설명

도1은 본 발명에 따른 다운 컨버전 기능을 갖는 스케일러블 엠팩 - 2 비디오 디코더의 구성을 보여주는 다이어그램

도2는 본 발명에 따른 메모리 감축용 다운 컨버전 알고리즘을 갖는 비디오 디코더를 보여주는 블록 다이어그램

도3은 DCT 영역의 데이터를 다운 샘플링 한 후의 화소 구조들을 보여주는 다이어그램

도4는 상기 DCT 버퍼에 저장된 상기 IDCT기로부터 출력된 데이터의 형태를 나타내는 다이어그램

도5는 상기 MC 버퍼에서 필드 구조로 입력되는 픽처를 프레임 단위의 픽처로 변환하여 저장하는 경우를 보여주는 다이어그램

도6은 상기 MC 픽처에서 필드 구조로 입력되는 픽처를 그대로 저장하는 경우를 보여주는 다이어그램

도7은 상기 매크로 블록 가산기의 동작을 설명하기 위한 다이어그램

도8은 도2 중 다운 샘플러의 상세 구성을 보여주는 블록 다이어그램

도9는 도2중 다운 샘플러의 동작을 설명하기 위한 다이어그램

도10은 도2의 업 샘플러와 움직임 보상기의 상세한 구성을 보여주는 다이어그램

도11은 도2의 업 샘플러(9)의 상세 구성을 보여주는 블록 다이어그램

도12는 필드를 기반으로 하는 외부 메모리에 저장된 각 필드 데이터를 프레임 예측으로 업 샘플링 하는 과정을 보여주는 블록 다이어그램

도13은 본 발명에 따른 1/2 화소 보간을 갖는 움직임 보상 방법을 설명하기 위한 다이어그램

* 도면의 주요 부분에 대한 부호의 설명

1: 압축된 비트 스트림2: 버퍼

3: 가변 길이 디코더4: 역양자화기

5: 이산 코사인 변환기6: 움직임 보상 장치

7: 가산기8: 적응 다운 샘플러

9: 적응 업 샘플러10: 내부 메모리 버스

11: 메모리 인터페이스12: 외부 메모리

13: 외부 입력 장치14: 비디오 디스플레이 처리기

15: 디스플레이 장치16: DCT 버퍼

- 17: MC 버퍼18,19: 가산기
- 20: 다운 샘플링 제어부
- 21: 수직 다운 샘플링부22: 임시 버퍼
- 23: 수평 다운 샘플링부24: 출력 멀티 플렉서
- 25: 1/2 화소 보간기26: 결합기
- 27: 수직 업 샘플링 필터28: 움직임 벡터 번역기
- 29: 수평 업 샘플링 필터30: 업 샘플링 제어부
- 31: 수평 업 샘플링부32: 임시 버퍼
- 33: 수직 업 샘플링부34: 출력 멀티 플렉서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

통상 엠팩 - 2 비디오 디코딩 칩은 TP(Transport Packet) - 디코더, 비디오 디코더, 비디오 디스플레이 프로세서, 외부 메모리, 호스트 인터페이스 등으로 구성되어 있다. 또한, 상기 외부 메모리로서는 입력 비트 스트림과 움직임 보상을 위한 프레임 버퍼(frame buffer)들을 저장하기 위한 디램(DRAM:Dynamic Random Access Memory) 등이 존재한다. 엠팩 - 2 표준 규격안에서 MP@HL 모드를 지원하기 위해서는 약 10Mbits의 비트 버퍼 사이즈가 요구되며, 최대 허용 비트 레이트는 약 80Mbits/s에 이른다.

기존의 16Mbits 디램을 기반으로 하는 엠팩 - 2 디코더의 경우 약 96 내지 128Mbits의 외부 메모리가 필요로 한다.

그러므로 제품 생산자 및 소비자 측면을 고려할 때, 가격 경쟁력을 갖는 것이 필요하다. 이와 같이 가격 경쟁력을 갖기 위해서는 고 가격의 메모리 사이즈를 줄이면서 좋은 화질을 유지할 필요성이 대두된다. 또한, 각종 온 스크린 디스플레이(OSD:On Screen Display) 및 다양한 서비스를 제공하고 있는 추세에 비추어 앞으로는 추가적인 외부 메모리의 증가가 필연적일 것으로 예측된다.

최근에 엠팩 - 2와 같은 비디오 압축 복원 시스템의 경우 여러 종류의 비디오 신호들이 멀티 디코딩 되고 동시에 디스플레이 되는 것에 의해 다양한 서비스가 제공된다. 이런 경우, 한정된 용량의 메모리를 이용하여 여러 종류의 비디오 신호들을 디코딩 할 수 있어야 한다. 결국 상기 메모리 용량의 한계성, 가격 및 데이터 버스의 대역 폭을 고려해 볼 때 상기 비디오 디코딩 칩에 고화질 화상 신호의 손실을 최소로 할 수 있는 효과적인 메모리의 용량 감축 장치가 필요하다.

기존의 비디오 디코딩 칩에 내재하여 있는 메모리 감축 알고리즘을 살펴보면, 50% 감축을 갖는 적응 미분 펄스 코드된 변조(ADPCM:adaptive differential pulse coded modulation) 방식과 75% 감축율을 갖는 벡터 양자화(VQ:vectore quantization)를 이용하여 공간적인 중복성을 없애는 방식들이 제안되었다.

상기 적응 미분 펄스 코드된 변조 방식은 Pau와 Sannio(" MPEG - 2 decoding with a reduced RAM requisite by

ADPCM recompression before storing MPEG decompressed data", European Patent EP 0778709A1)에 의해 제안되었다. 상기 벡터 양자화를 이용하는 방식은 Bruni 등(" A novel adaptive vector quantization method for memory reduction in MPEG - 2 HDTV decoders", IEEE Trans. On Consumer Electronics, pp. 537 - 544, 1988)에 의해 제안되었다.

또한, 이산 코사인 변환(DCT:Discrete Cosine Transformation) 주파수 영역에서 필터링하거나 또는 다운 - 샘플링 방식들을 이용한 압축 방식들이 S. - B. Ng(" Lower resolution HDTV receivers", US patent 5362854, Nov. 16, 1993), S. - J. Choi 등(" Frame memory reduction for MPEG - 2/DTV video coding", Int. workshop on HDTV '98) 그리고 R. Mokry and D. Anastassiou(" Minimized error drift in Frequency scalability for motion - compensated DCT coding", IEEE Trans. On Circuits and Systems for Video Tech., Vol.4, No. 4, August 1994)에 의해 제안된 바 있다.

상기 적응 미분 펄스 코드된 변조(ADPCM) 방식의 경우는 상기 메모리내에 압축된 코드가 저장되기 때문에, 바로 비디오 디스플레이 장치를 이용해서 비디오를 디스플레이가 힘들다. 따라서, 압축된 코드를 다시 복원하기 위한 장치가 추가되어야 한다. 또한, 75% 감축시, 적응 미분 펄스 코드된 변조(ADPCM) 방식을 사용하면 디스플레이된 화질의 손실이 매우 크게 되므로 상기 비디오 디코딩 칩에 적합하지 못한 결과를 가져온다.

이와 달리, 원 칩의 비디오 디코더로 들어온 여러개의 고선명도급 영상이나 또는 여러개의 표준 해상도급 영상들을 다운 컨버전 알고리즘을 이용하여 한 화면에 동시에 디스플레이 할 수 있다. 이 방식은 메모리 용량의 많은 감축에도 불구하고 어느 정도의 좋은 화질을 유지할 수 있게 된다. 또한, 저 해상도 디스플레이 장치를 위한 저가의 디코더에 적용할 수가 있다. 따라서, 좋은 화질을 유지할 수 있는 반면 작은 용량의 메모리를 사용할 수 있는 다운 컨버전 알고리즘 및 이 다운 컨버전 알고리즘용 하드웨어의 설계가 필요하게 된다.

일반적인 엠펙 엔코더는 순차적인 시퀀스(progressive sequence)나 비월 주사된 시퀀스(interlaced sequence)들을 엔코딩한다. 비월 주사된 픽처(picture)는 필드 단위나 프레임 단위로 엔코딩 된다. 또한, 필드 단위의 픽처는 홀수의 주사선(odd scanning lines)들과 짝수 주사선들(even scanning lines)로 구성되며, 모든 엔코더와 디코더의 동작이 필드 단위로 이루어 진다. 따라서, 8x8 단위의 이산 코사인 변환된 (DCT: discrete cosine transform)한 데이터 블록들은 홀수 필드나 또는 짝수 필드로만 구성된다. 이 블록을 필드 단위로 DCT 코드된 블록이라 부른다.

이와 달리 프레임 픽처는 홀수 주사선들과 짝수 주사선들로 구성되어진다. 그러므로 프레임 픽처의 매크로 블록들은 홀수 필드와 짝수 필드를 갖게 된다. 그러나 프레임 픽처의 매크로 블록들은 두가지 방법으로 코딩될 수 있다. 첫 번째 방법에 따르면, 매크로 블록내의 4개의 8x8 이산 코사인 변환된 블록들 각각은 홀수 주사선들과 짝수 주사선들을 갖는 프레임 단위로 DCT 코드된 블록이다. 한편 다른 방법에 따르면, 매크로 블록내의 4개 블록들 중 2개의 블록들은 그 매크로 블록의 홀수 주사선들로만으로 구성된 필드 단위로 DCT 코드된 블록들이고, 나머지 2개의 블록들은 짝수 주사선들만으로 구성된 필드 단위로 DCT 코드된 블록들이다.

필드 픽처의 매크로 블록들은 모두 필드 단위로 DCT 코드되며, 움직임 보상시 기준 필드로부터 움직임 보상을 예측한다. 한편, 프레임 픽처의 매크로 블록들은 프레임 단위로 DCT 코드되거나 또는 필드 단위로 DCT 코드된다. 또한, 프레임 픽처의 각 매크로 블록은 프레임 단위로 움직임 보상을 예측하거나 또는 필드 단위로 움직임 보상을 예측한다. 한편, 순차적인 시퀀스(progressive sequence)의 경우에 있어서, 모든 픽처들은 프레임 단위로 DCT 코드되고(coded) 움

직접 보상을 예측한다.

현재 고선명도(HD:high definition) 디스플레이 장치가 충분히 보급되지 않은 상태에서, HD급 화질의 비디오 시퀀스는 현존하는 텔레비전 방송 규격 심의회(NTSC: National Television System Committee) 규격의 텔레비전 수신기를 통해 감소된 해상도로 디스플레이될 경우가 많다. 따라서, 당장 고가의 고선명도 텔레비전(HDTV:High Definition Television) 수신기를 구입하지 않고서도 상기 NTSC 텔레비전 수신기를 통해 시청자들이 상기 HDTV 방송 신호를 시청할 수 있게 되어야 한다. 전술한 바와 같이, 상기 HDTV 방송 신호를 상기 NTSC 텔레비전 수신기에 적합하도록 변환하는 장치를 다운 컨버팅 디코더라고 부른다. 결국, 이러한 다운 컨버팅 디코더를 이용하여 완전한 HD급 해상도를 갖는 텔레비전 수신기 보다는 훨씬 더 낮은 가격의 텔레비전 수신기를 얻게 된다.

이러한 방식들 중 하나가 미국 특허 번호 5262854에 제시된 바 있다. 이 특허는 8x8 블록내 48개 고주파수 DCT 계수들을 제거하는 다운 샘플러를 포함한다. 그리고 이 특허에 따르면 나머지 저주파수의 4x4 블록에 대해서 IDCT한 결과가 메모리에 저장된다. 따라서, 움직임 보상을 위해 완전 해상도 움직임 벡터를 사용하여 움직임 보상 예측 오차를 줄이고 할 때 감소된 해상도를 갖는 화면을 기준으로 사용하게 된다. 결국 감소된 해상도를 완전 해상도를 갖는 픽처로 만들기 위하여 업 샘플링 방식이 사용된다.

4x4 IDCT를 사용하여 다운 샘플된 픽처를 업 샘플링 하여 움직임 보상 예측 오차를 줄이기 위한 효율적인 몇가지 방식들이 R. Monky 및 D. Anastssiou("Minimul error drift in frequency scalability for motion-compensated DCT coding", IEEE Trans. on circuits and systems for video Tech., Vol.4, No.4, August 1994)과, Johnson 및 Princen("Drift minimization in frequency scaleable coders using block based filtering", IEEE workshop on visual signal processing and communication, September 1993)에 의해 제안된 바 있다. 이러한 방법들은 전형적으로 예측되는 매크로 블록의 움직임 벡터에 따라 5탭(tap)이나 8탭을 갖는 2차원 필터를 사용한다. 이 때 움직임 벡터에 따라 8탭 필터의 값들의 위치가 변하게 된다. 따라서, 하나의 8탭 필터로 4화소들을 8화소들로 늘려주게 된다.

그러나 앞서 설명한 방식들은 프레임 단위로 DCT 코드된 블록들을 갖는 순차적인 시퀀스에 적합한 반면 프레임 단위 및 필드 단위로 DCT 코드된 블록들이 혼합된 영상에 대한 문제들은 고려되어 있지 않다. 또한, 위의 방식들은 프레임 타입의 메모리 구조를 가지므로 필드 단위로 DCT 코드된 블록들을 프레임 단위로 DCT 코드된 블록들로 변환하여 다운 컨버팅을 수행한다. 이는 움직임이 큰 영역에 있어서, 움직임 보상이 예측 에러가 누적시키는 좋지 않은 영향을 주게 된다. 보통 움직임이 큰 영역들은 필드 단위로 움직임 보상이 수행되기 때문이다. 또한, 주로 사용되는 움직임 보상 방식들은 8x8 DCT 계수들중에서 저주파수 대역에 해당하는 부분들만을 이용하는 방식(보통 4x4 컷이라 부른다)을 주로 사용한다. 이 경우 고주파수 대역의 신호들은 잃게 되므로 블록 아티팩트(block artifact)가 발생 된다.

결국 대부분의 엠펙-2용 비디오 디코더로 입력되는 비월 주사된 시퀀스는 다운 컨버전시 발생하는 손실에 대한 문제점을 갖게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 HD급의 신호를 적은 용량의 메모리를 갖는 SD급의 디스플레이 장치에 디스플레이 할 수 있는 다운 컨버전 기능을 갖는 비디오 디코더 및 비디오 신호를 디코딩 하는 방법을 제공하는데 있다.

본 발명의 다른 목적은 순차 주사(progressive scanning) 방식의 픽처나 비월 주사(interlaced scanning) 방식의 픽처에 상관 없이 여러 종류의 화상들을 1 또는 1/2 또는 3/4의 감축율들로 감축하여 동시에 하나의 외부 메모리에 저장하거나 또는 한 스크린에 동시에 디스플레이 할 수 있는 다운 컨버전 기능을 갖는 비디오 디코더 및 비디오 신호를 디코딩 하는 방법을 제공하는데 있다.

상기 목적들을 달성하기 위하여, 본 발명의 제1 특징에 따르면, 비디오 디코더에서 수신된 프레임 단위로 DCT 코드된 블록과 필드 단위로 DCT 코드된 블록은 항상 필드 기반의 수직적 화소 구조를 갖는 픽처로 다운 컨버전된다.

본 발명의 제2 특징에 따르면, 매크로 블록(MB:Macro Block)용 가산기 모듈은 픽처 구조와 DCT 타입에 따라 움직임 보상 버퍼(MC - Buffer)로부터의 움직임 보상된 매크로 블록과 DCT 버퍼(DCT - Buffer)로부터의 IDCT된 매크로 블록을 더한다. 75% 감축 모드시에는 필드 구조로 예측된 블록을 IDCT 타입에 맞도록 화소들의 위치를 배열하는 장치를 포함한다.

본 발명의 제3 특징에 따르면, 다운 샘플러 모듈은 8x8 블록 단위로 수평 방향으로 1/2 감축하는 모드와 수직 및 수평 방향으로 3/4 감축하는 모드를 갖는다.

본 발명의 제4 특징에 따르면, 다운 샘플러 모듈은 3/4 감축 모드시 프레임 단위로 DCT 코드된 블록을 필드 단위의 신호로 나누고 나서 8x8 블록내의 주파수 성분을 추출한다. 그리고 나서, 효율적으로 주파수 영역에서 다운 샘플링을 한다. 이 때 수직 방향의 다운 샘플링은 칼라 성분에 따라 서로 다른 다운 샘플링 필터를 사용한다. 이는 크로미넌스 (Chrominance)성분에 해당하는 필드 수가 루미넌스(Luminance) 성분의 필드 수 보다 적기 때문이다.

본 발명의 제5 특징에 따르면, 다운 샘플링 시 소정의 다운 샘플링 매트릭스 변환을 통해 다운 샘플된 화소들을 얻는다. 즉, $C_{4 \times 8} = C_4^T \cdot T_8$ 이다. 여기서 $C_4 = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix}$ 이고, T_4 는 4x4 DCT 기저 매트릭스를 나타낸다. 단, 크로미넌스 성분을 수직 방향으로 다운 샘플링 시에는 $C_{2 \times 4} = C_2^T \cdot T_4$ 필터가 사용된다.

본 발명의 제6 특징에 따르면, 움직임 보상시 움직임 벡터에 맞는 필드가 선택되고 메모리로부터 감소된 필드 기준 신호들이 불러진다. 이어서, 각 필드에 대해서 수평 및 수직 방향으로 업 샘플링 과정이 수행된다.

본 발명의 제7 특징에 따르면, 필드 예측 보상시 움직임 벡터를 이용해 메모리로 기준 어드레스를 보내서 기준 블록을 가져 온다. 그 후에 수직 방향 및 수평 방향으로 각 필드에 대해서 업 샘플링을 하고, 업 샘플된 블록들에 대해 1/2 화소로 예측하는 것에 의해 움직임 보상된 블록들을 구성한다. 마지막으로 각 필드 단위로 움직임 보상된 블록을 매크로 블록 가산기로 보낸다.

본 발명의 제8 특징에 따르면, 프레임 예측 보상시 움직임 벡터를 이용하여 메모리로 기준 어드레스를 보내서 필드 단위의 기준 블록을 가져온다. 그 후에 수직 및 수평 방향으로 각 필드에 대해서 업 샘플링을 수행 하고 나서 각 필드의 업 샘플된 블록들을 가지고 프레임 단위의 기준 블록을 구성한다. 그리고 나서, 1/2 화소(pel: picture element)로 예측하는 것에 의해 움직임 보상된 블록을 구성한다. 마지막으로 움직임 보상된 프레임 단위의 블록을 IDCT된 매크로 블록의 타입에 맞춰서 매크로 블록(MB) 가산기로 보낸다.

본 발명의 제9 특징에 따르면, 업 샘플러 모듈은 8x4 블록 단위로 수평 방향으로 업 샘플링 하는 1/2 감축 모드와 4x4 블록 단위로 수직 방향 및 수평 방향으로 각각 업 샘플링 하는 3/4 감축 모드를 갖는다.

본 발명의 제10 특징에 따르면, 움직임 보상 장치에서 업 샘플링 시 $2 \cdot C_{4 \times 8}^T$ 과 $2 \cdot C_{2 \times 4}^T$ 의 필터들을 사용하여 필터링한다.

발명의 구성 및 작용

전술한 바와 같이, 본 발명에 따른 다운 컨버전 기능을 갖는 비디오 디코더는 부호화된 여러개의 고선명도(HD:High Definition)급 비월 주사 방식(Interlaced scanning)의 영상 신호들을 한 화면에 동시에 디스플레이 하거나 또는 저해상도급의 디스플레이 장치로 고선명도급 신호를 디스플레이 하는데 필요한 기술에 관한 것이다. 또한, 본 발명의 비디오 디코더는 기존 고선명도급 비디오 디코더에 비해 외부 메모리의 용량을 필요에 따라 50% 또는 75% 감축할 수 있으며, 디지털 영상 신호 전송 분야의 표준인 엠펙 - 2(MPEG - 2:Moving Picture Expert Group - 2) 디코딩 칩에 적용될 수 있다.

전술한 바와 같이, 본 발명에 따른 엠펙 - 2용 비디오 디코더는 순차 주사(progressive scanning) 방식의 픽처나 비월 주사(interlaced scanning) 방식의 픽처에 상관 없이 임의의 영상을 1 또는 1/2 또는 3/4의 감축율들로 감축하여 메모리에 저장하거나 또는 스크린에 디스플레이 한다.

도1은 본 발명에 따른 다운 컨버전 기능을 갖는 스케일러블 엠펙 - 2(Scalable MPEG - 2) 비디오 디코더의 구성을 보여주는 다이어그램이다. 도1에 따른 비디오 디코더는 50%와 75%의 메모리 감축을 위한 다운 컨버전 기능을 갖는다. 도1의 구성은 압축된 비트 스트림(1)을 입력하는 버퍼(2), 상기 버퍼(2)를 통해 입력된 압축 비트 스트림을 분석하는 가변 길이 디코더(VLD:Variable Length Decoder)(3), 상기 VLD(3)를 통해 분석된 상기 압축된 비트 스트림을 역양자화 시키는(IQ: Inverse quantizing) 역양자화기(IQ기)(4), 상기 IQ기(4)로부터 출력된 비트 스트림을 역이산 코사인 변환시키는(IDCT) IDCT기(5), 상기 VLD(3)로부터 추출된 움직임 벡터등 움직임 신호들을 이용하여 업 샘플링된 데이터의 움직임을 보상하는 움직임 보상 장치(MC:Motion Compensator)(6), 상기 IDCT기(5)로부터 출력된 데이터와 상기 MC(6)로부터 출력된 데이터를 가산하는 가산기(7), 상기 가산기(7)로부터 출력된 데이터를 적응 다운 샘플링 시키는 적응 다운 샘플러(adaptive down sampler)(8), 상기 적응 다운 샘플러(8)로부터 다운 샘플링된 데이터를 업 샘플링 시켜 상기 MC(6)에 상기 업 샘플링된 데이터를 제공하는 적응 업 샘플러(adaptive up sampler)(9)를 포함한다. 상기 다운 샘플러(8)의 출력 신호는 내부 메모리 버스(10) 및 메모리 인터페이스(11)를 거쳐 외부 비디오 프레임 메모리(12)에 저장된다. 한편, 상기 메모리(12)에 저장된 데이터는 외부 입력 장치(13)로부터 제공된 지시 신호에 응답하여 비디오 디스플레이 처리기(14)에서 디스플레이 가능토록 처리된 후 디스플레이 장치(15)를 통해 디스플레이 된다. 이 때 상기 엠펙 - 2(MPEG - 2)용 비디오 디코더는 엠펙 - 2(MPEG - 2)의 비디오 기호 통합(syntax)에 맞도록 8x8 블록 단위로 IDCT를 수행한다. 한편, 내부 픽처(intra - picture)(I - picture)의 경우에 있어서는, 상기 IQ기(4) 및 IDCT기(5)를 통해 IQ 및 IDCT된 데이터가 바로 상기 외부 메모리(12)에 저장되고, 예측 픽처(predictive picture)(P - picture)나 양방향 픽처(bidirectional picture)(B - picture)의 경우에 있어서는, 상기 MC(6)를 통해 움직임 보상된 데이터와 상기 IDCT(5)를 통해 IDCT된 데이터가 상기 가산기(7)에서 합쳐진 후 상기 외부 메모리(12)에 저장된다. 전술한 바와 같이, 상기 외부 메모리(12)에 저장된 영상은 상기 비디오 디스플레이 처리기(14)를 거친 후 화면에 디스플레이 된다. 여기서, 본 발명의 특징은 여러 종류의 영상 신호들을 저장하거나 상기 외부 메모리(12)의 용량을 감축시키고 상기 외부 메모리(12)에 저장되기 위한 데이터의 대역폭을 줄이기 위해 상기 적응(adaptive) 다운 샘플러(8)와 상기 적응 업 샘플러(9)를 추가로 가지고 있다는 것이다. 여기서, 상기 적응(adaptive) 다운 샘플러(8)와 상기 적응 업 샘플러(9)는 상기 외부 메모리(12)에 저장해야 할 영상 데이터의 크기를 1/2 또는 1/4로 줄이기 위한 기능을 수행한다. 또한, 이들 두 샘플러들(8)(9)은 상기 엠펙 비디오 데이터를 디코딩 하면서 생기는 드리프트 에러(drift error)를 최대한 줄임과 동시에 좋은 디스플레이 화질을 유지하는데 도움을 준다.

도2는 본 발명에 따른 메모리 감축용 다운 컨버전 알고리즘을 갖는 비디오 디코더를 보여주는 블록 다이어그램이다. 도2에 따르면, 상기 비디오 디코더는 입력된 압축 비트 스트림을 분석하는 가변 길이 디코더(VLD)(3), 상기 VLD(3)를 통해 분석된 상기 압축된 비트 스트림을 역양자화 시키는(IQ) 역양자화기(IQ기)(4), 상기 IQ기(4)로부터 출력된 비트 스트림을 8x8 블록 단위로 역이산 코사인 변환시키는 IDCT기(5), 상기 VLD(3)의 분석에 의해 추출된 움직임 신호들 즉, 움직임 벡터들, 움직임 타입, 그리고 움직임 수직 필드 선택 신호를 이용하여 업 샘플링된 데이터의 움직임을 보상하는 움직임 보상 장치(MC)(6), 상기 VLD(3)로부터 추출된 신호들, 즉 DCT타입, 픽처 구조, 그리고 순차 시퀀스

스 신호를 이용하여 상기 IDCT기(5)로부터 출력된 데이터를 탑 필드와 바텀 필드로 구분하여 출력하는 DCT 버퍼(16)과, 상기 DCT타입, 픽처 구조, 그리고 순차 시퀀스 신호를 이용하여 상기 움직임 보상 장치(6)로부터 출력된 데이터를 탑 필드와 바텀 필드로 구분하여 출력하는 MC 버퍼(17), 상기 DCT 버퍼(16)로부터의 탑 필드 데이터와 상기 MC 버퍼(17)로부터 출력된 탑 필드 데이터를 가산하는 가산기(18), 상기 DCT 버퍼(16)로부터의 바텀 필드 데이터와 상기 MC 버퍼(17)로부터 출력된 바텀 필드 데이터를 가산하는 가산기(19), 상기 두 가산기들(18)(19)로부터 출력된 상기 탑 필드 데이터 및 바텀 필드 데이터를 적응 다운 샘플 시키는 적응 다운 샘플러(8), 상기 다운 샘플된 데이터 즉 감소된 해상도의 데이터와 상기 움직임 보상된 데이터를 저장하는 외부 메모리(12), 상기 외부 메모리(12)에 저장된 상기 다운 샘플된 데이터를 업 샘플링 시키고 상기 업 샘플된 데이터를 상기 MC(6)에 제공하는 적응 업 샘플러(9)를 포함한다.

통상, 엠펙 - 2(MPEG - 2)용 비디오 디코더는 프레임 픽처나 필드 픽처에 따라 상기 외부 메모리(12)에서 프레임 단위나 필드 단위로 화소들을 읽어 와서 움직임 보상을 수행 하게 된다. 그러나 메모리 용량을 75% 감축하기 위하여 수직 방향으로 다운 샘플링 할 때, 상기 프레임 픽처와 필드 픽처의 다운 샘플된 결과는 다르게 된다. 도3은 DCT 영역의 데이터를 다운 샘플링 한 후의 화소 구조들을 보여주는 다이어그램이다. 도3에서 보여지는 바와 같이, 프레임 단위로 DCT 코드된 블록과 필드 단위로 DCT 코드된 블록을 각각 상기 DCT 변환 영역에서 다운 샘플링하면, 그 결과들은 서로 다른 화소 구조들을 갖으며, 더우기 움직임 보상시 또는 비월 주사 방식에서 필드 단위로 비디오 데이터를 디스플레이 할 시 필드 종류에 대한 정보를 잃어 버리게 된다. 이를 보상하기 위해서, 본 발명에 따르면 수신된 비디오 시퀀스의 한 DCT 블록이 필드 단위로 DCT 코드된 블록인지 프레임 단위로 DCT 코드된 블록인지에 관계없이 이미 결정된 필드를 기초로한 수직적 화소 구조로서 상기 DCT 블록을 상기 외부 메모리(12)에 저장한다. 그리고 나서, 움직임 예측에 대한 보상을 수행하게 된다. 따라서, 프레임 픽처를 수직 방향으로 다운 샘플링을 하더라도 필드종류에 대한 정보를 잃지 않게 되고 나아가 좋은 화질을 유지할 수 있게 된다.

이하에서, 도2의 비디오 디코더의 동작을 설명하기로 한다. 우선 상기 VLD(3)에 의해 분석된 상기 DCT 계수들은 상기 IQ기(4)를 통해 역 양자화 과정을 거친 후 상기 IDCT기(또는 모듈)(5)로 전송된다. 이 때 상기 VLD(3)는 DCT 타입의 프레임인지 또는 필드 인지에 관한 신호와 그리고 픽처 - 구조의 프레임 픽처인지 또는 필드 픽처인지에 관한 신호를 함께 제공한다. 또한, 상기 VLD(3)는 상기 움직임 보상 장치(6)로 상기 움직임 벡터(MV)들, 움직임 타입(motion_type) 신호, 그리고 움직임 수직 필드 선택(motion_vertical_field_select) 신호들을 제공한다. 한편, 상기 도1의 매크로 블록(Macro Block) 가산기(MB_ADD)(7)를 구성하는 두 가산기들(18)(19)은 각각 상기 IDCT기(5)로부터 출력된 데이터의 형태에 맞도록 상기 DCT 버퍼(16)와 상기 MC 버퍼(17)의 출력을 더하게 된다. 이어서, 상기 가산기들(18)(19)의 출력 데이터는 상기 적응 다운 샘플러(8)를 통해 다운 샘플링 된다.

도4는 상기 DCT 버퍼에 저장된 상기 IDCT기로부터 출력된 데이터의 형태를 나타내는 다이어그램이다. 먼저, 비월 주사 방식의 프레임 픽처인 경우, DCT 타입의 기호(dct_type)은 프레임 타입(dct_type='0')과 필드 타입(dct_type='1')으로 나뉘어 진다. 이 때, 8x8 블록 단위로 프레임 구조를 나타내는 DCT 계산 타입의 기호(dc_cal_type)가 "1"로 셋팅될 때 필드 단위로 데이터의 섞기(shuffling)가 수행 된다. 도4에서, 기호(progressive_seq='1')는 순차 시퀀스를, 기호(progressive_seq='0')는 비월 주사 시퀀스를, 기호(picture_structure='01')는 탑 필드를, 기호(picture_structure='10')는 바텀 필드를, 기호(picture_structure='11')는 프레임 픽처를, 기호(dct_type='0')는 프레임 단위의 DCT를, 기호(dct_type='1')는 필드 단위의 DCT를, 그리고 기호(dc_cal_type='0')는 데이터의 섞기가 없음을 나타낸다.

도5는 상기 MC 버퍼에서 필드 구조로 입력되는 픽처를 프레임 단위의 픽처로 변환하여 저장하는 경우를 보여주는 다이어그램이다. 도6은 상기 MC 픽처에서 필드 구조로 입력되는 픽처를 그대로 저장하는 경우를 보여주는 다이어그램이다.

먼저, 도5와 도6에서 나타내는 바와 같이, 상기 MC 버퍼는 픽처의 구조에 따라 입력되는 픽처를 프레임 구조 또는 필드 구조로 저장한다. 전송된 바와 같이, 본 발명에 따른 비디오 디코더는 필드 구조를 기초로 하여 픽처 데이터를 저장한다. 그러므로, 움직임 보상을 위해 한 매크로 블록을 구성 할 때 상기 외부 메모리(12)로부터 필드 단위로 화소값을 액세스 하고 읽어 온다. 따라서, 보상은 필드 픽처에 대한 움직임 보상시에는 도6에 나타난 바와 같이 필드 단위로 상기 MC_버퍼(17)가 구성된다. 그러나 프레임 픽처의 움직임 유형(MC_type)은 프레임 단위의 움직임 보상(MC - FRAME)과 필드 단위의 움직임 보상(MC_FIELD, MC_DMV)으로 나뉘어 진다. 결국, 프레임 구조의 매크로 블록을 얻기 위해서는, 도5에 나타난 바와 같이, 우선 필드 구조로부터 액세스 하여 가져온 화소들을 다시 프레임 구조로 바꾸어 주어야 한다. 최종적으로, 상기 MC_버퍼(17)에 저장되는 화소들의 형태는 상기 비디오 디코더로 입력되는 픽처의 구조에 적합하게 된다.

도7은 상기 매크로 블록 가산기(7)의 동작을 설명하기 위한 다이어그램이다. 도7에 나타난 바와 같이, 상기 매크로 블록 가산기(7)는 상기 DCT_타입과 픽처 구조에 적합하게 상기 MC_버퍼(17)와 상기 DCT_버퍼(16)의 출력 데이터를 동일 필드 위치의 화소들끼리 가산한다.

도8은 도2 중 다운 샘플러(8)의 상세 구성을 보여주는 블록 다이어그램이다. 도8의 다운 샘플러는 입력되는 다운 샘플링 파라메타들에 따라 다운 샘플링 제어를 수행하는 다운 샘플링 제어부(20), 입력된 데이터를 상기 다운 샘플링 제어부(20)의 제어에 의해 수직 방향으로 다운 샘플링을 수행하는 수직 다운 샘플링부(21), 상기 수직 다운 샘플링된 데이터를 임시 저장하는 임시 버퍼(22), 상기 임시 버퍼(22)로부터 출력되는 데이터를 상기 다운 샘플링 제어부(20)의 제어에 의해 수평 방향으로 다운 샘플링 하는 수평 다운 샘플링부(23), 그리고 상기 다운 샘플링 제어부(21)의 제어에 의해 상기 입력 데이터와 상기 수평 다운 샘플링부(23)의 출력 데이터 중 어느 하나를 선택적으로 출력하는 출력 멀티플렉서(24)로 구성된다.

도8에 나타난 바와 같이, 상기 다운 샘플러(8)는 상기 매크로 블록 가산기들(MB_ADD)(18)(19)로부터 출력된 각 필드 신호들에 대해서 1, 1/2, 3/4 감축률에 따라 원 데이터의 크기를 줄인다. 이를 위해, 상기 다운 샘플러(8)는 수직 방향 및 수평 방향에 대한 처리 장치를 별도로 갖고 있다. 여기서, 1/2로 원 데이터를 감축 할 시에는, 상기 다운 샘플러(8)는 수평 방향으로만 다운 - 샘플링을 수행하게 된다.

다운 - 샘플링에 사용되는 관계식은 다음과 같다.

$$\dots \left| \begin{array}{c} \vdots \\ \vdots \\ \vdots \end{array} \right| \dots \quad (1)$$

여기서[X]는 8개의 DCT 계수들을 나타내고, [x]는 8개의 화소값을 나타낸다.

$$[T8] = \begin{bmatrix} t_{00} & t_{01} & t_{02} & t_{03} & t_{04} & t_{05} & t_{06} & t_{07} \\ t_{10} & t_{11} & t_{12} & t_{13} & t_{14} & t_{15} & t_{16} & t_{17} \\ t_{20} & t_{21} & t_{22} & t_{23} & t_{24} & t_{25} & t_{26} & t_{27} \\ t_{30} & t_{31} & t_{32} & t_{33} & t_{34} & t_{35} & t_{36} & t_{37} \\ t_{40} & t_{41} & t_{42} & t_{43} & t_{44} & t_{45} & t_{46} & t_{47} \\ t_{50} & t_{51} & t_{52} & t_{53} & t_{54} & t_{55} & t_{56} & t_{57} \\ t_{60} & t_{61} & t_{62} & t_{63} & t_{64} & t_{65} & t_{66} & t_{67} \\ t_{70} & t_{71} & t_{72} & t_{73} & t_{74} & t_{75} & t_{76} & t_{77} \end{bmatrix} \quad (2)$$

여기서 [T8]은 8 - 포인트 DCT 기저(basis)들로 이루어진 8x8 DCT 매트릭스를 나타낸다.

우선 식(2)와 비슷하게 4- 포인트 DCT 기저들로 만들어진 4x4 DCT 매트릭스를 [T4]라고 하자. 수평 방향 및 수직 방향으로 고주파수 성분을 제거하고 나서 IDCT하는 다운 샘플링 과정은 다음 식으로 표현될 수 있다.

$$\begin{bmatrix} \vdots \\ \vdots \\ \vdots \\ \vdots \end{bmatrix} \rightarrow \begin{bmatrix} \vdots \\ \vdots \\ \vdots \\ \vdots \end{bmatrix} \quad (3)$$

여기서 [P4]는

$$[P4] = \frac{1}{\sqrt{2}} \begin{bmatrix} T4 & \Phi \\ \Phi & T4 \end{bmatrix} \quad (4)$$

이다.

결국 1차원의 다운 샘플링 과정을 살펴보면, 식(2)와 식(3)을 이용하여 다음의 식(5)와 같이 표현될 수 있다.

$$y_{4 \times 1} = C_{4 \times 8}^T \cdot X_{8 \times 1} = \frac{[T4^T]}{\sqrt{2}} \cdot [T8] \cdot X_{8 \times 1} \quad (5)$$

여기서 x는 8x1 화소들을 나타내고, y는 다운 샘플된 4x1 화소들을 나타내고 X는 x에 대한 DCT한 계수 블록을 나타낸다. 또한, $C4 = \frac{[T4^T]}{\sqrt{2}}$ 이다. 이때 위 식(5)는 다음 식(6)으로 표현될 수 있다.

$$y_{4 \times 1} = C_{4 \times 8} \cdot X_{8 \times 1} \quad (6)$$

여기서, $C_{4 \times 8} = C4^T \cdot T8$ 는 4x8 차원의 다운 샘플링 매트릭스로 정의되며, 이 매트릭스는 8개 화소들을 4개 화소들로 변환 시켜 준다.

위의 식(6)과 유사하게 입력이 4개 화소들이고 출력이 2개 화소들인 다운 샘플링 매트릭스를 구하면 다음 식(7)과 같이 나타낼 수 있다.

$$y_{2 \times 1} = C_{2 \times 4} \cdot X_{4 \times 1} \quad (7)$$

여기서, $C_{2 \times 4}$ 는 $\begin{bmatrix} T2^T \end{bmatrix}^T \cdot \frac{T4}{\sqrt{2}}$ 를 나타내며, T2는 위 식(2)와 같은 2x2 DCT를 기초로 하는 매트릭스이다.

도9는 상기 다운 샘플러의 동작을 설명하기 위한 다이어그램이다. 도9는 위 식(6)과 식(7)을 이용한 필드를 기초로 하는 다운 샘플링 방식을 보여준다. 도9에 나타난 바와 같이, 원 데이터를 50% 감축할 시에는 수평 방향으로만 다운 샘플링을 수행하게 된다. 이때 위 식(6)의 매트릭스를 이용하여 8x8 필드 블록이 8x4 필드 블록으로 변환되고 이 변환된

필드 블록은 상기 외부 메모리(12)에 저장 된다. 만약, 원 데이터를 75% 감축할 시에는 상기 외부 메모리(12)내에 필드에 대한 정보를 유지하기 위해서는 루미넌스 신호(Y)와 크로미넌스 신호(C)를 따로 분리해서 처리하게 된다. 도4에 나타난 바와 같이, 프레임 구조의 픽처인 경우, 크로미넌스 신호(C)는 4x8 크기의 탑 필드(top field) 및 바텀 필드(bottom field)로 나뉘어진다. 이와 달리 루미넌스 신호(Y)는 8x8 크기의 탑 필드 및 바텀 필드로 나뉘어진다. 결국 수직 방향으로 필드의 라인 수가 크로미넌스 신호의 경우 루미넌스 신호의 1/2이 되므로 위 식(7)을 이용하여 다운 컨버전을 수행하게 되고, 루미넌스 신호의 경우에는 위 식(6)을 이용하여 다운 컨버전을 수행하게 된다. 최종적으로는 도3에 나타난 바와 같이, 다운 컨버전된 필드 단위의 화소들이 상기 외부 메모리(12)에 저장 된다.

도10은 도2의 업 샘플러와 움직임 보상기의 상세한 구성을 보여주는 다이어그램이다. 도10은 업 샘플링을 위한 움직임 보상 방식을 나타낸다. 도10의 업 샘플러를 갖는 움직임 보상기는 상기 VLD(3)로부터의 움직임 타입 신호, 움직임 벡터, 그리고 움직임 수직 필드 선택 신호를 번역하여 기준 메모리 리드 어드레스와 예측용 기준 화소들을 구하는 움직임 벡터 번역기(28), 상기 움직임 벡터, 상기 기준 메모리 어드레스, 그리고 상기 예측용 기준 화소들을 이용하여 수평 업 샘플링을 수행하는 수평 업 샘플링 필터(29), 상기 움직임 벡터 및 상기 움직임 타입을 이용하여 상기 수평 업 샘플링 필터(29)의 출력 데이터를 수직 업 샘플링 시키는 수직 업 샘플링 필터(27), 프레임 예측이 사용될 때 프레임 블록들 안으로 상기 수직 업 샘플링 필터(27)로부터의 업 샘플된 필드 블록들을 결합하는 결합기(26), 그리고 상기 결합기(26)의 출력 데이터를 1/2 화소 만큼 보간 시킨 후 상기 MC_버퍼(17)로 출력 시키는 1/2 화소 보간기(25)로 구성된다.

이하에서, 전술한 움직임 보상에 따른 비디오 디코더의 동작을 설명하기로 한다. 먼저, 내부(또는 인트라) 픽처의 경우 도2의 IDCT기(5)를 거친 결과가 곧 바로 다운 샘플링 되어 상기 외부 메모리(12)에 저장된다. 한편 예측(P) 픽처나 양 방향(B) 픽처들은 움직임 예측이 보상된 블록들과 더해져서 상기 외부 메모리(12)에 저장된다. 한편, 전송측인 비디오 인코더에서는 움직임 보상된 프레임을 얻기 위해서 완전 해상도의 움직임 벡터(MV)를 사용하여 이전 프레임으로부터 현재 프레임의 블록을 재생한다. 그러므로, 본 발명에서는 움직임 보상시에 화질을 높이기 위해 수직 방향 및 수평 방향의 움직임 벡터를 스케일링 다운하기 보다는 완전 해상도의 움직임 벡터를 그대로 사용하였다. 우선 완전 해상도의 움직임 벡터(MV)를 이용하기 위해서는 상기 외부 메모리(12)에 저장된 감소된 해상도를 갖는 기준 픽처를 원래 해상도를 갖는 픽처로 업 샘플링하는 과정이 필요하다.

전술한 바와 같이, 도2의 상기 외부 메모리(12)에는 필드를 기초로 한(field based) 수직 구조의 픽처들이 저장되어 있다. 상기 엠펙(MPEG) 비디오는 움직임 타입(motion type)에 따라 프레임 예측과 필드 예측으로 나눌 수 있다. 상기 필드 예측시 움직임 수직 필드 선택(motion_vertical_field_select) 신호에 따라 선택한 필드에 대해서 업 샘플링 과정을 수행한다. 그러나, 프레임 예측의 경우는 탑 필드와 바텀 필드에 대해서 각각 업 샘플링을 수행 한 후 두 개의 업 샘플링된 필드들로부터 하나의 프레임 블록을 만든다. 이어서, 프레임 예측된 블록이 구성되고 1/2 화소 예측이 수행된다.

이때 업 샘플링 필터의 성질에 따라 화질이 크게 좌우된다. 본 발명에서 사용된 업 샘플링 필터 방식은 전술된 다운 샘플링 방식의 역순에 해당하는 방식으로 상기 DCT 기저들로 구성되어진 매트릭스들을 사용한다.

도11은 도2의 업 샘플러(9)의 상세 구성을 보여주는 블록 다이어그램이다. 도11의 업 샘플러는 입력되는 업 샘플링 파라메타들에 따라 업 샘플링 제어를 수행하는 업 샘플링 제어부(30), 입력된 데이터를 상기 업 샘플링 제어부(30)의 제어에 의해 수평 방향으로 업 샘플링을 수행하는 수평 업 샘플링부(31), 상기 수평 업 샘플링된 데이터를 임시 저장하는 임시 버퍼(32), 상기 임시 버퍼(32)로부터 출력되는 데이터를 상기 업 샘플링 제어부(30)의 제어에 의해 수직 방향으로 업 샘플링 하는 수직 업 샘플링부(33), 그리고 상기 업 샘플링 제어부(31)의 제어에 의해 상기 입력 데이터와 상기 수직 업 샘플링부(33)의 출력 데이터 중 어느 하나를 선택적으로 출력하는 출력 멀티 플렉서(34)로 구성된다. 도11에

나타낸 바와 같이, 업 샘플러는 다운 샘플러에서와 같이 1, 1/2, 그리고 3/4의 감축 모드에 따라 수직 방향 및 수평 방향으로 업 샘플링 정도를 조절하게 된다. 예로서, 1/2 감축 모드시에는 오로지 수평 방향으로만 업 샘플링이 수행되며, 상기 3/4의 감축 모드시에는 수직 방향 및 수평 방향으로 업 샘플링이 수행된다.

상기 업 샘플링 방식은 위 식(6)의 역 변환으로 4개 화소를 8개의 화소로 다음의 식들을 이용하여 변환한다. 우선 4개의 화소에 대한 DCT 계수들을 얻고 나머지 고주파수에 해당하는 DCT 계수를 모두 '0'으로 만들면 다음과 같다.

$$X_{[8 \times 1]}^1 = \begin{bmatrix} T^4 \\ \Phi \end{bmatrix} \cdot \sqrt{2} \cdot Y_{4 \times 1} = C_4 \cdot Y_{4 \times 1} \cdot 2 \quad (8)$$

그리고 위 식(8)을 이용해서 8 - 포인트 IDCT한 결과는 아래의 식(9)로 나타낼 수 있다.

$$X_{[8 \times 1]}^{UP} = T8^T \cdot X_{[8 \times 1]}^1 \quad (9)$$

결국 위 식(8)과 위 식(9)는 다음의 관계식(10)으로 표현될 수

$$X_{[8 \times 1]}^{UP} = T8^T \cdot C_4 \cdot Y_{4 \times 1} \cdot 2 = 2 \cdot C_{4 \times 8}^T \cdot Y_{4 \times 1} \quad (10)$$

위 식(10)은 상기 메모리(12)에 저장되어 있는 1/2 해상도를 갖는 픽처를 업 샘플링하는 과정을 나타낸다. 위 식(7)에서 설명된 상기 다운 샘플된 화소로부터 4개의 화소들로 업 샘플링 하는 과정은 다음 식(11)로 나타낼 수 있다.

$$X_{[4 \times 1]}^{UP} = T4^T \cdot C_2 \cdot Y_{2 \times 1} \cdot 2 = 2 \cdot C_{2 \times 4}^T \cdot Y_{2 \times 1} \quad (11)$$

도12는 필드를 기반으로 하는 외부 메모리에 저장된 각 필드 데이터를 프레임 예측으로 업 샘플링 하는 과정을 보여주는 블록 다이어그램이다. 도12에 따르면, 루미넌스 신호와 크로미넌스 신호는 따로 업 샘플링 된다. 먼저, 루미넌스 신호의 업 샘플링에 대하여 설명 하기로 한다. 필드 구조의 메모리(12)로부터의 데이터는 식(10)의 업 샘플링 매트릭스를 이용하여 업 샘플링 필터링된다. 따라서, 업 샘플된 탑 필드 및 바텀 필드가 각각 얻어지고 이 탑 필드와 바텀 필드는 서로 더해진다. 이 더해진 데이터는 1/2 화소 예측된 후 도2의 상기 매크로 블록 가산기(7)로 보내진다. 다음으로, 크로미넌스 신호의 업 샘플링에 대하여 설명 하기로 한다. 필드 구조의 메모리(12)로부터의 데이터는 식(11)의 업 샘플링 매트릭스를 이용하여 업 샘플링 필터링된다. 따라서, 업 샘플된 탑 필드 및 바텀 필드가 각각 얻어지고 이 탑 필드와 바텀 필드는 서로 더해진다. 이 더해진 데이터는 1/2 화소 예측된 후 도2의 상기 매크로 블록 가산기(7)로 보내진다. 다시말해서, 필드 구조의 메모리(12)로부터의 데이터는 수직 방향 및 수평 방향으로 원래 해상도에 맞는 매크로 블록으로 재생되고, 이 재생된 매크로 블록으로 부터 움직임 보상 블록이 얻어진다. 상기 다운 샘플링때와 마찬가지로 상기 크로미넌스 신호의 수직 업 - 샘플링은 위 식(11)의 매트릭스를 사용하여 수행된다.

특히 75%의 메모리 감축의 경우, 수직 방향 및 수평 방향으로 1/2 화소 보간이 존재하거나 또는 완전 해상도의 움직임 벡터(MV)가 8의 배수로 떨어지지 않을 경우에는 움직임 보상을 위해 수직 방향 및 수평 방향으로 4x4 단위의 주변 블록들을 불러 온다.

도13은 본 발명에 따른 1/2 화소 보간을 갖는 움직임 보상 방법을 설명하기 위한 다이어그램이다. 도13에 따르면, 감소된 해상도에 해당하는 메모리로부터 원래 픽처의 매크로 블록(D0)을 만들기 위해서, 먼저 감소된 해상도의 매크로 블록(B0)에 걸쳐 있는 이웃 블록들(B1,B2,B3,B4)을 가져온다. 이어서, 각 블록들(B1,B2,B3,B4)에 대해서 위 식(10)과 위 식(11)에 유도된 업 샘플링 매트릭스들을 이용하여 수직 방향 및 수평 방향으로 완전 해상도를 갖는 블록들(D1,D2,D3,D4)을 복원한다. 이어서, 완전 해상도의 움직임 벡터(MV)에 해당하는 영역(D0)에 대해서 1/2 화소 보간을 수행하여 원하는 움직임 보상된 블록을 구한다. 50%의 메모리 감축을 원할 때, 수평 방향으로 1/2 화소 보간이 존재하거나 수평 방향의 완전 해상도용 움직임 벡터(MV)가 8의 배수로 떨어지지 않을 경우에는 수평 방향으로 이웃하는 블록들을 가져와서 이 블록들에 식(10)을 이용하여 업 샘플링을 수행 한 후에 1/2화소 보간을 수행하게 된다.

전술한 방식으로 움직임 보상된 블록은 다시 상기 다운 샘플러에서 다운 샘플링 되고 나서 상기 외부 메모리(12)에 저장된다. 이어서, 상기 저장된 데이터는 상기 비디오 디스플레이 처리기 및 디스플레이 장치를 거쳐 디스플레이 된다.

발명의 효과

첫째, 본 발명에 따른 HD급 엠팩 시퀀스를 위한 스케일러블 비디오 디코더를 사용하는 것에 의해 좋은 화질을 유지하면서 효율적으로 메모리 용량을 50% 및 75% 만큼 감축 시킬 수 있다.

둘째, PIP(pictures in pictures)용 비디오 디코더나 저해상도 디스플레이 장치를 위한 비디오 디코더의 구현이 매우 용이해진다.

셋째, 한 개의 HD급 화상 신호를 처리하기 위한 용량의 메모리만 가지고도 여러개의 HD급 화상 신호 및 여러 종류의 SD급 비디오를 한 화면에 디스플레이 할 수 있게 된다.

넷째, 추가적인 하드웨어의 부담 없이 HD급 화상 신호들을 저해상도 디스플레이 장치에 디스플레이 할 수가 있다.

다섯째, 디지털 텔레비전 방송이나 비디오 화상 회의 등의 응용 분야에 필수적인 원천 기술로서 멀티 디코딩이나 한 화면상에서 여러 개의 화상들을 처리할 수 있는 고 성능 비디오의 구현이 가능하다.

(57) 청구의 범위

청구항 1.

입력된 압축 비트 스트림을 분석하는 가변 길이 디코더;

상기 가변 길이 디코더를 통해 분석된 상기 압축된 비트 스트림을 역 양자화 시키는 역양자화기;

상기 역양자화기로부터 출력된 데이터를 이산 코사인 변환시키는 역이산코사인 변환기;

상기 가변 길이 디코더로부터 추출된 움직임 신호들을 이용하여 업 샘플링된 데이터의 움직임을 보상하는 움직임 보상 장치;

상기 역 이산 코사인 변환기로부터 출력된 데이터와 상기 움직임 보상 장치로부터 출력된 데이터를 가산하는 가산기;

소정 매트릭스 형태로 구성되고 상기 가산기로부터 출력된 데이터를 상기 압축 비트 스트림에 해당하는 픽처 구조에 상응하게 변환하고 나서 적응 다운 샘플 시키고, 그 다운 샘플된 데이터를 외부 메모리에 필드베이스로 저장하는 적응 다운 샘플러; 그리고

상기 매트릭스 형태의 전치행렬로 변환된 구조를 갖고, 상기 적응 다운 샘플러로부터 다운 샘플된 데이터를 업 샘플링 시켜 상기 움직임 보상 장치로 제공하는 적응 업 샘플러를 구비함을 특징으로 하는 비디오 디코더.

청구항 2.

제1항에 있어서, 상기 압축된 비트 스트림은 엠팩 - 2 신호임을 특징으로 하는 비디오 디코더.

청구항 3.

제2항에 있어서, 상기 엠팩 - 2 신호는 예측 픽처 신호나 양방향 픽처 신호를 포함함을 특징으로 하는 비디오 디코더.

청구항 4.

제1항에 있어서, 상기 비디오 디코더는 엠팩 - 2의 비디오 신택스에 맞도록 8x8 블록 단위로 역 이산 코사인 변환을 수행함을 특징으로 하는 비디오 디코더.

청구항 5.

입력된 압축 비트 스트림을 분석하는 가변 길이 디코더;

상기 가변 길이 디코더를 통해 분석된 상기 비트 스트림을 역 양자화 시키는 역양자화기;

상기 역양자화기로부터 출력된 데이터를 소정 매크로 블록 단위로 역 이산 코사인 변환시키는 역 이산 코사인 변환기;

상기 가변 길이 디코더에 의해 추출된 움직임 벡터, 움직임 타입, 그리고 움직임 수직 필드 선택 신호를 이용하여 업 샘플된 데이터의 움직임을 보상하는 움직임 보상 장치;

상기 가변 길이 디코더에 의해 추출된 이산 코사인 변환 타입 신호, 픽처 구조 신호 그리고 순차 시퀀스 신호를 이용하여 상기 역 이산 코사인 변환기로부터 출력된 데이터를 탑 필드와 바텀 필드로 구분하여 출력하는 이산 코사인 변환 버퍼;

상기 이산 코사인 변환 타입, 픽처 구조, 그리고 순차 시퀀스 신호를 이용하여 상기 움직임 보상 장치로부터 출력된 데이터를 탑 필드와 바텀 필드로 구분하여 출력하는 움직임 보상 장치 버퍼;

상기 이산 코사인 변환 버퍼로부터의 탑 필드와 상기 움직임 보상 장치 버퍼로부터 출력된 탑 필드를 가산하는 제1 가산기;

상기 이산 코사인 변환 버퍼로부터의 바텀 필드와 상기 움직임 보상 장치 버퍼로부터의 바텀 필드를 가산하는 제2 가산기;

상기 두 가산기들로부터 출력된 가산된 탑 필드 및 바텀 필드를 적응 다운 샘플 시켜 외부 메모리에 저장하는 적응 다운 샘플러; 그리고

상기 외부 메모리에 저장된 상기 다운 샘플된 데이터를 업 샘플링 시키고 나서 상기 움직임 보상 장치에 제공하는 적응 업 샘플러를 구비함을 특징으로 하는 비디오 디코더.

청구항 6.

제5항에 있어서, 상기 소정 블록은 8x8 블록임을 특징으로 하는 비디오 디코더.

청구항 7.

제5항에 있어서, 상기 다운 샘플러는 입력되는 다운 샘플링 파라메타들에 따라 다운 샘플링 제어를 수행하는 다운 샘플링 제어부;

상기 입력된 데이터를 상기 다운 샘플링 제어부의 제어에 의해 상기 가산기들로부터의 데이터 상에 수직 방향으로 다운 샘플링을 수행하는 수직 다운 샘플링부;

상기 수직 다운 샘플된 데이터를 임시 저장하는 임시 버퍼;

상기 임시 버퍼로부터 출력되는 데이터를 상기 다운 샘플링 제어부의 제어에 의해 수평 방향으로 다운 샘플링 하는 수평 다운 샘플링부; 그리고

상기 다운 샘플링 제어부의 제어에 의해 상기 입력 데이터와 상기 수평 다운 샘플링부의 출력 데이터 중 어느 하나를 선택적으로 출력하는 출력 멀티 플렉서로 구성됨을 특징으로 하는 비디오 디코더.

청구항 8.

제7항에 있어서, 상기 다운 샘플러는 상기 가산기들로부터 출력된 각 필드 데이터를 1, 1/2, 그리고 3/4의 감축률들 중 어느 하나로 감축 시키는 것을 특징으로 하는 비디오 디코더.

청구항 9.

제8항에 있어서, 상기 1/2의 감축율로 원 데이터를 감축 할 시, 상기 다운 샘플러는 수평 방향으로만 다운 - 샘플링을 수행함을 특징으로 하는 비디오 디코더.

청구항 10.

제5항에 있어서, 상기 움직임 보상 장치 및 업 샘플러는,

상기 가변 길이 디코더로부터의 움직임 타입 신호, 움직임 벡터, 그리고 움직임 수직 필드 선택 신호를 번역하여 기준 메모리 리드 어드레스와 예측용 기준 화소들을 구하는 움직임 벡터 번역기;

상기 움직임 벡터, 상기 기준 메모리 어드레스, 그리고 상기 예측용 기준 화소들을 이용하여 수평 업 샘플링을 수행하는 수평 업 샘플링 필터;

상기 움직임 벡터 및 상기 움직임 타입을 이용하여 상기 수평 업 샘플링 필터로부터 출력되는 데이터를 수직 업 샘플링 시키는 수직 업 샘플링 필터;

프레임 예측이 사용될 때 상기 수직 업 샘플링 필터로부터의 업 샘플된 필드 블록들을 결합하여 업 샘플된 프레임 블록들을 만드는 결합기; 그리고

상기 결합기로부터 출력되는 데이터를 1/2 화소 만큼 보간 시키고 나서 상기 움직임 보상 장치 버퍼로 출력 시키는 1/2 화소 보간기로 구성됨을 특징으로 하는 비디오 디코더.

청구항 11.

제5항에 있어서, 상기 입력된 비트 스트림이 인트라 픽처에 해당하는 경우, 상기 역 이산 코사인 변환기로부터 출력되는 데이터는 다운 샘플링 되고 나서 바로 상기 외부 메모리에 저장되는 것을 특징으로 하는 비디오 디코더.

청구항 12.

제5항에 있어서, 상기 업 샘플러는,

입력하는 업 샘플링 파라메타들에 따라 업 샘플링을 제어하는 업 샘플링 제어부;

상기 외부 메모리로부터 액세스된 데이터를 상기 업 샘플링 제어부의 제어에 의해 수평 방향으로 업 샘플링을 수행하는 수평 업 샘플링부;

상기 수평 업 샘플링된 데이터를 임시 저장하는 임시 버퍼;

상기 임시 버퍼로부터 출력되는 데이터를 상기 업 샘플링 제어부의 제어에 의해 수직 방향으로 업 샘플링 하는 수직 업 샘플링부; 그리고

상기 업 샘플링 제어부의 제어에 의해 상기 외부 메모리로부터 액세스된 데이터와 상기 수직 업 샘플링부로부터 출력된 데이터 중 어느 하나를 선택적으로 출력하는 출력 멀티 플렉서로 구성됨을 특징으로 하는 비디오 디코더.

청구항 13.

제12항에 있어서, 상기 업 샘플러는 1, 1/2, 그리고 3/4의 감축 모드에 따라 수직 방향 및 수평 방향으로 업 샘플링 정도를 조절하는 것을 특징으로 하는 비디오 디코더.

청구항 14.

제13항에 있어서, 상기 업 샘플러는 상기 1/2의 감축 모드시에는 수평 방향으로만 업 샘플링을 수행하고, 상기 3/4의 감축 모드시에는 수직 방향 및 수평 방향으로 업 샘플링을 수행하는 것을 특징으로 하는 비디오 디코더.

청구항 15.

제13항에 있어서, 상기 루미넌스의 업샘플러는 $C_{4 \times 8}^T$ 가 전치행렬로 변환된 4 X 8 디멘전의 다운 샘플링 매트릭스이고, $y_{4 \times 1}$ 은 다운 샘플링된 화소값일 때, $2 \cdot C_{4 \times 8}^T \cdot y_{4 \times 1}$ 를 수행하는것에 의해 업 샘플링을 수행하고, 상기 크로미넌스의 업 샘플러는 $y_{2 \times 1}$ 가 다운 샘플링된 2 X 1 화소들이고, $C_{2 \times 4}$ 가 2 X 4 디멘전의 다운 샘플링 매트릭스 일때, $X_{[4 \times 1]}^{UP} = 2 \cdot C_{2 \times 4} \cdot y_{2 \times 1}$ 를 수행하는 것에 의해 업 샘플링을 수행함을 특징으로 하는 비디오 디코더.

청구항 16.

수신된 비디오 시퀀스로부터 움직임 관련 신호들 및 픽처 구조 신호를 검출하는 스텝;

상기 수신된 비디오 시퀀스를 처리하여 소정 매크로 블록 단위의 데이터를 만드는 스텝;

상기 매크로 블록 단위의 데이터를 다운 컨버전하고 나서 필드를 기초로한 수직적 화소 구조로서 외부 메모리에 저장하는 스텝; 그리고

상기 외부 메모리에 저장된 상기 다운 컨버전된 데이터 상에 상기 검출된 움직임 신호들 및 상기 픽처 구조 신호를 이용하여 움직임 예측에 대한 보상을 수행하여 다운 컨버전된 최종 데이터를 구하는 스텝을 구비함을 특징으로 하는 비디오 신호를 디코딩 하는 방법.

청구항 17.

제16항에 있어서, 상기 비디오 시퀀스를 처리하는 스텝은,

상기 비디오 시퀀스를 가변 길이 디코딩 하는 것에 의해 이산 코사인 변환 계수들을 구하는 스텝;

상기 이산 코사인 변환 계수들을 역 양자화 시키는 스텝; 그리고

상기 역 양자화된 계수들을 역 이산 코사인 변환시켜 상기 소정 매크로 블록 단위의 데이터를 출력시키는 스텝을 포함함을 특징으로 하는 방법.

청구항 18.

제16항에 있어서, 상기 소정 매크로 블록 단위는 엠팩 - 2에 적합한 8x8 블록임을 특징으로 하는 방법.

청구항 19.

제16항에 있어서, 상기 검출된 움직임 관련 신호들은 움직임 벡터, 움직임 타입, 그리고 움직임 수직 필드 선택 신호를 포함함을 특징으로 하는 방법.

청구항 20.

제16항에 있어서, 상기 움직임 예측에 대한 보상을 수행하는 스텝은,

상기 움직임 보상을 위해 상기 외부 메모리로부터 필드 단위로 화소값을 액세스 하는 스텝;

상기 검출된 픽처 구조 신호가 프레임 픽처에 해당할 때 상기 액세스된 필드 단위의 화소값을 프레임 단위의 화소값으로 변환시키는 스텝; 그리고

상기 프레임 단위의 화소값 상에 상기 움직임 예측에 대한 보상을 수행하는 스텝을 포함함을 특징으로 하는 방법.

청구항 21.

제16항에 있어서, 상기 움직임 예측에 대한 보상을 수행하는 스텝은,

상기 프레임 픽처 신호를 루미넌스 신호와 크로미넌스 신호로 구분하는 스텝;

상기 외부 메모리로부터 액세스된 루미넌스 데이터를 식 $2 \cdot C_{4 \times 8}^T \cdot y_{4 \times 1}$ (여기서 $C_{4 \times 8}^T$ 는 전치행렬로 변환된 4 X 8 디멘전의 다운 샘플링 매트릭스, $y_{4 \times 1}$ 은 다운 샘플된 화소값)의 업 샘플링 매트릭스를 이용하여 업 샘플링 필터링하여 업 샘플된 탑 필드 및 바텀 필드를 각각 얻는 스텝;

상기 업 샘플된 루미넌스 데이터의 탑 필드와 바텀 필드를 서로 가산하는 스텝;

상기 가산된 루미넌스 신호의 데이터를 1/2 화소 예측하는 스텝;

상기 외부 메모리로부터의 액세스된 크로미넌스 데이터를 식 $X_{[4 \times 1]}^{UP} = 2 \cdot C_{2 \times 4}^T \cdot y_{2 \times 1}$ (여기서 $2 \cdot C_{2 \times 4}^T$ 는 2 X 4 디멘전의 다운 샘플링 매트릭스, $y_{2 \times 1}$ 은 다운 샘플된 화소값)의 업 샘플링 매트릭스를 이용하여 업 샘플링 필터링하여 업 샘플된 탑 필드 및 바텀 필드를 얻는 스텝;

상기 얻어진 크로미넌스 데이터의 탑 필드와 바텀 필드를 서로 가산하는 스텝; 그리고

상기 가산된 크로미넌스 데이터를 1/2 화소 예측하는 스텝을 포함함을 특징으로 하는 방법.

청구항 22.

제21항에 있어서, 상기 루미넌스 데이터와 크로미넌스 데이터의 탑 필드 및 바텀 필드를 얻는 스텝은 1/2 화소 보간을 위해 상기 업 샘플링 필터링 전에,

상기 외부 메모리로부터 감소된 해상도에 해당하는 매크로 블록을 액세스 하는 스텝;

원래 픽처의 매크로 블록을 만들기 위해서 상기 감소된 해상도의 매크로 블록에 걸쳐 있는 이웃 블록들을 불러오는 스텝; 그리고

상기 불러온 이웃 블록 블록들에 대해서 식 $X_{[8 \times 1]}^{UP} =$ (여기서 T변환된 $2 \cdot C_{[8 \times 8]}$ 8 디멘전의 다운 샘플링 매트릭스, $y_{4 \times 1}$ 은 다운 샘플된 화소값)과, 식 $C_{[4 \times 8]}$ (여기서 $X_{[4 \times 8]}^{UP}$ 전치행렬로 변환된 2×4 디멘전의 다운 샘플링 매트릭스, $y_{2 \times 1}$ 은 다운 샘플된 화소값)의 업 샘플링 매트릭스들을 이용하여 수직 방향 및 수평 방향으로 완전 해상도를 갖는 블록들을 복원하는 스텝으로 이루어짐을 특징으로 하는 방법.

청구항 23.

제21항에 있어서, 상기 루미넌스 데이터와 크로미넌스 데이터의 탑 필드 및 바텀 필드를 얻는 스텝은 1/2 화소 보간을 위해 상기 업 샘플링 필터링 전에,

상기 외부 메모리로부터 감소된 해상도의 매크로 블록을 액세스 하는 스텝;

수평 방향으로 1/2 화소 보간이 존재하거나 수평 방향의 완전 해상도용 움직임 벡터가 8의 배수로 떨어지지 않을 경우에는 수평 방향으로 이웃하는 블록들을 불러오는 스텝; 그리고

상기 불러온 블록들에 식 $X_{[8 \times 1]}^{UP} = 2 \cdot C_{[4 \times 8]}^T \cdot y_{4 \times 1}$ (여기서 $C_{[4 \times 8]}^T$ 는 전치행렬로 변환된 4×8 디멘전의 다운 샘플링 매트릭스, $y_{4 \times 1}$ 은 다운 샘플된 화소값)을 이용하여 업 샘플링을 수행 하는 스텝을 구비함을 특징으로 하는 방법.

청구항 24.

제16항에 있어서,

상기 픽처 구조 신호가 프레임 픽처에 해당되고 이 픽처를 75% 감축 시키고자 할 때, 상기 다운 컨버전을 수행하는 스텝은, 상기 프레임 픽처의 데이터를 크로미넌스 신호와 루미넌스 신호로 나누는 스텝;

상기 크로미넌스 신호를 $n \times 2n$ 크기의 탑 필드 및 바텀 필드로 나누고, 상기 루미넌스 신호를 $2n \times 2n$ 의 탑 필드 및 바텀 필드로 나누는 스텝; 그리고

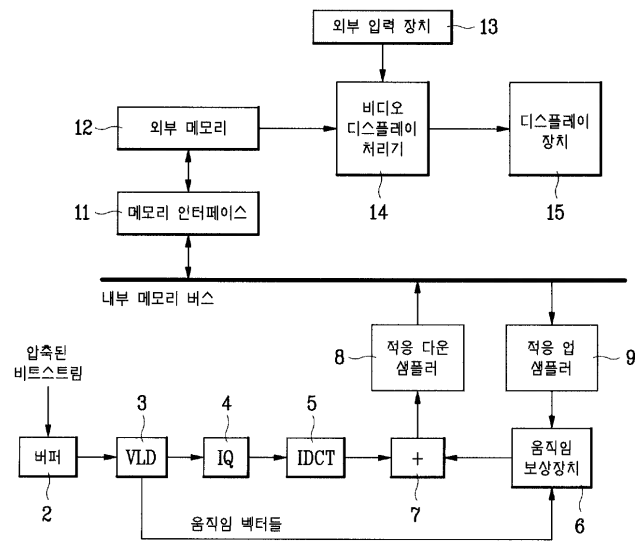
식 $y_{[2 \times 1]} = C_{[2 \times 4]} \cdot X_{[4 \times 1]}$ (여기서 $C_{[2 \times 4]}$ 는 2×4 디멘전의 다운 샘플링 매트릭스, $y_{[4 \times 1]}$ 은 4×1 화소들)을 이용하여 상기 크로미넌스 신호 상에 다운 샘플링을 수행하고, 상기 루미넌스 신호 상에는 식 $y_{[4 \times 1]} = C_{[4 \times 8]} \cdot X_{[8 \times 1]}$ (여기서 $C_{[4 \times 8]}$ 는 4×8 디멘전의 다운 샘플링 매트릭스, $X_{[8 \times 1]}$ 은 8×1 화소들)을 이용하여 다운 샘플링을 수행하는 스텝을 포함함을 특징으로 하는 방법.

청구항 25.

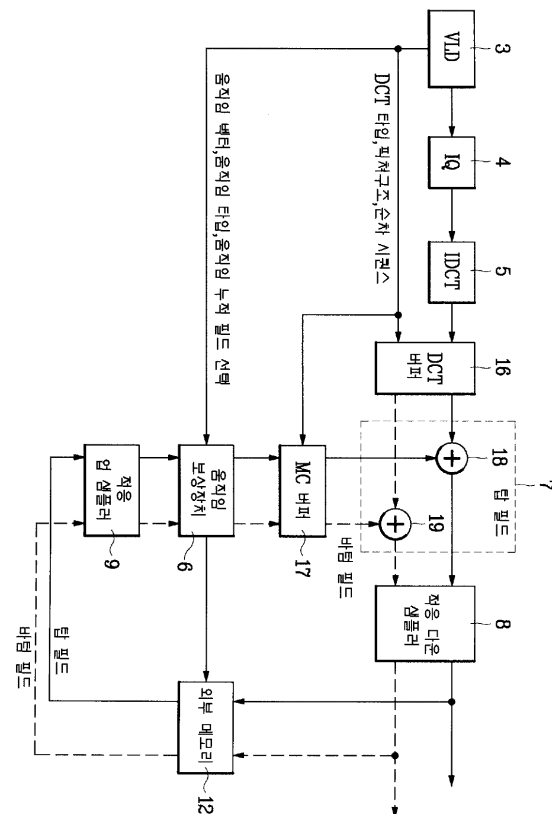
제24항에 있어서, 상기 $n \times 2n$ 은 4×8 이고 $2n \times 2n$ 은 8×8 임을 특징으로 하는 방법.

도면

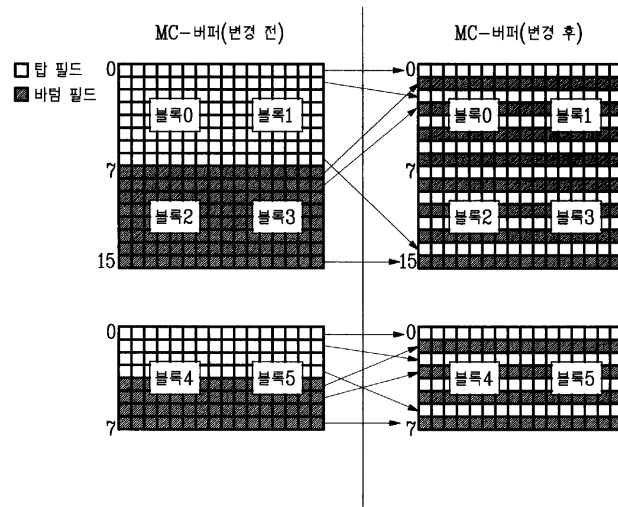
도면 1



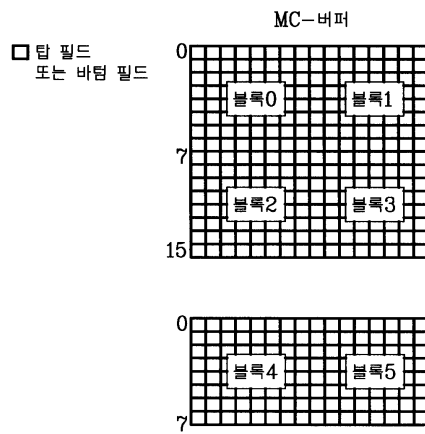
도면 2



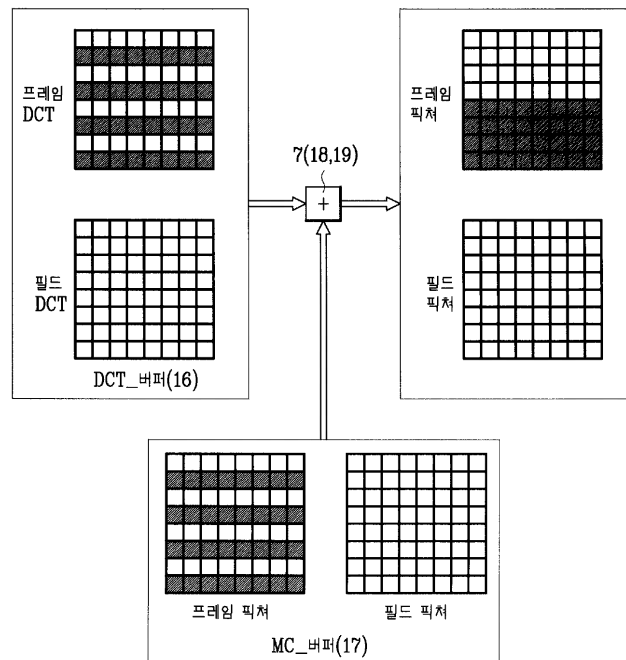
도면 5



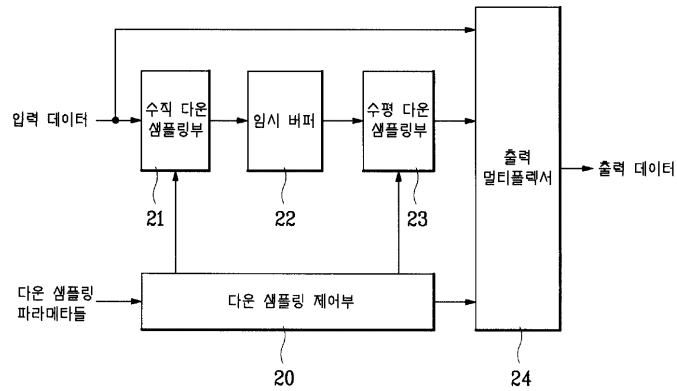
도면 6



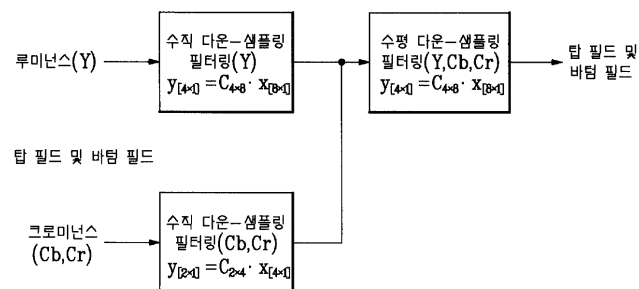
도면 7



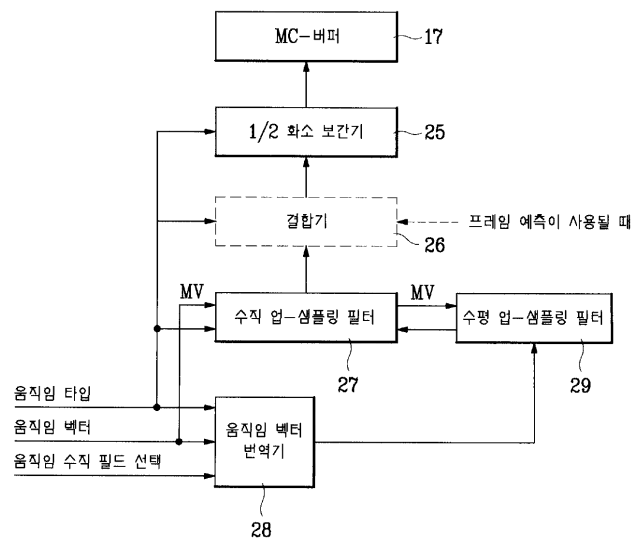
도면 8



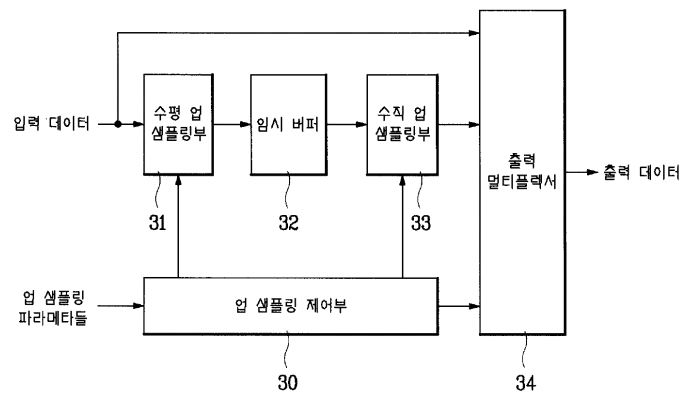
도면 9



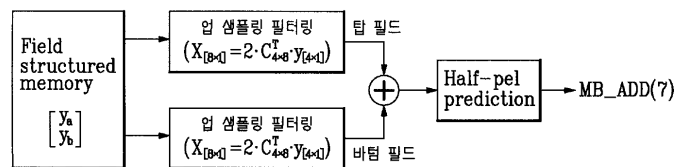
도면 10



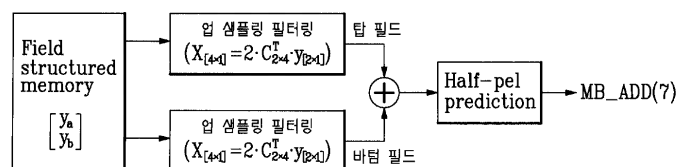
도면 11



도면 12



루미넌스
크로미넌스



도면 13

