



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21)(22) Заявка: 2015110969/28, 26.03.2015

(24) Дата начала отсчета срока действия патента:
26.03.2015

Приоритет(ы):

(30) Конвенционный приоритет:

27.03.2014 JP 2014-066812;

26.12.2014 JP 2014-265780

(43) Дата публикации заявки: 20.10.2016 Бюл. № 29

(45) Опубликовано: 27.11.2016 Бюл. № 33

(56) Список документов, цитированных в отчете о поиске: DE 10006525 A1, 04.10.2001. US 2013/0153749 A1, 20.06.2013. US 2007/0177043 A1, 02.08.2007. US 8605184 B2, 10.12.2013. WO 2011/142104 A1, 17.11.2011. JP 2001223566 A, 17.08.2001. RU 2488190 C1, 20.07.2013.

Адрес для переписки:

129090, Москва, ул. Б. Спасская, 25, стр. 3, ООО
"Юридическая фирма Городиский и Партнеры"

(72) Автор(ы):

ЙОСИДА Даисукэ (JP),

МАЦУНО Ясуси (JP),

ТОЦУКА Хирофуми (JP),

МУТО Такаси (JP),

КОБАЯСИ Масахиро (JP),

КОИЗУМИ Тору (JP)

(73) Патентообладатель(и):

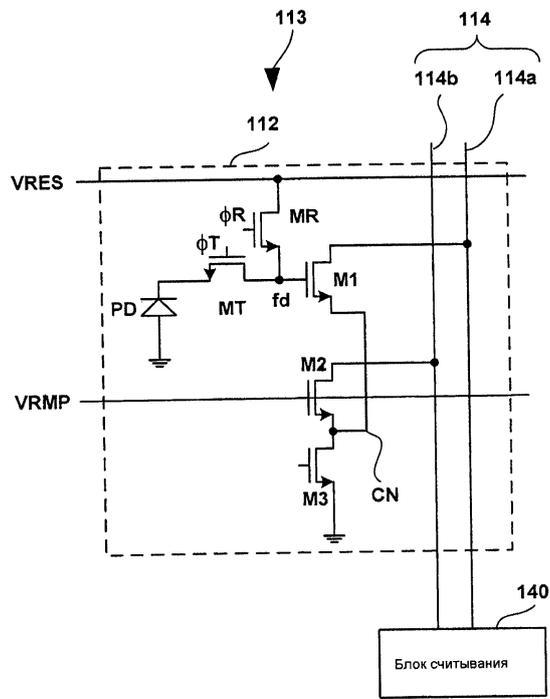
КЭНОН КАБУСИКИ КАЙСЯ (JP)

(54) ТВЕРДОТЕЛЬНЫЙ ДАТЧИК ИЗОБРАЖЕНИЯ И СИСТЕМА ВОСПРИЯТИЯ ИЗОБРАЖЕНИЯ

(57) Реферат:

Изобретение относится к твердотельному датчику изображения и системе восприятия изображения. Датчик содержит блок восприятия изображения, включающий в себя блоки пикселей, и блок считывания для считывания сигнала из блока восприятия изображения. Блок пикселей включает в себя фотоэлектрический преобразователь, первый и второй транзисторы и источник тока. Первые основные электроды первого и второго транзисторов соединены с общим узлом, а источник тока обеспечен между общим узлом и предварительно заданным

напряжением. Операция считывания сигнала включает в себя операцию, в которой напряжение, соответствующее зарядам в фотоэлектрическом преобразователе, подается на управляющий электрод первого транзистора, а изменяющееся во времени опорное напряжение подается на управляющий электрод второго транзистора. Блок считывания считывает сигнал из блока восприятия изображения через второй основной электрод первого транзистора. Изобретение обеспечивает увеличение точности считывания сигнала пикселя. 2 н. и 19 з.п. ф-лы, 24 ил.



ФИГ.3



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.
H01L 27/146 (2006.01)
H04N 5/335 (2011.01)

(12) **ABSTRACT OF INVENTION**

(21)(22) Application: 2015110969/28, 26.03.2015

(24) Effective date for property rights:
26.03.2015

Priority:

(30) Convention priority:
27.03.2014 JP 2014-066812;
26.12.2014 JP 2014-265780

(43) Application published: 20.10.2016 Bull. № 29

(45) Date of publication: 27.11.2016 Bull. № 33

Mail address:

129090, Moskva, ul. B. Spasskaja, 25, str. 3, OOO
"Juridicheskaja firma Gorodisskij i Partnery"

(72) Inventor(s):

**JOSIDA Daisuke (JP),
MATSUNO Jasusi (JP),
TOTSUKA KHirofumi (JP),
MUTO Takasi (JP),
KOBAYASHI Masakihito (JP),
KOIZUMI Toru (JP)**

(73) Proprietor(s):

KENON KABUSIKI KAJISJA (JP)

(54) **SOLID-STATE IMAGE SENSOR AND IMAGE SENSING SYSTEM**

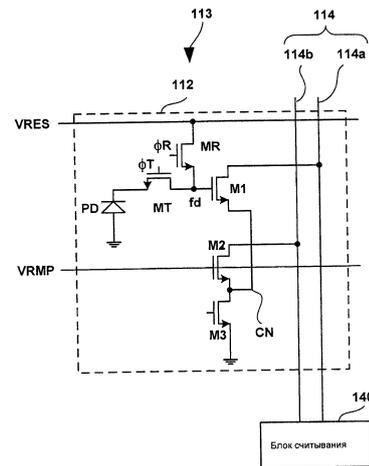
(57) Abstract:

FIELD: machine building.

SUBSTANCE: invention relates to a solid-state image sensor and image sensing system. Sensor comprises image sensing unit including blocks of pixels, and readout unit for reading a signal from the image sensing unit. Pixel unit includes a photoelectric converter, first and second transistors and current source. First main electrodes of the first and second transistors are connected to the common node, and the current source is provided between the common node and the predetermined voltage. Signal read procedure includes an operation in which the voltage, corresponding to the charge in the photoelectric converter, is supplied to the control electrode of the first transistor, and varying in time reference voltage is supplied to the control electrode of the second transistor. Reading unit reads a signal from the image sensing unit via the second main electrode of the first transistor.

EFFECT: invention provides higher accuracy of reading a pixel signal.

21 cl, 24 dwg



ФИГ.3

RU 2 603 241 C2

RU 2 603 241 C2

УРОВЕНЬ ТЕХНИКИ ИЗОБРЕТЕНИЯ ОБЛАСТЬ ТЕХНИКИ, К КОТОРОЙ ОТНОСИТСЯ ИЗОБРЕТЕНИЕ

[0001] Настоящее изобретение относится к твердотельному датчику изображения и системе восприятия изображения.

ОПИСАНИЕ ПРЕДШЕСТВУЮЩЕГО УРОВНЯ ТЕХНИКИ

[0002] Фиг. 2 выложенного патента Японии №2001-223566 изображает компаратор, включающий в себя пикселы 201, 202 и 203, блок 210 формирования пути тока, путь 211 тока и блок 215 сравнения. Блок 210 формирования пути тока включает в себя МОП-транзисторы 204, 205 и 206, имеющие затворы, с которыми соответствующим образом соединяются преобразователи заряда в напряжение пикселов 201, 202 и 203. Путь 211 тока включает в себя МОП-транзистор, имеющий затвор, на который подается опорное напряжение 212. Блок 215 сравнения включает в себя арифметический усилитель, включающий в себя блок 210 формирования пути тока и путь 211 тока, в качестве дифференциальной пары, и может получить цифровой сигнал, соответствующий сигналу пиксела, на основании выходного сигнала из блока 215 сравнения.

[0003] В данной компоновке, изображенной на Фиг. 2 выложенного патента Японии №2001-223566, транзистор 213, который, в сочетании с усилительными транзисторами 204, 205 и 206 пикселов 201, 202 и 203, формирует дифференциальную пару, обеспечивается за пределами пикселов 201, 202 и 203. В подобной компоновке трудно улучшить баланс между одним путем тока и другим путем тока, которые образуют дифференциальную пару, и это иногда препятствует увеличению точности считывания сигнала пиксела в достаточной мере.

СУЩНОСТЬ ИЗОБРЕТЕНИЯ

[0004] Настоящее изобретение обеспечивает метод, являющийся предпочтительным для увеличения точности считывания сигнала пиксела.

[0005] Один из аспектов настоящего изобретения обеспечивает твердотельный датчик изображения, содержащий блок восприятия изображения, включающий в себя множество блоков пикселов, и блок считывания, выполненный с возможностью считывания сигнала из блока восприятия изображения, в котором блок пикселов включает в себя фотоэлектрический преобразователь, первый транзистор, второй транзистор и источник тока, причем первый основной электрод первого транзистора и первый основной электрод второго транзистора соединяются с общим узлом, источник тока обеспечивается в пути между общим узлом и предварительно заданным напряжением, операция считывания для считывания сигнала из блока восприятия изображения включает в себя операцию, в которой напряжение, соответствующее зарядам, сгенерированным в фотоэлектрическом преобразователе, подается на управляющий электрод первого транзистора, изменяющееся во времени опорное напряжение подается на управляющий электрод второго транзистора, и блок считывания считывает сигнал из блока восприятия изображения через второй основной электрод первого транзистора.

[0006] Дополнительные отличительные признаки настоящего изобретения явствуют из нижеследующего описания иллюстративных вариантов осуществления со ссылкой на прилагаемые чертежи.

КРАТКОЕ ОПИСАНИЕ ЧЕРТЕЖЕЙ

[0007] Фиг. 1 является видом, показывающим компоновку твердотельного датчика изображения в соответствии с одним вариантом осуществления настоящего изобретения;

[0008] Фиг. 2 является видом, показывающим компоновку твердотельного датчика изображения в соответствии с другим вариантом осуществления настоящего изобретения;

[0009] Фиг. 3 является видом для иллюстративного разъяснения принципа настоящего изобретения;

[0010] Фиг. 4 является видом, показывающим компоновку блока восприятия изображения твердотельного датчика изображения в соответствии с первым вариантом осуществления настоящего изобретения;

[0011] Фиг. 5 является видом, показывающим работу твердотельного датчика изображения в соответствии с первым вариантом осуществления настоящего изобретения;

[0012] Фиг. 6 является видом, показывающим компоновку блока восприятия изображения твердотельного датчика изображения в соответствии со вторым вариантом осуществления настоящего изобретения;

[0013] Фиг. 7 является видом, показывающим работу твердотельного датчика изображения в соответствии со вторым вариантом осуществления настоящего изобретения;

[0014] Фиг. 8А и 8 В являются видами, показывающими примеры компоновок блока обработки сигналов, применимых к первому и второму вариантам осуществления;

[0015] Фиг. 9 является видом, показывающим компоновку блока восприятия изображения твердотельного датчика изображения в соответствии с третьим вариантом осуществления настоящего изобретения;

[0016] Фиг. 10 является видом, показывающим пример компоновки блока обработки сигналов, применимой к третьему варианту осуществления;

[0017] Фиг. 11 является видом, показывающим компоновку блока восприятия изображения твердотельного датчика изображения в соответствии с четвертым вариантом осуществления настоящего изобретения;

[0018] Фиг. 12 является видом, показывающим работу твердотельного датчика изображения в соответствии с четвертым вариантом осуществления настоящего изобретения;

[0019] Фиг. 13 является видом, показывающим компоновку блока восприятия изображения твердотельного датчика изображения в соответствии с пятым вариантом осуществления настоящего изобретения;

[0020] Фиг. 14 является видом, показывающим работу твердотельного датчика изображения в соответствии с пятым вариантом осуществления настоящего изобретения;

[0021] Фиг. 15 является видом, показывающим компоновку блока восприятия изображения твердотельного датчика изображения в соответствии с шестым вариантом осуществления настоящего изобретения;

[0022] Фиг. 16 является видом, показывающим первый пример применения в качестве примера применения первого варианта осуществления, изображенного на Фиг. 4;

[0023] Фиг. 17 является видом, показывающим работу первого примера применения;

[0024] Фиг. 18 является видом, показывающим пример компоновки блока обработки сигналов в первом примере применения;

[0025] Фиг. 19 является видом, показывающим другую работу первого примера применения;

[0026] Фиг. 20 является видом для разъяснения еще одной работы первого примера применения;

[0027] Фиг. 21 является видом, показывающим второй пример применения в качестве примера применения четвертого варианта осуществления, изображенного на Фиг. 11;

[0028] Фиг. 22 является видом, показывающим работу второго примера применения;

[0029] Фиг. 23 является видом, показывающим третий пример применения в качестве

другого примера применения четвертого варианта осуществления, изображенного на Фиг. 11; и

[0030] Фиг. 24 является видом, показывающим компоновку системы восприятия изображения в качестве варианта осуществления настоящего изобретения.

ОПИСАНИЕ ВАРИАНТОВ ОСУЩЕСТВЛЕНИЯ

[0031] Далее, со ссылкой на прилагаемые чертежи, будут разъясняться иллюстративные варианты осуществления настоящего изобретения.

[0032] Фиг. 1 изображает компоновку твердотельного датчика 1 изображения, в соответствии с одним вариантом осуществления настоящего изобретения.

Твердотельный датчик 1 изображения включает в себя блок 110 восприятия изображения и блок 140 считывания для считывания сигнала из блока 110 восприятия изображения. Блок 110 восприятия изображения включает в себя множество пикселей 112, которые располагаются таким образом, чтобы они формировали множество строк и множество столбцов, при этом каждый пиксель 112 включает в себя фотоэлектрический

преобразователь, такой как, например, фотодиод. С других точек зрения, блок 110 восприятия изображения включает в себя множество блоков пикселей, причем каждый блок пикселей включает в себя, по меньшей мере, один пиксель 112, при этом каждый пиксель включает в себя фотоэлектрический преобразователь.

[0033] Твердотельный датчик 1 изображения включает в себя блок 120 вертикального сканирования (блок выбора по вертикали) и блок 150 горизонтального сканирования (блок выбора по горизонтали) для выбора пикселя 112, от которого считывается сигнал. Блок 120 вертикального сканирования выбирает подлежащую считыванию строку из множества строк в блоке 110 восприятия изображения, при этом блок 140 считывания считывает сигналы пикселей 112 в выбранной строке через вертикальный путь 114

передачи. Блок 150 горизонтального сканирования выбирает пиксели 112 в подлежащем считыванию столбце из сигналов пикселей 112 во множестве столбцов, считываемых посредством блока 140 считывания, и выводит сигналы выбранных пикселей 112 на линию 160 передачи выходных сигналов. То есть, блок 150 горизонтального сканирования выбирает подлежащий считыванию столбец из множества столбцов в

блоке 110 восприятия изображения. [0034] Твердотельный датчик 1 изображения дополнительно включает в себя генератор 130 опорного напряжения. Генератор 130 опорного напряжения генерирует изменяющееся во времени опорное напряжение. Как правило, такое изменяющееся во времени опорное напряжение является линейно изменяющимся сигналом. Опорное

напряжение, сгенерированное посредством генератора 130 опорного напряжения, может быть подано через блок 120 вертикального сканирования на блок 113 пикселей, включающий в себя пиксели 112 в подлежащей считыванию строке блока 110 восприятия изображения. Опорное напряжение также может быть подано на блок 113 пикселей без использования блока 120 вертикального сканирования. Как иллюстративно

изображается на Фиг. 3, каждый блок 113 пикселей включает в себя, по меньшей мере, один фотоэлектрический преобразователь PD (например, фотодиод), первый транзистор M1, второй транзистор M2 и источник M3 тока. Первый основной электрод (в данном примере - электрод истока) первого транзистора M1 и первый основной электрод (в данном примере электрод истока) второго транзистора M2 соединяются с общим узлом CN, при этом третий транзистор M3 обеспечивается в пути между общим узлом CN и предварительно заданным потенциалом (в данном примере - потенциалом земли).

Третий транзистор M3 функционирует в качестве источника тока, когда предварительно заданное напряжение смещения прикладывается к управляющему электроду (затвору).

Первый транзистор M1, второй транзистор M2 и источник тока M3 образуют схему дифференциального усилителя. Выходной сигнал из этой схемы дифференциального усилителя передается на блок 140 считывания через вертикальный путь 114 передачи. В изображенном на Фиг. 3 примере один вертикальный путь 114 передачи включает в себя первые и вторые вертикальные линии 114a и 114b передачи сигналов, которые образуют дифференциальную пару линий передачи сигналов. В другом примере один вертикальный путь 114 передачи включает в себя одну вертикальную линию 114a передачи сигналов.

[0035] Операция считывания для считывания сигнала из блока 110 восприятия изображения включает в себя операцию, в которой напряжение, соответствующее зарядам, сгенерированным в фотоэлектрическом преобразователе PD подлежащего считыванию пиксела 112, подается на управляющий электрод первого транзистора M1, при этом изменяющееся во времени опорное напряжение VRMP подается на управляющий электрод второго транзистора M2. Следует отметить, что управляющий электрод является электродом затвора. Блок 140 считывания считывает сигнал из блока 110 восприятия изображения через второй основной электрод (в данном примере - электрод стока) первого транзистора M1 и вертикальный путь 114 передачи. В изображенном на Фиг. 3 примере блок 140 считывания считывает сигнал из блока 110 восприятия изображения на основании сигнала, который передается по первой вертикальной линии 114a передачи сигналов, соединенной со вторым основным электродом первого транзистора M1, и сигнала, который передается по второй вертикальной линии 114b передачи сигналов, соединенной с основным электродом второго транзистора M2. Заряды, сгенерированные в фотоэлектрическом преобразователе PD, переносятся через транзистор MT переноса в преобразователь fd заряда в напряжение (плавающую диффузную область), соединенный с управляющим электродом (затвором) первого транзистора M1, и преобразовываются в напряжение посредством преобразователя fd заряда в напряжение. Напряжение преобразователя fd заряда в напряжение сбрасывается посредством транзистора MR управления напряжением.

[0036] Сигнал ϕT переноса, находящийся под управлением блока 120 вертикального сканирования, прикладывается к затвору транзистора MT переноса. Сигнал ϕR управления напряжением, находящийся под управлением блока 120 вертикального сканирования, прикладывается к затвору транзистора MR управления напряжением. В нижеследующем описании, для проведения различия между одним сигналом переноса и другим сигналом переноса, после ϕT добавляются номера, подобно $\phi T1$ и $\phi T2$. Подобным образом, для проведения различия между одним сигналом управления напряжением и другим сигналом управления напряжением, после ϕR добавляются номера, подобно $\phi R1$ и $\phi R2$. Это также относится и к другим сигналам.

[0037] Блок 140 считывания преобразовывает сигнал, который передается от пиксела 112 блока 110 восприятия изображения через вертикальный путь 114 передачи, в цифровой сигнал, а также выводит сигнал в линию 160 передачи выходных сигналов. В общеизвестном твердотельном датчике изображения, который выводит сигнал пиксела в качестве цифрового сигнала, усилитель столбца, сформированный для каждого столбца блока восприятия изображения, считывает сигнал из пиксела в форме аналогового сигнала напряжения, при этом аналого-цифровой (AD) преобразователь преобразовывает этот аналоговый сигнал напряжения в цифровой сигнал. Для сравнения, в твердотельном датчике 1 изображения данного варианта осуществления, сигнал, который передается от пиксела на вертикальный путь 114 передачи, имеет

форму в токовом сигнале, и этот токовый сигнал преобразовывается в цифровой сигнал.

[0038] Блок 140 считывания может включать в себя блок 142 обработки сигналов, счетчик 144 и память 146. Набор из блока 142 обработки сигналов, счетчика 144 и памяти 146 может быть сформирован для каждого столбца блока 110 восприятия изображения. Блок 142 обработки сигналов принимает электрический ток, который подается от второго основного электрода первого транзистора M1, через вертикальный путь 114 передачи. На основании значения этого электрического тока, блок 142 обработки сигналов обнаруживает момент, при котором соотношение величин между напряжением управляющего электрода первого транзистора M1 (это напряжение также является напряжением преобразователя f_d заряда в напряжение) и напряжением (опорным напряжением VRMP) управляющего электрода второго транзистора M2 инвертируется. Например, блок 142 обработки сигналов сравнивает значение первого электрического тока, который подается от второго основного электрода первого транзистора M1 через первую вертикальную линию 114a передачи сигналов, со значением второго электрического тока, который подается от второго основного электрода второго транзистора M2 через вторую вертикальную линию 114b передачи сигналов. Затем блок 142 обработки сигналов выводит сигнал результата сравнения, указывающий соотношение величин между значениями первого и второго электрических токов. Инверсия этого сигнала результата сравнения означает, что соотношение величин между значениями первого и второго электрических токов было инвертировано. Кроме того, инверсия соотношения величин между значениями первого и второго электрических токов является эквивалентной инверсии соотношения величин между напряжениями управляющих электродов первого и второго транзисторов M1 и M2.

[0039] Счетчик 144 начинает операцию отсчета при предварительно заданном тактировании, и прекращает операцию отсчета, в соответствии с инверсией сигнала результата сравнения. Память 146 сохраняет значение отсчета (то есть, значение пиксела), полученное посредством счетчика 144, и выводит значение отсчета на линию 160 передачи выходных сигналов при выборе посредством блока 150 горизонтального сканирования. То есть, блок 140 считывания принимает решение о том, что значение отсчета счетчика 144 является значением сигнала, считанного из блока 110 восприятия изображения, в соответствии с инверсией выходного сигнала из блока 142 обработки сигналов.

[0040] Фиг. 2 изображает компоновку твердотельного датчика 11 изображения другого варианта осуществления настоящего изобретения. Твердотельный датчик 1' изображения отличается от твердотельного датчика 1 изображения тем, что множество счетчиков 144 (то есть, счетчик 144, сформированный для каждого столбца) твердотельного датчика 1 изображения заменяются одним общим счетчиком 148. В твердотельном датчике 1' изображения память 146 сохраняет значение отсчета счетчика 148 в ответ на инверсию сигнала результата сравнения от блока 142 обработки сигналов. В изображенном на Фиг. 2 примере блок 140 считывания принимает решение о том, что значение отсчета общего счетчика 148 для каждого столбца является значением сигнала, считанного от блока 110 восприятия изображения, в соответствии с инверсией выходного сигнала из блока 142 обработки сигналов.

[0041] В вышеописанной компоновке первый транзистор M1, второй транзистор M2 и источник M3 тока обеспечиваются в непосредственной близости друг с другом. Этот предоставляет возможность уменьшить паразитные сопротивления на сторонах истока первого и второго транзисторов M1 и M2. В соответствии с этим, предоставляется возможность улучшения баланса между путем тока, включающим в себя первый

транзистор M1, и путем тока, включающим в себя второй транзистор M2, благодаря чему улучшается баланс характеристик дифференциального входа. В результате этого увеличивается точность считывания сигнала пикселей.

[0042] Дополнительные практические варианты осуществления будут разъясняться ниже. Фиг. 4 изображает компоновку блока 110 восприятия изображения твердотельного датчика изображения первого варианта осуществления. Для ясности, множество пикселей 112, формирующих блок 110 восприятия изображения, будут представлены в виде двух строк и двух столбцов пикселей 112. В этом твердотельном датчике изображения первого варианта осуществления, один пиксел 112 формирует один блок пикселей. Каждый пиксел 112 (блок пикселей) включает в себя фотоэлектрический преобразователь PD, такой как, например, фотодиод, первый транзистор M1, второй транзистор M2 и источник M3 тока, сформированный посредством транзистора, и т.п. Каждый пиксел 112 также может включать в себя транзистор MT переноса и транзистор MR управления напряжением.

[0043] Первый основной электрод (электрод истока) первого транзистора M1 и первый основной электрод (электрод истока) второго транзистора M2 соединяются с общим узлом CN, при этом третий транзистор M3 обеспечивается в пути между общим узлом CN и предварительно заданным потенциалом (в данном примере потенциалом земли). Третий транзистор M3 функционирует в качестве источника следового тока, когда предварительно заданное напряжение Vbias смещения прикладывается к управляющему электроду (затвору). Первый транзистор M1, второй транзистор M2 и источник M3 тока образуют схему дифференциального усилителя. Эта схема, сформированная посредством первого транзистора M1, второго транзистора M2 и источника M3 тока, также может быть рассмотрена в качестве компаратора напряжения для сравнения напряжения управляющего электрода первого транзистора M1 (это напряжение также является напряжением преобразователя fd заряда в напряжение) с напряжением (опорным напряжением VRMP) управляющего электрода второго транзистора M2.

[0044] Операция считывания для считывания сигнала из блока 110 восприятия изображения включает в себя операцию, в которой напряжение, соответствующее зарядам, сгенерированным в фотоэлектрическом преобразователе PD подлежащего считыванию пикселя 112, подается на управляющий электрод первого транзистора M1, при этом изменяющееся во времени опорное напряжение VRMP подается на управляющий электрод второго транзистора M2. Блок 140 считывания считывает сигнал из блока 110 восприятия изображения через второй основной электрод первого транзистора M1 и вертикальный путь 114 передачи.

[0045] Фиг. 5 изображает операцию твердотельного датчика изображения первого варианта осуществления, более конкретно, операцию считывания сигнала двух строк. Фиг. 5 изображает период считывания одной строки в качестве «1H» (один период горизонтального сканирования). Период считывания первой строки является периодом, в течение которого сигнал φV1 смещения первой строки имеет высокий уровень (напряжение смещения), а сигнал φV2 смещения второй строки имеет низкий уровень. Когда сигнал φV1 смещения активирует источник M3 тока пикселей 112 в первой строке, пиксели 112 в первой строке устанавливаются в выбранное состояние. Когда сигнал φV1 смещения деактивирует источник M3 тока пикселей 112 в первой строке, пиксели 112 в первой строке устанавливаются в невыбранное состояние. Когда сигнал φV2 смещения активирует источник M3 тока пикселей 112 во второй строке, пиксели 112 во второй строке устанавливаются в выбранное состояние. Когда сигнал φV2 смещения

дезактивирует источник М3 тока пикселей 112 во второй строке, пиксели 112 во второй строке устанавливаются в невыбранное состояние.

[0046] В течение периода считывания первой строки предварительно заданное напряжение V_{bias} смещения прикладывается к затвору транзистора, формирующего каждый источник М3 тока в первой строке, при этом источник М3 тока функционирует в качестве источника постоянного следового тока. Изначально сигнал $\phi R1$ управления напряжением активируется до высокого уровня. Вследствие этого, транзистор MR управления напряжением включается, а преобразователь f_d заряда в напряжение сбрасывается до напряжения (напряжения сброса), соответствующего напряжению VRES сброса.

[0047] Затем сигнал $\phi R1$ управления напряжением дезактивируется до низкого уровня, и преобразователь f_d заряда в напряжение отключается. Начальное напряжение опорного напряжения VRMP задается намного большим по сравнению с напряжением сброса преобразователя f_d заряда в напряжение, чтобы почти весь электрический ток, который подается посредством источника М3 тока (электрический ток, образованный посредством источника М3 тока), протекал через второй транзистор М2, а электрический ток, протекающий через первый транзистор М1, являлся практически нулевым. Опорное напряжение VRMP линейно понижается, и счетчик 144 (148) измеряет время до инверсии сигнала результата сравнения, выводимого с блока 142 обработки сигналов, вследствие инверсии соотношения величин между напряжением сброса и опорным напряжением VRMP. Значение отсчета, полученное посредством счетчика 144 (148) и сохраненное в памяти 146, является цифровым значением (далее в настоящем документе будет называться значением шума), соответствующим напряжению сброса (уровню шума) пикселя 112. Ссылочная позиция N_AD обозначает операцию сохранения цифрового значения, соответствующего напряжению сброса, в памяти 146 вышеописанным способом.

[0048] Впоследствии опорное напряжение VRMP возвращается к начальному напряжению, при этом сигнал $\phi T1$ переноса активируется до высокого уровня. Вследствие этого, заряды, которые были подвержены фотоэлектрическому преобразованию и накоплены посредством фотоэлектрического преобразователя PD, переносятся в преобразователь f_d заряда в напряжение. После того как сигнал $\phi T1$ переноса дезактивируется до низкого уровня, опорное напряжение VRMP линейно понижается. Счетчик 144 (148) измеряет время до инверсии сигнала результата сравнения, выводимого с блока 142 обработки сигналов, вследствие инверсии соотношения величин между напряжением преобразователя f_d заряда в напряжение и опорным напряжением VRMP. Значение отсчета, полученное посредством счетчика 144 (148) и сохраненное в памяти 146, является цифровым значением (далее в настоящем документе будет называться значением оптического сигнала), соответствующим количеству зарядов, сгенерированных посредством фотоэлектрического преобразования в фотоэлектрическом преобразователе PD пикселя 112. Ссылочная позиция S_AD обозначает операцию сохранения цифрового значения, соответствующего количеству зарядов, сгенерированных посредством фотоэлектрического преобразования, в памяти 146 вышеописанным способом. Значение шума и значение оптического сигнала, сохраненные в памяти 146, могут быть выведены по отдельности. Также можно вывести значение, полученное посредством вычитания значения шума из значения оптического сигнала (то есть, значения, подвергнутого выборке CDS (двойной коррелированной выборке)).

[0049] Второй период считывания является периодом, в течение которого сигнал

$\phi B2$ смещения второй строки имеет высокий уровень (напряжение смещения), при этом сигнал $\phi B1$ смещения первой строки имеет низкий уровень. Операция считывания второй строки выполняется тем же способом, как и для первой строки.

[0050] Фиг. 6 изображает компоновку блока 110 восприятия изображения твердотельного датчика изображения второго варианта осуществления. Фиг. 7 изображает работу твердотельного датчика изображения второго варианта осуществления, более конкретно, операцию считывания сигнала двух строк. Фиг. 7 изображает период считывания одной строки в качестве «1Н» (один период горизонтального сканирования). Для ясности, множество пикселей 112, формирующих блок 110 восприятия изображения, будут представлены в виде двух строк и двух столбцов пикселей 112. Во втором варианте осуществления два пиксела 112 совместно используют третий транзистор M3, функционирующий в качестве источника следового тока. В первом варианте осуществления сигналы $\phi B1$ и $\phi B2$ смещения управляют выбором и снятием выбора строки. Во втором варианте осуществления сигналы $\phi SEL1$ и $\phi SEL2$ выбора управляют выбором и снятием выбора строки. Кроме того, во втором варианте осуществления транзистор MS выбора обеспечивается между вторым транзистором M2 и источником M3 тока посредством сигналов ϕSEL ($\phi SEL1$ и $\phi SEL2$) выбора. Второй вариант осуществления является тем же, что и первый вариант осуществления, за исключением вышеупомянутых отличий.

[0051] Во втором варианте осуществления два пиксела 112 совместно используют третий транзистор M3. Однако третий транзистор M3 может быть совместно использован посредством большего количества пикселей 112. Например, третий транзистор M3 могут совместно использовать пиксели 112, находящиеся в одном столбце.

[0052] Фиг. 8А изображают первый пример блока 142 обработки сигналов, применимого к первому и второму вариантам осуществления. Первая вертикальная линия 114а передачи сигналов соединяется с токовым зеркалом CM1, сформированным посредством транзистора, такого как, например, p-MOP-транзистор. Вторая вертикальная линия 114b передачи сигналов соединяется с токовым зеркалом CM2, сформированным посредством транзистора, такого как, например, p-MOP-транзистор. Транзистор M71 обеспечивается между токовым зеркалом CM1 и опорным потенциалом, транзистор M72 обеспечивается между токовым зеркалом CM2 и опорным потенциалом, при этом транзисторы M71 и M72 образуют токовое зеркало. В результате этого, напряжение узла вывода между токовым зеркалом CM1 и транзистором M71 определяется посредством соотношения величин между электрическими токами первой и второй вертикальных линий 114а и 114b передачи сигналов. Сигнал, возникающий в этом узле вывода, выводится в качестве сигнала «comp out» результата сравнения через буферную схему BF, такую как, например, инвертор. Источники CS1 и CS2 тока также могут быть соединены с первой и второй вертикальными линиями 114а и 114b передачи сигналов, соответственно. Источники CS1 и CS2 тока предотвращают обнуление электрического тока, протекающего токовые зеркала CM1 и CM2, благодаря чему улучшается характеристика чувствительности блока 142 обработки сигналов. Предпочтительно, чтобы электрические токи, которые подаются посредством источников CS1 и CS2 тока, были меньше электрического тока, который подается посредством источника M3 тока.

[0053] Фиг. 8В изображает второй пример блока 142 обработки сигналов, применимого к первому и второму вариантам осуществления. Напряжение в первой вертикальной линии 114а передачи сигналов повышается до предварительно заданного

напряжения VDD питания посредством нагрузочного повышающего резистора R1. Подобным образом, напряжение во второй вертикальной линии 114b передачи сигналов повышается до напряжения VDD питания посредством нагрузочного повышающего резистора R1. В результате этого, электрические токи, которые протекают через первую и вторую вертикальные линии 114a и 114b передачи сигналов, преобразовываются в напряжения посредством узлов N1 и N2, соответственно. Узлы N1 и N2 соединяются с узлами ввода дифференциального усилителя DA в состоянии разомкнутого контура. Дифференциальный усилитель DA выводит сигнал «comp out» результата сравнения.

[0054] Фиг. 9 изображает компоновку блока 110 восприятия изображения твердотельного датчика изображения третьего варианта осуществления. Для ясности, множество пикселей 112, формирующих блок 110 восприятия изображения, будут представлены в виде двух строк и двух столбцов пикселей 112. Третий вариант осуществления отличается от первого и второго вариантов осуществления тем, что каждый вертикальный путь 114 передачи формируется посредством одной вертикальной линии 114a передачи сигналов. В третьем варианте осуществления предварительно заданный потенциал (например, напряжение VDD питания) подается на второй основной электрод второго транзистора M2. Фиг. 10 изображает первый пример блока 142 обработки сигналов, применимого к третьему варианту осуществления. Вертикальная линия 114a передачи сигналов и источник CS3 тока соединяются с токовым зеркалом CM3, значение электрического тока, который протекает через вертикальную линию 114a передачи сигналов, сравнивается со значением электрического тока, который протекает через источник CS3 тока, и выводится сигнал «comp out» результата сравнения. Блок 142 обработки сигналов генерирует сигнал «comp out» результата сравнения, указывающий соотношение величин между напряжением преобразователя fd заряда в напряжение и опорным напряжением VRMP в третьем варианте осуществления.

[0055] Фиг. 11 изображает компоновку блока 110 восприятия изображения твердотельного датчика изображения четвертого варианта осуществления. Фиг. 12 изображает работу твердотельного датчика изображения четвертого варианта осуществления, более конкретно, операцию считывания сигнала двух строк. Фиг. 12 изображает период считывания одной строки в качестве «1Н» (один период горизонтального сканирования). Для ясности, множество пикселей 112, формирующих блок 110 восприятия изображения, будут представлены в виде двух строк и двух столбцов пикселей 112.

[0056] В четвертом варианте осуществления, если пиксел 112a является подлежащим считыванию пикселем, то сигнал пикселя 112a считывается посредством использования транзистора M2 пикселя 112b, отличного от пикселя 112a, в качестве второго транзистора. Кроме того, если пиксел 112b является подлежащим считыванию пикселем, то сигнал пикселя 112b считывается посредством использования транзистора M1 пикселя 112a, отличного от пикселя 112b, в качестве второго транзистора. С другой точки зрения, можно расценить, что пикселы 112a и 112b образуют один блок 113 пикселей, при этом блок 113 пикселей включает в себя первый транзистор M1, второй транзистор M2 и источник M3 тока. Операция считывания для считывания сигнала из блока 110 восприятия изображения включает в себя операцию, в которой напряжение, соответствующее зарядам, сгенерированным в фотоэлектрическом преобразователе PD блока 113 пикселей, подается на управляющий электрод первого транзистора M1, при этом изменяющееся во времени опорное напряжение VRMP подается на управляющий электрод второго транзистора M2.

[0057] Напряжение VRES сброса или опорное напряжение VRMP подается на сток

транзистора TR управления напряжением через переключатели S (S1 и S2). Более конкретно, напряжение VRES сброса подается на преобразователь fd (fd1 или fd2) заряда в напряжение подлежащего считыванию пиксела 112 (112a или 112b) в блоке 113 пикселов. В то же время, опорное напряжение VRMP подается на преобразователь fd заряда в напряжение пиксела 112 (112a или 112b), который не подлежит считыванию.

[0058] В течение периода считывания первой строки сигналы $\phi S1$ и $\phi R2$ изменяются на высокоуровневые, а сигнал $\phi S2$ изменяется на низкоуровневый. Изначально сигнал $\phi R1$ управления напряжением первой строки активируется до высокого уровня.

Вследствие этого, транзистор MR управления напряжением пиксела 112a в первой строке включается, а преобразователь fd1 заряда в напряжение пиксела 112a в первой строке сбрасывается до напряжения (напряжения сброса), соответствующего напряжению VRES сброса. Опорное напряжение VRMP подается на преобразователь fd2 заряда в напряжение пиксела 112b во второй строке. В соответствии с этим, подобно первому варианту осуществления, выполняется операция (N_AD) сохранения цифрового значения, соответствующего напряжению сброса, в памяти 146, и операция (S_AD) сохранения цифрового значения, соответствующего количеству зарядов, сгенерированных посредством фотоэлектрического преобразования, в памяти 146.

[0059] В течение периода считывания второй строки сигналы $\phi S2$ и $\phi R1$ изменяются на высокоуровневые, а сигнал $\phi S1$ изменяется на низкоуровневый. Изначально сигнал $\phi R2$ управления напряжением второй строки активируется до высокого уровня.

Вследствие этого, транзистор MR управления напряжением пиксела 112b во второй строке включается, а преобразователь fd2 заряда в напряжение пиксела 112b во второй строке сбрасывается до напряжения (напряжения сброса), соответствующего напряжению VRES сброса. Опорное напряжение VRMP подается на преобразователь fd1 заряда в напряжение пиксела 112a в первой строке. В соответствии с этим, операция (N_AD) сохранения цифрового значения, соответствующего напряжению сброса, в памяти 146, и операция (S_AD) сохранения цифрового значения, соответствующего количеству зарядов, сгенерированных посредством фотоэлектрического преобразования, в памяти 146, выполняются для пиксела во второй строке.

[0060] Фиг. 13 изображает компоновку блока 110 восприятия изображения твердотельного датчика изображения пятого варианта осуществления. Фиг. 14 изображает работу твердотельного датчика изображения пятого варианта осуществления, более конкретно, операции считывания сигнала четырех строк. Для ясности, множество пикселов 112, формирующих блок 110 восприятия изображения, будут представлены в виде четырех строк и двух столбцов пикселов 112. В пятом варианте осуществления линия передачи сигналов для подачи опорного напряжения VRMP и линия передачи сигналов для подачи напряжения VRES сброса объединяются в общую линию VRES/VRMP передачи сигналов. Первый переключатель MR1, управление которым осуществляется посредством первого сигнала $\phi R1$ управления напряжением, обеспечивается в пути между первым преобразователем fd1 заряда в напряжение и линией VRES/VRMP передачи сигналов. Кроме того, второй переключатель MR2, управление которым осуществляется посредством второго сигнала $\phi R2$ управления напряжением, обеспечивается в пути между вторым преобразователем fd2 заряда в напряжение и линией VRES/VRMP передачи сигналов. Более того, в пятом варианте осуществления два фотоэлектрических преобразователя в соседних строках совместно используют один преобразователь заряда в напряжение. Более конкретно, фотоэлектрические преобразователи PD1 и PD2 совместно используют первый преобразователь fd1 заряда в напряжение, а фотоэлектрические преобразователи PD3

и PD4 совместно используют второй преобразователь fd2 заряда в напряжение.

[0061] В течение периодов считывания строк, а именно, с первой по четвертую строку, напряжение V_{bias} смещения подается на управляющий электрод (затвор) третьего транзистора M3. В течение периода считывания первой строки, первый сигнал $\phi R1$ управления напряжением для первой и второй строк активируется до высокого уровня, при этом напряжение сброса (напряжение, которое ниже начального напряжения опорного напряжения) подается с линии VRES/VRMP передачи сигналов. После этого, первый сигнал $\phi R1$ управления напряжением деактивируется до низкого уровня. В течение периода, на протяжении которого первый сигнал $\phi R1$ управления напряжением активируется до высокого уровня, выполняется сброс первого преобразователя fd1 заряда в напряжение для первой и второй строк.

[0062] Затем опорное напряжение VRMP подается на линию VRES/VRMP передачи сигналов, при этом второй сигнал $\phi R2$ управления напряжением для третьей и четвертой строки активируется до высокого уровня. Вследствие этого, опорное напряжение VRMP подается на второй преобразователь fd2 заряда в напряжение для третьей и четвертой строк. Опорное напряжение VRMP линейно понижается, и счетчик 144 (148) измеряет время до инверсии сигнала результата сравнения, выводимого с блока 142 обработки сигналов, вследствие инверсии соотношения величин между напряжением сброса и опорным напряжением VRMP (N_AD). Впоследствии опорное напряжение VRMP возвращается к начальному напряжению, при этом сигнал $\phi T1$ переноса активируется до высокого уровня. Вследствие этого, заряды, которые были подвержены фотоэлектрическому преобразованию и накоплены посредством фотоэлектрического преобразователя PD1 в первой строке, переносятся на первый преобразователь fd1 заряда в напряжение. После того как сигнал $\phi T1$ переноса деактивируется до низкого уровня, опорное напряжение VRMP линейно понижается. Затем счетчик 144 (148) измеряет время до инверсии сигнала результата сравнения, выводимого с блока 142 обработки сигналов, вследствие инверсии соотношения величин между напряжением первого преобразователя fd1 заряда в напряжение и опорным напряжением VRMP (S_AD).

[0063] В течение периода считывания второй строки, первый сигнал $\phi R1$ управления напряжением для первой и второй строк активируется до высокого уровня, при этом напряжение сброса (напряжение, которое ниже начального напряжения опорного напряжения) подается с линии VRES/VRMP передачи сигналов. После этого, первый сигнал $\phi R1$ управления напряжением деактивируется до низкого уровня. В течение периода, на протяжении которого первый сигнал $\phi R1$ управления напряжением активируется до высокого уровня, выполняется сброс первого преобразователя fd1 заряда в напряжение для первой и второй строк.

[0064] Затем опорное напряжение VRMP подается на линию VRES/VRMP передачи сигналов, при этом второй сигнал $\phi R2$ управления напряжением для третьей и четвертой строк активируется до высокого уровня. Вследствие этого, опорное напряжение VRMP подается на второй преобразователь fd2 заряда в напряжение для третьей и четвертой строк. Опорное напряжение VRMP линейно понижается, при этом счетчик 144 (148) измеряет время до инверсии сигнала результата сравнения, выводимого с блока 142 обработки сигналов, вследствие инверсии соотношения величин между напряжением сброса и опорным напряжением VRMP (N_AD). Впоследствии опорное напряжение VRMP возвращается к начальному напряжению, при этом сигнал $\phi T2$ переноса активируется до высокого уровня. Вследствие этого, заряды, которые были подвержены фотоэлектрическому преобразованию и накоплены посредством фотоэлектрического

преобразователя PD2 во второй строке, переносятся на первый преобразователь fd1 заряда в напряжение. После того как сигнал $\varphi T2$ переноса деактивируется до низкого уровня, опорное напряжение VRMP линейно понижается. Затем счетчик 144 (148) измеряет время до инверсии сигнала результата сравнения, выводимого с блока 142 обработки сигналов, вследствие инверсии соотношения величин между напряжением преобразователя fd заряда в напряжение и опорным напряжением VRMP (S_AD).

[0065] В течение периода считывания третьей строки, второй сигнал $\varphi R2$ управления напряжением для третьей и четвертой строк активируется до высокого уровня, при этом напряжение сброса (напряжение, которое ниже начального напряжения опорного напряжения) подается с линии VRES/VRMP передачи сигналов. После этого второй сигнал $\varphi R2$ управления напряжением деактивируется до низкого уровня. В течение периода, на протяжении которого второй сигнал $\varphi R2$ управления напряжением активируется до высокого уровня, выполняется сброс второго преобразователя fd2 заряда в напряжение для третьей и четвертой строк.

[0066] Затем опорное напряжение VRMP подается на линию VRES/VRMP передачи сигналов, при этом первый сигнал $\varphi R1$ управления напряжением для первой и второй строк активируется до высокого уровня. Вследствие этого, опорное напряжение VRMP подается на первый преобразователь fd1 заряда в напряжение для первой и второй строк. Опорное напряжение VRMP линейно понижается, а счетчик 144 (148) измеряет время до инверсии сигнала результата сравнения, выводимого с блока 142 обработки сигналов, вследствие инверсии соотношения величин между напряжением сброса и опорным напряжением VRMP (N_AD). Впоследствии опорное напряжение VRMP возвращается к начальному напряжению, при этом сигнал $\varphi T3$ переноса активируется до высокого уровня. Вследствие этого, заряды, которые были подвержены фотоэлектрическому преобразованию и накоплены посредством фотоэлектрического преобразователя PD3 в третьей строке, переносятся на второй преобразователь fd2 заряда в напряжение. После того как сигнал $\varphi T3$ переноса деактивируется до низкого уровня, опорное напряжение VRMP линейно понижается. Затем счетчик 144 (148) измеряет время до инверсии сигнала результата сравнения, выводимого с блока 142 обработки сигналов, вследствие инверсии соотношения величин между напряжением второго преобразователя fd2 заряда в напряжение и опорным напряжением VRMP (S_AD).

[0067] В течение периода считывания четвертой строки, второй сигнал $\varphi R2$ управления напряжением для третьей и четвертой строк активируется до высокого уровня, при этом напряжение сброса (напряжение, которое ниже начального напряжения опорного напряжения) подается с линии VRES/VRMP передачи сигналов. После этого второй сигнал $\varphi R2$ управления напряжением деактивируется до низкого уровня. В течение периода, на протяжении которого второй сигнал $\varphi R2$ управления напряжением активируется до высокого уровня, выполняется сброс второго преобразователя fd2 заряда в напряжение для третьей и четвертой строк.

[0068] Затем опорное напряжение VRMP подается на линию VRES/VRMP передачи сигналов, при этом первый сигнал $\varphi R1$ управления напряжением для первой и второй строк активируется до высокого уровня. Вследствие этого, опорное напряжение VRMP подается на первый преобразователь fd1 заряда в напряжение для первой и второй строк. Опорное напряжение VRMP линейно понижается, а счетчик 144 (148) измеряет время до инверсии сигнала результата сравнения, выводимого с блока 142 обработки сигналов, вследствие инверсии соотношения величин между напряжением сброса и опорным напряжением VRMP (N_AD). Впоследствии опорное напряжение VRMP

возвращается к начальному напряжению, а сигнал $\phi T4$ переноса активируется до высокого уровня. Вследствие этого, заряды, которые были подвержены фотоэлектрическому преобразованию и накоплены посредством фотоэлектрического преобразователя PD4 в четвертой строке, переносятся на второй преобразователь fd2 заряда в напряжение. После того как сигнал $\phi T4$ переноса деактивируется до низкого уровня, опорное напряжение VRMP линейно понижается. Затем счетчик 144 (148) измеряет время до инверсии сигнала результата сравнения, выводимого с блока 142 обработки сигналов, вследствие инверсии соотношения величин между напряжением второго преобразователя fd2 заряда в напряжение и опорным напряжением VRMP (S_AD).

[0069] В пятом варианте осуществления два фотоэлектрических преобразователя совместно используют один преобразователь заряда в напряжение. Однако один преобразователь заряда в напряжение также может быть совместно использован посредством большего количества фотоэлектрических преобразователей. Линия VRES/VRMP передачи сигналов может быть соединена с преобразователями заряда в напряжение в том же столбце через переключатели MR сброса, а также может быть соединена со всеми преобразователями заряда в напряжение через переключатели MR сброса. В соответствии с этим, линия VRES/VRMP передачи сигналов может быть обеспечена в направлении столбца, а также может быть обеспечена в матрице, в направлениях строки и столбца.

[0070] Фиг. 15 изображает компоновку блока 110 восприятия изображения твердотельного датчика изображения шестого варианта осуществления. В шестом варианте осуществления переключатели M4 и M5, которые открываются и закрываются под управлением сигналов $\phi S1$ и $\phi S2$, добавляются между первым транзистором M1 и первой вертикальной линией 114a передачи сигналов. Кроме того, переключатели M6 и M7, которые открываются и закрываются под управлением сигналов $\phi S2$ и $\phi S1$, добавляются между вторым транзистором M2 и второй вертикальной линией 114b передачи сигналов. В шестом варианте осуществления предоставляется возможность передачи сигнала, соответствующего уровню шума и оптическому сигналу, через первую вертикальную линию 114a передачи сигналов, и передачи сигнала, соответствующего опорному напряжению VRMP, через вторую вертикальную линию 114b передачи сигналов, независимо от подлежащей считыванию строки. В соответствии с этим, не нужно переключать операции блока 142 обработки сигналов в соответствии с подлежащей считыванию строкой.

[0071] Фиг. 16 изображает первый пример применения в качестве примера применения первого варианта осуществления, изображенного на Фиг. 4. В первом примере применения блок 104 обработки сигналов генерирует и выводит сигнал (например, сигнал, полученный посредством усреднения множества сигналов пикселей), представляющий сигналы, по меньшей мере, двух пикселей 112a и 112b (по меньшей мере, двух блоков 113 пикселей), принадлежащих разным строкам. Когда сигнал соответствующим образом выводится посредством усреднения множества сигналов пикселей, эффективное количество пикселей сокращается, а также уменьшается пространственное разрешение, однако high-S/N изображение может быть выведено на высокой скорости, и это может являться преимуществом системы. Первый пример применения отличается от первого варианта осуществления, изображенного на Фиг. 4, тем, что переключатели, управление которыми осуществляется посредством сигналов $\phi V1$ и $\phi V2$ смещения, одновременно соединяются со стороной Vbias.

[0072] Работа первого примера применения будет разъясняться со ссылкой на Фиг.

17. Если сигналы $\phi R1$ и $\phi R2$ управления напряжением одновременно активируются до высокого уровня, то преобразователи $fd1$ и $fd2$ одновременно сбрасываются до напряжения VRES сброса. Опорное напряжение VRMP подается на транзистор M2. Затем выполняется операция N_AD, которая изменяет опорное напряжение VRMP.

5 Впоследствии сигналы $\phi T1$ и $\phi T2$ переноса одновременно активируются до высокого уровня, при этом заряды, которые были подвержены фотоэлектрическому преобразованию, переносятся в преобразователи $fd1$ и $fd2$ заряда в напряжение. Затем выполняется операция S_AD, которая изменяет опорный сигнал VRMP. В каждом из

10 пикселей 112a и 112b, первый и второй транзисторы M1 и M2 образуют дифференциальную пару линий передачи сигналов. Второй основной электрод первого транзистора M1 соединяется с первой вертикальной линией 114a передачи сигналов, а второй основной электрод второго транзистора M2 соединяется со второй вертикальной

15 линией 114b передачи сигналов. Источники M3 тока пикселей 112a и 112b одновременно активируются. Источники M3 тока пикселей 112a и 112b имеют одинаковую конструкцию. Значения I_{VL1} и I_{VL2} электрических токов, протекающих по вертикальным линиям 114a и 114b передачи сигналов, могут изменяться, как показано, например, на Фиг. 17.

[0073] Подробности будут разъясняться ниже. В операциях N_AD и S_AD начальным напряжением опорного напряжения VRMP управляют так, чтобы оно превышало

20 напряжения $Vfd1$ и $Vfd2$ преобразователей $fd1$ и $fd2$ заряда в напряжение, то есть, управляют таким образом, чтобы $VRMP > Vfd1$ и $VRMP > Vfd2$. Вследствие этого, в пикселях 112a и 112b вторые транзисторы M2 включаются, а первые транзисторы M1 выключаются. В соответствии с этим, электрический ток I_{VL1} , протекающий через вертикальную линию 114a передачи сигналов, является суммой электрических токов,

25 протекающих через источники M3 тока двух пикселей 112a и 112b. Кроме того, электрический ток I_{VL2} , протекающий через вертикальную линию 114b передачи сигналов, является нулевым.

[0074] Впоследствии начинается линейное изменение в отрицательную сторону опорного напряжения VRMP, при этом $VRMP < Vfd1$ удерживается в момент $t1$ в операции

30 N_AD, и в момент $t3$ в операции S_AD. Исходя из вышесказанного, в пикселе 112a транзистор M1 включается, транзистор M2 выключается, ток I_{VL1} понижается, а ток I_{VL2} повышается. Кроме того, когда $VRMP < Vfd2$ удерживается в момент $t2$ в операции N_AD, и в момент $t4$ в операции S_AD, в пикселе 112b транзистор M1 включается, транзистор M2 выключается, а ток I_{VL2} дополнительно понижается до нулевого.

35 Вследствие этого, ток I_{VL2} дополнительно повышается и становится равным сумме электрических токов, протекающих через источники M3 тока двух пикселей 112a и 112b.

[0075] Блок 104 обработки сигналов обнаруживает изменения в электрических токах I_{VL1} и/или I_{VL2} , благодаря чему обнаруживаются моменты $t1$ и $t2$ в течение периода

40 операции N_AD, и моменты $t3$ и $t4$ в течение периода операции S_AD. Предположим, что $fclk$, являющийся частотой тактового импульса отсчета в период от начала отсчета, выполняемого посредством счетчика 144 (148), до момента $t1$ или $t3$, частотой тактового импульса отсчета от момента $t1$ или $t3$ до момента $t2$ или $t4$, в который отсчет завершается, может быть регулируемым до $fclk/2$. Это предоставляет возможность

45 получения среднего значения сигналов пикселей 112a и 112b. Несмотря на то, что частота тактового импульса отсчета изменяется в первом примере применения, сущность первого примера применения заключается в обнаружении моментов $t1$, $t2$, $t3$ и $t4$, поскольку изменение частоты тактового импульса отсчета является только примером.

Например, также возможно использование двух счетчиков, которые работают при тактовых импульсах отсчета, обладающих одинаковой частотой, выводят, в качестве цифровых кодов, период от начала отсчета до t_1 или t_3 и период от начала отсчета до t_2 или t_4 , и добавляют эти коды посредством цифрового добавления.

5 [0076] Фиг. 18 изображает один пример компоновки блока 142 обработки сигналов, в соответствии с первым примером применения. Благодаря заданию отношения токового зеркала, как иллюстративно изображено на Фиг. 18, изменения тока могут быть обнаружены посредством двух разных порогов. Результаты обнаружения выводятся с двух инверторов, изображенных на Фиг. 18.

10 [0077] Фиг. 19 изображает пример, в котором сигнал, указывающий медианное значение, генерируется из множества сигналов пикселей в качестве сигнала, представляющего множество сигналов. Как изображено на Фиг. 19, обеспечивается пример, в котором выводится сигнал, указывающий медианное значение сигналов трех пикселей (112а, 112б и 112с). Источники МЗ тока пикселей 112а, 112б и 112с имеют
15 одинаковую конструкцию. Фиг. 19 изображает только период, в течение которого опорное напряжение VRMP линейно понижается. Как иллюстративно изображено на Фиг. 19, три точки t_1 , t_2 и t_3 изменения возникают в токах I_{VL1} и I_{VL2} . Для получения сигнала, указывающего медианное значение сигналов трех пикселей, отсчет должен быть остановлен только в момент t_2 , поскольку для обнаружения момента t_2 должен
20 быть задан только промежуточный порог. Был разъяснен пример, в котором генерируется сигнал, указывающий медианное значение сигналов трех пикселей, однако медианное значение может быть легко получено для большего количества пикселей.

[0078] Фиг. 20 изображает пример, в котором одновременно считываются сигналы двух пикселей, при этом применительно к каждому сигналу выполняется аналого-
25 цифровое (А/D) преобразование. Предположим, что величины (значения токов) источников МЗ тока двух пикселей 112а и 112б, изображенных на Фиг. 16, являются различными, а МЗ пикселя 112а удерживается больше, чем МЗ пикселя 112б. Фиг. 20 изображает только период, в течение которого опорное напряжение VRMP линейно понижается. Изменение в токе I_{VL1} является (случаем1) или случаем (случаем2),
30 изображенными на Фиг. 20, вследствие соотношения величин между сигналами пикселей 112а и 112б (то есть, соотношения величин между напряжениями V_{fd1} и V_{fd2}).

[0079] (случай1) является случаем, в котором $V_{fd1} < V_{fd2}$. Опорное напряжение VRMP начинает линейно понижаться. Изначально, в момент t_1 , когда $VRMP < V_{fd2}$, в пикселе 112б, изображенном на Фиг. 16, транзистор М1 включается, транзистор М2 выключается,
35 а ток I_{VL1} понижается посредством величины источника МЗ тока пикселя 112б. Поскольку МЗ пикселя 112а $>$ МЗ пикселя 112б, степень понижения электрического тока является сравнительно малой. Впоследствии, в момент t_2 , когда $VRMP < V_{fd1}$, в пикселе 112а, изображенном на Фиг. 16, транзистор М1 включается, транзистор М2 выключается, а ток I_{VL1} понижается посредством величины источника МЗ тока пикселя 112а.
40 Поскольку МЗ пикселя 112а $>$ МЗ пикселя 112б, степень понижения электрического тока является сравнительно большой.

[0080] (случай2) является случаем, в котором $V_{fd1} > V_{fd2}$. Опорное напряжение VRMP начинает линейно понижаться. Изначально, в момент t_3 , когда $VRMP < V_{fd1}$, в пикселе 112а, изображенном на Фиг. 16, транзистор М1 включается, транзистор М2 выключается,
45 а ток I_{VL1} понижается посредством величины МЗ пикселя 112а. Поскольку МЗ пикселя 112а $>$ МЗ пикселя 112б, степень понижения электрического тока является сравнительно большой. Впоследствии, в момент t_4 , когда $VRMP < V_{fd2}$, в пикселе 112б, изображенном на Фиг. 16, транзистор М1 включается, транзистор М2 выключается, а ток I_{VL1}

понижается посредством величины источника М3 тока пиксела 112b. Поскольку М3 пиксела 112a > М3 пиксела 112b, степень понижения электрического тока является сравнительно малой.

[0081] Благодаря обнаружению изменения тока посредством трех порогов (порогов 1, 2 и 3), иллюстративно изображенных на Фиг. 20, может быть обнаружен либо преобразователь fd1, либо преобразователь fd2. То есть, в (случае1) предоставляется возможность определения того, что момент t1 (count1) соответствует преобразователю fd2 пиксела 112b, а момент t2 (count2) соответствует преобразователю fd1 пиксела 112a. В (случае2) предоставляется возможность определения того, что момент t3 (count3) соответствует преобразователю fd1 пиксела 112a, а момент t4 (count4) соответствует преобразователю fd2 пиксела 112b. В соответствии с этим, можно индивидуально получить подверженные аналого-цифровому преобразованию значения двух пикселей за один период A/D.

[0082] Фиг. 21 изображает второй пример применения в качестве примера применения четвертого варианта осуществления, изображенного на Фиг. 11. Во втором примере применения считывается один сигнал, полученный от множества пикселей 112a, 112b, 112c и 112d, принадлежащих разным строкам (например, сигнал, полученный посредством усреднения сигналов множества пикселей). Как изображено на Фиг. 21, транзисторы М1 и М2 образуют одну дифференциальную сигнальную пару, при этом транзисторы М4 и М5 также образуют одну дифференциальную сигнальную пару. Стоки транзисторов М1 и М4 соединяются с вертикальной линией 114b передачи сигналов, при этом стоки транзисторов М2 и М5 соединяются с вертикальной линией 114a передачи сигналов. Источники М3 и М6 тока активируются одновременно.

[0083] Работа второго примера применения будет разъясняться со ссылкой на Фиг. 22. В течение первого периода (1H) управление осуществляется так, чтобы сигналы φS1 и φR2 имели высокий уровень, а сигнал φS2 имел низкий уровень. В соответствии с этим, опорное напряжение VRMP подается на транзисторы М2 и М5, при этом сигналы преобразователей fd1 и fd3 считываются одновременно. Впоследствии, в течение второго периода (1H), управление осуществляется так, чтобы сигналы φS2 и φR1 имели высокий уровень, а сигнал φS1 имел низкий уровень. В соответствии с этим, опорное напряжение VRMP подается на транзисторы М1 и М4, при этом сигналы преобразователей fd2 и fd4 считываются одновременно.

[0084] Фиг. 23 изображает третий пример применения в качестве другого примера применения четвертого варианта осуществления, изображенного на Фиг. 11. В компоновках, изображенных на Фиг. 16 и 21, сигналы пикселей, соседствующих друг с другом в вертикальном направлении, обрабатываются одновременно. В третьем примере применения множество вертикальных линий передачи сигналов соединяются через переключатели HASW, при этом сигналы пикселей, соседствующих друг с другом в горизонтальном направлении, обрабатываются одновременно.

[0085] Фиг. 24 изображает компоновку системы восприятия изображения одного варианта осуществления настоящего изобретения. Система 800 восприятия изображения включает в себя оптический блок 810, элемент 100 восприятия изображения, блок 830 обработки сигналов изображения, блок 840 записи/связи, блок 850 управления тактированием, блок 860 управления системой и блок 870 воспроизведения/отображения. Блок 820 восприятия изображения включает в себя элемент 100 восприятия изображения и блок 830 обработки сигналов изображения. Элемент 100 восприятия изображения является твердотельным датчиком изображения, представленным посредством твердотельных датчиков 1 и 11 изображения и разъясненным в вышеупомянутых

вариантах осуществления.

[0086] Оптический блок 810 является оптической системой, такой как, например, линза, проецирующая свет от объекта на блок 110 восприятия изображения элемента 100 восприятия изображения, в которой множество пикселей располагаются двумерно, 5
благодаря чему формируется изображение объекта. Элемент 100 восприятия изображения выводит сигнал, соответствующий свету, спроецированному на блок 110 восприятия изображения при тактировании на основании сигнала из блока 850 управления тактированием. Выходной сигнал из элемента 100 восприятия изображения подается на блок 830 обработки сигналов изображения, функционирующий в качестве 10
процессора обработки сигналов изображения, при этом блок 830 обработки сигналов изображения выполняет обработку сигналов в соответствии со способом, определенным посредством программы и т.п. Сигнал, полученный после обработки, выполненной в блоке 830 обработки сигналов изображения, передается в качестве данных изображения на блок 840 записи/связи. Блок 840 записи/связи передает сигнал для формирования 15
изображения на блок 870 воспроизведения/отображения, и побуждает блок 870 воспроизведения/отображения к воспроизведению/отображению динамического изображения или статического изображения. После приема сигнала из блока 830 обработки сигналов изображения, блок 840 записи/связи устанавливает связь с блоком 860 управления системой, а также записывает сигнал для формирования изображения 20
на среде записи (не изображена).

[0087] Блок 860 управления системой в полном объеме управляет работой системы восприятия изображения, а также управляет приведением в действие оптического блока 810, блока 850 управления тактированием, блока 840 записи/связи и блока 870 25
воспроизведения/отображения. Кроме того, блок 860 управления системой включает в себя устройство хранения (не изображено), такое как, например, среда записи, и записывает, например, программы, необходимые для управления работой системы восприятия изображения, на устройстве хранения. Более того, блок 860 управления 30
системой подает, например, сигнал для переключения режимов приведения в действие, в соответствии с операцией пользователя по отношению к системе восприятия изображения. Практические примеры являются изменением считывания целевой строки или сброса целевой строки, изменением угла обзора, вызванным посредством 35
электронного изменения масштаба, и смещением угла обзора, вызванным посредством электронной виброизоляции. Блок 850 управления тактированием управляет тактированиями приведения в действие элемента 100 восприятия изображения и блока 830 обработки сигналов изображения, находясь под управлением блока 860 управления 40
системой.

[0088] Несмотря на то, что настоящее изобретение было описано со ссылкой на иллюстративные варианты осуществления, следует понимать, что изобретение не 45
ограничивается раскрытыми иллюстративными вариантами осуществления. Объем нижеследующей формулы изобретения должен получить самую широкую интерпретацию, чтобы он охватывал все подобные модификации, а также эквивалентные структуры и функции.

Формула изобретения

1. Твердотельный датчик изображения, содержащий блок восприятия изображения, 45
включающий в себя множество блоков пикселей, и блок считывания, выполненный с возможностью считывания сигнала из блока восприятия изображения, причем блок пикселей включает в себя фотоэлектрический преобразователь, первый

транзистор, второй транзистор и источник тока,

первый основной электрод первого транзистора и первый основной электрод второго транзистора соединены с общим узлом, и источник тока обеспечен в пути между общим узлом и предварительно заданным напряжением,

5 операция считывания для считывания сигнала из блока восприятия изображения включает в себя операцию, в которой напряжение, соответствующее зарядам, сгенерированным в фотоэлектрическом преобразователе, подается на управляющий электрод первого транзистора, и изменяющееся во времени опорное напряжение подается на управляющий электрод второго транзистора, и

10 блок считывания считывает сигнал из блока восприятия изображения через второй основной электрод первого транзистора.

2. Датчик по п. 1, в котором блок считывания выполнен с возможностью считывания сигнала из блока восприятия изображения через вертикальный путь передачи.

3. Датчик по п. 2, в котором блок считывания включает в себя множество блоков
15 обработки сигналов, выполненных с возможностью считывания множества сигналов из блока восприятия изображения через множество вертикальных путей передачи.

4. Датчик по п. 2, в котором вертикальный путь передачи включает в себя первую вертикальную линию передачи сигналов и вторую вертикальную линию передачи сигналов, которые образуют дифференциальную пару линий передачи сигналов,
20 второй основной электрод первого транзистора соединен с блоком считывания через первую вертикальную линию передачи сигналов, и

второй основной электрод второго транзистора соединен с блоком считывания через вторую вертикальную линию передачи сигналов.

5. Датчик по п. 4, в котором блок считывания включает в себя блок обработки
25 сигналов, выполненный с возможностью сравнения значения электрического тока, поданного через второй основной электрод первого транзистора, со значением электрического тока, поданного через второй основной электрод второго транзистора.

6. Датчик по п. 5, дополнительно содержащий счетчик,
30 при этом блок считывания определяет, что значение отсчета, полученное посредством счетчика, является значением сигнала, считанного из блока восприятия изображения, в соответствии с инверсией выходного сигнала из блока обработки сигналов.

7. Датчик по п. 1, в котором

35 блок пикселей включает в себя множество фотоэлектрических преобразователей, включающих в себя фотоэлектрический преобразователь, множество первых транзисторов, включающих в себя первый транзистор, множество вторых транзисторов, включающих в себя второй транзистор, и множество источников тока, включающих в себя источник тока таким образом, чтобы сформировать множество пикселей, и
каждые из множества пикселей включает в себя один из множества
40 фотоэлектрических преобразователей, один из множества первых транзисторов, один из множества вторых транзисторов и один из множества источников тока.

8. Датчик по п. 7, в котором каждый из множества пикселей выбирается посредством активации источника тока пикселя.

9. Датчик по п. 1, в котором

45 блок пикселей включает в себя множество фотоэлектрических преобразователей, включающих в себя фотоэлектрический преобразователь, множество первых транзисторов, включающих в себя первый транзистор, и множество вторых транзисторов, включающих в себя второй транзистор таким образом, чтобы сформировать множество пикселей,

каждый из множества пикселей включает в себя один из множества фотоэлектрических преобразователей, один из множества первых транзисторов и один из множества вторых транзисторов, и множество пикселей совместно используют источник тока.

5 10. Датчик по п. 9, в котором каждый из множества пикселей включает в себя транзистор выбора между вторым транзистором и источником тока.

11. Датчик по п. 1, в котором предварительно заданное напряжение прикладывается ко второму основному электроду второго транзистора.

12. Датчик по п. 11, в котором блок считывания включает в себя блок обработки 10 сигналов, выполненный с возможностью сравнения значения электрического тока, поданного через второй основной электрод первого транзистора, со значением опорного тока.

13. Датчик по п. 12, дополнительно содержащий счетчик, при этом блок считывания определяет, что значение отсчета, полученное посредством 15 счетчика, является значением сигнала, считанного из блока восприятия изображения, в соответствии с инверсией выходного сигнала из блока обработки сигналов.

14. Датчик по п. 1, в котором

блок пикселей дополнительно включает в себя первый преобразователь заряда в напряжение, соединенный с управляющим электродом первого транзистора, второй 20 фотоэлектрический преобразователь и второй преобразователь заряда в напряжение, соединенный с управляющим электродом второго транзистора, и

операция считывания для считывания сигнала из фотоэлектрического преобразователя включает в себя операцию, в которой заряды, сгенерированные в фотоэлектрическом преобразователе, переносятся на первый преобразователь заряда 25 в напряжение, и опорное напряжение подается на управляющий электрод второго транзистора.

15. Датчик по п. 1, в котором блок пикселей включает в себя множество фотоэлектрических преобразователей, включающих в себя фотоэлектрический преобразователь, и блок пикселей сконфигурирован таким образом, что первый 30 транзистор используется для считывания сигнала из каждого из множества фотоэлектрических преобразователей.

16. Датчик по п. 1, в котором

блок пикселей дополнительно включает в себя первый преобразователь заряда в напряжение, соединенный с управляющим электродом первого транзистора, второй 35 фотоэлектрический преобразователь, второй преобразователь заряда в напряжение, соединенный с управляющим электродом второго транзистора, первый переключатель, обеспеченный в пути между линией передачи сигналов и первым преобразователем заряда в напряжение, и второй переключатель, обеспеченный в пути между линией

передачи сигналов и вторым преобразователем заряда в напряжение, и 40 операция считывания для считывания сигнала из фотоэлектрического преобразователя включает в себя операцию, в которой опорное напряжение подается на второй преобразователь заряда в напряжение через линию передачи сигналов и второй переключатель после того как напряжение первого преобразователя заряда в напряжение сбрасывается через линию передачи сигналов и первый переключатель.

17. Датчик по п. 16, в котором операция считывания для считывания сигнала из второго фотоэлектрического преобразователя включает в себя операцию, в которой опорное напряжение подается на первый преобразователь заряда в напряжение через 45 линию передачи сигналов и первый переключатель, после того как напряжение второго

преобразователя заряда в напряжение сбрасывается через линию передачи сигналов и второй переключатель.

18. Датчик по п. 2, в котором

5 блок пикселей дополнительно включает в себя первый преобразователь заряда в напряжение, соединенный с управляющим электродом первого транзистора, второй фотоэлектрический преобразователь и второй преобразователь заряда в напряжение, соединенный с управляющим электродом второго транзистора,

10 вертикальный путь передачи включает в себя первую вертикальную линию передачи сигналов и вторую вертикальную линию передачи сигналов, которые образуют дифференциальную пару линий передачи сигналов,

15 при считывании сигнала из фотоэлектрического преобразователя заряды, сгенерированные в фотоэлектрическом преобразователе, переносятся на первый преобразователь заряда в напряжение, опорное напряжение подается на управляющий электрод второго транзистора, второй основной электрод первого транзистора соединен с блоком считывания через первую вертикальную линию передачи сигналов, и второй основной электрод второго транзистора соединен с блоком считывания через вторую вертикальную линию передачи сигналов, и

20 при считывании сигнала из второго фотоэлектрического преобразователя заряды, сгенерированные во втором фотоэлектрическом преобразователе, переносятся на второй преобразователь заряда в напряжение, изменяющееся во времени опорное напряжение подается на управляющий электрод первого транзистора, второй основной электрод первого транзистора соединен с блоком считывания через вторую вертикальную линию передачи сигналов, и второй основной электрод второго транзистора соединен с блоком считывания через первую вертикальную линию передачи сигналов.

19. Датчик по п. 1, в котором блок считывания генерирует сигнал, представляющий сигналы по меньшей мере двух блоков пикселей.

20. Датчик по п. 19, в котором сигнал, представляющий сигналы по меньшей мере двух блоков пикселей, является одним из среднего значения и медианного значения сигналов по меньшей мере двух блоков пикселей.

21. Система восприятия изображения, содержащая:

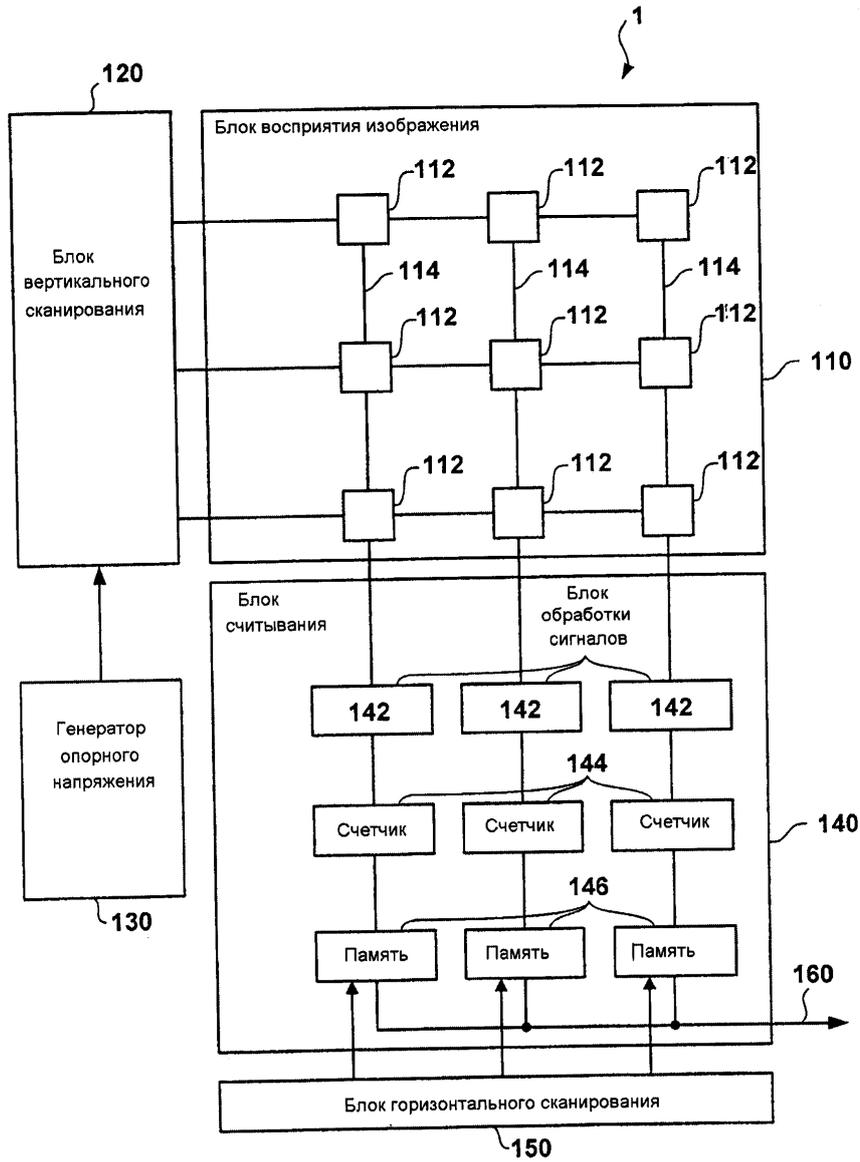
твердотельный датчик изображения по любому из пп. 1-20; и

35 блок обработки, выполненный с возможностью обработки сигнала из твердотельного датчика изображения.

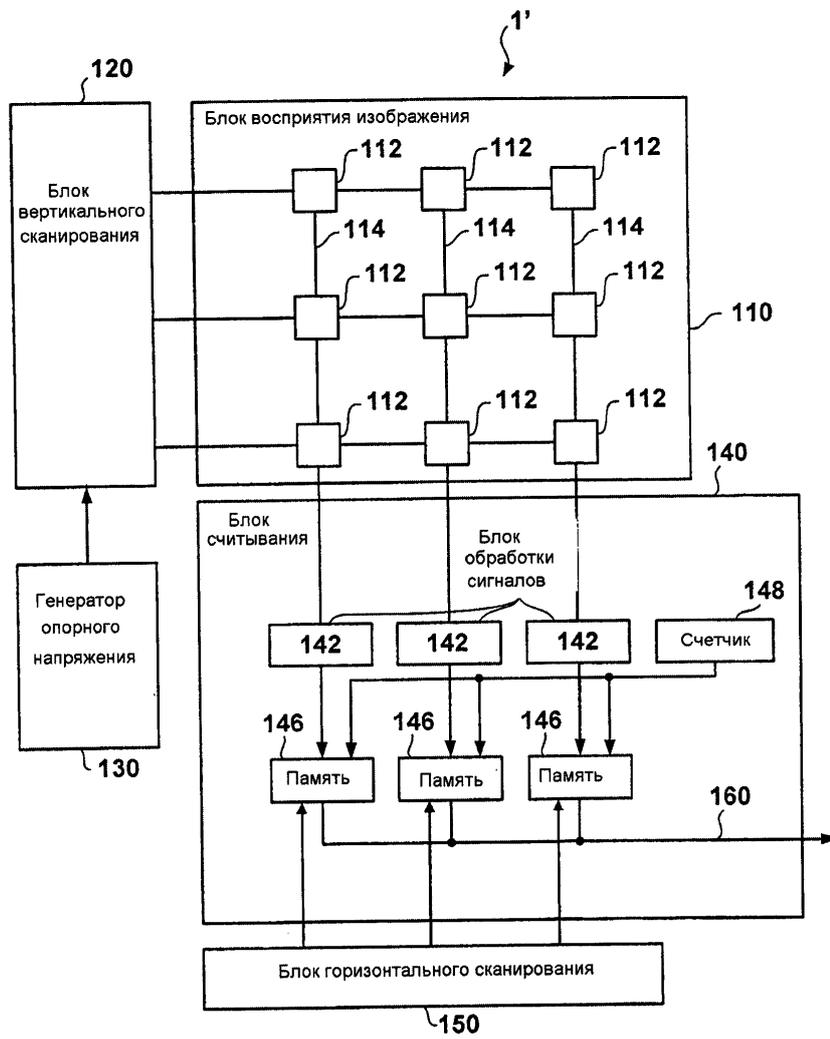
40

45

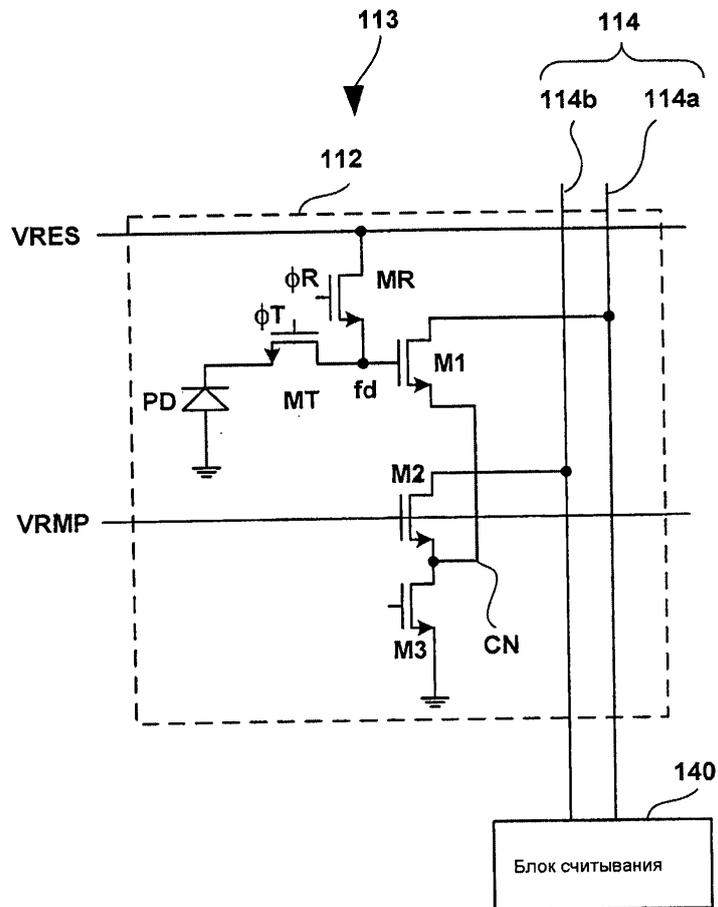
ФИГ.1



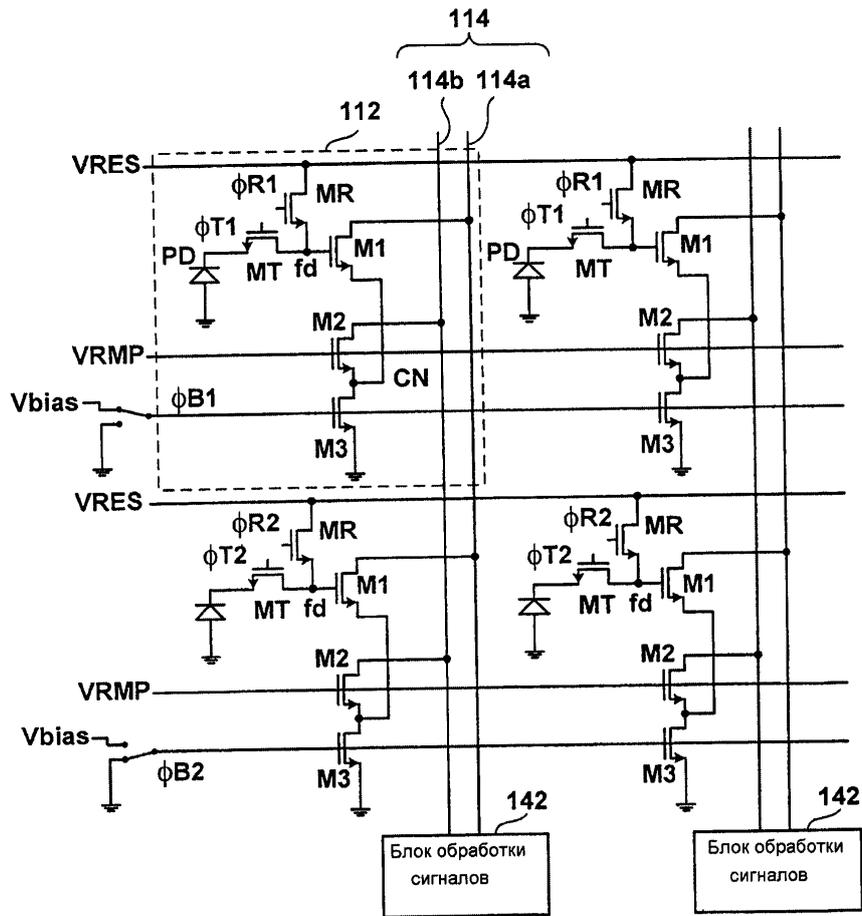
ФИГ.2



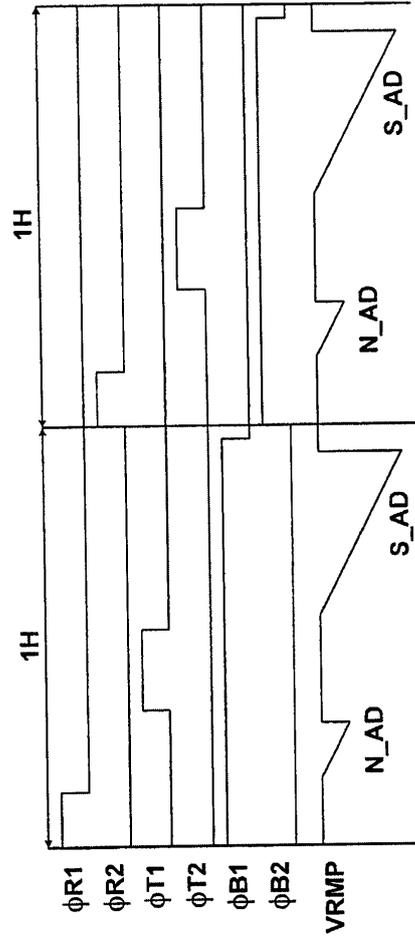
ФИГ.3



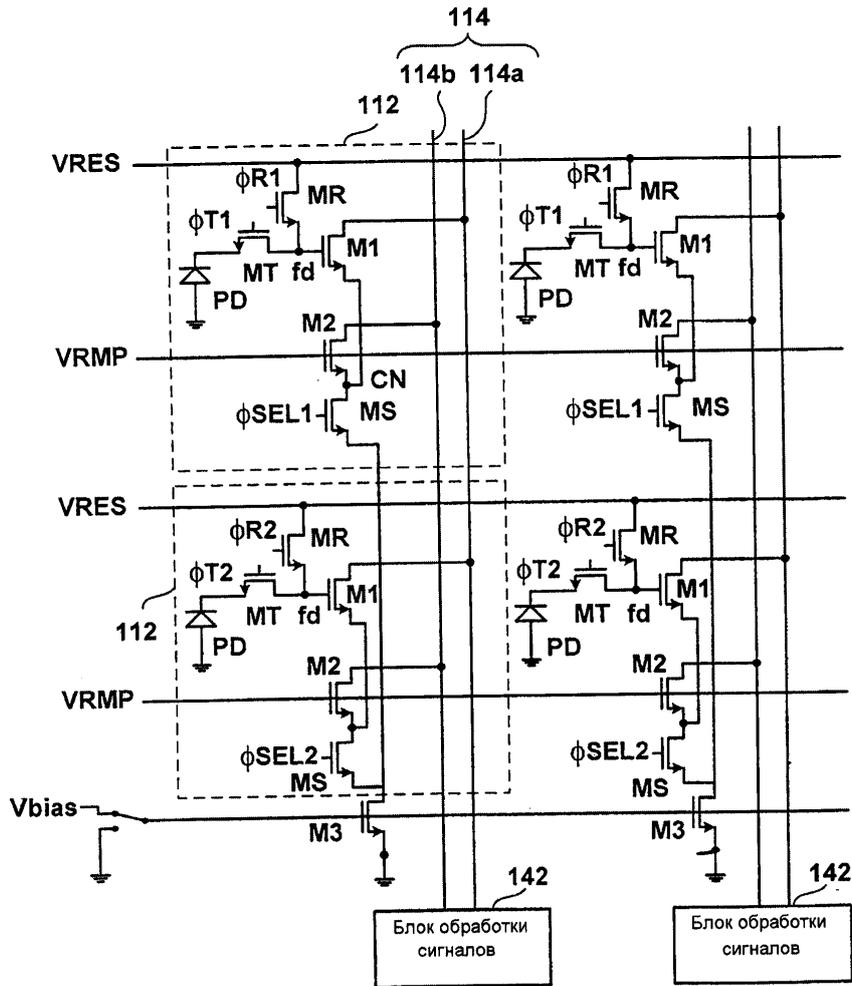
ФИГ.4



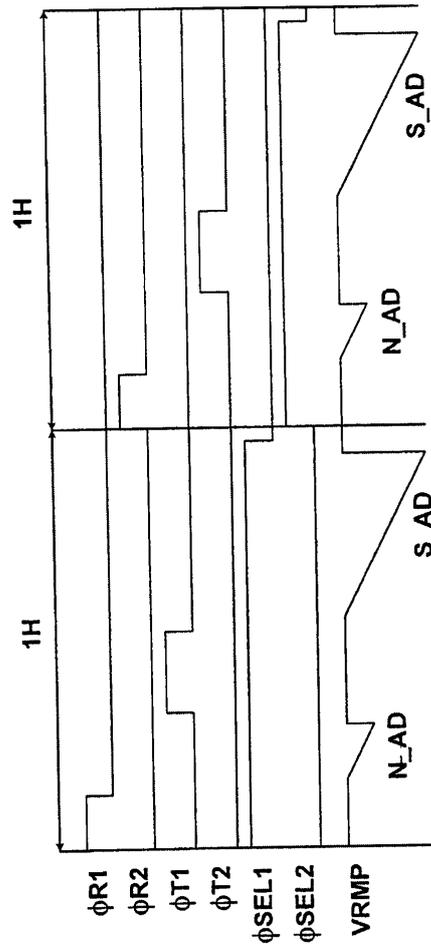
Фиг. 5



ФИГ.6

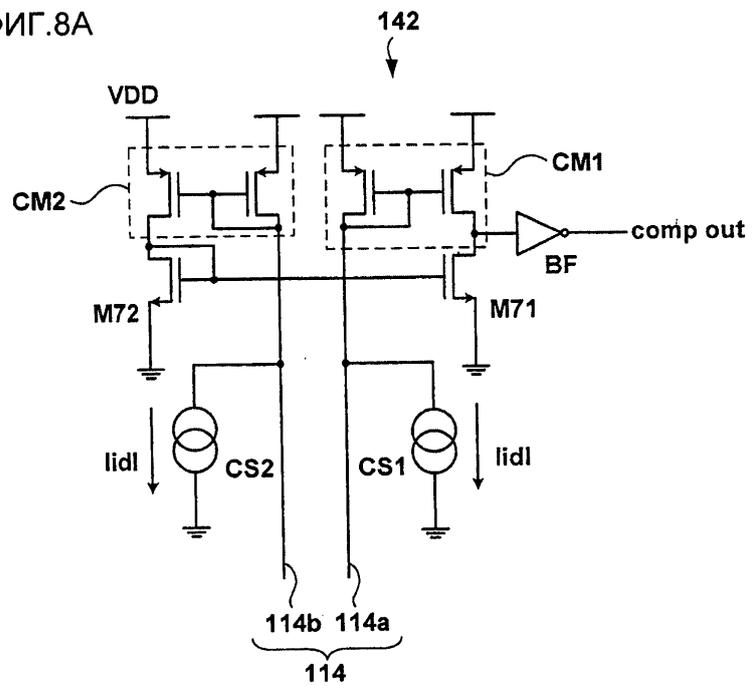


Фиг. 7

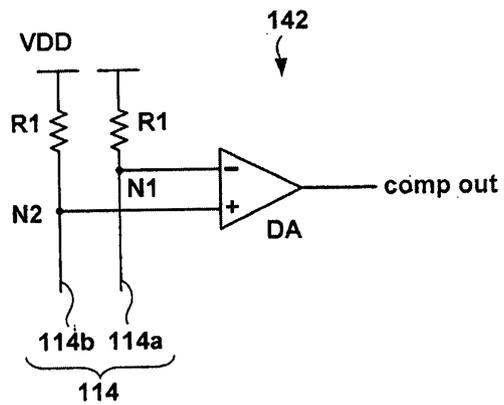


8/23

ФИГ.8А

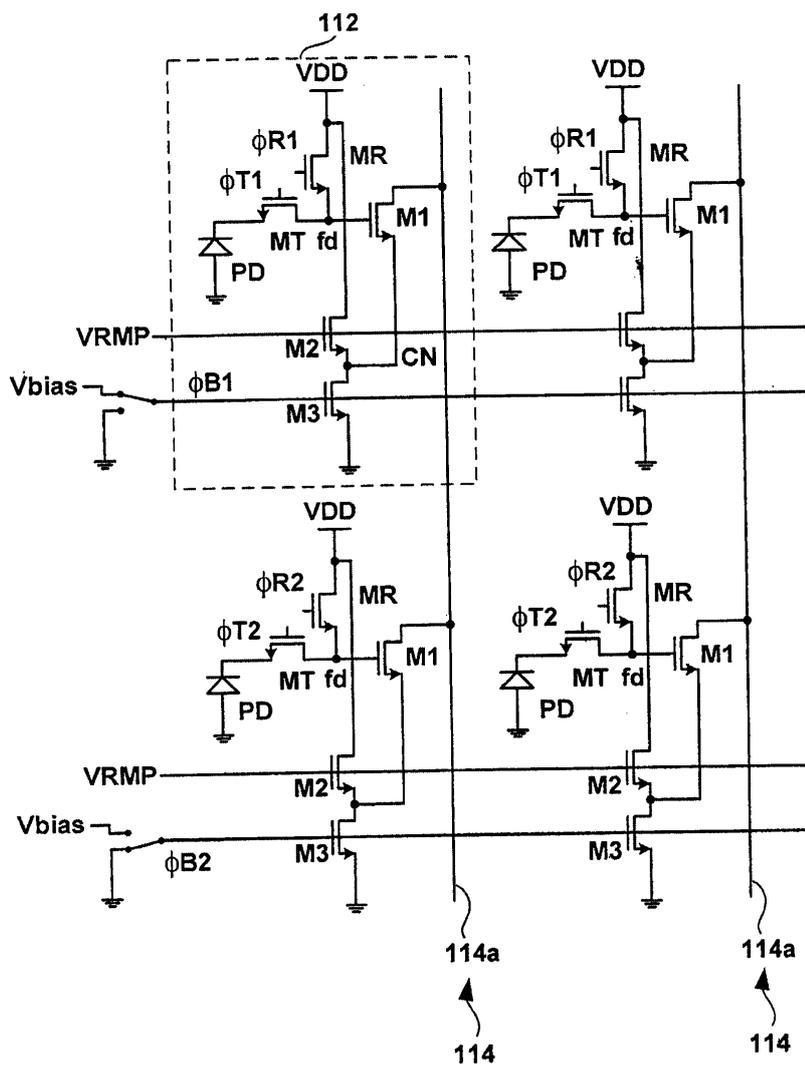


ФИГ.8В



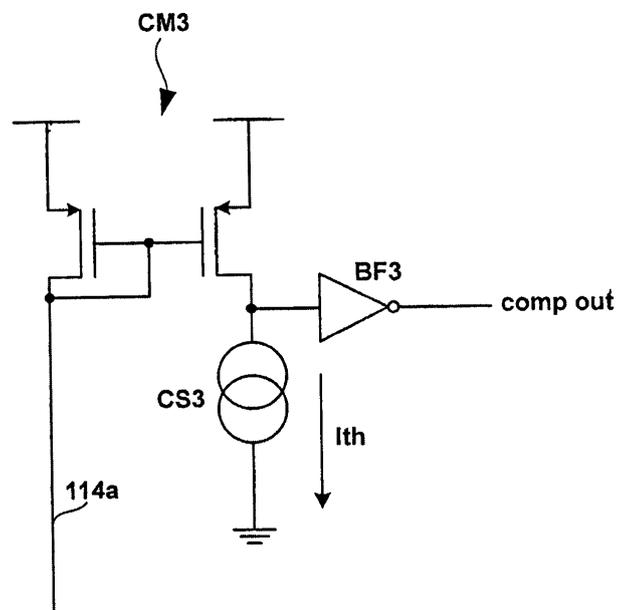
9/23

ФИГ.9

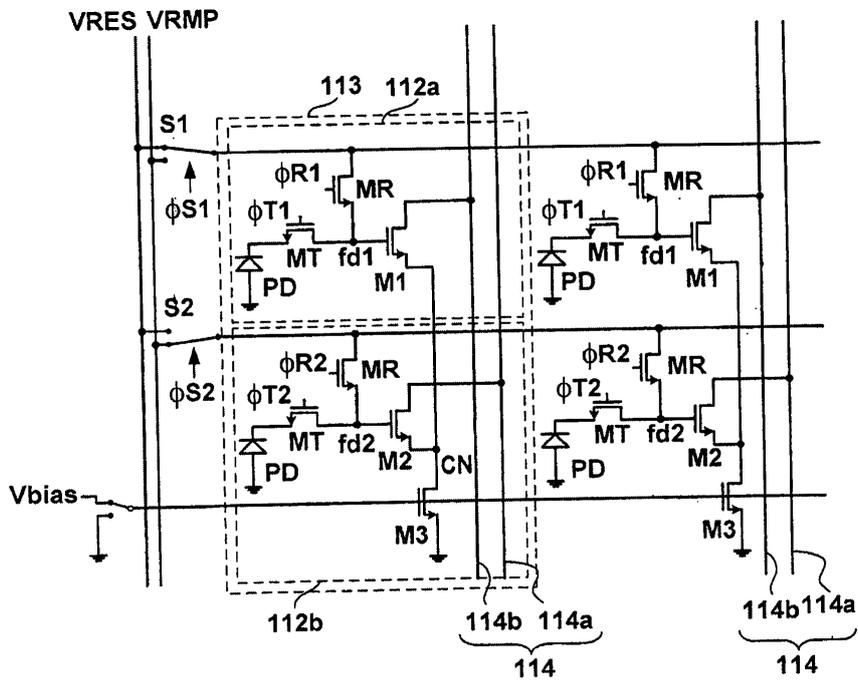


10/23

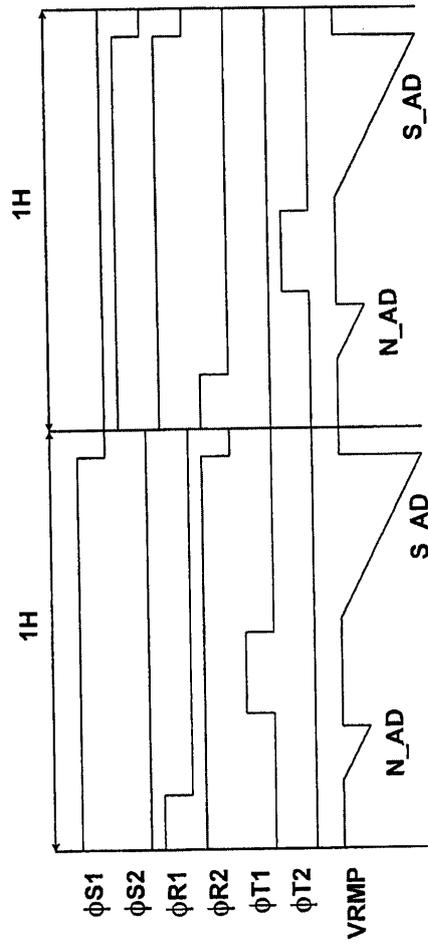
ФИГ.10



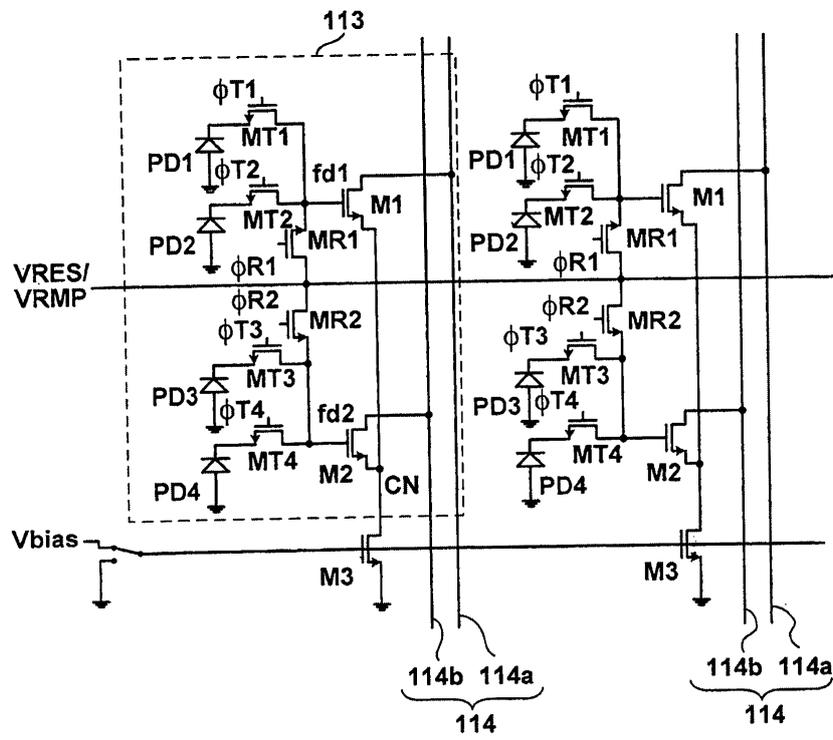
ФИГ.11



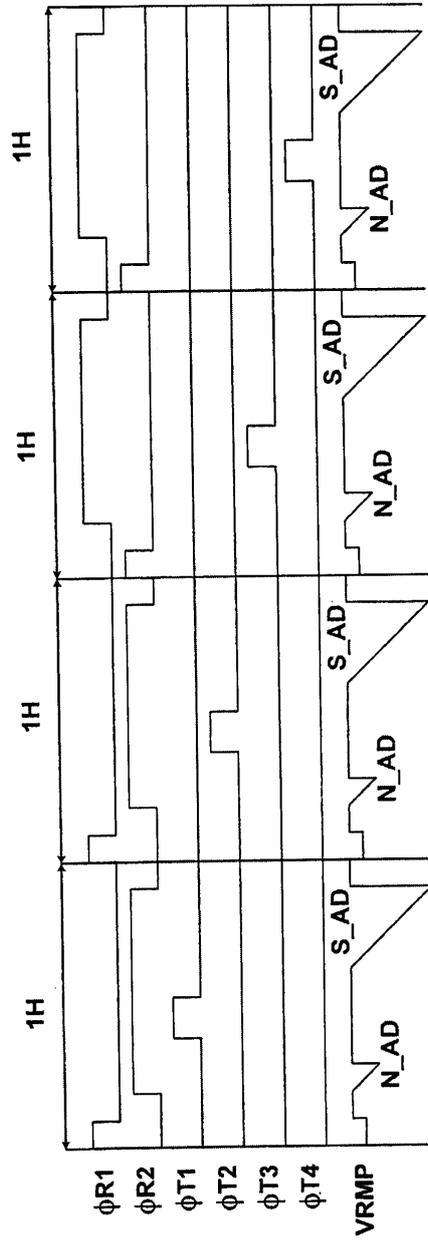
Фиг. 12

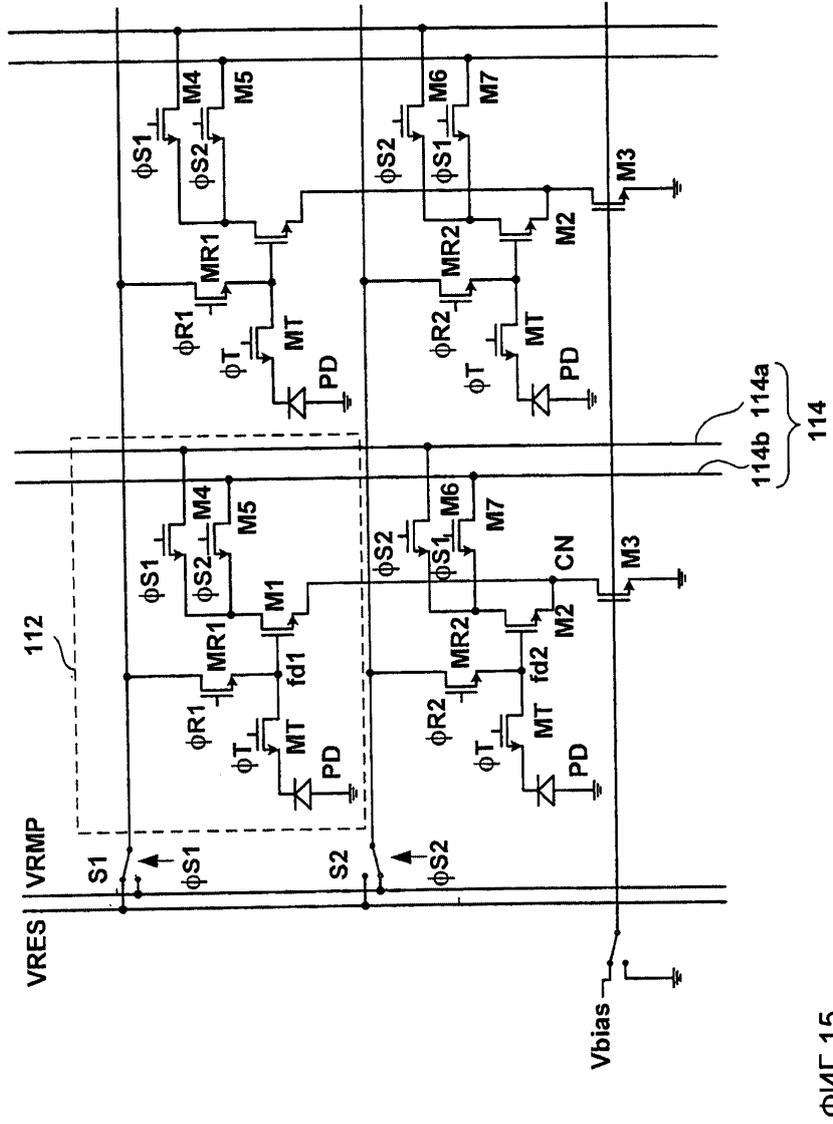


ФИГ.13



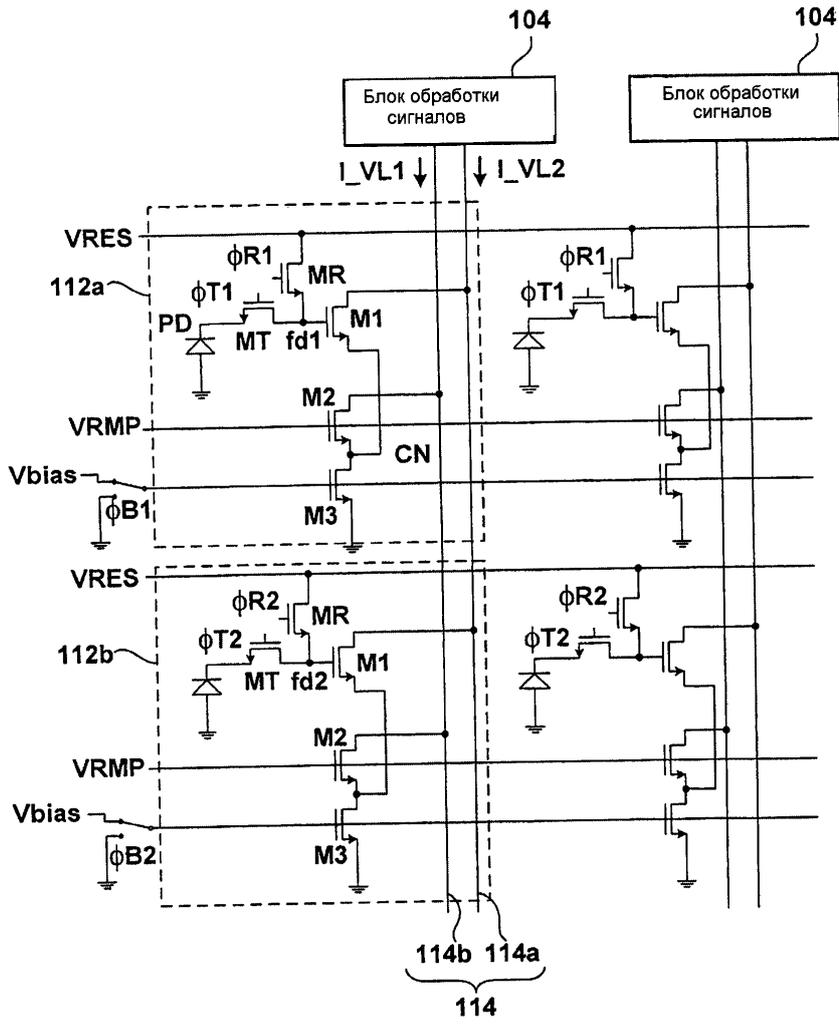
Фиг.14





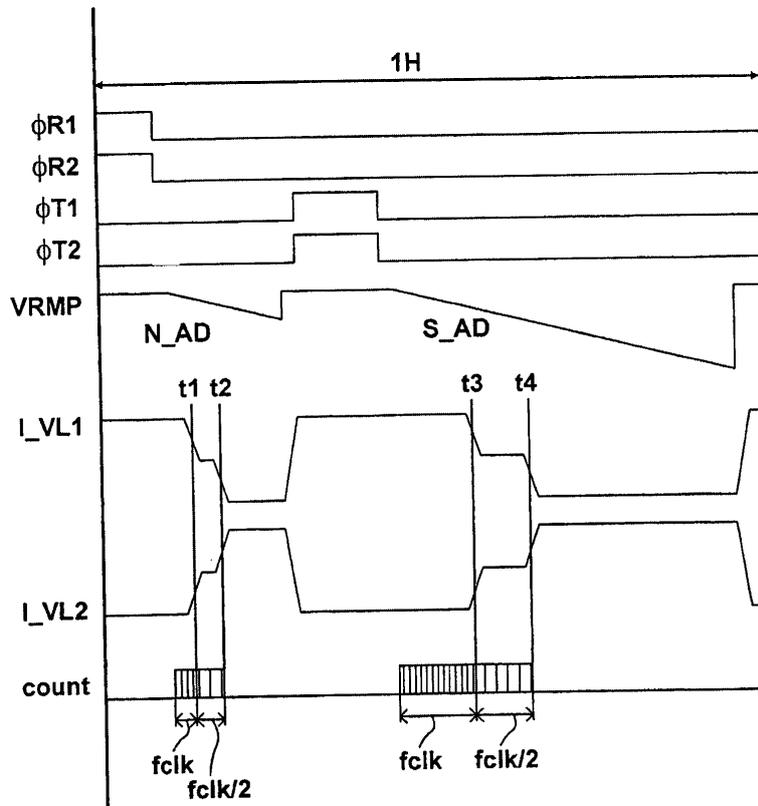
ФИГ.15

ФИГ.16



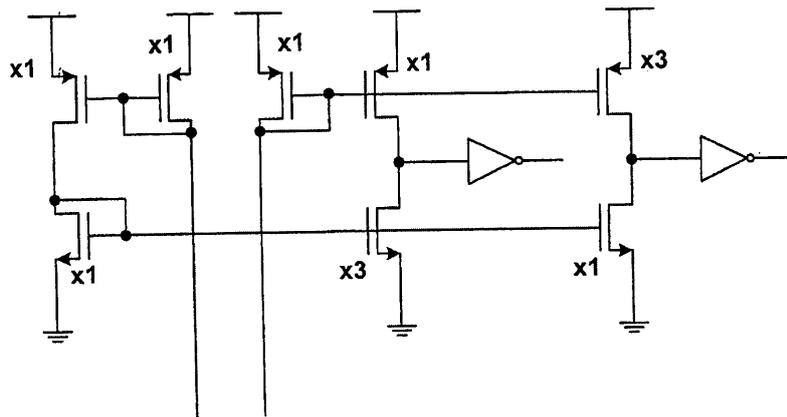
17/23

ФИГ.17

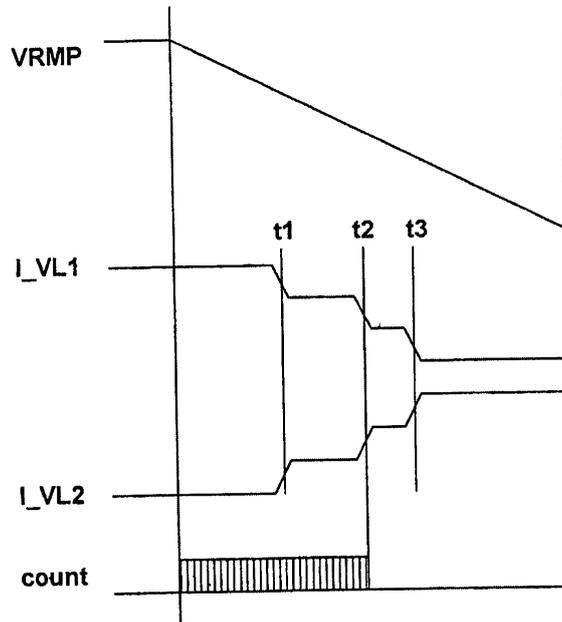


18/23

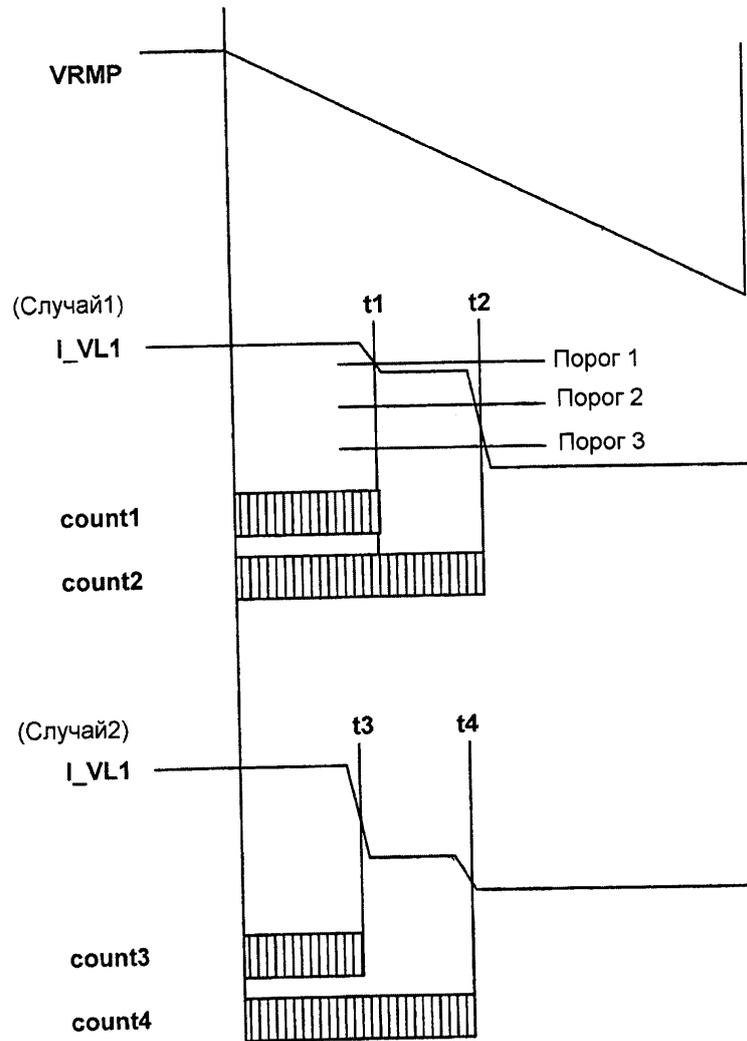
ФИГ.18



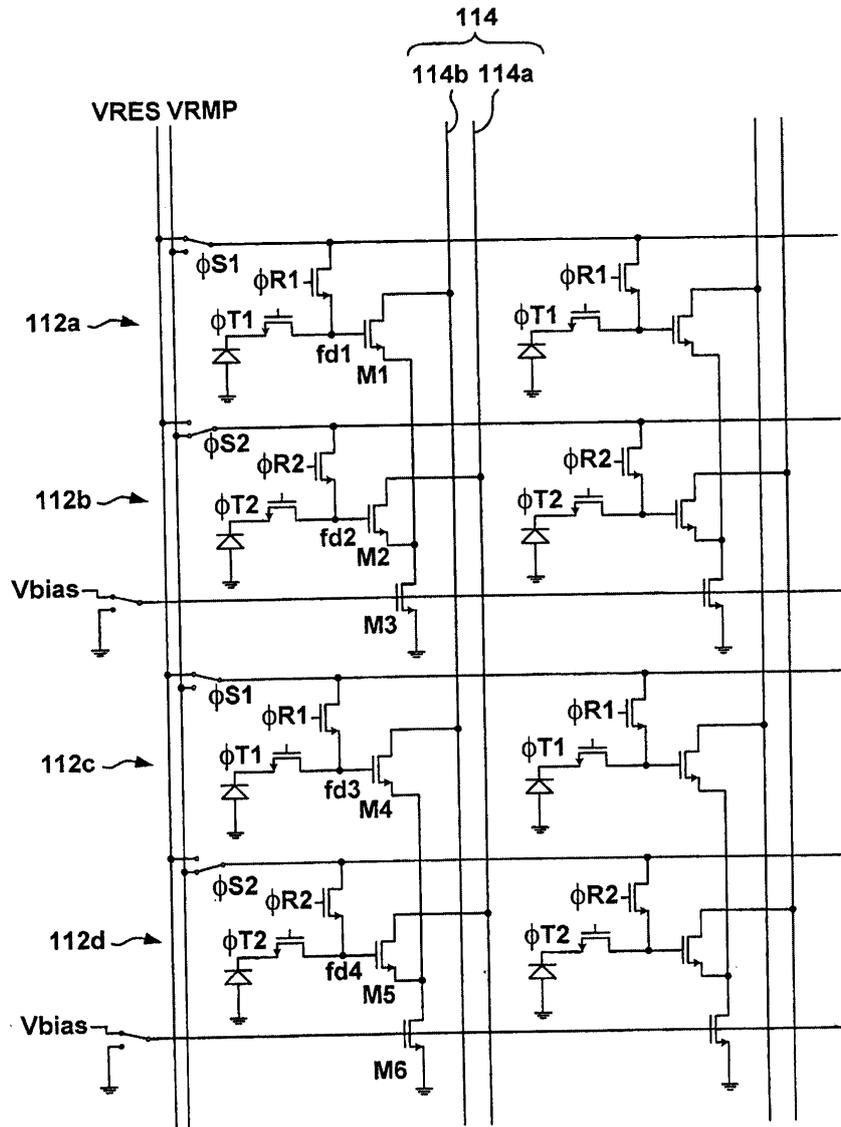
ФИГ.19



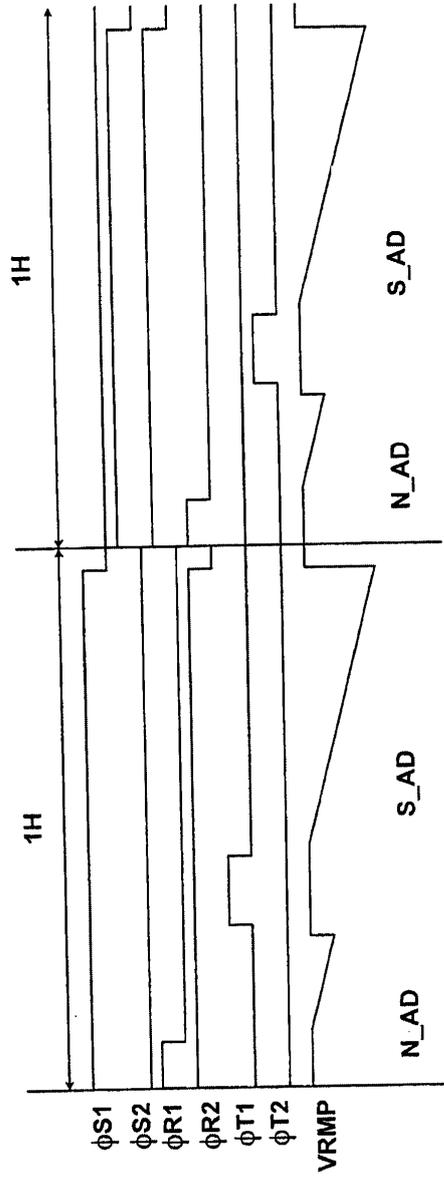
ФИГ.20



ФИГ.21

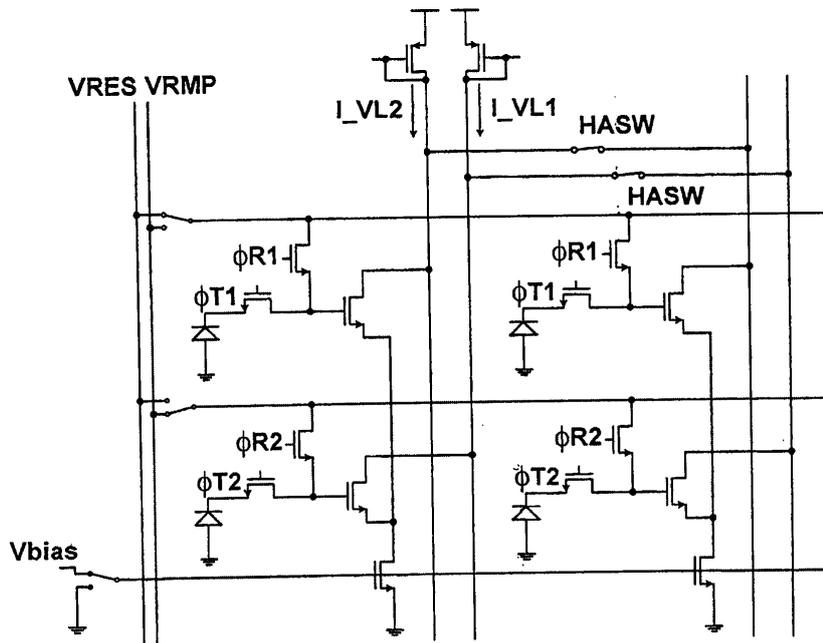


Фиг. 22



22/23

ФИГ.23



ФИГ. 24

