公告本

申請日期	89 年 12 月 18 日
案號	89127124
類別	H04K 1/00, H04L 25/03

A4
C4

507431

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 新型 名稱	中文	用以縮短複雜性低順序估計技術之要徑的方法與設備
	英文	Method and apparatus for shortening the critical path of reduced complexitysequence estimation techniques
二、發明 創作 人	姓名	(1) 凱莫倫・亞薩德 Azadet, Kamran (2) 艾立克・哈洛許 Haratsch, Erich Franz
	國籍	(1) 法國　　(2) 德國
	住、居所	(1) 美國新澤西州摩根威利維利路六二二號 622 Vale Drive, Morganville, NJ 07751, U.S.A. (2) 美國新澤西州布拉德萊海灘海洋公園路一〇〇B號 100B Ocean Park Avenue, Bradley Beach, NJ 07720, U.S.A.
三、申請人	姓名（名稱）	(1) 魯森工業技術股份有限公司 Lucent Technologies Inc.
	國籍	(1) 美國
	住、居所（事務所）	(1) 美國新澤西州莫瑞山丘莫頓路六〇〇號 600 Mountain Avenue, Murray Hill, NJ 07974 -0636, USA
	代表人姓名	(1) 麥克・格林 Greene, Michael R.

裝 訂 線

經濟部智慧財產局員工消費合作社印製

507431

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
美國	1999 年 12 月 23 日	09/471,920	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

技術領域

廣義言之，本發明與通道等化及解碼技術有關，更明確地說，與具有較短要徑的順序估計技術有關。

發明背景

使用雙絞線對之區域網路（ＬＡＮ）的傳輸速率從１０百萬位元／秒（Mbps）不斷地增加到１０億位元／秒（Gbps）。例如 Gigabit Ethernet 1000 Base-T 標準，以１２５Ｍｈｚ的時計率，使用４對銅線的的第５類纜線傳送１Ｇｂｐｓ。發射器使用 Trellis－編碼調制（ＴＣＭ）以習知的方法獲得編碼增益。抵達接收器的信號，典型上會被符號間干擾（ＩＳＩ）、串音、回音及雜訊等轉訛。１０００Ｂａｓｅ－Ｔ接收器所面對的主要挑戰是要在１２５Ｍｈｚ之時計率的要求下，接合等化通道與解碼轉訛的 Trellis－編碼信號，例如接合等化與解碼的演算法結合無法管線化(pipelined)的非線性的回授環路。

資料偵測通常是使用最大可能性順序估計（ＭＬＳＥ）產生輸出符號或位元。最大可能性順序估計器（ＭＬＳＥ）是以習知的方法考慮所有可能的序列，並決定那一個序列要被實際傳送。最大可能性順序估計器（ＭＬＳＥ）是最佳化的解碼器，並應用習用的 Viterbi 演算法以執行接合等化與解碼。有關最大可能性順序估計器（ＭＬＳＥ）實施 Viterbi 的更詳細討論，見 Gerhard Fettweis 及 Heinrich Meyr, "High-Speed Parallel Viterbi Decoding

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（2 ）

Algorithm and VLSI-Architecture," IEEE Communication Magazine(May 1991)，併入本文參考。

爲降低使用 Viterbi 演算法之最大可能性順序估計器（ＭＬＳＥ）之硬體的複雜性，曾有若干次一佳方法的提出或建議，諸如”縮減狀態順序估計（ＲＳＳＥ）”演算法。有關縮減狀態順序估計（ＲＳＳＥ）技術以及決定－回授順序估計（ＤＦＳＥ）與平行決定－回授等化（ＰＤＦＥ）技術等的討論，例如見 P. R. Chevillat and E. Eleftheriou , "Decoding of Terllis-Encoded Signals in the Presence of Intersymbol Interference and Noise", IEEE Trans. Commun., vol. 37, 669-76, (July 1989),Eyuboglu and S. U. H. Qureshi, "Reduced-State Sequence Estimation For Coded Modulation On Intersymbol Interference Channel", IEEEE JSAC, vol. 7, 989-95(Aug. 1989), 或是,A. Duel-Hallen and C. Heegard, "Delayed decision-feedback sequence estimation", IEEE Trans. Commun., vol. 37 pp. 426-436, May 1989, 以上各篇均併入本文參考。有關 M 演算法的討論,例如見 E. F. Haratsch, "High-Speed VLSI Application to Gigabit Ethernet 1000 Base-T," Int'l Symposium on VLSI Technology, System, and Applications, Taipei(Jun. 1999), 併入本文參考。

一般言之，縮減狀態順序估計（ＲＳＳＥ）技術經由合併數個狀態以降低最大可能性順序估計器（ＭＬＳＥ）的複雜度。ＲＳＳＥ技術結合無法被管線化的非線性回授環路。與這些回授環路相關的要徑是對高速實施的限制因

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（3 ）

素。

１９９９年６月４日提出申請之美國專利申請案０９／３２６，７８５及名稱爲” Method and Apparatus for Reducing the Computational Complexity and Relaxing the Critical Path of Reduced State Sequence Estimation(RSSE) Techniques，”（併入本文參考）揭示縮減狀態順序估計（ＲＳＳＥ）演算法，它減少序列ＲＳＳＥ技術之硬體複雜度數個狀態，也減輕了要徑的問題。雖然所揭示的ＲＳＳＥ演算法在處理時間方面有重大增進，但在很多高速應用方面需要額外的處理增益。因此，吾人需要一種處理時間快速的縮減狀態順序估計（ＲＳＳＥ）演算法。對縮減狀態順序估計（ＲＳＳＥ）演算法的另一要求是更適合使用超大型積體（ＶＬＳＩ）技術高速實施。

發明概述

一般言之，揭示一種用於增進某一數量之狀態的低複雜性順序估計技術之處理時間的方法及設備，如ＲＳＳＥ技術。按照本發明的特性，以預測的方式預計算縮減狀態順序估計（ＲＳＳＥ）技術中可能值的分支權值，以容許管線化及縮短要徑。因此，本發明提供與傳統最佳之Viterbi 解碼器相同的延遲。按照本發明，爲通道記憶體中所有可能的符號組合預計算分支權值，因此可以取消回授環路中的分支權值單元（ＢＭＵ）及決定－回授單元（ＤＦＵ），藉以減少要徑。在說明的實施中，分支權值單

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（4 ）

元（ＢＭＵ）及決定－回授單元（ＤＦＵ）是由預測分支權值單元（ＬＡＢＭＵ）執行，且符號間干擾消除器（ＩＳＩＣ）也移出要徑。

所揭示的縮減狀態順序估計（ＲＳＳＥ）配置一預測分支權值單元（ＬＡＢＭＵ）以預計算通道記憶體中所有可能值的分支權值。在每一個解碼循環開始時，一組多工器（ＭＵＸ）根據對應之殘存路徑格（ＳＰＣ）中的殘存符號選擇適當的分支權值，接著，將其送到加－比較－選擇單元（ＡＣＳＵ）。要徑現在包括一個 MUX、ACSC 及 SPC。所揭示的ＲＳＳＥ可以用於一維及多維的 Trellis 碼。

多維 Trellis 碼要預計算多維的分支權值，使得計算太過浩大，揭示一種修改的ＲＳＳＥ以降低計算負荷。多維 Trellis 碼之每一維的權值分開預計算。接著，根據對應之殘存路徑格（ＳＰＣ）中對應的殘存符號爲該維選擇適當的一維分支權值。接著，多維分支權值單元組合所選擇的一維分支權值以構成多維分支權值。按照本發明的另一態樣，使用預濾波技術經由縮短通道記憶體以降低計算的複雜度。提供實施１０００Ｂａｓｅ－Ｔ Gigabit Ethernet 的特例，它將游標後（ postcursor ）之通道記憶體的長度截短成爲１。

也揭示一種用於殘存路徑格中殘存記憶體單元之創新的記憶體－分割殘存記憶體架構。爲防止殘存符號之儲存的延遲（ latency ），它在決定回授單元（ＤＦＵ）或多工

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

器單元（ＭＵＸＵ）中需要是零延遲，揭示一種用於縮減狀態順序估計（ＲＳＳＥ）的混合式殘存記憶體配置。在爲長度Ｌ之通道記憶體實施的ＲＳＳＥ中，使用對應於Ｌ個過去解碼周期的殘存符號（ｉ）消除習用ＲＳＳＥ之決定－回授單元（ＤＦＵ）中的符號間干擾，以及（ｉｉ）在按照本發明之ＲＳＳＥ中選擇多工器（ＭＵＸＵ）中的分支權值。本發明將對應於Ｌ個過去解碼周期的殘存儲存在暫存器交換架構（ＲＥＡ）中，對應於更後之解碼循環的殘存儲存在回溯結構（ＴＢＡ）或暫存器交換架構（ＲＥＡ）中。在符號從暫存器交換架構（ＲＥＡ）移到回溯結構（ＴＢＡ）之前，它們先被映射到資訊位元以縮減字元的大小。在１０００Ｂａｓｅ－Ｔ的實施中，當第二記憶體區塊中之回溯結構（ＴＢＡ）所引進的延遲超出指定給１０００Ｂａｓｅ－Ｔ標準中之接收器吃緊的延遲預算時，則整個殘存記憶體都要使用暫存器交換架構（ＲＥＡ）。

圖式簡單說明

圖１說明習用之 Trellis 編碼通信系統的等效分時模型；

圖２說明 Viterbi 演算法的習用實施；

圖３說明實施縮減狀態順序估計（ＲＳＳＥ）的習用結構；

圖４說明按照本發明之預計算分支權值的縮減狀態順

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（6 ）

序估計（ＲＳＳＥ）；

圖５說明用於多－維通道之多－維 Trellis 編碼調制；

圖６說明按照本發明用於多維縮減狀態順序估計（ＲＳＳＥ）之１－維預計算的結構；

圖７說明縮減狀態順序估計（ＲＳＳＥ）的結構，其使用按照本發明之預濾波技術以縮短通道記憶體；

圖８說明用於１０００ Base-T Gigabit Ethernet 的決定－回授預濾波器，它將游標後的通道記憶體長度從１４刪減成１。

圖９說明以圖６其中一個１維－ＬＡＭＢＵ單元，爲１０００ Base-T Gigabit Ethernet 實施１維分支權值的預測計算。

圖１０說明以圖６之多工器爲１０００ Base-T Gigabit Ethernet 實施１維分支權值的選擇；以及

圖１１說明一創新的記憶體－分割暫存器交換網路（ＳＰＣ－ｎ），用於１０００ Base-T Gigabit Ethernet 之實施的狀態一。

主要元件對照

110	Trellis編碼調制編碼器
200	Viterbi演算法的實施
210	分支權值單元
220	加-比較-選擇單元
230	殘存記憶體單元

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（7　）

300	縮減狀態順序估計
340	決定-回授單元
330	殘存記憶體單元
310	分支權值單元
320	加-比較-選擇單元
400	縮減狀態順序估計
420	符號間干擾消除器
410	預測分支權值單元
430	多工器單元
440	加-比較-選擇單元
450	殘存記憶體單元
460	管線暫存器
600	結構
620	1維-符號間干擾消除器
610	1維-預測分支權值格
630	多工器單元
660	殘存符號格
640	多維-分支權值格
650	加-比較-選擇格
710	預濾波器
800	決定-回授預濾波器
1010	5:1多工器

發明詳細說明

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（8 ）

如前所述，低複雜性順序估計技術的處理速度，如縮減狀態順序估計（ＲＳＳＥ），受到遞歸回授環路的限制。按照本發明的一特徵，此種縮減狀態順序估計（ＲＳＳＥ）技術的處理速度，可經由以預測方式預計算分支權值加以增進。分支權值的預計算縮短了要徑，以使延遲與習用的 Viterbi 解碼器相同。按照本發明的另一特徵，用於多－維 Trellis 編碼之預計算的計算負荷大幅降低。預濾波可以經由縮短通道記憶體降低計算的複雜性。本發明的ＲＳＳＥ技術允許ＲＳＳＥ實施於高速的通信系統，如 Gigabit Ethernet 1000 Base-T 標準。

Trellis 編碼調制

如前所述，當使用ＲＳＳＥ技術來等化未編碼的信號，或解碼及等化使用 Trellis 編碼調制（ＴＣＭ）編碼的信號，ＲＳＳＥ技術降低了 Viterbi 演算法的計算複雜度。雖然本文是使用對 Trellis 編碼信號的解碼與等化說明本發明，但本發明也適用於未編碼之信號的等化，熟悉此方面技術的人士對此應有所瞭解。ＴＣＭ是結合編碼與調制的設計，用於頻帶受限的通道。爲更詳細討論ＴＣＭ，例如見 G. Ungerboeck, "Trellis-Code Modulation With Redundant Signal Sets", IEEE Comm., Vol. 25, No. 2, 5021(1987年2月），併入本文參考。圖１說明 Trellis 編碼通信系統的等效分時模型。

如圖１所示，由ｍ個位元組成的資訊符號Ｘｎ饋入到

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（9）

ＴＣＭ編碼器１１０。比率ｍ’／（ｍ’＋１）編碼器１１０運算ｍ’個輸入位元並產生ｍ’＋１個編碼位元，它用來從所使用之大小爲2^{m+1}的信號星座選擇$2^{m'+1}$個子集中的一個（每一個的大小爲$2^{m-m'}$），同時，使用未編碼的位元在所選擇的子集中選擇一個符號a_n。在所說明的實施中，對符號a_n使用Ｚ－階脈衝振幅調制（Ｚ－ＰＡＭ）的調制設計。不過，本發明的技術可以應用到其它的調制設計，如ＰＳＫ或ＱＡＭ，如熟悉此方面技術之人士所熟知。所選擇的符號a_n在等效分時通道上傳送。假設一個一維的通道，通道的輸出z_n在瞬時ｎ爲：

$$z_n = q_n + w_n = \sum_{i=0}^{L} f_i \cdot a_{n-i} + w_n, \qquad (1)$$

其中，q_n是被ＩＳＩ轉訛的信號，｛f_i｝，ｉ∈〔０，．．．，Ｌ〕是等效分時通道脈衝響應的係數（f_0＝１是假設沒有一般性的損失），Ｌ是通道記憶體的長度，｛w_n｝代表白高斯雜訊，具有零平均及變異σ^2。

通道與相關連的Trellis編碼器定義一碼與通道狀態的組合，爲：

$$\xi_n \triangleq (\mu_n; a_{n-L}, \ldots, a_{n-1}), \qquad (2)$$

其中，μ_n是的碼狀態，α_n＝（a_{n-L}，……，a_{n-1}）是在時間ｎ的通道狀態。解碼接收之信號的最佳解碼器是最大可能性順序估計器（ＭＬＳＥ），它對碼與通道狀態之結合所定義的超級Trellis施加Viterbi演算法。Viterbi演

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

算法對計算及儲存的需求正比於狀態的數量。超級Trellis的狀態數量爲：

$$T=S\times 2^{mL} \quad (3)$$

其中S是碼狀態的數量。

Viterbi演算法經由爲所有狀態有效率地累積路徑權值以蒐尋最有可能的資料序列。在輸入a_n之下從狀態ξ_n過渡的分支權值爲：

$$\lambda(z_n,a_n,\xi_n)=\left(z_n-a_n-\sum_{i=1}^{L}f_i a_{n-i}\right)^2 . (4)$$

在從前一狀態$\{\xi_n\}$進入狀態ξ_{n+1}的所有路徑間選擇最有可能的路徑，是按照以下的路徑權值計算，以它通常稱爲加－比較－選擇（ＡＣＳ）計算：

$$\Gamma(\xi_{n+1})=\min_{\{\xi_n\}\to\xi_{n+1}}\left(\Gamma(\xi_n)+\lambda(z_n,a_n,\xi_n)\right) . (5)$$

Viterbi演算法的實施見圖２。圖２中的Viterbi實施２００包括一主件分支權值單元（ＢＭＵ）２１０、加－比較－選擇單元（ＡＣＳＵ）２２０及殘存記憶體單元（ＳＭＵ）２３０。分支權值單元（ＢＭＵ）２１０按照方程式（４）爲狀態的過渡計算權值。加－比較－選擇單元（ＡＣＳＵ）２２０爲每一個狀態評估方程式（５），以及，殘存記憶體單元（ＳＭＵ）２３０保持對殘存路徑的追蹤。流入ＢＭＵ　２１０及ＳＭＵ　２３０的資料都被全然地向前饋送，且在任何層級都可被管路化以增加產出。高速處理的瓶頸是ＡＣＳＵ　２２０，例如方程式（５

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（11）

）中ＡＣＳ運算的遞歸，要求在解碼Trellis的下一步之前，先要做成決定。

ＲＳＳＥ技術經由刪減通道記憶體以降低最大可能性順序估計器（ＭＬＳＥ）的複雜性，因此，只需爲Trellis考慮Ｌ個通道係數｛ｆｉ｝，ｉ∈〔１，……，Ｌ〕中的前Ｋ個。見A. Duel-Hallen and C. Heegard, "Delayed decision-feedback sequence estimation," IEEE Trans. Commun., vol. 37, pp.428-436, 1989年5月，併入本文參考。此外，描述於P. R. Chevillat and E. Eleftheriou, "Decoding of Trellis-Encoded Signals in the Presence of Intersymbol Interference and Noise," IEEE Trans. Comm., Vol. 37, 669-676(1989年7月），以及，M. V. Eyuboglu and S. U. Qureshi, "Reduced-State Sequence Estimation for Coded Modulation on Intersymbol Interference channels," IEEE JSAC, Vol. 7, 989-995(1989年8月）之設定區塊的原理應用到信號文字，皆併入本文參考。簡化ＲＳＳＥ中通道與碼狀態的組合爲

$$\rho_n = (\mu_n; J_{n-K},..,J_{n-1}), \qquad (6)$$

其中Ｊｎ－ｉ是資料符號ａｎ－ｉ所屬的子集。不同子集Ｊｎ－ｉ的數量爲2^{m_i}，其中ｍｉ定義在時間ｎ－ｉ時之子集分割的深度。需要

$$m' \le m_K \le m_{K-1} \le ... \le m_1 \le m. \qquad (7)$$

在簡化之超級Trellis中之狀態的數量爲：

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

$$R = S \times 2^{m_K + \cdots + m_1}. \qquad (8)$$

在ＲＳＳＥ中，在輸入a_n下，縮減狀態ρ_n之分支權值的型式修改成：

$$\lambda_n(z_n, a_n, \rho_n) = (z_n - a_n + u_n(\rho_n))^2, \qquad (9)$$

其中：

$$u_n(\rho_n) = -\sum_{i=1}^{L} f_i \hat{a}_{n-i}(\rho_n) \qquad (10)$$

$\hat{\alpha}_n(\rho_n) = (\hat{a}_{n-L}(\rho_n), \cdots\cdots\cdots, \hat{a}_{n-1}(\rho_n))$是領先於縮減狀態$\rho_n$的殘存序列，$\hat{a}_{n-1}(\rho_n)$是在瞬時n－i時相關的殘存符號。在方程式（１０）中，ＩＳＩ估計u（ρ_n）是爲狀態ρ_n計算，是取與狀態ρ_n之歷史路徑相關的資料符號，是試驗性（tentative）的決定。經由評估計方程式（１１）得到狀態ρ_{n+1}之最佳的路徑權值：

$$\Gamma(\rho_{n+1}) = \min_{\{\rho_n\} \to \rho_{n+1}} (\Gamma(\rho_n) + \lambda_n(z_n, a_n, \rho_n)). \qquad (11)$$

ＲＳＳＥ可視爲次佳的Trellis解碼演算法，其中，每一個狀態使用來自它自已之殘存路徑的決定－回授以考慮在簡化之Trellis中未考慮的ＩＳＩ。

圖３說明實施ＲＳＳＥ的結構，如圖３所示，決定－回授單元（ＤＦＵ）３４０中的決定－回授格（ＤＦＣ）考慮ＳＭＵ　３３０中對應之殘存路徑格（ＳＰＣ）中的

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（13）

殘存，並按照方程式（１０）計算Ｒ個ＩＳＩ估計。ＢＭＵ　３１０中的每一個分支權值格（ＢＭＣ）爲離開一狀態的ｂ＝２^{m}個過渡計算權值。對每一個狀態而言，在ＡＣＳ格（ＡＣＳＣ）中按照方程式（１１）執行最佳路徑選擇。反之，Viterbi解碼，除了ＡＣＳＣ格外，ＤＦＣ、ＢＭＣ及ＳＰＣ也都在重要環路中。Viterbi演算法之平行處理的技術，是利用方程式（４）中對分支權值的計算與方程式（５）中ＡＣＳ函數之決定兩者無關的事實。因此，分支權值可使用預測的方式計算ｋ步Trellis步驟，以增加ｋ－倍的產出。見G. Fettweis and H.Meyr,"High-Speed Viterbi Processor:A systolic Array Solution,"IEEE JSAC,Vol.8,1520-1543(Oct. 1990）或美國專利5，042，036，併入本文參考。不過，就ＲＳＳＥ技術而言，方程式（９）對分支權值的計算，視ＡＣＳＵ　３２０中之ＡＣＳＣ在前一個符號周期中評估方程式（１１）的決定而定，例如，方程式（１０）計算決定－回授，需要ＳＭＵ　３３０之ＳＰＣ中的殘存符號。因此，前文中參考之G. Fettweis and H. Meyr所描述的區塊處理技術無法用來加速ＲＳＳＥ的處理。

分支權值的預計算

ＲＳＳＥ中之要徑所需的運算比Viterbi演算法多。特別是，ＢＭＣ中之分支權值的計算，從處理時間的角度來看極耗時間，例如歐基里得距離，爲獲得良好的編碼增益

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

性能，必須平方或執行查表得到。此外，在DFC 340-n中方程式（10）的評估，對要徑有重大貢獻。按照本發明爲通道記憶體中所有可能的符號組合預計算所有的分支權值，即可移除授環路中的BMU 310及DFU 340。此有可能容許大幅減少RSSE中的要徑。

原則上，通道狀態α_n=（a_{n-L}，……，a_{n-1}）可取U=（2^{m+1}）^{L}個不同值。對某特定通道指配$\tilde{\alpha}_n$=（$\tilde{a}_{n-L}$，……，$\tilde{a}_{n-1}$）的ISI估計，可經由評估下述方程式得到：

$$\tilde{u}(\tilde{\alpha})=-\sum_{i=1}^{L} f_i \tilde{a}_{n-i} . \qquad (12)$$

須注意，方程式（12）並不視時間n而定，且因此對特定的通道指配$\tilde{\alpha}$而言是一常數。在輸入a_n下，從通道指配$\tilde{\alpha}$過渡的純理論分支權值爲：

$$\tilde{\lambda}_n(z_n,a_n,\tilde{\alpha})=(z_n-a_n+\tilde{u}(\tilde{\alpha}))^2 . \qquad (13)$$

圖1中的Trellis編碼器100定義2b=$2^{m'+1}$個不同的子集。假設是平行過渡的情況，在一子集中最佳的代表可由切片（slicing）得到，最多可能有M=2b×U=$2^{m'+1}\times 2^{(m+1)L}$個不同的分支權值$\tilde{\lambda}_n$（$z_n$，$a_n$，$\tilde{\alpha}$）必須預計算。圖1所示的Trellis編碼器不允許所有的符號都結合到通道記憶體α_n中。因此，必須預計算的分支權值數量可能小於M。因此，實際上必須預計算的分支權值數

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

量應由縮減的超級Trellis決定。

對加－比較－選擇格（ＡＣＳＣ）３２０－ｎ而言，使用殘存路徑$\hat{\alpha}_n(\rho_n)$在所有預計算的分支權值$\tilde{\lambda}_n(z_n, a_n, \tilde{\alpha})$中選擇適當的分支權值$\lambda_n(z_n, a_n, \rho_n)$：

$$\lambda_n(z_n, a_n, \rho_n) = sel\{\Lambda_n(z_n, a_n, \rho_n), \hat{\alpha}_n(\rho_n)\}. \quad (14)$$

在方程式（１４）中，$\Lambda_n(z_n, a_n, \rho_n)$是一向量，包含$2^{mL}$個分支權值$\tilde{\lambda}_n(z_n, a_n, \tilde{\alpha})$，這些分支權值是在輸入$a_n$下，爲不同之通道指配$\tilde{\alpha}$從狀態$\rho_n$過渡所發生。方程式（１４）中的選擇器功能，可以使用2^{mL}到１的多工器實施。

須注意，方程式（１２）及（１３）都與方程式（１１）中之遞歸ＡＣＳ函數的決定無關。因此，方程式（１２）及（１３）中的預計算被全然地向前饋送，在任何層次都可管線化。除了加－比較－選擇格（ＡＣＳＣ）及殘存路徑格（ＳＰＣ）之外，只有方程式（１４）中的選擇函數位於要徑中。

圖４顯示具有按照本發明之分支權值預計算之ＲＳＳＥ　４００的結構。ＩＳＩ消除器（ＩＳＩＣ）４２０計算所有會爲$\tilde{u}(\tilde{\alpha})$發生的Ｕ個值。與Ｕ個值每一個對應的預測ＢＭＣ（ＬＡＢＭＣ）４１０－ｎ使用Ｕ個這些值計算２ｂ個純理論的分支權值$\tilde{\lambda}_n(z_n, a_n, \tilde{\alpha})$。所有Ｍ＝２ｂＵ個分支權值在預測ＢＭＣ（ＬＡＢＭＣ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（16）

）４１０中預計算，接著送到ＭＵＸ單元（ＭＵＸＵ）４３０。接著，在每一個解碼周期開始之際，ＭＵＸ單元中的每一個多工器（ＭＵＸ）４３０－ｎ根據對應之ＳＰＣ　４５０－ｎ中的殘存符號選擇適當的分支權值，接著送到ＡＣＳＵ　４４０。ＭＵＸ單元（ＭＵＸＵ）４３０中的每一個多工器（ＭＵＸ）４３０－ｎ從對應之殘存路徑格（ＳＰＣ）４５０－ｎ中取出Ｌ個過去的符號。ＡＣＳＵ　４４０及ＳＭＵ　４５０的實施，可如圖３中習用的ＲＳＳＥ　３００。ＬＡＢＭＵ　４１０的輸出被置於管線暫存器４６０。現在的要徑只包括ＭＵＸ４３０、ＡＣＳＣ　４４０－ｎ以及ＳＰＣ　４５０－ｎ。ＭＵＸ　４３０按照方程式（１４）受ＳＰＣ　４５０－ｎ中之符號的控制選擇一分支權值。雖然預計算分支權值的數量隨著通道記憶體Ｌ以及資訊位元ｍ的數量呈指數增加，但此技術很適合小ｍ（對應於小的符號星座）及短Ｌ。

多維Trellis編碼的預計算

用於大信號星座的有效編碼增益可經由多維的ＴＣＭ獲得。圖５說明用於多維通道的多維Trellis編碼調制。Ｂ－維的符號$\bar{\alpha}_n=(\alpha_{n,1},\cdots\cdots,\alpha_{n,B})$在通信係數爲$\{f_{i,j}\}$，$i\in[0,\cdots\cdots,L]$，$j\in[1,\cdots\cdots,B]$的Ｂ－維通道中傳送，其中$\bar{\alpha}_n$是向量，因此，通道的輸出$\bar{z}_n=(z_{n,1},\cdots\cdots,z_{n,B})$是一向量，爲：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（17）

$$z_{n,j} = \sum_{i=0}^{L} f_{i,j} \cdot a_{n-i,j} + w_{n,j}, \quad j \in [1,..,B], \qquad (15)$$

其中，{ $w_{n,j}$ }，j ∈〔1，……，B〕是B個未經修正相互獨立的白高斯雜訊源。每一個通道的傳送設計是Z－PAM。以下的結果對其它的調制設計也都有效。此種等效的分時通道例如見於在銅線上傳送的Gigabit Ethernet 1000 Base-T，其中，B＝4，m＝8，m'＝2，s＝8，Z＝5。見K. Azadet, "Gigabit Ethernet Over Unshielded Twisted Pair Cables," Int'l Symposium on VLSI Technology, System, and Applications, Taipei(Jun. 1999），併入本文參考。

當分支權值之預計算的複雜度隨著資訊位元m的數量呈指數增加時，如圖4所示的多維分支權值的預計算，對大型信號星座的計算可能太過耗時。不過，只對碼的一維分量執行分支權值的預計算即可大幅降低複雜度。

經由評估下式以預計算維j中的1－維分支權值：

$$\tilde{\lambda}_{n,j}(z_{n,j}, a_{n,j}, \tilde{\alpha}_j) = (z_{n,j} - a_{n,j} + \tilde{u}_j(\tilde{\alpha}_j))^2, \qquad (16)$$

$$\tilde{u}_j(\tilde{\alpha}_j) = -\sum_{i=1}^{L} f_{i,j} \tilde{a}_{n-i,j}, \qquad (17)$$

其中，$\tilde{\alpha}_j$ = （$\tilde{a}_{n-L,j}$，……，$\tilde{a}_{n-1,j}$）是維j中通道狀態α_j =（$a_{n-L,j}$，……，$a_{n-1,j}$）的特定指配。

有V＝Z^L個可能的1－維通道指配$\tilde{\alpha}_j$。對某一通道

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（18）

指配$\tilde{\alpha}_j$，必須考慮C個輸入$a_{n,j}$以計算所有可能的1－維分支權值$\tilde{\lambda}_{n,j}(z_{n,j}, a_{n,j}, \alpha_j)$，其中C，$C \leq Z$是1－維子集的數量。這些C個輸入$a_{n,j}$中的每一個，對應於對應之子集中的點，在消除符號間干擾之後，（$z_{n,j}$）在這些點按照方程式（16）及（17）被切片。因此，考慮所有B維，總共有$N = B \times C \times V$個1維分支權值必須預計算。這比前節”分支權值之預計算”中所討論之多維預計算所需的預計算數量少許多。在Gigabit Ethernet 1000 Base-T的情況，若C＝2，L＝1，Z＝5，1－維預計算產生總數$4 \times 2 \times 5 = 40$的1－維分支權值計算，然而，多維預計算將致使$2^3 \times 2^9 = 4096$次的4－維分支權值計算。

選擇適當的1維分支權值以便在RSSE中進一步處理：

$$\lambda_{n,j}(z_{n,j}, a_{n,j}, \rho_n) = sel\{\Lambda_{n,j}(z_{n,j}, a_{n,j}), \hat{\alpha}_{n,j}(\rho_n)\} \quad (18)$$

其中，$\Lambda_{n,j}(z_{n,j}, a_{n,j})$是一向量，包含在輸入$a_{n,j}$下不同之1－維通道指配$\alpha_j$所有可能的V個1維分支權值$\tilde{\lambda}_{n,j}(z_{n,j}, a_{n,j}, \tilde{\alpha}_j)$，且$\hat{\alpha}_{n,j}(\rho_n)$是在維j中領先於狀態$\rho_n$的殘存序列。此可以使用V到1的MUX實施，相較於多維預計算則需要2^{mL}到1的MUX（例如在上述的1000 Base-T例中，需要5到1的MUX相較於256到1的MUX）。在選擇了適當的1維分支權值之後，多維分支權值爲：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（19）

$$\lambda_n(z_n, a_n, \rho_n) = \sum_{j=1}^{B} \lambda_{n,j}(z_{n,j}, a_{n,j}, \rho_n) \qquad (19).$$

圖6說明用於多維RSSE之1維預計算的結構600。每一個1維－ISIC 620－n計算V個ISI消除項$\tilde{u}_j$（$\tilde{\alpha}_j$）。對每一個$\tilde{u}_j$（$\tilde{\alpha}_j$）而言，對應的1D－LABMC 610－n爲每一個通道指配預計算C個1維分支權值，且是在該1D－LABMC 610的維度中。MUXU 630爲每一個狀態選擇適當的1維分支權值，由SPC 660－n中的殘存符號控制。每一個多－維BMC（MD－BMC）640－n使用所選擇的1－維分支權值計算多維分支權值。現在，要徑包含一個MUX 630、MD－BMC 640、ACSC650及SPC 660。MD－BMC 640執行B－1次加法，因此，當維度B的數量典型上低時，對整體要徑的貢獻很小。

預濾波

如前所述，分支權值之預計算的複雜性隨著通道記憶體L呈指數地增加。不過，使用如圖7所示的預濾波器710，可以縮短通道記憶體。例如等效分時通信在白化匹配濾波器之後是最小－相位，可以使用決定回授預濾波器（DFP）將通道記憶體截短成較小的L值，RSSE的性能不會有明顯損失，例如描述於E. F. Haratsch, "High-Speed VLSI Implementation of Reduced Complexity Sequence

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（20）

Estimation Algorithms With Application to Gigabit Ethernet 1000 Base-T," Int'l symposium on VLSI Technology, Systems, and Applications, Taipei(Jun. 1999），以及１９９９年４月６日提出申請之美國專利申請案０９／３２６，７８５，名稱爲" Method and Apparatus for Reducing the Computational Complexity and Relaxing the Critical Path of Reduced State Sequence Estimation(RSSE) Techniques，"，皆併入本文參考。另者，預濾波器７１０例如可以使用線性濾波器實施，例如描述於D. D. Falconer and F. R. Magee, "Adaptive Channel Memory Truncation for Maximum-Likelihood Sequence Estimation," The Bell Systems Technical Journal, Vol. 52, No. 9, 1541-62(Nov. 1973），併入本文參考。

因此，通道記憶體大的通道，其分支權值的預計算太過耗時，可以使用預濾波器截短通道記憶體，如此，預計算就變得可行。

１０００Base-T Gigabit Ethernet的實例

以下是１０００Base-T Gigabit Ethernet接收器的特定實施例。對本文中所使用之１０００Base-T Gigabit Ethernet標準及相關專有名詞及計算的詳細討論，例如見於M. Hatamian等人的"Design considerations for Gigabit Ethernet 1000 Base-T twisted pair transceivers," Proc. CICC, Santa Clara, CA, pp. 335-342, 1998年5月，併入本文參考。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (21)

用於１０００Base-T Gigabit Ethernet的決定－回授預濾波器的實施見於圖８。圖９顯示圖６其中一個１Ｄ－ＬＡＢＭＵ單元預測計算實施１０００Base-T Gigabit Ethernet的１Ｄ分支權值。圖１０說明圖６的多工器選擇實施１０００Base-T Gigabit Ethernet的１Ｄ分支權值。最後，圖１１說明用於實施１０００Base-T Gigabit Ethernet之狀態１的暫存器交換網路（ＳＰＣ　ｎ），其中說明ＳＭＵ所使用的合併深度爲１４。

決定－回授預濾波器

如圖８所示，決定－回授預濾波器８００將導線對ｊ上之游標後（postcursor）的記憶體長度從１４截短到１。決定－回授預濾波器８００的結構與決定－回授等化器（ＤＦＥ）類似，例如它使用本身切片器所得到的試驗性決定移除游標後通道脈衝響應的尾部。

１Ｄ分支權值的預計算

在決定－回授預濾波器８００之後，有效的游標後通道記憶體爲１，在每一對導線對上之１Ｄ分支權值之預測預計算的計算複雜度得以適度。在通道記憶體包含$\tilde{a}_{n-1,j}$的假設之下，導線對ｊ的純理論１Ｄ分支權值爲

$$\tilde{\lambda}_{n,j}\left(y_{n,j},a_{n,j},\tilde{a}_{n-1,j}\right)=\left(y_{n,j}-a_{n,j}-f_{1,j}\tilde{a}_{n-1,j}\right)^2. \qquad (20)$$

例如$\tilde{a}_{n,j}$有５個可能值，以及，例如在符號間干擾

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (22)

移除後，$y_{n,j}$必須被切片到1D子集A及B兩者之最接近的代表，每對導線總共有10個1D分支權值必須預計算。此顯示於圖9，其中，切片器910－n計算到達1D子集A或B中最接近之點的差異。一個時計周期的時間用於一個加法、切片及平方。須注意，預計算分支權值的計算複雜度隨通道記憶體呈指數地增加。如果通道記憶體爲2，每對導線必須預計算50個1D分支權值，如果通道記憶體爲3，計算的數量就增加到250。

1D分支權值的選擇

MUXU 630根據過去的殘存符號$\hat{a}_{n-i,j}(\rho_n)$，爲對應於子集A及B的每一對導線對j及碼狀態ρ_n選擇適當的1D分支權值。此使用如圖10所示的5：1多工器1010達成。此種多工器總共需要64個。

4D分支權值的計算

4D－BMU 640將1D分支權值相加以計算對應於Trellis中狀態過渡的4D分支權值。4D－BMU 640在要徑中。以4D分支權值的預測預計算將4D－BMU 640從要徑中提出，從計算複雜度的角度來看並不切實際，如在前節”多維Trellis編碼的預計算”中的討論。因爲必須要考慮的可能性太多。

加－比較－選擇

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (23)

對每一個狀態而言，必須執行4－向的ACS。爲加速處理，選擇P. J. Black and T. H. Meng, "A 140-Mb/s, 32-state, radix-4 Viterbi decoder," IEEE JSSC, vol. 27, pp. 1877-1855, Dec. 1992中所提出的結構，平行進行6個比較，以在4個候選者中選擇最小的路徑權值。使用算數的除法將狀態權值正常化，見A. P. Hekstra, "An Alternative to Metric Rescaling In Viterbi Decoders",IEEE Trans. Commun., vol. 37, pp. 1220-1222, Nov. 1989。

殘存記憶體

在Viterbi解碼中，回溯結構（TBA）通常是用於殘存記憶體的較佳結構，例如，它所消耗的功率比暫存器交換結構（REA）小很多。R. Cypher及C. B. Shung, "Generalized Trace-Back Techniques For Survivor Memory Management In The Viterbi Algorithm," Journal of VLSI Signal Processing, vol. 5, pp. 85-94, 1993。不過，例如回溯結構（TBA）會引進延遲，因此，不能用它來儲存殘存符號，殘存符號需要儲存在零延遲的DFU或MUXU中。因此，記憶體長度爲L的通道實施縮減狀態順序估計（RSSE）以使用混合式的殘存記憶體配置似乎較佳。對應於過去L個解碼周期的殘存儲存在暫存器交換結構（REA）中，對應於更後之解碼周期的殘存則在回溯結構（TBA）中。在符號從暫存器交換結構（REA）移到回溯結構（TBA）之前，它們先被映射到資訊位元以減

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (24)

少字元的大小。不過，在１０００Base-T中，當回溯結構（ＴＢＡ）所引進的延遲導致超出指定給１０００Base-T標準中之接收器吃緊的延遲預算時，則整個殘存記憶體都必須使用暫存器交換架構（ＲＥＡ）。同樣地，從第一暫存器交換結構（ＲＥＡ）移到第二暫存器交換結構（ＲＥＡ）的符號要被映射到資訊位元以減少字元的大小。

圖１１顯示殘存記憶體的結構，圖中僅顯示對應於狀態１的第一列。$SX_n(\rho_n)$指示４Ｄ子集ＳＸ從狀態ρ_n過渡的決定（４Ｄ子集的定義，見Hatamian等人），$b_{n-i}(\rho_n)$是８個資訊位元，它對應於４Ｄ殘存符號$\alpha_{n-i}(\rho_n)$，以及$d_n(1)$是ＡＣＳ的２位元決定，用於狀態１。當暫存器交換結構（ＲＥＡ）察覺通道記憶體爲１，僅第一行儲存４Ｄ符號，它以１２位元表示，並被饋入ＭＵＸＵ。在此第一行之後，殘存符號被映射到資訊位元，並接著儲存成８位元。以合併深度１４而言，此結構需要９２８個ＲＥＧ，未使用混合記憶體區塊的ＳＭＵ中則需要１３４４個ＲＥＧ，其所有的決定都是以１２位元的４Ｄ符號儲存。

須瞭解，本文所顯示所描述的實施例及衍生，僅是用於說明本發明的原理，熟悉此方面技術之人士可對其做各種修改，都不會偏離本發明的範圍與精神。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　用以縮短複雜性低順序估計技術之要徑的方法與設備　）

揭示用以改善低複雜性順序估計技術之處理時間的方法與設備，如縮減狀態順序估計（ＲＳＳＥ）。預計算ＲＳＳＥ中分支權值的可能值以允許管線化及縮短要徑。爲通道記憶體中所有可能的符號組合預計算分支權值，即可移除回授環路中的分支權值單元（ＢＭＵ）及決定－回授單元（ＤＦＵ），藉以縮短要徑。預測分支權值單元（ＬＡＢＭＵ）與符號間干擾消除器（ＩＳＩＣ）爲通道記憶體的所有可能值預計算分支權值。在每一個解碼周期開始時，一組多工器（ＭＵＸ）根據對應之殘存路徑格（ＳＰＣ）中的殘存符號選擇適當的分支權值，接著被送到加－比較－選擇單元（ＡＣＳＵ）。經由分開預計算多－維Ｔｒｅｌｌｉｓ編碼的每一維，可減輕預計算多－維Ｔｒｅｌｌｉｓ編碼的計算負荷。可使用預濾波技術縮短通道記憶體以降低計算的複雜性。也揭示一種用於ＲＳＳＥ的混合式殘存記憶體結構，用於具有長度爲Ｌ之通道記憶體的通道，其中，對應於Ｌ個過去解碼周期的殘存被儲存到暫存器交換結構（ＲＥＡ），對應於更後解碼

英文發明摘要（發明之名稱：　）

METHOD AND APPARATUS FOR SHORTENING THE CRITICAL PATH OF REDUCED COMPLEXITY SEQUENCE ESTIMATION TECHNIQUES

Abstract

A method and apparatus are disclosed for improving the processing time of reduced complexity sequence estimation techniques, such as reduced state sequence estimation (RSSE). The possible values for the branch metrics in the RSSE are precomputed to permit pipelining and the shortening of the critical path. Precomputing the branch metrics for all possible symbol combinations in the channel memory makes it possible to remove the branch metrics unit (BMU) and decision-feedback unit (DFU) from the feedback loop, thereby reducing the critical path. A look-ahead branch metrics unit (LABMU) and an intersymbol interference canceller (ISIC) precompute the branch metrics for all possible values for the channel memory. At the beginning of each decoding cycle, a set of multiplexers (MUXs) select the appropriate branch metrics based on the survivor symbols in the corresponding survivor path cells (SPCs), which are

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

周期的殘存儲存在回溯結構（ＴＢＡ）或暫存器交換結構（ＲＥＡ）中。符號從第一暫存器交換結構（ＲＥＡ）移到回溯結構（ＴＢＡ）或第二暫存器交換結構（ＲＥＡ）之前，先被映射到資訊位元以縮小字元的大小。

英文發明摘要（發明之名稱：　　）

then sent to an add-compare-select unit (ACSU). The computational load of the precomputations is reduced for multi-dimensional trellis codes by precomputing each dimension of the multi-dimensional trellis code separately. Prefiltering techniques are used to reduce the computational complexity by shortening the channel memory. A hybrid survivor memory architecture is also disclosed for a RSSE for a channel having a channel memory of length L, where the survivors corresponding to the L past decoding cycles are stored in a register exchange architecture (REA), and survivors corresponding to later decoding cycles are stored in a trace-back architecture (TBA) or register exchange architecture (REA). Symbols are mapped to information bits to reduce the word size before being moved from the first register exchange architecture (REA) to the trace-back architecture (TBA) or the second register exchange architecture (REA).

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

507431

91.7 年 月 日 修正 補充

附件一：第 89127124 號專利申請案中文申請專利範圍修正本
民國 91 年 7 月修正

六、申請專利範圍 1

1．一種處理接收自使用低複雜性順序估計技術之分散通道之信號的方法，該通道具有通道記憶體，該方法的步驟包括：

爲該通道記憶體的每一個可能值，預計算分支權值；

根據來自對應狀態之過去的決定，選擇其中一個該預計算的分支權值；以及

爲一指定狀態選擇具有最佳路徑權值的路徑。

2．如申請專利範圍第 1 項的方法，其中，用於在輸入 a_n 下從通道指配 $\tilde{\alpha}$ 過渡的該預計算分支權值爲：

$$\tilde{\lambda}_n(z_n, a_n, \tilde{\alpha}) = (z_n - a_n + \tilde{u}(\tilde{\alpha}))^2 .$$

其中，用於某特定通道指配 $\tilde{\alpha}_n = (a_{n-L}, \cdots\cdots, \tilde{a}_{n-1})$ 的符號間干擾估計可經由評估下述方程式得到：

$$\tilde{u}(\tilde{\alpha}) = -\sum_{i=1}^{L} f_i \tilde{a}_{n-i} .$$

。

3．如申請專利範圍第 1 項的方法，其中該路徑權值是該對應之分支權值於時間上的累積。

4．如申請專利範圍第 1 項的方法，其中，適當的分支權值 $\lambda_n(z_n, a_n, \rho_n)$ 是使用殘存路徑 $\hat{\alpha}_n(\rho_n)$ 選擇自該預計算的分支權值 $\lambda_n(z_n, a_n, \tilde{\alpha})$：

$$\lambda_n(z_n, a_n, \rho_n) = sel\{\Lambda_n(z_n, a_n, \rho_n), \hat{\alpha}_n(\rho_n)\}.$$

其中 $\Lambda_n(z_n, a_n, \rho_n)$ 是一包含分支權值

煩請委員明示 91.7 月 日所提之修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

9年7月1日 修正補充

六、申請專利範圍 2

$\tilde{\lambda}_n$（z_n，a_n，$\tilde{\alpha}$）向量，這些分支權值是在輸入a_n下爲不同之通道指配$\tilde{\alpha}$從狀態ρ_n過渡所發生，以及，$\hat{\alpha}_n$（ρ_n）是領先於狀態ρ_n的殘存序列。

5．如申請專利範圍第1項的方法，其中該最佳的路徑權值是最小或最大的路徑權值。

6．如申請專利範圍第1項的方法，其中該低複雜性順序估計技術是縮減狀態順序估計（RSSE）技術。

7．如申請專利範圍第6項的方法，其中該縮減狀態順序估計（RSSE）技術是決定－回授順序估計（DFSE）技術。

8．如申請專利範圍第6項的方法，其中該縮減狀態順序估計（RSSE）技術是平行決定－回授等化（PDFE）技術。

9．如申請專利範圍第1項的方法，其中該低複雜性順序估計技術是Viterbi演算法的實施。

10．如申請專利範圍第1項的方法，其中該低複雜性順序估計技術是M演算法的實施。

11．如申請專利範圍第1項的方法，其中，來自對應狀態之該過去的決定是根據來自對應之殘存路徑格（SPC）之過去的符號。

12．如申請專利範圍第1項的方法，其中，來自對應狀態之該過去的決定是根據來自對應之加－比較－選擇格（ACSC）之過去的決定。

13．一種處理接收自使用低複雜性順序估計技術之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

97年7月1日 修正補充

六、申請專利範圍 3

分散通道之多－維Trellis編碼信號的方法，該通道具有通道記憶體，該方法的步驟包括：

爲該通道記憶體的每一個可能值以及多－維Trellis編碼的每一維預計算1－維分支權值；

根據來自對應狀態之過去的決定，選擇該預計算的1－維分支權值其中之一；以及

結合該所選擇的1－維分支權值以得到多－維分支權值。

14．如申請專利範圍第13項的方法，其中，經由評估下式以預計算維j中的該1－維分支權值：

$$\tilde{\lambda}_{n,j}(z_{n,j},a_{n,j},\tilde{\alpha}_j)=(z_{n,j}-a_{n,j}+\tilde{u}_j(\tilde{\alpha}_j))^2 \text{ and } \tilde{u}_j(\tilde{\alpha}_j)=-\sum_{i=1}^{L} f_{i,j}\tilde{a}_{n-i,j},$$

其中，$\tilde{\alpha}_j=(\tilde{a}_{n-L,j},\cdots\cdots\cdots,\tilde{a}_{n-1,j})$是維j中通道狀態$\alpha_j=(a_{n-L,j},\cdots\cdots\cdots,a_{n-1,j})$的特定指配。

15．如申請專利範圍第13項的方法，其中，選擇適當之1－維分支權值以進一步由低複雜性順序估計器處理的該選擇爲：

$$\lambda_{n,j}(z_{n,j},a_{n,j},\rho_n)=sel\{\Lambda_{n,j}(z_{n,j},a_{n,j}),\hat{\alpha}_{n,j}(\rho_n)\}$$

其中，$\Lambda_{n,j}(z_{n,j},a_{n,j})$是一向量，包含在輸入$a_{n,j}$下不同之1－維通道指配$\tilde{\alpha}_j$所有可能的1維分支權值$\tilde{\lambda}_{n,j}(z_{n,j},a_{n,j},\tilde{\alpha}_j)$，且$\hat{\alpha}_{n,j}(\rho_n)$是在維j中領先於狀態$\rho_n$的殘存序列。

16．如申請專利範圍第13項的方法，其中，來自對應狀態之該過去的決定是根據來自對應之殘存路徑格（

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 4

ＳＰＣ）之過去的符號。

１７．如申請專利範圍第１３項的方法，其中，來自對應狀態之該過去的決定是根據來自對應之加－比較－選擇格（ＡＣＳＣ）之過去的決定。

１８．一種處理接收自使用低複雜性順序估計技術之分散通道之多－維Trellis編碼信號的方法，該通道具有通道記憶體，該方法的步驟包括：

爲該通道記憶體的每一個可能值以及多－維Trellis編碼的每一維預計算１－維分支權值；

結合該１－維分支權值成爲至少２－維的分支權值；以及

根據來自對應狀態之過去的決定，選擇其中一個該至少２－維的分支權值。

１９．如申請專利範圍第１８項的方法，其中，經由評估下式以預計算維ｊ中的該１－維分支權值：

$$\tilde{\lambda}_{n,j}\left(z_{n,j}, a_{n,j}, \tilde{\alpha}_j\right) = \left(z_{n,j} - a_{n,j} + \tilde{u}_j\left(\tilde{\alpha}_j\right)\right)^2 \text{ and } \tilde{u}_j\left(\tilde{\alpha}_j\right) = -\sum_{i=1}^{L} f_{i,j}\tilde{a}_{n-i,j},$$

其中，$\tilde{\alpha}_j = (\tilde{a}_{n-L,j}, \cdots\cdots, \tilde{a}_{n-1,j})$是維ｊ中通道狀態$\alpha_j = (a_{n-L,j}, \cdots\cdots, a_{n-1,j})$的特定指配。

２０．如申請專利範圍第１８項的方法，其中，選擇對應於某特定狀態及輸入之至少２－維分支權值以供低複雜性順序估計器進一步處理的該選擇，是根據該狀態及該至少２維的殘存符號，且該選擇是爲該狀態、輸入及該維

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

97年7月1日 修正補充

六、申請專利範圍 5

中不同通道指配之所有預計算之至少２－維分支權值同執行。

２１．如申請專利範圍第１８項的方法，其中，來自對應狀態之該過去的決定是根據來自對應之殘存路徑格（ＳＰＣ）之過去的符號。

２２．如申請專利範圍第１８項的方法，其中，來自對應狀態之該過去的決定是根據來自對應之加－比較－選擇格（ＡＣＳＣ）之過去的決定。

２３．如申請專利範圍第１８項的方法，進一步包括組合該所選擇之至少２－維的分支權值以得到多－維分支權值的步驟。

２４．一種處理接收自使用低複雜性順序估計技術之分散通道之信號的方法，該通道具有通道記憶體，該方法的步驟包括：

預濾波該信號以縮短該通道記憶體；

爲該縮短之通道記憶體的每一個可能值預計算分支權值；

根據來自對應狀態之過去的決定選擇其中一個該預計算之分支權值；以及

爲一指定狀態選擇具有最佳路徑權值的路徑。

２５．如申請專利範圍第２４項的方法，其中該預濾波步驟進一步包括以較低複雜性的消除演算法處理較無意義的信標(less significant taps),以使用試驗性的決定(tentative decisions)消除較無意義的信標,並以縮減狀態順

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

91年7月 日 修正補充

六、申請專利範圍 6

序估計(RSSE)處理較有意義的信標(more significant taps)。

２６．如申請專利範圍第２４項的方法，其中該較低複雜性的消除演算法是決定回授預濾波器（ＤＦＰ）技術。

２７．如申請專利範圍第２４項的方法，其中該較低複雜性的消除演算法是使用線性等化器技術。

２８．如申請專利範圍第２４項的方法，其中該較低複雜性的消除演算法是軟體決定回授預濾波器（ＤＦＰ）技術。

２９．如申請專利範圍第２４項的方法，其中該較低複雜性的消除演算法減少與該較無意義ｔａｐｓ相關的符號間干擾。

３０．如申請專利範圍第２４項的方法，其中，該較有意義的ｔａｐｓ包括在ｔａｐ數Ｕ以下的ｔａｐｓ，Ｕ是小於Ｌ的指定數字。

３１．如申請專利範圍第２４項的方法，其中該低複雜性順序估計技術是決定－回授順序估計（ＤＦＳＥ）技術。

３２．如申請專利範圍第２４項的方法，其中該低複雜性順序估計技術是平行決定－回授等化（ＰＤＥＦ）技術。

３３．如申請專利範圍第２４項的方法，其中該低複雜性順序估計技術是縮減狀態順序估計（ＲＳＳＥ）技術

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

修正

A8
B8
C8
D8

六、申請專利範圍 7

。

34．如申請專利範圍第24項的方法，其中該低複雜性順序估計技術是Viterbi演算法的實施。

35．如申請專利範圍第24項的方法，其中該低複雜性順序估計技術是M演算法的實施。

36．如申請專利範圍第24項的方法，其中，來自對應狀態之該過去的決定是根據來自對應之殘存路徑格（SPC）之過去的符號。

37．如申請專利範圍第24項的方法，其中，來自對應狀態之該過去的決定是根據來自對應之加－比較－選擇格（ACSC）之過去的決定。

38．一種處理接收自使用低複雜性順序估計技術之分散通道之信號的方法，該通道具有通道記憶體，該方法的步驟包括：

預濾波該信號以縮短該通道記憶體；

爲該縮短之通道記憶體的每一個可能值以及多－維Trellis編碼的每一維預計算1－維分支權值；

結合該1－維分支權值成爲至少2－維的分支權值；以及

根據來自對應狀態之過去的決定，選擇該至少2－維的分支權值其中之一。

39．一種用於低複雜性順序估計器的混合式殘存記憶體結構，用於具有長度爲L之通道記憶體的通道，包括：

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 8

暫存器交換結構（ＲＥＡ），用以儲存對應於Ｌ個過去解碼周期的殘存；以及

回溯結構（ＴＢＡ），用以儲存對應於更後之解碼周期的殘存，其中，從該暫存器交換結構（ＲＥＡ）移到該回溯結構（ＴＢＡ）的符號被映射到資訊位元。

４０．如申請專利範圍第３９項的殘存記憶體結構，其中該低複雜性順序估計技術是縮減狀態順序估計（ＲＳＳＥ）技術。

４１．如申請專利範圍第３９項的殘存記憶體結構，其中該低複雜性順序估計技術是Viterbi演算法的實施。

４２．如申請專利範圍第３９項的殘存記憶體結構，其中該低複雜性順序估計技術是Ｍ演算法的實施。

４３．一種用於低複雜性順序估計器的混合式殘存記憶體結構，用於具有長度爲Ｌ之通道記憶體的通道，包括：

第一暫存器交換結構（ＲＥＡ），用以儲存對應於Ｌ個過去解碼周期的殘存；以及

第二暫存器交換結構（ＲＥＡ），用以儲存對應於更後之解碼周期的殘存，其中，從該第一暫存器交換結構（ＲＥＡ）移到該第二暫存器交換結構（ＲＥＡ）的符號被映射到資訊位元。

４４．如申請專利範圍第４３項的殘存記憶體結構，其中該低複雜性順序估計技術是縮減狀態順序估計（ＲＳＳＥ）技術。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 9

45．如申請專利範圍第43項的殘存記憶體結構，其中該低複雜性順序估計技術是Viterbi演算法的實施。

46．如申請專利範圍第43項的殘存記憶體結構，其中該低複雜性順序估計技術是M演算法的實施。

47．一種低複雜性順序估計器，用以處理接收自具有通道記憶體之分散通道之信號，包括：

預測分支權值單元，爲該通道記憶體的每一個可能值預計算分支權值；

多工器，根據來自對應狀態之過去的決定選擇其中一個該預計算的分支權值；以及

加－比較－選擇單元，爲一指定狀態選擇具有最佳路徑權值的路徑。

48．如申請專利範圍第47項的低複雜性順序估計器，其中，來自對應狀態之該過去的決定是根據來自對應之殘存路徑格（SPC）之過去的符號。

49．如申請專利範圍第47項的低複雜性順序估計器，其中，來自對應狀態之該過去的決定是根據來自對應之加－比較－選擇格（ACSC）之過去的決定。

50．一種低複雜性順序估計器，用以處理接收自具有通道記憶體之分散通道之信號，包括：

預測分支權值單元，爲該通道記憶體的每一個可能值以及多－維Trellis編碼的每一維預計算1－維分支權值；

多工器，根據來自對應狀態之過去的決定選擇其中一個該預計算的1－維分支權值；以及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 10

多－維分支權值格，用以結合該所選擇的1－維分支權值以得到多－維分支權值。

51．如申請專利範圍第50項的低複雜性順序估計器，其中，來自對應狀態之該過去的決定是根據來自對應之殘存路徑格（SPC）之過去的符號。

52．如申請專利範圍第50項的低複雜性順序估計器，其中，來自對應狀態之該過去的決定是根據來自對應之加－比較－選擇格（ACSC）之過去的決定。

53．一種低複雜性順序估計器，用以處理接收自具有通道記憶體之分散通道之信號，包括：

預測分支權值單元，爲該通道記憶體的每一個可能值以及多－維Trellis編碼的每一維預計算1－維分支權值；

裝置，用以結合該1－維分支權值成爲至少2－維的分支權值；

多工器，根據來自對應狀態之過去的決定，選擇其中一個該至少2－維分支權值；以及

多－維分支權值格，用以結合該所選擇的至少2－維分支權值以得到多－維分支權值。

54．如申請專利範圍第53項的低複雜性順序估計器，其中，來自對應狀態之該過去的決定是根據來自對應之殘存路徑格（SPC）之過去的符號。

55．如申請專利範圍第53項的低複雜性順序估計器，其中，來自對應狀態之該過去的決定是根據來自對應之加－比較－選擇格（ACSC）之過去的決定。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

91.7.1

A8
B8
C8
D8

六、申請專利範圍 11

56．一種低複雜性順序估計器，用以處理接收自具有通道記憶體之分散通道之信號，包括：

預濾波器，用以縮短該通道記憶體；

預測分支權值單元，爲該縮短之通道記憶體的每一個可能值預計算分支權值；

多工器，根據來自對應狀態之過去的決定選擇其中一個該預計算之分支權值；以及

加－比較－選擇單元，爲一指定狀態選擇具有最佳路徑權值的路徑。

57．如申請專利範圍第56項的低複雜性順序估計器，其中，來自對應狀態之該過去的決定是根據來自對應之殘存路徑格（SPC）之過去的符號。

58．如申請專利範圍第56項的低複雜性順序估計器，其中，來自對應狀態之該過去的決定是根據來自對應之加－比較－選擇格（ACSC）之過去的決定。

59．一種低複雜性順序估計器，用以處理接收自具有通道記憶體之分散通道之信號，包括：

預濾波器，用以縮短該通道記憶體；

多維－預測分支權值單元，爲該縮短之通道記憶體的每一個可能值以及多－維Trellis編碼的每一維預計算1－維分支權值；

裝置，用以結合該1－維分支權值成爲至少2－維的分支權值；以及

多工器，根據來自對應狀態之過去的決定，選擇該至

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

91 7 1

A8
B8
C8
D8

六、申請專利範圍 12

少 2 － 維的分支權值其中之一。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

圖 1

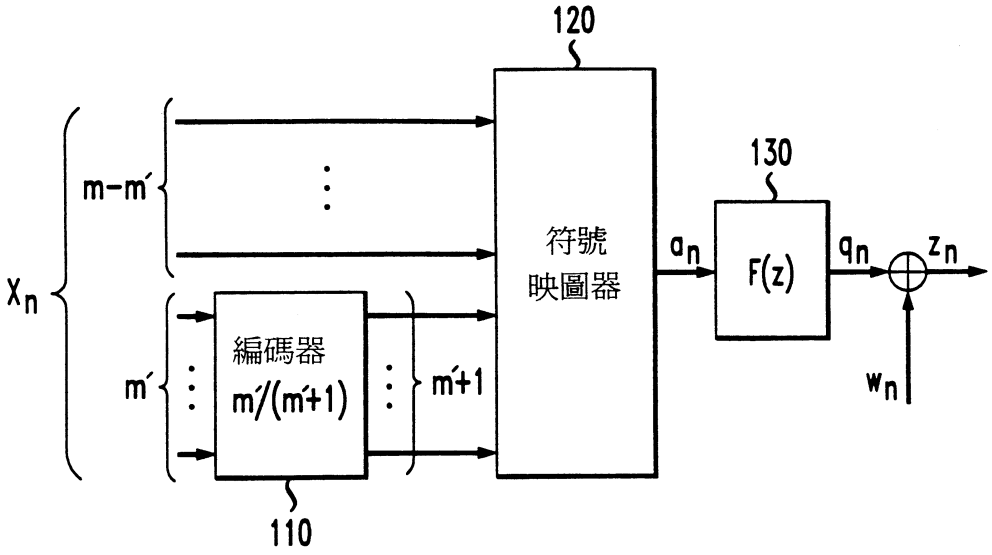


圖 2

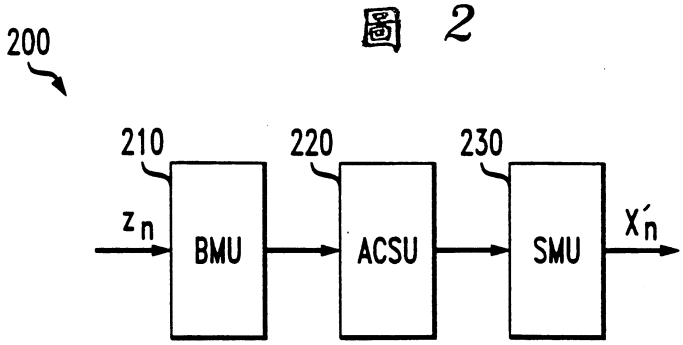

200
210
220
230
z_n
BMU
ACSU
SMU
X'_n

圖 3

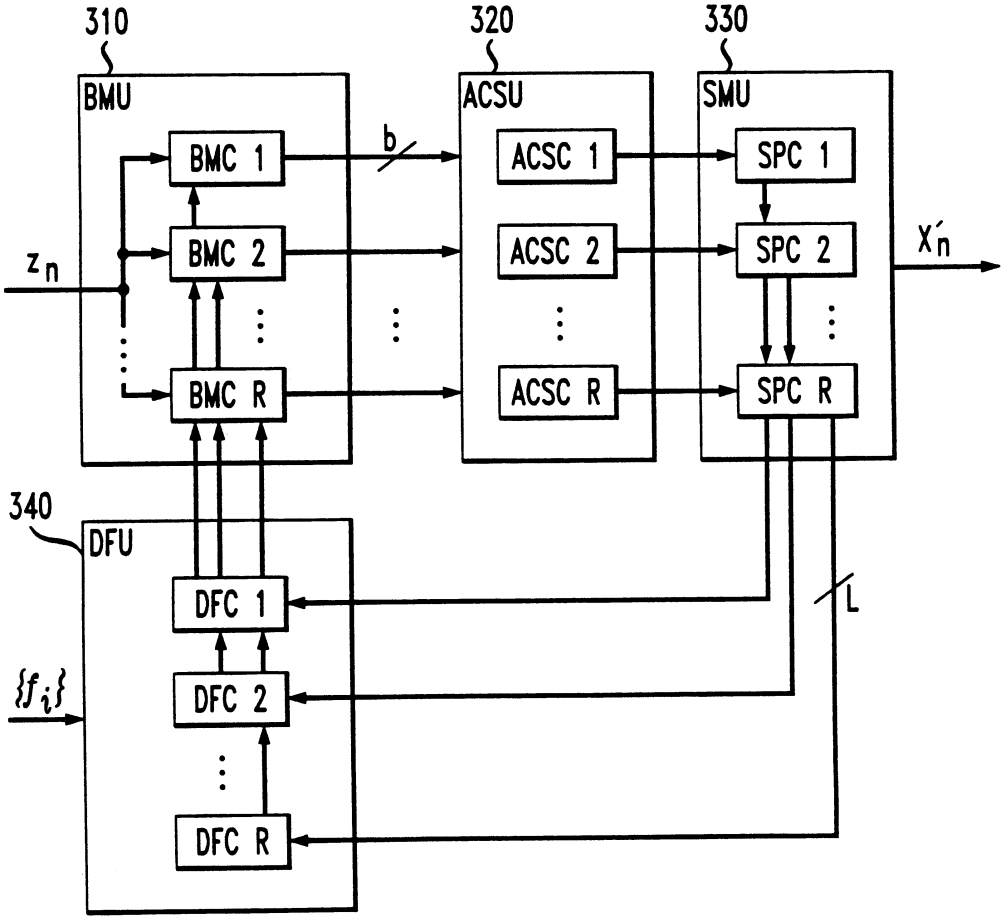

310
320
330
BMU
ACSU
SMU
BMC 1
BMC 2
BMC R
b
ACSC 1
ACSC 2
ACSC R
SPC 1
SPC 2
SPC R
z_n
X'_n
340
DFU
DFC 1
DFC 2
DFC R
$\{f_i\}$
L

圖 4

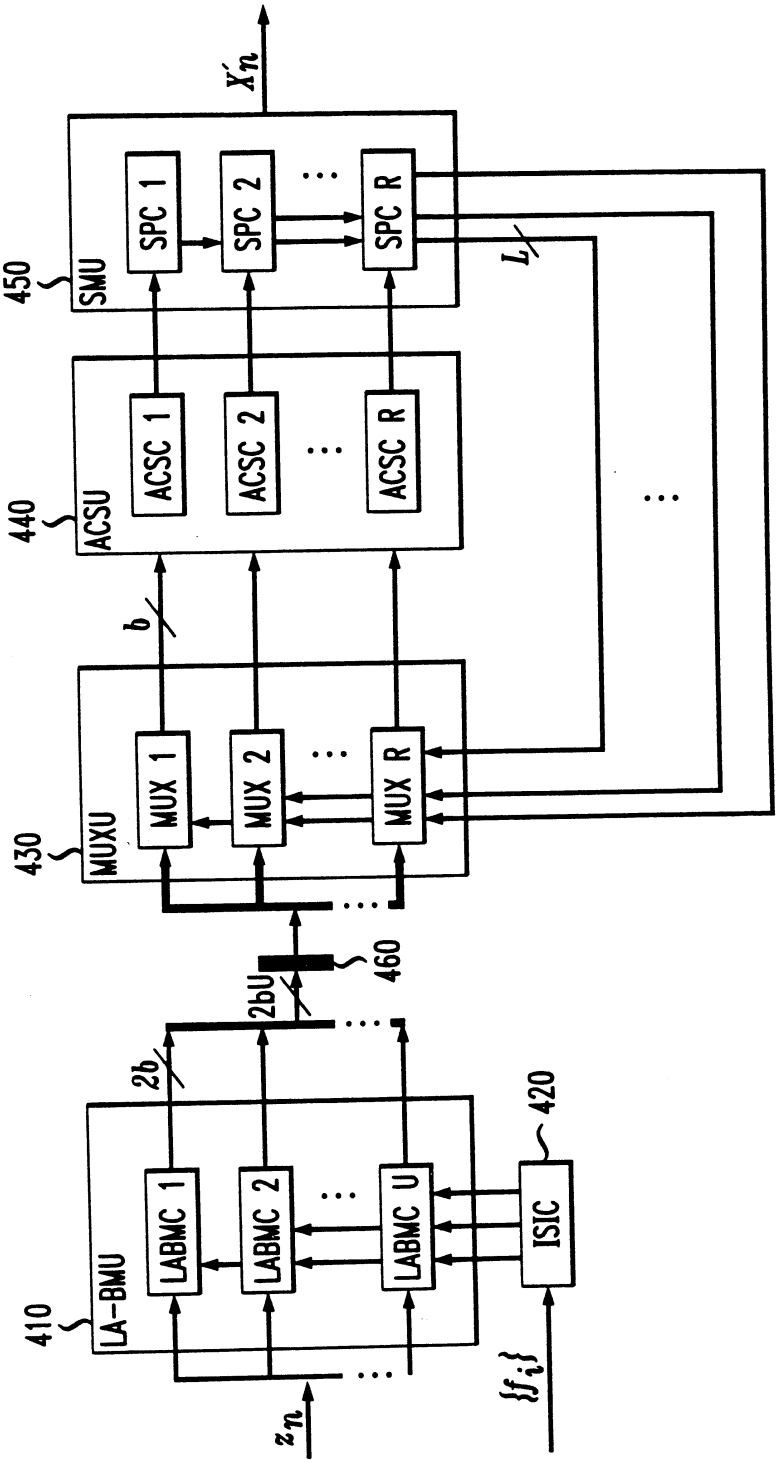
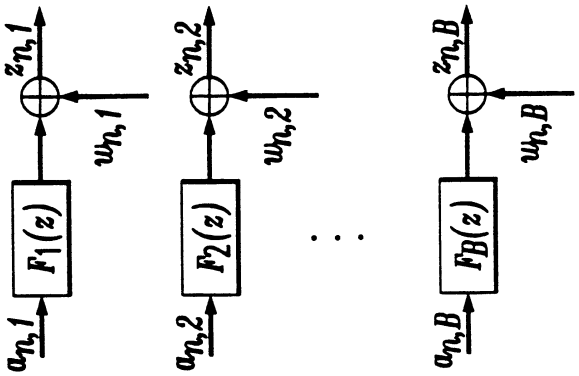

410
LA-BMU
LABMC 1
LABMC 2
LABMC U
ISIC
420
z_n
$\{f_i\}$
2b
2bU
460
430
MUXU
MUX 1
MUX 2
MUX R
b
440
ACSU
ACSC 1
ACSC 2
ACSC R
450
SMU
SPC 1
SPC 2
SPC R
L
x'_n

圖 5


$a_{n,1}$
$F_1(z)$
$z_{n,1}$
$u_{n,1}$
$a_{n,2}$
$F_2(z)$
$z_{n,2}$
$u_{n,2}$
$a_{n,B}$
$F_B(z)$
$z_{n,B}$
$u_{n,B}$

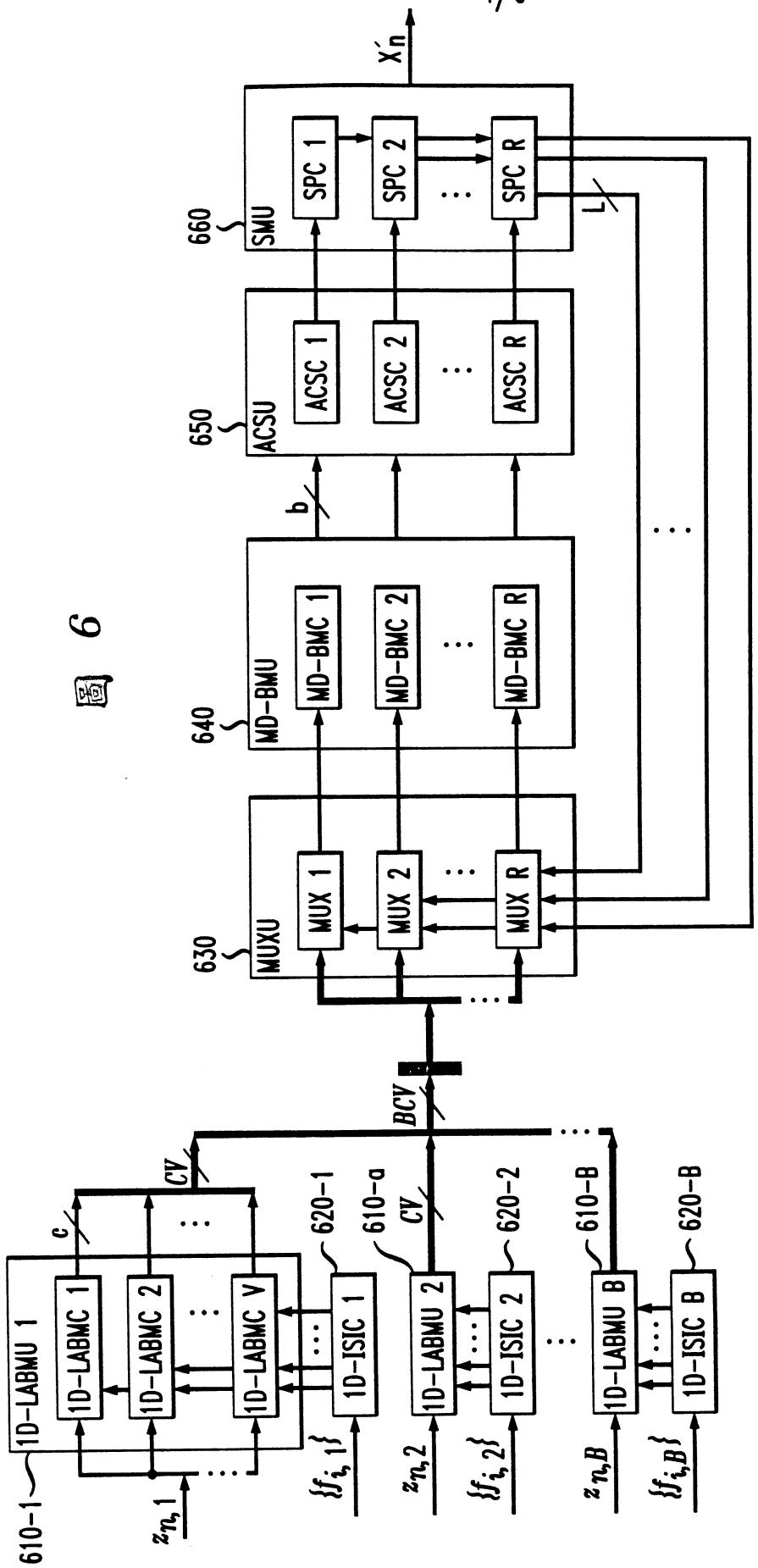

610-1
1D-LABMU 1
1D-LABMC 1
1D-LABMC 2
1D-LABMC V
c
CV
620-1
1D-ISIC 1
610-a
1D-LABMU 2
1D-ISIC 2
620-2
610-B
1D-LABMU B
1D-ISIC B
620-B
BCV
630
MUXU
MUX 1
MUX 2
MUX R
640
MD-BMU
MD-BMC 1
MD-BMC 2
MD-BMC R
b
650
ACSU
ACSC 1
ACSC 2
ACSC R
660
SMU
SPC 1
SPC 2
SPC R
L

圖 6

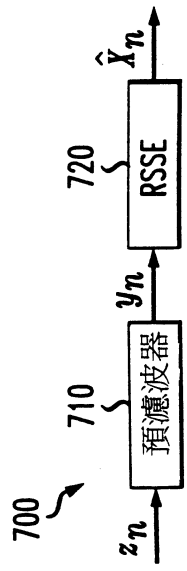

700
710
預濾波器
720
RSSE

圖 7

圖 8

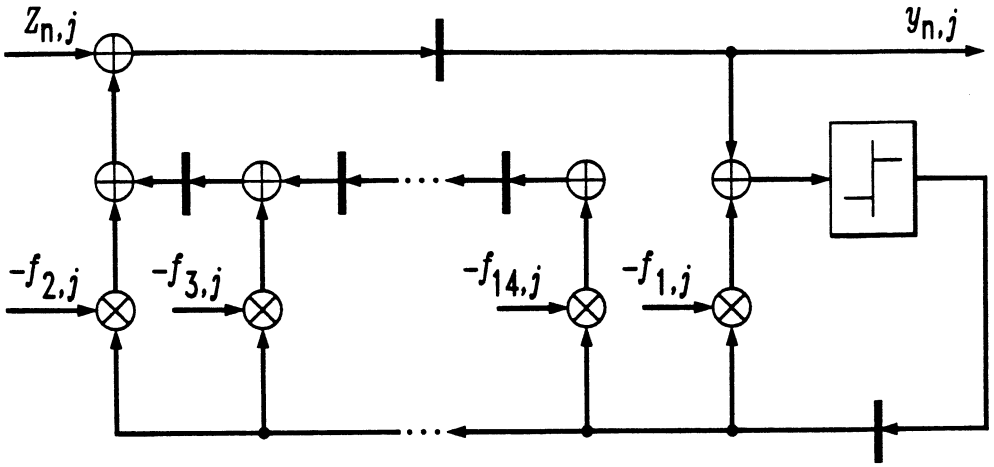

800
$Z_{n,j}$
$y_{n,j}$
$-f_{2,j}$
$-f_{3,j}$
$-f_{14,j}$
$-f_{1,j}$

圖 9

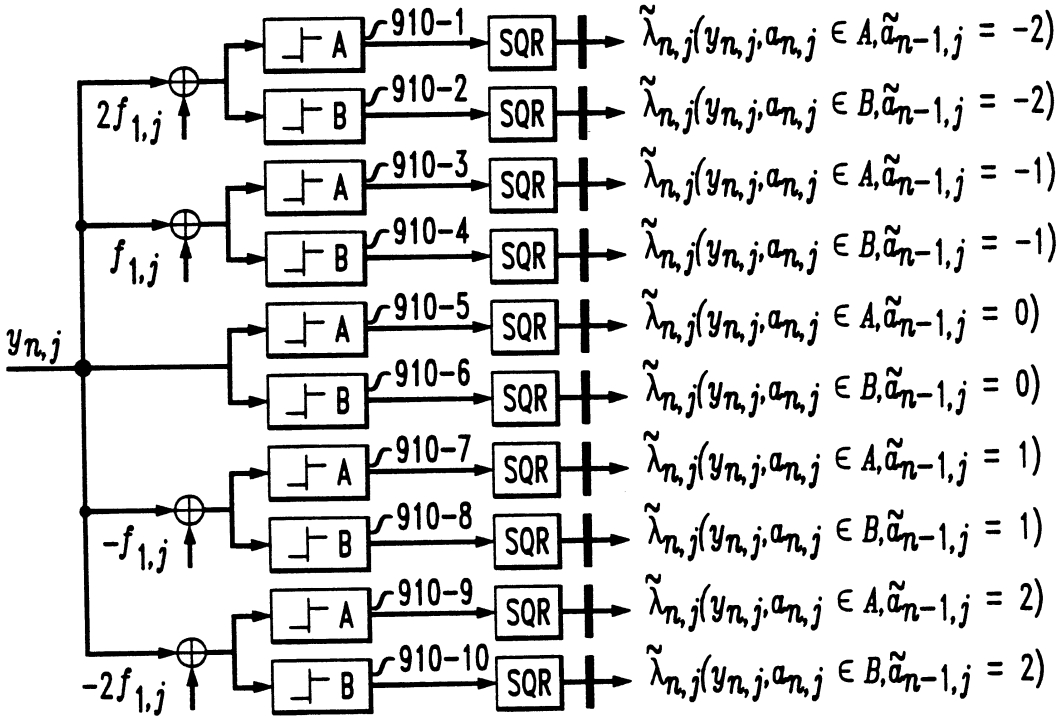

$y_{n,j}$
$2f_{1,j}$
$f_{1,j}$
$-f_{1,j}$
$-2f_{1,j}$
A
B
SQR
910-1
910-2
910-3
910-4
910-5
910-6
910-7
910-8
910-9
910-10
$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in A, \tilde{a}_{n-1,j} = -2)$
$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in B, \tilde{a}_{n-1,j} = -2)$
$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in A, \tilde{a}_{n-1,j} = -1)$
$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in B, \tilde{a}_{n-1,j} = -1)$
$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in A, \tilde{a}_{n-1,j} = 0)$
$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in B, \tilde{a}_{n-1,j} = 0)$
$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in A, \tilde{a}_{n-1,j} = 1)$
$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in B, \tilde{a}_{n-1,j} = 1)$
$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in A, \tilde{a}_{n-1,j} = 2)$
$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in B, \tilde{a}_{n-1,j} = 2)$

圖 10

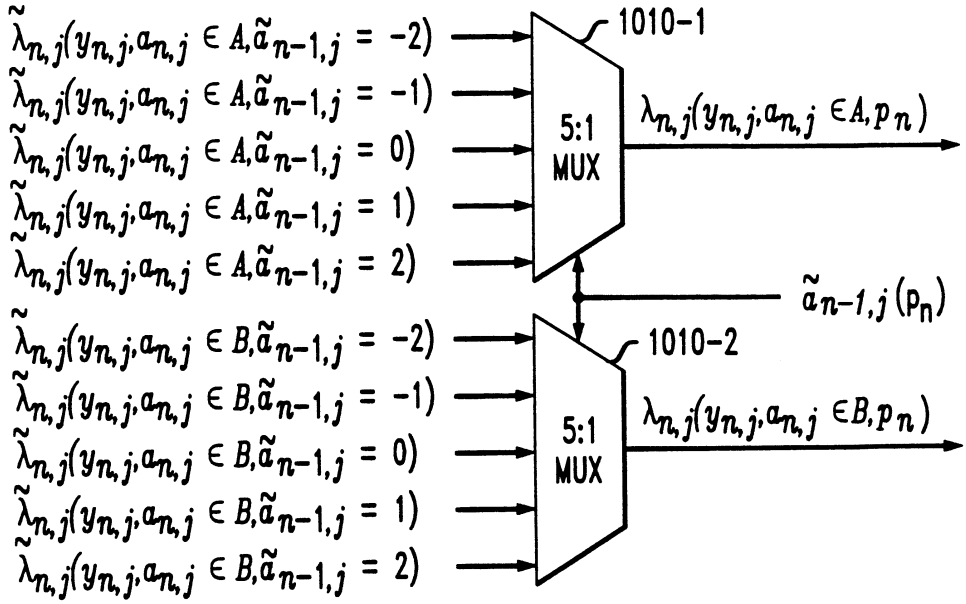
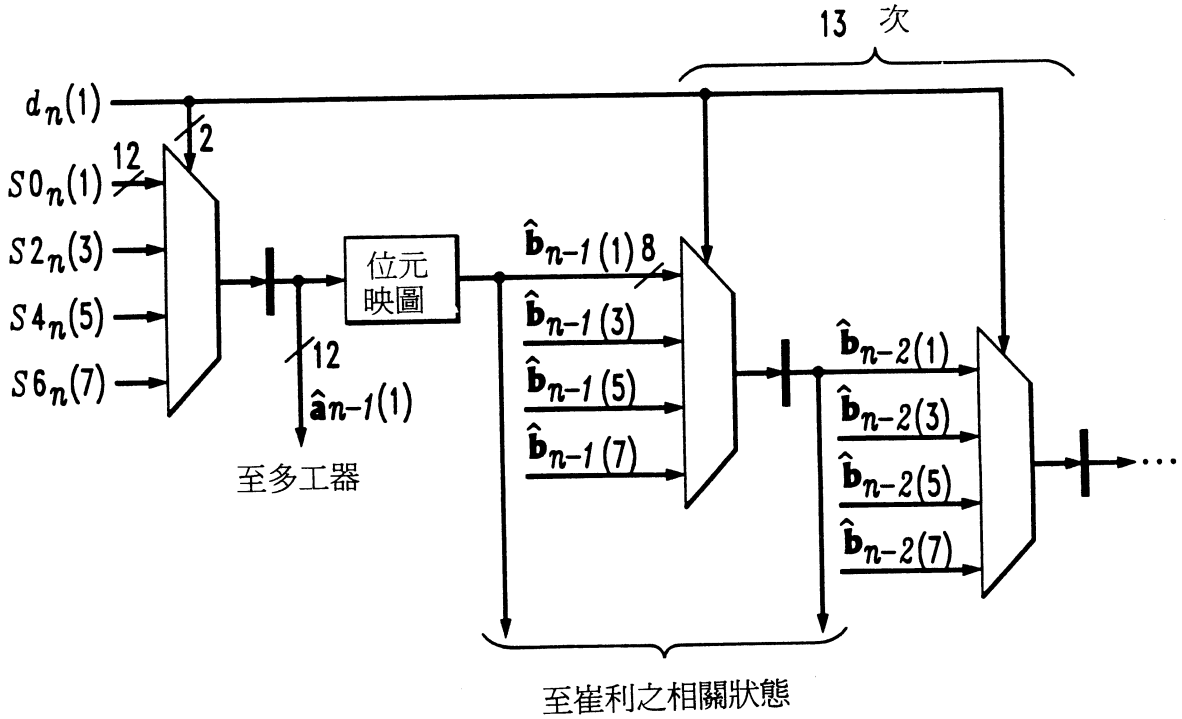

$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = -2)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = -1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = 0)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = 1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = 2)$
1010-1
5:1 MUX
$\lambda_{n,j}(y_{n,j},a_{n,j} \in A,p_n)$
$\tilde{a}_{n-1,j}(p_n)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = -2)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = -1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = 0)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = 1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = 2)$
1010-2
5:1 MUX
$\lambda_{n,j}(y_{n,j},a_{n,j} \in B,p_n)$

圖 11


13 次
$d_n(1)$
2
12
$S0_n(1)$
$S2_n(3)$
$S4_n(5)$
$S6_n(7)$
位元映圖
12
$\hat{a}_{n-1}(1)$
至多工器
$\hat{b}_{n-1}(1)$ 8
$\hat{b}_{n-1}(3)$
$\hat{b}_{n-1}(5)$
$\hat{b}_{n-1}(7)$
$\hat{b}_{n-2}(1)$
$\hat{b}_{n-2}(3)$
$\hat{b}_{n-2}(5)$
$\hat{b}_{n-2}(7)$
至崔利之相關狀態