(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 29/00

(45) 공고일자 1999년03월30일
(11) 등록번호 특0172372
(24) 등록일자 1998년10월23일

(21) 출원번호 특1995-054751
(22) 출원일자 1995년12월22일
(65) 공개번호 특1997-051415
(43) 공개일자 1997년07월29일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 김태윤
경기도 용인군 수지면 풍덕천리 691번지 동부 아파트 102-1106
황현성
경기도 군포시 산본1동 265-12
(74) 대리인 이건주

심사관 : 남승희

(54) 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법

요약

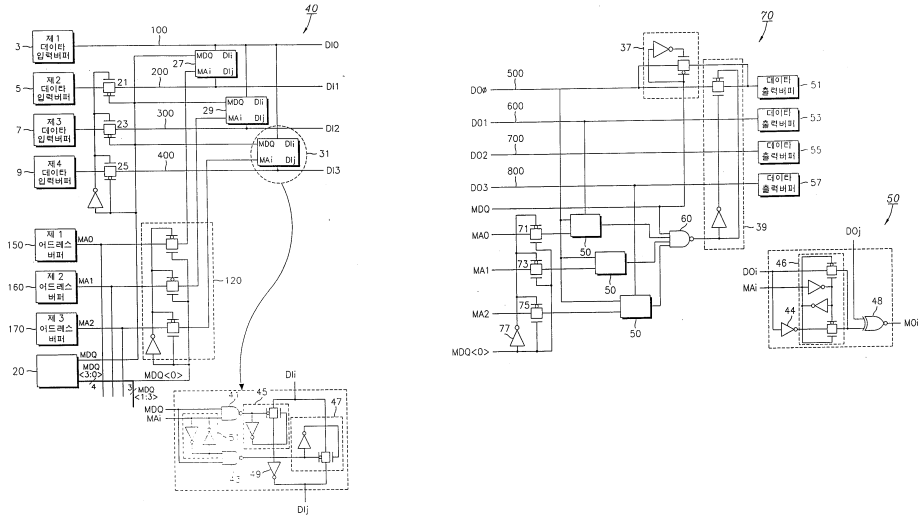
1. 청구범위에 기재된 발명이 속하는 기술 분야 : 본 발명은 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법에 관한 것이다.

2. 발명이 해결하려고 하는 기술적 과제 : 본 발명은 병합 출력 테스트 방식에서도 특정 입력클럭들(어드레스 핀)을 사용하여 데이타 버스 라인끼리의 서로 다른 임의의 데이타 패턴을 구현할 수 있는 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법을 제공한다.

3. 발명의 해결방법의 요지 : 본 발명은 결함있는 메모리 셀 또는 웨이퍼의 테스트시 데이타 입력버퍼 또는 데이타 출력버퍼로 데이타의 입력 또는 출력에서 데이타 입력 버스 라인 또는 데이타 출력 버스 라인을 통합하여 테스트하기 위한 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법에 있어서, 정상동작시 소정갯수의 상기 데이타 입력버퍼의 출력을 소정갯수의 어드레스 버퍼의 출력과 병합 데이타 출력신호 발생기 및 병합 데이타 출력 제어회로의 카운터 출력에 의해 제어되어 상기 데이타 입력버퍼의 출력과 동일한 갯수의 데이타 입력신호를 출력하는 제1과정과, 테스트동작시 소정갯수의 상기 데이타 입력버퍼의 출력을 소정갯수의 어드레스 버퍼의 출력과 병합데이타 출력신호 발생기 및 병합 데이타 출력 제어회로의 카운터 출력에 의해 제어되어 상기 데이타 입력버퍼의 출력을 소정의 비트수로 통합하여 데이타 입력신호를 출력하는 제2과정을 구비한다.

4. 발명의 중요한 용도 : 본 발명은 반도체 메모리 장치에 적합하게 사용된다.

대표도



명세서

[발명의 명칭]

반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법

[도면의 간단한 설명]

제1도는 종래 기술에 따른 라이트시의 병합 데이타 출력회로의 상세 회로도.

제2도는 종래 기술에 따른 리이드(Read)시의 병합 데이타 출력회로의 상세 회로도.

제3도는 본 발명에 따른 라이트시 병합 데이타 출력 테스트를 나타내는 블럭도.

제4도는 제3도에서의 병합 데이타 출력신호 발생기 및 병합 데이타 출력신호 제어회로의 상세 회로도.

제5도는 제3도 및 제4도에 의한 16비트에서의 데이타 출력신호 제어회로의 블럭도.

제6도는 본 발명에 따른 병합 데이타 출력 테스트에서 4비트 리이드시의 병합 데이타 출력 테스트 비교판정회로.

제7도는 본 발명에 따른 16비트의 출력이 병합 데이타 출력 테스트시에 4비트로 출력되는 것을 나타내는 블럭도.

제8도는 본 발명에 따른 병합 데이타 출력(MDQ) 셋트 싸이클의 동작타이밍도.

제9도는 본 발명에 따른 어드레스 키이 및 병합 데이타 출력시의 데이타 입력(DIN)의 관계도.

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 정상동작에서는 16비트로 사용하고 병합 데이타 출력 테스트시에는 4비트로 사용할 수 있는 병합 테스트 모드 선택 방법에 관한 것이다.

종래의 멀티비트(Multi bit) 제품에서는 특정 테스트(Test)단의 생산성 향상을 위하여 제품외부에서 하나의 데이타 입력 핀(Data Input Pin)에 여러개의 데이타 입력 핀을 묶어서 테스트를 진행하다가 현재에는 제품내부에 회로를 만들어 하나의 데이타 입력 핀으로 여러개의 데이타 입력버퍼(Data Input Buffer)를 동작시키는 방식(병합 입출력 또는 병합 출력핀은 이하 MDQ라 칭함)을 사용하고 있다. 즉, 특정 테스트 모드에서는 라이트(Write)시에 하나의 출력 핀으로 나오게 하여 실질적인 입출력 핀의 갯수를 줄여서 테스트하는 방식을 사용하고 있다. 그러나 여러개의 데이타 입력이 하나의 데이타 입력으로 묶여져 있으므로 묶여진 데이타 버스 라인(Data Bus Line)끼리는 동일한 데이타 패턴(Data Pattern)을 사용하여야 한다. 제1도는 종래 기술에 따른 라이트시의 병합 데이타 출력회로의 상세 회로도이다. 제1도를 참조하면, 데이타 입력버퍼 3,5,7,9와, 상기 데이타 입력버퍼 3,5,7,9에 각각 접속되어 데이타 입력 DI0,DI1,DI2,DI3를 가지는 데이타 입력 버스 라인 100,200,300,400과, 상기 데이타 입력버퍼 3,5,7,9에 의한 데이타 입력 DI0,DI1,DI2,DI3를 제어하여 스위칭하는 전송게이트(Transfer Gate) 21,23,25,27,29,31과, 상기 전송게이트들과 접속되어 상기 데이타 입력버퍼들을 병합하여 하나의 라인으로 출력하기 위한 병합 출력 신호 발생기 11로 구성되어 있다. 제2도는 종래 기술에 따른 리이드(Read)시의 병합 데이타 출력회로의 상세 회로도이다. 제2도를 참조하면, 데이타 출력 DO0,DO1,DO2,DO3을 데이타 출력버퍼 51,53,55,57에 각각 연결하기 위한 데이타 출력 버스 라인 500,600,700,800과, 상기 데이타 출력 버스 라인 500,600,700,800과 각각 접속되어 상기 데이타 출력 DO0,DO1,DO2,DO3을 입력으로 하여 배타적 반전논리합하기 위한 익스클루시브 노아 게이트(Exclusive NOR Gate) 33과, 병합 데이타 출력 신호 MDQ를 하나의 입력으로 하며 상기 익스클루시브 노아 게이트 33의 출력신호를 다른 입력으로 하여 반전논리곱하기 위한 낸드게이트(NAND Gate) 35와, 상기 데이타 출력 버스 라인 500과 접속되고 상기 병합 데이타 출력신호를 제어신호로 하여 상기 데이타 출력 DO0를 데이타 출력버퍼 51로 전송하기 위한 스위칭을 하는 스위칭 수단 37과, 상기 낸드게이트 35의 출력단에 접속되고 상기 데이타 출력 버스 라인 500에 접속되어 상기 데이타 출력 DO0를 상기 데이타 출력버퍼 51로 스위칭하기 위한 스위칭수단 39로 구성되어 있다. 제1도 및 제2도는 공지의 사항이므로 동작설명은 생략하기로 한다. 따라서 데이타 입력 버스 라인끼리의 단락(Short) 혹은 데이타 출력 버스 라인끼리의 단락에 의한 불량은 스크린(Screen)할 수가 없다. 만약 웨이퍼 테스트(Wafer Test)에서 상기 MDQ방식을 사용하여 테스트하는 경우, 데이타 버스 라인끼리의 단락에 의한 불량은, 조립후의 패키지(Package) 테스트에서 스크린이 가능하므로 테스트 생산단가의 상승을 가져오고, 또한 데이타 패턴에 따른 페일 포인트(Fail Point) 스크린시는 상기 MDQ 테스트 방식을 사용하면 불가능하게 되는 문제점이 있다.

따라서, 본 발명의 목적은 병합 출력 테스트 방식에서도 특정 입력클럭들(어드레스 핀)을 사용하여 데이타 버스 라인끼리의 서로 다른 임의의 데이타 패턴을 구현할 수 있는 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법을 제공함에 있다.

상기한 목적들을 달성하기 위한 본 발명의 기술적 사상에 따르면, 결함있는 메모리 쎌 또는 웨이퍼의 테스트시 데이타 입력버퍼 또는 데이타 출력버퍼로 데이타의 입력 또는 출력에서 데이타 입력 버스 라인 또는 데이타 출력 버스 라인을 통합하여 테스트하기 위한 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법에 있어서, 정상동작시 소정갯수의 상기 데이타 입력버퍼의 출력을 소정갯수의 어드레스 버퍼의 출력과 병합 데이타 출력신호 발생기 및 병합 데이타 출력 제어회로의 카운터 출력에 의해 제어되어 상기 데이타 입력버퍼의 출력과 동일한 갯수의 데이타 입력신호를 출력하는 제1과정과, 테스트동작시 소정갯수의 상기 데이타 입력버퍼의 출력을 소정갯수의 어드레스 버퍼의 출력과 병합 데이타 출력신호 발생기 및 병합 데이타 출력 제어회로의 카운터 출력에 의해 제어되어 상기 데이타 입력버퍼의 출력을 소정의 비트수로 통합하여 데이타 입력신호를 출력하는 제2과정을 특징으로 한다.

이하 본 발명의 바람직한 실시예들의 상세한 설명이 첨부된 도면들을 참조하여 설명된다.

도면들중 동일한 구성요소 및 부분들은 가능한한 어느곳에서든지 동일한 부호들을 나타내고 있음을 유의하여야 한다.

본 발명에서는 16비트(Bit) 제품에서 4비트가 하나로 묶인 병합 출력핀인 경우로 가정한다. 즉, 정상동작에서는 16비트 제품으로 동작하고, 병합 출력핀 테스트시에는 4비트 제품으로 동작하는 것이다. 제3도와 제4도는 라이트시 병합 출력핀 회로를 나타내고, 제6도와 제7도는 리이드(Read)시의 병합 출력핀 회로를 나타낸다.

제3도는 본 발명에 따른 라이트시 병합 데이타 출력 테스트를 나타내는 블럭도이다. 제3도를 참조하면, 제1, 제2, 제3, 제4 데이타 입력버퍼 3,5,7,9와, 제1, 제2, 제3 어드레스 버퍼 150, 160, 170과, 상기 데이타 입력버퍼 3,5,7,9에 각각 접속되어 데이타 입력 DI0,DI1,DI2,DI3와 연결하여 주는 데이타 입력 버스 라인 100,200,300,400과, 상기 제1 데이타 입력버퍼 5,7,9에 일측이 접속되며 타측이 데이타 입력 DI1,DI2,DI3에 각각 접속되어 스위칭을 하는 전송게이트 21,23,25와, 병합 데이타 출력 MDQ를 발생시키고 제어하기 위한 병합 데이타 출력 제어 발생기 20과, 어드레스 버퍼 150, 160, 170과 일측이 접속되어 상기 병합 데이타 출력 제어 발생기 20에 의해 제어되어 병합 어드레스 출력 MA0, MA1, MA2의 출력을 스위칭하기 위한 전송게이트로 구성된 스위칭수단 120과, 상기 스위칭수단 120 및 상기 병합 데이타 출력신호 발생기 및 병합 데이타 출력신호 제어회로 20의 출력단에 입력단이 접속되어 병합 데이타 출력을 제어하기 위한 병합 데이타 출력 제어수단 27,29,31로 구성되어 있다. 여기에서 정상동작시는 상기 4개의 데이타 입력 버퍼 3, 5, 7, 9의 출력이 별개의 데이타 입력 버스라인을 통해 입력되고, 병합 출력 테스트시는 하나의 데이타 입력 버퍼의 출력(DI0)이 나머지 3개의 데이타 입력 버스(DI1~DI3)로 입력되는 것을 나타낸다. 상기 병합 출력 테스트시의 어드레스 버퍼 출력(MA0~MA2)은 정상동작시의 출력과 동일한 것으로서 어드레스의 상태에 따라서 묶여진 데이타 입력 버스(KI1~DI3)에 입력되는 데이타가 서로 달라진다. 제8도는 본 발명에 따른 병합 데이타 출력 셋트 싸이클의 동작타이밍도이다. 제8도의 첫번째의 상기 MDQ 셋트 싸이클(set cycle)[또는 라이트 카스 비포어 라스 싸이클(Write CAS Before RAS Cycle:WCBR Cycle)]에서의 어드레스 입력(MA0~MA2)상태에 따라서 DI1~DI3의 데이타가 DI0에 비해 데이타 반전여부가 결정된다. 따라서 MA0~MA2의 상태와 DI0의 상태에 의해 DI1~DI3까지의 데이타가 결정된다. 이러한 관계는 제9도에 잘 나타나 있다. 즉, 데이타 버스 라인끼리의 단락을 스크린하기 위한 DI1~DI3의 임의의 데이타를 어드레스 입력신호로 결정 할 수 있다. 데이타 입력 버스 라인사이에 있는 병합 데이타 출력 제어수단 27,29,31은 모두 동일한 회로로서 상기 MA0~MA2의 상태에 의해 상기 DI0의 데이타를 DI1~DI3 버스 라인에 바이패스(bypass)시킬때 데이타 반전여부를 결정한다.

제4도는 제3도에서의 병합 데이타 출력신호 발생기 및 병합 데이타 출력신호 제어회로의 상세 회로도이다. 제5도는 제3도 및 제4도에 의한 16비트에서의 데이타 출력신호 제어회로의 블럭도이다. 제4도를 참조하면, 로우어드레스스트로우브 신호 RAS, 컬럼어드레스스트로우브 신호 CAS 및 라이트 인에이블 신호 WE를 입력으로 하여 병합 데이타 출력신호 MDQ를 출력하며 동시에 WCBR 모드로 진입하는 신호를 발생하는 병합 데이타 출력신호 발생기 10과, 인버터 61과, 상기 병합 데이타 출력신호 발생기 10의 출력단에 입력단이 접속되어 2진수 카운티을 하기 위한 카운터(Counter) 30과, 상기 카운터 30의 출력 및 인버터 63,65에 의한 상보출력을 입력으로 하여 반전논리합하기 위한 노아게이트회로 12로 구성되어 있다. 상기 병합 데이타 출력신호 발생기 및 병합 데이타 출력신호 제어회로 20에서의 병합 데이타 출력 MDQ 제어회로 40은 제5도에서와 같이 MDQ 셋트 싸이클의 횟수에 의해 어드레스 버퍼 출력(MA0~MA2)DL DI0~DI3, DI4~DI7, DI8~DI11, DI12~DI15까지의 데이타 입력중에서 어느것을 통제할 것인지를 정하는 것이다. 이것은 2비트 2진수 카운터(2Bit Binary Counter) 30에 의해 MDQ0:3의 출력이 이루어지기 때문이다. 32비트 제품인 경우는 3비트 카운터를 사용하면 된다. 제8도의 동작타이밍도에서와 같이 상기 제1 MDQ 셋트 싸이클(MDQ0)에서는 DI0~DI3, 제2 싸이클(MDQ1)에서는 DI4~DI7, 제3 싸이클(MDQ2)에서는 DI8~DI11, 제4 싸이클(MDQ3)에서는 DI12~DI15를 통제한다. 다섯번째의 MDQ 셋트 싸이클이 발생하면 다시 DI0~DI3까지의 데이타 버스를 통제한다. 제5도는 정상동작시의 16비트 데이타 입력이 4비트 MDQ로 되는 경우에 대해 나타낸 것이며 병합 데이타 출력신호 제어회로 40은 상기 제4도의 것과 동일한 회로이다.

제6도는 본 발명에 따른 병합 데이타 출력 테스트에서 4비트 리이드시의 병합 데이타 출력 테스트 비교판정회로이다. 제6도를 참조하면, 데이타 출력 D00,D01,D02,D03을 데이타 출력버퍼 51,53,55,57에 각각 연결하기 위한 데이타 출력 버스 라인 500,600,700,800과, 상기 데이타 출력 버스 라인 500,600,700,800과 각각 접속되어 상기 데이타 출력 D00는 공통입력으로하고 각각 D01,D02,D03을 입력으로 하여 제어하기 위한 데이타 출력 제어회로 50과, 어드레스 입력 MA0,MA1,MA2를 입력으로 하고 제1 MDQ 셋트 싸이클 신호 MAQ0에 의해 제어되어 스위칭하는 전송게이트 71,73,75와 상기 데이타 출력 제어회로 50의 출력단에 입력단이 접속되며 병합 데이타 출력 MDQ를 입력으로 하여 반전논리곱하기 위한 낸드게이트 60과, 상기 데이타 출력 버스 라인 500과 접속되고 상기 병합 데이타 출력신호를 제어신호로 하여 상기 데이타 출력 D00를 데이타 출력버퍼 51로 전송하기 위한 스위칭을 하는 스위칭 수단 37과, 상기 낸드게이트 60의 출력단에 접속되고 상기 데이타 출력 버스 라인 500에 접속되어 상기 데이타 출력 D00를 상기 데이타 출력버퍼 51로 스위칭하기 위한 스위칭수단 39로 구성되어 있다. 데이타 출력 제어회로 50은 모두 동일한 회로로서, 데이타 출력 D00을 제외한 D01~D03의 읽는 데이타(D0j)는 라이트 데이타의 정보를 가지고 있는 어드레스 입력(MA0~MA2)에 의해 MDQ시 출력되는 데이타(D0i=D00)의 반전 여부가 결정된 데이타와 비교 판정되어, 판정 결과(M0i)가 모두 참이면 낸드게이트 60에 의해 D00의 데이타를 출력시키고 거짓이면 D00이 출력되지 않아 출력핀은 플로우팅(Floating)된다.

제7도는 본 발명에 따른 16비트의 출력이 병합 데이타 출력 테스트시에 4비트로 출력되는 것을 나타내는 블럭도이다. 제7도를 참조하면, 병합 데이타 출력 테스트 비교판정회로 70은 모두 제6도의 회로도이다. 리이드시에는 MA0~MA2와 MDQ0:3을 위한 별도의 MDQ 셋트 싸이클은 필요치 않다. 즉, 초기의 MDQ 셋트 싸이클에서 MA0~MA2의 값을 래치(Latch)하여 사용하도록 하였다. 상기 제8도의 동작 타이밍도에서 제1 MDQ 셋트 싸이클(또는 WCBR 싸이클)에서는 어드레스 키이(Key) 예를들면 어드레스 입력 MA0~MA2와 데이타 입력 DIN 0에 의해 DIN 1~DIN 3 까지의 데이타 입력이 정해지고, 제2 MDQ 셋트 싸이클에서는 MA0~MA2와 DIN 4에 의해 DIN 5~DIN 7까지의 데이타가, 제3 MDQ 셋트 싸이클에서는 MA0~MA2와 DIN 8에 의해 DIN 9~DIN 11 까지의 데이타가, 제4 MDQ 셋트 싸이클에서는 MA0~MA2와 DIN 12에 의해 DIN 13~DIN 15까지의 데이타가 정해진다. 즉, MDQ 셋트 싸이클 마다 발생하는 WCBR신호가 2비트 2진수 카운터의 입력으로

들어가 출력인 카운터 출력신호 CNT0,CNT1을 발생시키고, 이것에 의해 MDQ0:3의 신호가 순차적으로 선택되어 어드레스 키이(MA0~MA2)와 DIN 0,4,8,12에 의해 16비트중 나머지 12비트의 데이타 입력 상태를 결정할 수 있다. 표1은 MA0~MA2와 DIN 0의 상태에 따라서 결정되는 DI1~DI3까지의 데이타 상태를 보여주고 있다. 즉, MA0~MA2와 DIN 0의 상태에 따라 MDQ 테스트시에도 임의의 데이타를 라이트/리이드 할 수 있으므로 데이타 버스 라인끼리의 단락에 의한 페일을 스크린할 수 있는 효과가 있다.

상기한 본 발명은 도면을 중심으로 예를들어 한정되었지만, 그 동일한 것은 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러가지 변화와 변형이 가능함이 본 분야의 숙련된 자에게 있어 명백할 것이다.

(57) 청구의 범위

청구항 1

결함있는 메모리 쎌 또는 웨이퍼의 테스트시 데이타 입력버퍼 또는 데이타 출력버퍼로 데이타의 입력 또는 출력에서 데이타 입력 버스 라인 또는 데이타 출력 버스 라인을 통합하여 테스트하기 위한 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법에 있어서, 정상동작시 소정갯수의 상기 데이타 입력버퍼의 출력을 소정갯수의 어드레스 버퍼의 출력과 병합 데이타 출력신호 발생기 및 병합 데이타 출력 제어회로의 카운터 출력에 의해 제어되어 상기 데이타 입력버퍼의 출력과 동일한 갯수의 데이타 입력신호를 출력하는 제1과정과, 테스트동작시 소정갯수의 상기 데이타 입력버퍼의 출력을 소정갯수의 어드레스 버퍼의 출력과 병합 데이타 출력신호 발생기 및 병합 데이타 출력 제어회로의 카운터 출력에 의해 제어되어 상기 데이타 입력버퍼의 출력을 소정의 비트수로 통합하여 데이타 입력신호를 출력하는 제2과정을 특징으로 하는 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법.

청구항 2

제1항에 있어서, 상기 소정의 비트수가 상기 데이타 입력버퍼의 출력 동작비트수에 따라 복수비트의 가변적인 비트수가 됨을 특징으로 하는 반도체 메모리 장치의 병합 데이타 출력 모드 선택방법.

청구항 3

제1항에 있어서, 상기 소정의 비트수는 16비트동작의 테스트일 경우는 2진수 카운터의 4비트임을 특징으로 하는 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법.

청구항 4

제1항에 있어서, 상기 소정의 비트수는 32비트동작의 테스트일 경우는 2진수 카운터의 3비트임을 특징으로 하는 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법.

청구항 5

제1항에 있어서, 상기 제1, 제2과정이 각각의 데이타 입력버퍼에서 상기 데이타 입력 버스 라인을 통하여 각각의 데이타 입력신호로 병합 데이타 출력 싸이클링에 의해 개개의 상기 데이타 입력버퍼에 각각 적용되어 출력이 선택됨을 특징으로 하는 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법.

청구항 6

결함있는 메모리 쎌 또는 웨이퍼의 테스트시 데이타 입력버퍼 또는 데이타 출력버퍼로 데이타의 입력 또는 출력에서 데이타 입력 버스 라인 또는 데이타 출력 버스 라인을 통합하여 테스트하기 위한 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법에 있어서, 정상동작시 소정갯수의 상기 데이타 출력중 첫번째 데이타 출력이 병합 데이타 출력신호에 의해 제어되어 동작하는 제1과정과, 각각의 어드레스 키이입력을 첫번째 병합 데이타 출력신호에 의해 제어되어 스위칭을 하는 스위칭수단을 통해 소정의 어드레스 키이입력을 선택하는 제2과정과, 상기 데이타 출력중 첫번째 데이타 출력과 상기 선택된 어드레스 키이입력 및 상기 첫번째 데이타 출력을 제외한 데이타 출력신호들 각각에 의해 각각의 데이타 출력 제어회로가 제어되어 소정갯수의 출력신호를 발생하는 제3과정과, 상기 제3과정의 출력신호를 논리조합하여 상기 첫번째 데이타 출력을 제어하여 해당하는 상기 데이타 출력버퍼로 상기 데이타 출력을 병합 또는 개개로 출력하게 하는 제4과정을 특징으로 하는 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법.

청구항 7

제6항에 있어서, 상기 소정의 비트수가 상기 데이타 출력버퍼의 출력 동작비트수에 따라 복수비트의 가변적인 비트수가 됨을 특징으로 하는 반도체 메모리 장치의 병합 데이타 출력 모드 선택방법.

청구항 8

제6항에 있어서, 상기 소정의 비트수는 16비트동작의 테스트일 경우는 2진수 카운터의 4비트임을 특징으로 하는 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법.

청구항 9

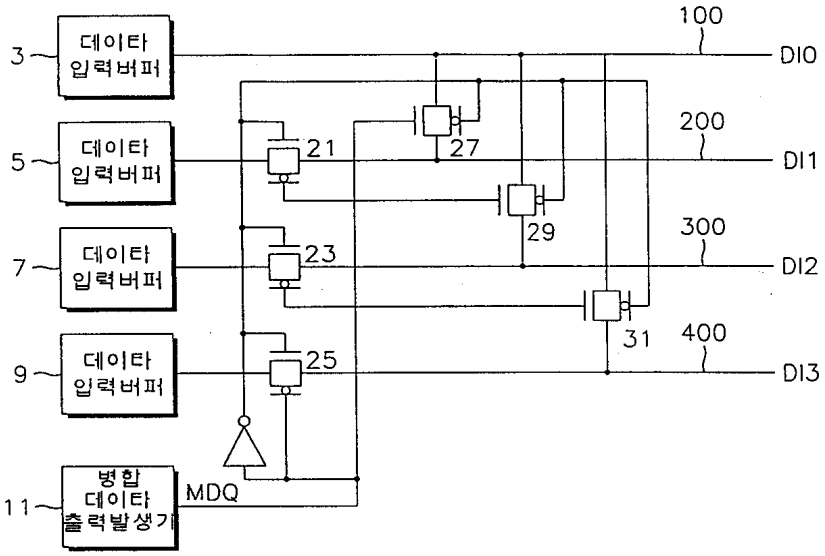
제6항에 있어서, 상기 소정의 비트수는 32비트동작의 테스트일 경우는 2진수 카운터의 3비트임을 특징으로 하는 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법.

청구항 10

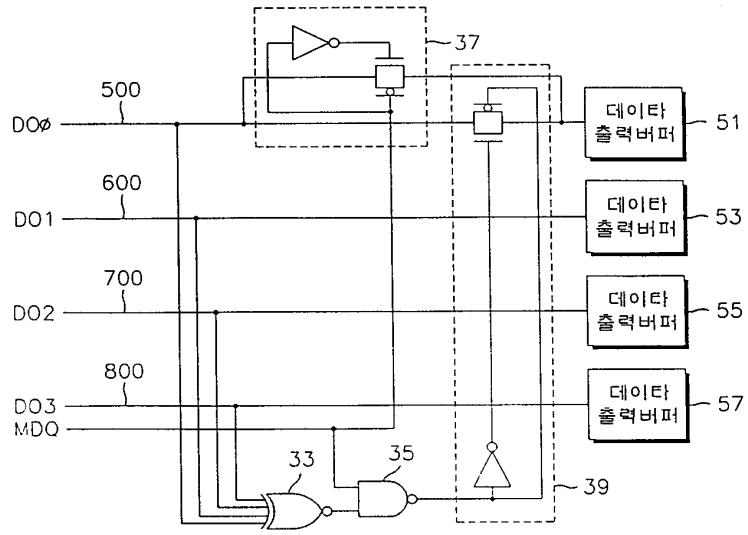
제6항에 있어서, 상기 제1, 제2, 제3, 제4과정이 각각의 데이타 출력에서 상기 데이타 출력 버스 라인을 통하여 각각의 데이타 출력버퍼로 병합 데이타 출력 싸이클링에 의해 개개의 상기 데이타 출력버퍼에 각각 적용되어 출력이 선택됨을 특징으로 하는 반도체 메모리 장치의 병합 데이타 출력 모드 선택 방법.

도면

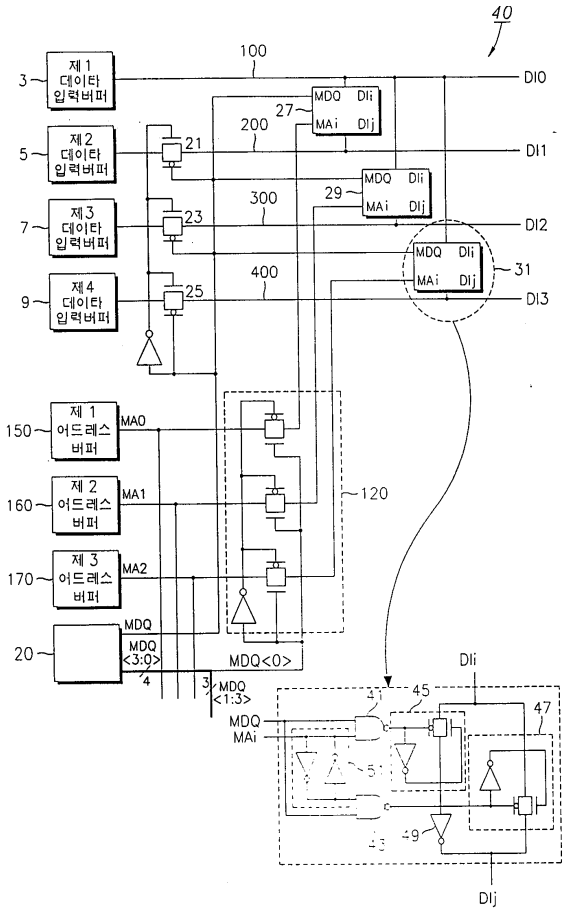
도면1


3
데이타 입력버퍼
5
데이타 입력버퍼
7
데이타 입력버퍼
9
데이타 입력버퍼
11
병합 데이타 출력발생기
MDQ
21
23
25
27
29
31
100
200
300
400
DI0
DI1
DI2
DI3

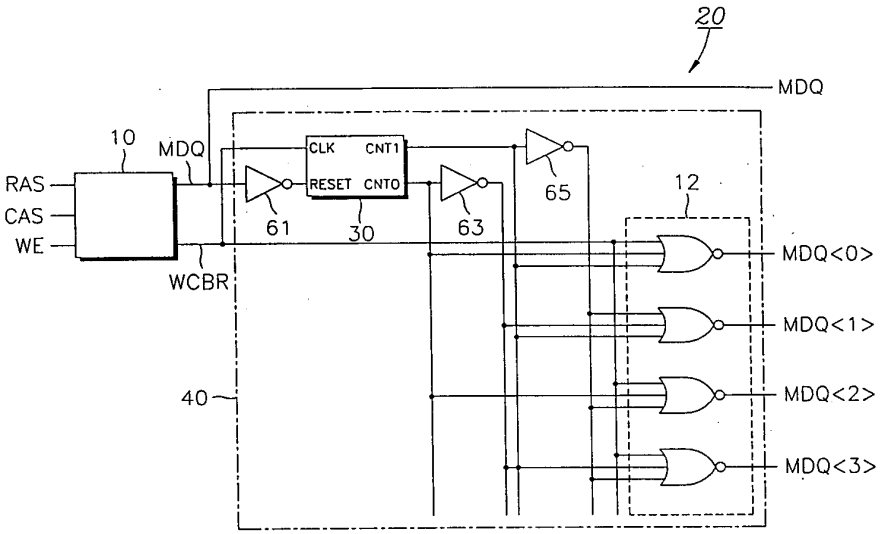
도면2


500
DOø
600
DO1
700
DO2
800
DO3
MDQ
33
35
37
39
데이타 출력버퍼
51
데이타 출력버퍼
53
데이타 출력버퍼
55
데이타 출력버퍼
57

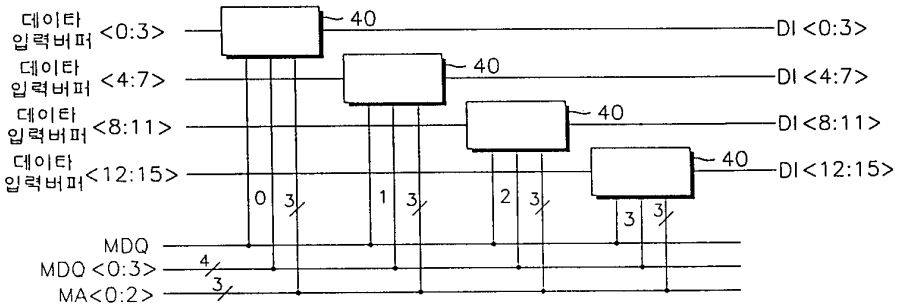
도면3


40
100
200
300
400
제 1 데이타 입력버퍼
제 2 데이타 입력버퍼
제 3 데이타 입력버퍼
제 4 데이타 입력버퍼
DI0
DI1
DI2
DI3
MDQ Dli
MAi Dlj
27
29
31
21
23
25
제 1 어드레스 버퍼
제 2 어드레스 버퍼
제 3 어드레스 버퍼
MA0
MA1
MA2
150
160
170
120
MDQ
MDQ <3:0>
MDQ <1:3>
MDQ<0>
20
Dli
Dlj
41
45
47
49
51
43

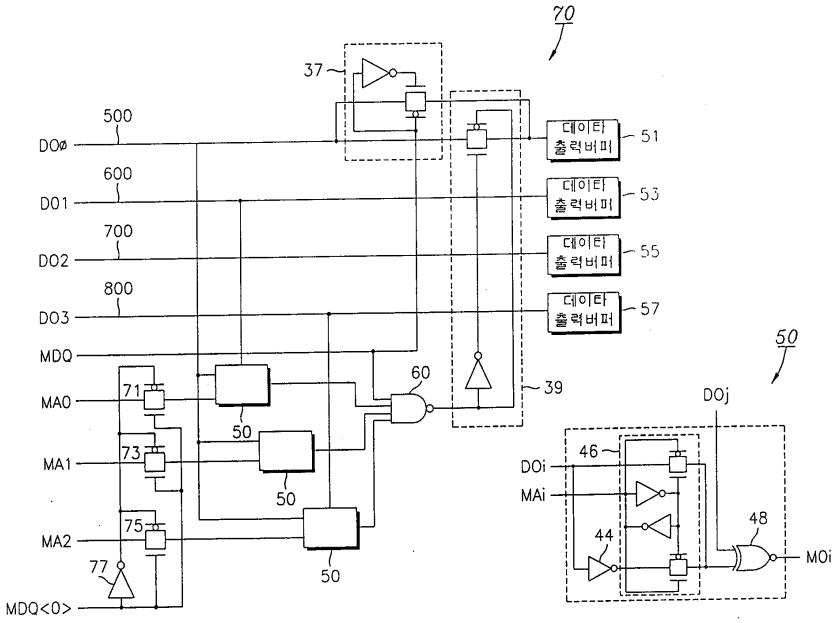
도면4


20
MDQ
10
RAS
CAS
WE
WCBR
CLK CNT1
RESET CNTO
61
30
63
65
12
40
MDQ<0>
MDQ<1>
MDQ<2>
MDQ<3>

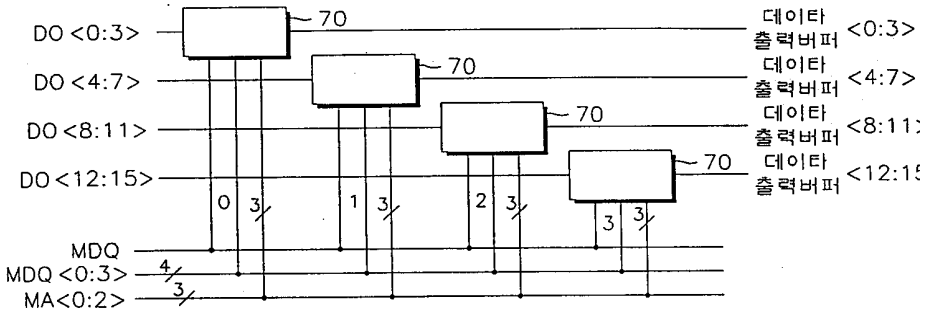
도면5


데이타 입력버퍼 <0:3>
데이타 입력버퍼 <4:7>
데이타 입력버퍼 <8:11>
데이타 입력버퍼 <12:15>
40
DI <0:3>
DI <4:7>
DI <8:11>
DI <12:15>
0 3
1 3
2 3
3 3
MDQ
MDQ <0:3>
MA<0:2>
4
3

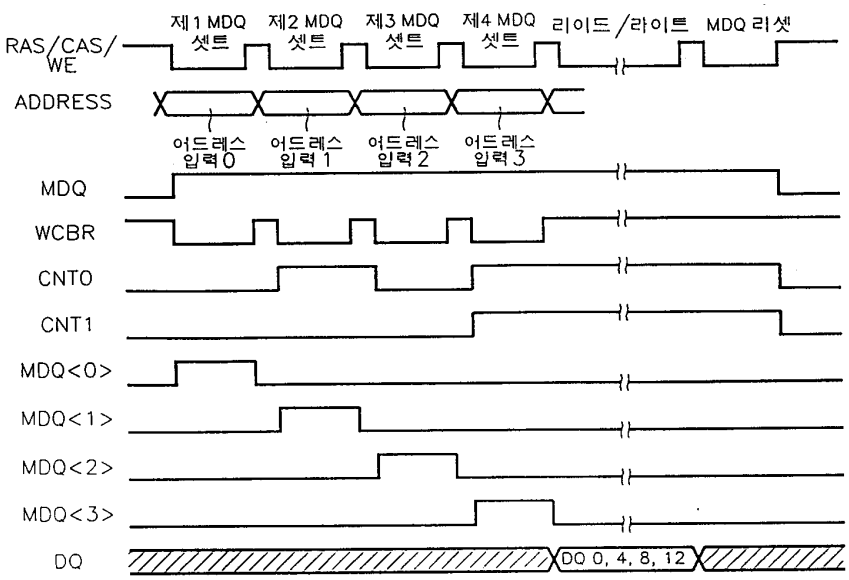
도면6


70
37
500
DOø
600
DO1
700
DO2
800
DO3
MDQ
MA0
MA1
MA2
MDQ<0>
71
73
75
77
50
60
39
데이타 출력버퍼
51
53
55
57
50
DOj
DOi
MAi
46
44
48
MOi

도면7


DO <0:3>
DO <4:7>
DO <8:11>
DO <12:15>
70
데이타 출력버퍼 <0:3>
데이타 출력버퍼 <4:7>
데이타 출력버퍼 <8:11>
데이타 출력버퍼 <12:15>
0 3
1 3
2 3
3 3
MDQ
MDQ <0:3>
MA<0:2>
4
3

도면8



도면9

어드레스 키이			MDQ사의 DIN (0-3)			
MA2	MA1	MA0	DI3	DI2	DI1	DI0
0	0	0	0	0	1	0
0	0	1	0	0	0	0
0	1	0	0	1	1	0
0	1	1	0	1	0	0
1	0	0	1	0	1	0
1	0	1	1	0	0	0
1	1	0	1	1	1	0
1	1	1	1	1	0	0
0	0	0	1	1	1	1
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	1	0	0	1
1	0	0	0	1	1	1
1	0	1	0	1	0	1
1	1	0	0	0	1	1
1	1	1	0	0	0	1