

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-527346

(P2008-527346A)

(43) 公表日 平成20年7月24日(2008.7.24)

(51) Int.Cl.		F I		テーマコード (参考)
<b>GO 1 R 31/28</b>	<b>(2006.01)</b>	GO 1 R 31/28	M	2 G 1 3 2
<b>HO 1 L 21/66</b>	<b>(2006.01)</b>	HO 1 L 21/66	B	4 M 1 0 6

審査請求 未請求 予備審査請求 未請求 (全 20 頁)

(21) 出願番号 特願2007-550379 (P2007-550379)  
 (86) (22) 出願日 平成17年12月15日(2005.12.15)  
 (85) 翻訳文提出日 平成19年8月17日(2007.8.17)  
 (86) 国際出願番号 PCT/US2005/045583  
 (87) 国際公開番号 W02006/073737  
 (87) 国際公開日 平成18年7月13日(2006.7.13)  
 (31) 優先権主張番号 11/031, 504  
 (32) 優先日 平成17年1月7日(2005.1.7)  
 (33) 優先権主張国 米国 (US)

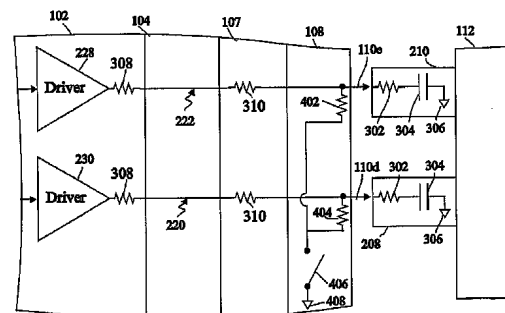
(71) 出願人 505377474  
 フォームファクター、 インコーポレイテッド  
 アメリカ合衆国 カリフォルニア 945  
 51, リバーモア, サウスフロント  
 ロード 7005  
 (74) 代理人 100079108  
 弁理士 稲葉 良幸  
 (74) 代理人 100093861  
 弁理士 大賀 真司  
 (74) 代理人 100109346  
 弁理士 大賀 敏史

最終頁に続く

(54) 【発明の名称】 電子デバイスをテストするためのシステムの動作周波数を増加させるための方法および装置

## (57) 【要約】

テストシステムは、テストされる電子デバイスの入力端子と接触するプローブ内を終端とする、通信チャネルを備える。抵抗が、プローブの近くの通信チャネルと接地の間に接続されている。抵抗は、端子の入力抵抗を減少させ、それによって入力端子の立上がりおよび立下がり時間を減少させる。チャネルは、その中で各経路が、テストされる電子デバイス上の端子と接触するためのプローブを終端とする複数の経路を有する分岐内を終端としてよい。アイソレーション抵抗が、1つの入力端子での障害が他の入力端子へ伝搬することを防止するために分岐内に設けられている。分路抵抗が、各分岐内に設けられており、このことが、端子の入力抵抗を減少させ、それによって入力端子の立上がりおよび立下がり時間を減少させる。分路抵抗はまた、チャネルを戻る信号反射を減少、最小化、または除去するようにサイズ調整されてもよい。



**【特許請求の範囲】****【請求項 1】**

テストとテスト下の電子デバイスとの間でテスト信号をインターフェースするための装置であって、

構造体と、

前記構造体上に配置され、かつ、前記テストからの通信チャネルと電氣的に接続するように構成された複数のチャネル端子と、

前記構造体上に配置され、かつ、前記電子デバイスのテスト機構と接触するように構成された複数のプローブと、

前記チャネル端子のいくつかと前記プローブのいくつかを接続する複数の導電性経路と

10

、  
前記構造体上に配置され、かつ、各々が前記導電性経路の 1 つと電氣的に接続されている複数の分路抵抗と、

を備える装置。

**【請求項 2】**

前記分路抵抗が、薄膜抵抗である請求項 1 に記載の装置。

**【請求項 3】**

前記構造体が、前記プローブがその上に配置される第 1 の基板を備える請求項 1 に記載の装置。

**【請求項 4】**

20

前記分路抵抗が、前記第 1 の基板上に配置されている請求項 3 に記載の装置。

**【請求項 5】**

前記分路抵抗が、薄膜抵抗である請求項 4 に記載の装置。

**【請求項 6】**

前記プローブおよび前記分路抵抗が、前記第 1 の基板の第 1 の表面上に配置されている請求項 4 に記載の装置。

**【請求項 7】**

前記分路抵抗が、前記第 1 の基板の内部に配置されている請求項 4 に記載の装置。

**【請求項 8】**

前記構造体が、前記チャネル端子がその上に配置される第 2 の基板をさらに備える請求項 3 に記載の装置。

30

**【請求項 9】**

前記分路抵抗を接続解除するように構成されているスイッチをさらに備える請求項 1 に記載の装置。

**【請求項 10】**

前記スイッチが、前記構造体上に配置されている請求項 9 に記載の装置。

**【請求項 11】**

前記経路のいくつか、複数の分岐を備え、前記経路の 1 つが、前記チャネル端子の 1 つを複数の前記プローブと電氣的に接続する請求項 1 に記載の装置。

**【請求項 12】**

40

前記分岐内に配置された複数のアイソレーション抵抗をさらに備え、各々の前記アイソレーション抵抗が、前記分岐の 1 つのプローブを、前記分岐のもう 1 つのプローブから電氣的に絶縁するように構成されている請求項 11 に記載の装置。

**【請求項 13】**

前記分路抵抗の各々が、アイソレーション抵抗と前記分岐内のプローブとの間の前記分岐の 1 つから接地への抵抗電気経路を提供する請求項 12 に記載の装置。

**【請求項 14】**

前記構造体が、前記プローブがその上に配置される第 1 の基板を備える請求項 11 に記載の装置。

**【請求項 15】**

50

前記分路抵抗が、前記第 1 の基板上に配置されている請求項 1 4 に記載の装置。

【請求項 1 6】

前記アイソレーション抵抗が、前記第 1 の基板上に配置されている請求項 1 5 に記載の装置。

【請求項 1 7】

前記プローブおよび前記分路抵抗が、前記第 1 の基板の第 1 の表面上に配置されている請求項 1 5 に記載の装置。

【請求項 1 8】

前記分路抵抗が、薄膜抵抗であり、かつ、前記アイソレーション抵抗が、前記第 1 の基板上に配置された薄膜抵抗である請求項 1 5 に記載の装置。

10

【請求項 1 9】

前記分路抵抗が、前記第 1 の基板の内部に配置されている請求項 1 5 に記載の装置。

【請求項 2 0】

各々の前記分路抵抗が、前記電子デバイスの前記テスト機構の 1 つの入力抵抗を減少させるように、前記導電性経路の 1 つに接続されている請求項 1 に記載の装置。

【請求項 2 1】

各々の前記分路抵抗が、前記導電性経路の 1 つから接地へ接続されている請求項 1 に記載の装置。

【請求項 2 2】

電子デバイスをテストするために使用するための装置であって、

20

複数の電気経路であって、前記電気経路の各々が、テストと前記電子デバイスの間の通信チャンネルの一部分を備え、前記経路のいくつかが、前記電子デバイスの入力端子と接触するためのプローブを備える電気経路と、

前記入力端子での前記電子デバイスのスイッチング速度を増加させるために前記経路の前記いくつかと接続された抵抗手段と

を備える装置。

【請求項 2 3】

前記抵抗手段が、前記入力端子の立上がり時間を減少させる請求項 2 2 に記載の装置。

【請求項 2 4】

前記装置が、半導体ダイをテストするためのプローブカードアセンブリを備える請求項 2 2 に記載の装置。

30

【請求項 2 5】

前記プローブが取り付けられる基板をさらに備え、前記抵抗手段が前記基板上に配置されている請求項 2 4 に記載の装置。

【請求項 2 6】

プローブ内において終端する複数のドライブチャンネルを備えるテストシステムで使用するための、複数の入力端子を備える電子デバイスをテストする方法であって、

前記プローブを前記入力端子と接触させること、

前記分路抵抗を前記ドライブチャンネルと接続すること、および、

40

前記電子デバイスに前記ドライブチャンネルを介して機能テストを行うこと、を含む方法。

【請求項 2 7】

分路抵抗を前記ドライブチャンネルから接続解除すること、および、

前記電子デバイスに、前記ドライブチャンネルを介してパラメトリックテストを行うステップと、

をさらに含む請求項 2 6 に記載の方法。

【請求項 2 8】

前記分路抵抗が、前記機能テストが前記電子デバイス上で行われ得る動作周波数を増加させるように構成されている請求項 2 6 に記載の方法。

【請求項 2 9】

50

前記分路抵抗が、前記入力端子の立上がり時間を減少させる請求項 26 に記載の方法。

【請求項 30】

前記分路抵抗が、前記入力端子の立下がり時間を減少させる請求項 29 に記載の方法。

【請求項 31】

前記分路抵抗が、前記ドライブチャネルと接続されている間、各々の前記分路抵抗が、前記ドライブチャネルの 1 つと接地の間に抵抗電気経路を提供する請求項 26 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は一般に、データが 1 つまたは複数の通信チャネルを伝送される任意のシステムに関する。

【背景技術】

【0002】

20

このようなシステムの一例は、半導体デバイスなどの電子デバイスをテストするためのテストシステムである。図 1 は、電子デバイスをテストするためのテストシステム 100 の単純化されたブロック図を示す。図 1 のテストシステム 100 は、個片にされていない半導体ウェハのダイ、(パッケージングされた、またはパッケージングされていない) 個片にされたダイ、またはマルチチップモジュールをテストしてもよい。このようなシステム 100 は、プリント回路基板などの他のタイプの電子デバイスを、同様にテストするように構成されてもよい。図示されているように、システム 100 は、テスト 102 とテスト下の電子デバイス(「DUT」) 112 の間でテスト信号を通信するために、テスト 102、通信接続 104 (たとえば、同軸ケーブル、光ファイバリンク、無線通信リンクなど)、プローブヘッド 107、およびプローブカード 108 を備える。また、テストシステム 100 は、DUT 112 を支持および移動するための可動なチャック 114 を備えるハウジング 106 を備える。プローブカードのプローブ 110 は、DUT 112 と接触し、それによって DUT との電氣的接続を形成する。

【0003】

30

テスト 102 がテストデータを生成し、テストデータが、通信接続 104、プローブヘッド 107、およびプローブカード 108 を通り、DUT 112 の入力端子(図 1 で図示せず)への導電性経路を備える通信チャネルを通して伝送される。DUT 112 によって生成された応答データが、DUT の出力端子を通して出力され、比較チャネル(これもプローブカード 108、プローブヘッド 108 および通信接続 104 を通る導電性経路を備える)を通してテスト 102 へ伝送される。通常、テスト 102 が次に、DUT 112 の良否を判定するために、DUT 112 によって生成された応答データを、予想される応答データと比較する。(このような試験が、DUT の動作を評価するために追加でまたは別法として使用されてもよい。)

40

図 2 は、2 つの入力端子 208 および 210、2 つの出力端子 204 および 206、1 つの電源端子 212、および 1 つの接地端子 202 を備える例示的な DUT 112 を示している。(典型的な DUT は、もっと多くの端子を有してもよいが、例示および議論を容易にするために 6 つの端子が図 2 に示されている。) 図 2 に示されているように、電力が、テスト 102 から電源チャネル 224 を通って電源端子 212 へ供給される。電源チャネル 224 は、通信接続 104、プローブヘッド 107、およびプローブカード 108 を通る導電性経路を備える。プローブカード 108 は、電源端子 212 と接触するプローブ 110 f を備える。接地接続が、テスト 102 から接地チャネル 214 を通って同様に提供される。接地チャネル 214 は、プローブ 110 a を終端とする。テスト 102 内のドライバ 228 および 230 が、プローブ 110 d および 110 e をそれぞれ終端とするドライバチャネル 222 および 224 を通って、入力端子 208 および 210 へテストデータを伝送させる。DUT 112 によって生成される応答データ、および出力端子 204 および 206 を介しての出力が、テスト 102 内の比較器 232 および 234 によって受信

50

される。(比較器 232 および 234 が、応答データを予想される応答データと比較してもよい。)制御モジュール 226 が、テスト 102 の全体的な動作を制御し、電源および接地を提供し、テストデータを生成し、実際の応答データを予想される応答データと比較した結果を取得し、および/または特にタイミング信号を生成する。

#### 【0004】

図 3 は、チャンネル 222 および 220 を伝送させるドライバ 228 および 230 のみを示す、テスト 102 の部分図を示している。図 3 では、抵抗 308 が、ドライバ (228 または 230) の出力インピーダンスを表し、かつ抵抗 310 が、通信チャンネル (220 または 222) の特性インピーダンスを表す。図 3 では、DUT 112 が、相補型金属酸化膜半導体 (CMOS) デバイスであると仮定されている。公知のように、CMOS デバイス (たとえば、112) の入力端子 (たとえば、208 または 210) は、主に容量性である。入力端子 208 および 210 に対する単純化された等価な回路が、コンデンサ 304 (入力端子 208 および 210 の主に容量性の性質を表す) と直列である抵抗 302 (入力端子 (たとえば 208 または 210) の入力抵抗を表す) として図 3 に示されている。(306 は接地を表す。)

公知のように、入力端子 208 または 210 での低信号から高信号への変化は、十分な電荷がコンデンサ 304 上に蓄積されるまで、DUT 112 内で登録されない。同様に、入力端子 208 または 210 での高信号から低信号への変化は、コンデンサ 304 上の電荷が分散するまで、DUT 内で登録されない。コンデンサ 304 を充電するために必要とされる時間はしばしば、立上がり時間と称され、コンデンサ 304 を放電するために必要とされる時間は立下がり時間と称される。

#### 【0005】

公知のように、直列の抵抗およびコンデンサの立上がり時間は、抵抗と容量の積に比例する。立上がり時間の時間定数 ( ) は以下のものである:  $\tau = R * C$  (ここで、 $\tau$  は、立上がり時間または立下がり時間の時間定数であり、 $R$  は、抵抗であり、 $C$  は、コンデンサの容量であり、 $*$  は、積を表す)。コンデンサ 304 を横切る電圧は以下の通りである:  $v_c(t) = C * v_d * (1 - e^{-t/\tau})$ 。

#### 【0006】

ここで、

$v_c(t)$  は、時間  $t$  でのコンデンサ 304 を横切る電圧、

$v_d$  は、ドライバ 228 または 230 の出力電圧、

$t$  は、 $v_d$  の立上がり縁部からの時間 (低電圧レベルから高電圧レベルまでの)、

$\tau$  は、時間定数であり、 $\tau = R * C$ 、

$R$  は、各ドライバ 228 および 230 と、各入力端子 208 および 210 の容量 304 の間の全体抵抗 (したがって、 $R$  は、ドライバの出力インピーダンス 308、ドライバチャンネルの特性インピーダンス 310、および DUT 112 の入力端子の入力インピーダンス 302 の和)、および

$C$  は、コンデンサ 304 の容量である。

#### 【0007】

直列の抵抗およびコンデンサの立下がり時間もまた、抵抗と容量の積に比例し、かつ同じ時間定数 ( ) が適用可能である。コンデンサ 304 を横切る電圧は以下のものである:  $v_c(t) = C * v_0 * e^{-t/\tau}$ 、ここで  $v_0$  は、コンデンサ上の初期電荷であり、その他のパラメータは上記で定義されたものと同様である。

#### 【0008】

明らかになるように、入力端子 208 および 210 の立上がり時間および立下がり時間は、DUT 112 への入力信号が切り替えられる周波数を制限する。これも明らかになるように、テストシステム 100 は、DUT 112 の入力端子 208 および 210 の立上がり時間および立下がり時間を追加してもよい。このことは、各ドライバ 228 および 230 ならびにドライブチャンネル 220 および 222 に対して、ドライバ 228 および 230 の出力インピーダンス 308、ならびにチャンネル 220 および 222 の特性インピーダン

10

20

30

40

50

ス 3 1 0 が、D U T 1 1 2 の入力端子 2 0 8 および 2 1 0 の入力抵抗 3 0 2 を効果的に増加させるためである。

【 0 0 0 9 】

D U T 1 1 2 が切り替えられる周波数に対する別の考えられる制限は、チャンネル 2 2 0 および 2 2 2 上での信号反射から生じる。ドライバ 2 2 8 または 2 3 0 によってチャンネル 2 2 2 または 2 2 0 を通って伝送されるテスト信号が、入力端子 2 1 0 または 2 0 8 から（少なくとも部分的に）反射され、ドライバ 2 2 8 または 2 3 0 へ向かってチャンネル 2 2 2 または 2 2 0 を戻される。ドライバ出力インピーダンス 3 0 8 が、チャンネル（2 2 2 または 2 2 0）の特性インピーダンス 3 1 0 と一致する場合、反射信号は、ドライバ出力インピーダンス 3 0 8 によって吸収され、D U T 1 1 2 へ向かってチャンネル（2 2 2 または 2 2 0）を戻るようにさらに反射されない。ドライバ（または信号発生源）の出力インピーダンスがチャンネルの特性インピーダンスと一致するこのような構成は、しばしば、「ソースターミネーション」と称される。図 3 に示されているシステムがソースターミネートされている場合でさえも、チャンネル 2 2 2 および 2 2 0 を戻る反射が、入力端子 2 1 0 および 2 0 8 が切り替えられる振動数を制限する振動、ノイズまたは符号間干渉を生じさせることがある。

10

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

いくつかのテスト適用例では、D U T がテストされることができる周波数を増加させることが有利であろう。

20

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明の一実施形態では、テストシステムは、プローブ内を終端とする通信チャンネルを備える。プローブは、テストされる電子デバイスの入力端子と接触し、かつテストデータが、テストされる電子デバイス内へ通信チャンネルを伝送される。抵抗が、プローブの近くの通信チャンネルと接地点の間に接続される。このようにして入力端子の入力抵抗および容量と並列である抵抗が、端子の入力抵抗を減少させ、それによって入力端子の立上がりおよび立下がり時間を減少させる。抵抗はまた、通信チャンネルを戻る信号の反射を減少、最小化、または除去するようにサイズ調整されてもよい。

30

【 0 0 1 2 】

本発明の第 2 の実施形態では、テストシステムが、それぞれがプローブ内を終端とする複数の経路に分岐する通信チャンネルを備える。プローブは、テストされる電子デバイス上の入力端子と接触する。アイソレーション抵抗が、一つの入力端子での障害が、他の入力端子へ伝搬することを防止するために、分岐内に備えられている。分路抵抗が各分岐内に設けられている。分路抵抗は、プローブから接地へ電氣的に接続され、再び、端子の入力抵抗を減少させ、それによって入力端子の立上がりおよび立下がり時間を減少させる。分路抵抗はまた、通信チャンネルを戻る信号の反射を減少、最小化または除去するようにサイズ調整されてもよい。

40

【 発明を実施するための最良の形態 】

【 0 0 1 3 】

本明細書は、本発明の例示的な実施形態および適用例を説明しているが、本発明は、これらの例示的な実施形態および適用例に、または例示的な実施形態および適用例が動作するまたは本明細書で説明される方式に限定されない。

【 0 0 1 4 】

図 4 は、D U T 1 1 2 の入力端子 2 0 8 および 2 1 0 の立上がりおよび立下がり時間を減少させるための分路抵抗 4 0 2 および 4 0 4 が備えられている本発明の第 1 の実施形態を示している。図 4 は、図 3 に示されているのと同じ図 2 のテストシステムの部分図を示している。すなわち、2 つのドライバ 2 2 8 および 2 3 0 が、通信接続 1 0 4、プローブヘッド 1 0 7、およびプローブカードアセンブリ 1 0 8（プローブ 1 1 0 d および 1 1 0

50

eを含む)を通る導電性経路を備える、2つのチャネル220および222を伝送させる。プローブ110dおよび110eが、DUT112の入力端子210および208と接触し、それによって電氣的接続を作製する。

#### 【0015】

図4に示されているように、分路抵抗402および404が、各ドライブチャネル220および222のプローブ端部に、またはその近くに配置されている。両方の分路抵抗402および404が、接地408と接続されている。(図4では、分路抵抗402および404が、以下で議論されるスイッチ406を通して接地408とオプショで接続されている。)各チャネル内での分路抵抗402および404の存在が、入力端子208および210の立上がり時間および立下がり時間の両方を改善する。

#### 【0016】

明らかになるように、スイッチ406が閉鎖されている間、各分路抵抗402および404は、各端子208および210の入力抵抗302と一般に並列である。公知のように、並列抵抗を合計するための公知の式は、 $R_T = (R_1 * R_2) / (R_1 + R_2)$ である、ここで、 $R_T$ は、並列抵抗 $R_1$ および $R_2$ の全抵抗であり、\*は積を表す。)このようにして、分路抵抗402および404が、ドライバ228および230ならびに入力端子210および208の間の全抵抗を減少させ、このことがさらに、時間定数  $= R * C$ 、および各入力端子208および210の立上がりおよび立下がり時間を減少させる。入力端子208および210の入力抵抗302の有効抵抗を減少させることによって、分路抵抗402および404が、ドライバ出力インピーダンス308およびドライバチャネルインピーダンス310の効果を効果的に減少させる、または除去する。これらの両方は、端子入力抵抗302と直列であり、したがって、入力端子の立上がりおよび立下がり時間を追加する。したがって、DUT112の入力端子208および210の立上がりおよび立下がり時間を減少させるように分路抵抗402および404を適切にサイズ調整することによって、DUT112がテストされることができる周波数が、増加されることができる。

#### 【0017】

信号反射を減少、最小化、または除去するように分路抵抗402および404をサイズ調整することによって、図4に示されているシステムなどのシステムの動作周波数をさらに改善することが可能であるかもしれない。チャネル222または220の端部でのインピーダンスをチャネルインピーダンス310と一致させるまたは厳密に一致させることによって、チャネル222または220のDUT端部での反射が、減少、最小化、または除去されてもよい。(ドライバ出力インピーダンス308およびチャネルインピーダンス310が一致される(すなわち、等しいまたはほぼ等しい値である)ことが仮定される。)このことは、チャネルインピーダンス310に等しいまたはほぼ等しい、チャネル222または220の端部でのDUT端子入力抵抗302を全抵抗に提供するように、分路抵抗402または404をサイズ調整することによって達成される。分路抵抗402または404が、DUT端子入力抵抗302と並列であり、かつ公知のように、並列な抵抗の全抵抗は、並列抵抗の積を並列抵抗の和で割ったものであることに注意されたい。したがって、反射を除去するために、分路抵抗402または404が、分路抵抗402または404とDUT端子入力抵抗302の全抵抗がチャネルインピーダンス310と等しくなるように、サイズ調整されるべきである。分路抵抗402または404と並列なDUT端子入力抵抗302の全抵抗を、チャネルインピーダンス310とほぼ等しく、または少なくとも等しいことに近くすることによって、反射が、減少または最小化されることができる。CMOSデバイスなどの多くのデバイスに対して、デバイスの入力インピーダンス302は、無視されることができる伝送線インピーダンス310よりも十分大きく、したがって、分路抵抗402および404が、十分に一致するように伝送線インピーダンス310と等しくされることができる。

#### 【0018】

各チャネル222および220に対して、分路抵抗402または404が、チャネルイ

10

20

30

40

50

ンピーダンス 310 と電圧分割器を形成することが明らかであろう。DUT 入力端子 210 または 208 が、高い状態へ切り替えられ、かつコンデンサ 304 が完全に充電された後、かなりの電流が、DUT 入力端子 210 または 208 内へ流れることを止めるが、分路抵抗 402 または 404 を通って流れる。ドライバ 228 または 230 による電圧出力は、分路抵抗 402 または 404 を横切る電圧が、DUT 入力端子 210 または 208 を高い状態に保持するのに十分であるようであるべきである。したがって、たとえば、分路抵抗 402 または 404 がチャネルインピーダンス 310 と同じサイズである場合、ドライバ 228 または 230 (ドライバがその出力インピーダンス 308 を備え、かつドライバ出力電圧がチャネル 222 または 220 上へ伝送される電圧であるところの) の出力電圧が、DUT 入力端子 210 または 208 を高い状態に保持するために必要とされる電圧の 2 倍であるべきである。(公知のように、電圧発生源および直列の第 1 および第 2 の抵抗から成る電圧分割器回路内の第 2 の抵抗を横切る電圧は、第 2 の抵抗の抵抗をかけて、第 1 および第 2 の抵抗の合計で割られた電源電圧である。)

スイッチ 406 は、分路抵抗 402 または 404 が使用または不使用に切り替えられることを可能にする。スイッチ 406 が閉鎖されている間、分路抵抗 402 または 404 は、接地 408 に接続され、上記で説明されたように入力端子 208 および 210 の立上がりおよび立下がり時間が減少される。スイッチ 406 が開放されている間、分路抵抗 402 または 404 は、図 4 に示されているシステムから効果的に取り出される。

#### 【0019】

パラメトリックテストなどのいくつかのテストが、スイッチ 406 が開放されている間に最も効果的に行われる。パラメトリックテストは、DUT 112 の端子のうちの 1 つまたは複数が、接地または別の端子と短絡されているかどうかを判定するためのテスト、および、端子を通る漏れ電流を判定するためのテストを含む。上記で説明されたように、スイッチ 406 が閉鎖されると、テストシステムが、高周波機能テストを行う準備ができる。

#### 【0020】

図 5 は、分離されたダイ (パッケージングされた、またはパッケージングされていない)、マルチチップ電子モジュールなどを限定することなく含む、半導体ウェハまたは他の電子デバイスのダイをテストするために使用されることが出来る例示的なプローブカードアセンブリを示している。図 5 に示されているプローブカードアセンブリは、図 1 のテストシステム 100 と同様のテストシステム内で使用されてもよい。図 5 に示されている例示的なプローブカードアセンブリは、プローブヘッド (たとえば、図 1 のプローブヘッド 107) と接触するために片側に端子 505 を備えるプローブボード 502 を備える。プローブボード 502 を通る電氣的接続 510 が、端子 505 を端子 512 と接続する。インターポーザ 504 はプローブボード端子 512 をプローブ基板 506 と電氣的に接続する。インターポーザ 504 が、端子 512 と係合する電気接点 514 (細長いばね接点であってよい) を備える。インターポーザの電気接点 514 は、インターポーザ 504 の一方の側の端子 516 に取り付けられ、かつインターポーザ 504 の他方の側の端子 515 とコネクタ 520 によって電氣的に接続されている。電気接点 522 (電気接点 514 と同様であってよい) が、プローブ基板 506 上の端子 524 と係合する。端子 524 が、プローブ基板 506 を通ってプローブ端子 525 へ接続 526 を介して電氣的に接続され、かつ DUT (図 5 では図示せず) と接触するためのプローブ 530 が、プローブ端子 525 に取り付けられる。このようにして、プローブボード 502 上の端子 505 とプローブ基板 506 上のプローブ 530 の間の電氣的経路が提供される。プローブボード 502、インターポーザ 504 およびプローブ基板 506 が、いずれかの適切な手段を使用して互いに固定されてもよい。このようなプローブカードアセンブリのより詳細な説明が、その全体において参照により本明細書に組み込まれる米国特許第 5,974,662 号で提供されている。

#### 【0021】

図 6 A および 6 B は、プローブボード 502 の、それぞれ上面および底面図を示してい



る。図 6 A に示されているように、端子 5 0 5 がプローブボード 5 0 2 の一方の側に配置され、端子 5 1 2 がプローブボード 5 0 2 の反対側に配置されている。同様に、図 7 A および 7 B は、端子 5 1 6 が一方の側にあり、端子 5 1 5 が反対側にある、インターポーザ 5 0 4 の、それぞれ上面および底面図を示している。インターポーザ 5 0 4 上の端子 5 1 6 は、プローブボード 5 0 2 の端子 5 1 2 に対応するように構成されている。図 8 A および 8 B は、端子 5 2 4 が一方の側に配置され、端子 5 2 5 が他方の側に配置されている、プローブ基板 5 0 6 の上面および底面図を同様に示している。プローブ基板 5 0 6 上の端子 5 2 4 は、インターポーザ 5 0 4 上の端子 5 1 5 の位置に対応するように構成されている。プローブ端子 5 2 5 は、1 つまたは複数の D U T 上の入力、出力、電源および接地端子の位置に対応するように構成され、かつプローブ 5 3 0 が、プローブ端子 5 2 5 に取り付けられている。

10

#### 【 0 0 2 2 】

分路抵抗 4 0 2 および 4 0 4 は、プローブ 5 3 0 にできる限り近接するように図 5 のプローブカードアセンブリ上に好ましくは配置される。すなわち、分路抵抗 4 0 2 および 4 0 4 が、プローブ基板 5 0 6 上に好ましくは配置される。それにもかかわらず、分路抵抗 4 0 2 および 4 0 4 が、プローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 のうちのいずれか 1 つまたは複数の上に配置されてもよい。さらに、分路抵抗 4 0 2 および 4 0 4 が、プローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 のいずれかの側に配置されてもよい。実際、分路抵抗 4 0 2 または 4 0 4 が、プローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 の中に（たとえば、接続 5 1 0 に沿ったプローブボード 5 0 2 内、接続 5 2 0 に沿ったインターポーザ 5 0 4 内、または接続 5 2 6 に沿ったプローブ基板 5 0 6 内）配置されてもよい。スイッチ 4 0 6 が、プローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 上のいずれかの場所に同様に配置されてもよい。分路抵抗 4 0 2 および 4 0 4 は、プローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 のいずれかの中にまたは上に構成された薄膜抵抗として、または、プローブボード 5 0 2、インターポーザ 5 0 4 またはプローブ基板 5 0 6 のいずれかに取り付けられたディスクリット抵抗回路要素として実装されてもよい。

20

#### 【 0 0 2 3 】

図 9 は、本発明の別の例示的な実施形態を示している。図 9 は、3 つのプローブ 9 2 0、9 2 4 および 9 2 6 を通って、3 つの D U T 9 3 6、9 3 8 および 9 4 0 の入力端子 3 0 ( e )、3 2 ( e ) および 3 4 ( e ) と接続されたチャネル 9 2 2 を伝送するように構成されたドライバ 9 2 8 を示している。ドライバ 9 2 8 およびドライバチャネル 9 2 2 は、図 2 のドライバ 2 2 8 およびドライバチャネル 2 2 2 と同様であり、ドライバ 9 2 8 およびドライバチャネル 9 2 2 は、図 2 のテストシステムと同様のテストシステム内のこのような多くのドライバおよびドライバチャネルのうちの 1 つであってよい。

30

#### 【 0 0 2 4 】

図 9 に示されているように、ドライバチャネル 9 2 2 は、3 つのプローブ 9 2 0、9 2 4 および 9 2 6 を通って、3 つの D U T 9 3 6、9 3 8 および 9 4 0 の入力端子 3 0 ( e )、3 2 ( e ) および 3 4 ( e ) とドライバ 9 2 8 を接続する 3 つの分岐 9 0 2、9 0 4 および 9 0 6 を備える。このようにして、1 つの D U T に対してテスト 1 0 2 ( 図 1 参照 ) で発生されたテストデータが、3 つの D U T をテストするために使用されてもよい。もちろん、ドライバチャネルが、3 つよりも少ないまたは多い端子に展開されてもよく、かつ端子のいくつかがまたはすべてが別法として、同じ D U T 上にあってもよい。これも明らかであるように、追加の比較チャネルまたは多重化スキームの使用が、多重化 D U T によって生成された応答データをテストへ戻すために使用されてもよい。

40

#### 【 0 0 2 5 】

図 9 では、アイソレーション抵抗 9 8 0 が、1 つの端子（たとえば、3 0 ( e )）での障害が別の端子（たとえば、3 2 ( e )）に負の影響を与えることを防止するために、各分岐 9 0 2、9 0 4 および 9 0 6 内に配置される。たとえば、アイソレーション抵抗 9 8

50

0がないと、端子30(e)が接地と短絡される障害が、端子32(e)および34(e)を分岐902、904および906を通して接地と短絡させることになり、DUT938および940に、DUT936と同じ障害を有するとして誤ってテストさせる。しかし、アイソレーション抵抗980が、端子30(e)での障害を端子32(e)および34(e)から絶縁する。

#### 【0026】

追加の抵抗、アイソレーション抵抗980の存在が、端子30(e)、32(e)および34(e)の立上がり時間および立下がり時間に負の影響を与える。(上記で議論したように、追加の抵抗が、各入力端子30(e)、32(e)および34(e)に対する式 $=R * C$ でのRの値を増加させ、したがって、各入力端子の立上がりおよび立下がり時間を増加させるかもしれない。)実際、分岐(たとえば、902、904および906)の数が多いほど、入力端子30(e)、32(e)および34(e)の立上がり時間および立下がり時間に影響を与える可能性が大きくなる。図9に示されているように、接地と接続された分路抵抗990が、各分岐902、904、および906内に配置されている。また上述のように各端子30(e)、32(e)および34(e)の入力抵抗と事実上並列である、接地に接続された分路抵抗990が、アイソレーション抵抗980の影響を低減させ、入力端子30(e)、32(e)および34(e)の立上がり時間および立下がり時間を一般に改善する。

#### 【0027】

明らかになるように、各分岐902、904および906での分路抵抗990が、各分岐902、904および906のアイソレーション抵抗980と電圧分割器回路を形成する。図4を参照して上記で議論したように、各分岐902、904および906の分路抵抗990およびアイソレーション抵抗980は、ドライバ928が高い信号を出力している間、DUT936、938および940の各入力端子30(e)、32(e)および34(e)を、高い状態に維持するために、十分な電圧が各プローブ920、924および926で維持されるようにサイズ調整されるべきである。例示を簡単かつ容易にするために、ドライバ928に対する出力インピーダンスとチャンネル922に対するチャンネルインピーダンスがいずれも、図9に示されていないが、このようなインピーダンスが存在することに注意されたい。図4に関して上記で議論したように、分路抵抗990および隔離抵抗980は、ドライバ928によってチャンネル922を伝送される信号の反射を減少、最小化、または除去するようにサイズ調整される。図4のスイッチ406のような1つまたは複数のスイッチが、分岐902、904および906との有効接続の中および外へ分路抵抗990を切り替えるために、図9に備えられてもよく、このことが、図4に関して上記で議論したようなパラメトリックテストを容易にすることができることにも留意されたい。

#### 【0028】

図10は、分路抵抗およびアイソレーション抵抗の使用の例示的な実施を示している。図10に示されている例示的なテストシステムは、図9に示されている3つのDUT936、938および940をテストするためのテストシステムにおける図9のドライバ928およびドライブチャンネル922を示している。

#### 【0029】

図10に示されているように、2つのドライバ928および1030が、2つのドライブチャンネル922および1020を伝送する。ドライブチャンネル922が、3つの分岐902、904および906を介して、DUT936、938および940のそれぞれの上の3つの入力端子30(e)、32(e)および34(e)に展開される。各分岐902、904および906は、アイソレーション抵抗980と、接地と接続された分路抵抗990とを備える。ドライブチャンネル1020が同様に、3つの分岐1002、1004および1006を介して、DUT936、938および940のそれぞれの上の3つの入力端子30(e)、32(e)および34(e)に展開され、各分岐1002、1004および1006もまた、アイソレーション抵抗980および接地と接続された分路抵抗99

0を備える。比較器1036、1010、1014、1018、1024および1032が、比較チャンネル1008、1012、1016、1022、1028および1034を  
 通って、図10に示されているようなDUT936、938および940の出力端子30  
 (c)、30(b)、32(c)、32(b)、34(c)および34(b)と接続され  
 る。コントローラ(上記の図2におけるコントローラ226と同様であってよい)が、ド  
 ライバ928および1030へのテストデータの入力を制御し、かつ比較器1036、1  
 010、1014、1018、1024および1032から応答データを受信する。コン  
 トローラ1026はまた、電源チャンネル1038を通して、DUT936、938および  
 940の電源端子30(f)、32(f)および34(f)へ電力を供給し、かつ接地チ  
 ャネル1040を通してDUT936、938および940の接地端子30(a)、32  
 (a)および34(a)へ接地する。このようにして、1つのみのDUTをテストするた  
 めに十分なドライバおよびドライブチャンネルが、3つのDUTをテストするために使用さ  
 れる;アイソレーション抵抗が、1つのDUT上での障害が、他のDUTが不良としてテ  
 ストされることを防止するために設けられ、かつ分路抵抗が、DUTの入力端子の立上  
 りおよび立下がり時間を増加させるために設けられている。

10

#### 【0030】

図9および10に示されているアイソレーション抵抗980および分路抵抗990が、  
 図5に示されている例示的なプローブカードアセンブリなどの、プローブカードアセン  
 ブリ上に実装されてもよい。図4での分路抵抗402および404と同様に、アイソレー  
 ション抵抗980および分路抵抗990が、図5に示されているものと同様なプローブカ  
 ードアセンブリのプローブボード502、インターポーザ504またはプローブ基板506  
 のうちのいずれか1つまたは複数の上に配置されてもよい。さらに、アイソレーション抵  
 抗980および分路抵抗990が、プローブボード502、インターポーザ504または  
 プローブ基板506のいずれかの側に配置されてもよい。実際、アイソレーション抵抗9  
 80および分路抵抗990が、プローブボード502、インターポーザ504またはプロ  
 ーブ基板506内に(たとえば、接続510に沿ってプローブボード502内、接続52  
 0に沿ってインターポーザ504内または接続526に沿ってプローブ基板506内に)  
 配置されてもよい。アイソレーション抵抗980および分路抵抗990が、薄膜抵抗とし  
 てまたはディスクリート抵抗要素として実装されてもよい。

20

#### 【0031】

図11Aから13Bは、アイソレーション抵抗980および分路抵抗990が、図5の  
 プローブ基板506の代替となることができるプローブ基板1102または1302上の  
 薄膜抵抗として実装されている例を示している。図11Aから12Bに示した例では、ア  
 イソレーション抵抗980および分路抵抗990が、プローブ基板1102を備える2つ  
 の層1108および1110の間1170の薄膜抵抗1280および1290として実装  
 されている。図13Aおよび13Bでは、アイソレーション抵抗980が、プローブ基板  
 1302内の薄膜抵抗1340、1342および1343として実装され、分路抵抗99  
 0が、プローブ基板1302の底部表面1306上の薄膜抵抗1362、1364および  
 1366として実装されている。

30

#### 【0032】

図11Aおよび11Bは、例示的なプローブ基板1102(図5におけるプローブ基板  
 506と類似であり、その代替として使用されてもよい)の、それぞれ上部透視図および  
 底部透視図を示している。見られるように、プローブ基板1102は、図10に示されて  
 いる例示的なテストシステムを実装するように構成されている。プローブ基板1102の  
 表面1104上の端子111、1112、1113、1114、1115、1116、1  
 117、1118、1120、1122、1124、1126、1128、1129、1  
 130および1131が、インターポーザ504(図5参照)からの接続522と接触す  
 るように配置されており、簡単のために、以下で「インターポーザ端子」と称される。

40

#### 【0033】

この例では、インターポーザ端子1112、1113および1114が、図5のプロー

50

ブカードアセンブリのインターポーザ504およびプローブボード502を通して、図10の電源チャンネル1040へ配線されている)。インターポーザ端子1128、1130および1131が、インターポーザ504およびプローブボード502を通して接地チャンネル1038へ同様に配線されている。インターポーザ端子1118、1120、1122、1124、1126および1129が、インターポーザ504およびプローブボード502を通して、比較チャンネル1008、1012、1016、1022、1028および1034へ同様に配線され、かつインターポーザ端子1111および1115が、インターポーザ504およびプローブボード502を通して、ドライブチャンネル922および1020へ配線される。(インターポーザ端子1116および1117は、この例では使用されない。)

プローブ端子(プローブがそれに取り付けられている)が、プローブ基板1102の底部表面1106上に配置されている。プローブ端子は、各列に6つの端子がある3つの列1132、1136および1140に統合される。各列1132、1136および1140は、DUT936、938および940に対応し、かつ各列内の各端子は、DUTの1つの上の1つの端子に対応する。この例(プローブ基板1102が、図10のDUT936、938および940をテストするように構成されている)では、プローブ端子1132(f)、1136(f)および1140(f)に取り付けられたプローブは、DUT936、938および940の電源端子30(f)、32(f)および34(f)に電力を供給するための電源プローブである。プローブ端子1132(a)、1136(a)および1140(a)に取り付けられたプローブは、DUT936、938および940の接地端子30(a)、32(a)および34(a)に接地を供給するための接地プローブである。プローブ端子1132(c)、1132(b)、1136(c)、1136(b)、1140(c)および1140(b)が、DUT936、938および940の出力端子30(c)、30(b)、32(c)、32(b)、33(c)および34(b)と接触するように配置されており、かつプローブ端子1132(e)、1132(d)、1136(e)、1136(d)、1140(e)および1140(d)が、DUT936、938および940の入力端子30(e)、30(d)、32(e)、32(d)、33(e)および34(d)と接触するように配置されている。

#### 【0034】

図11Aおよび11Bに示されているプローブ基板は、多層で作製されてもよい。例示および議論の目的のために、プローブ基板1102が、互いに接着された2つの基板であってよい2つの層1108および1110を有するとして、図11Aおよび11Bに示されている。表面1104上のインターポーザ端子(たとえば、1111)と表面1106上のプローブ端子(たとえば、1140(f))の間の電気経路が、第1の層1108を通るビア(図11Aおよび11Bでは図示せず)、第1の層1108と第2の層1110の間1170に配置されたトレース(図11Aおよび11Bでは図示せず)、および第2の層1110を通るビア(図11Aおよび11Bでは図示せず)によって提供されてもよい。図12は、以上の例を示している。

#### 【0035】

図12は、プローブ基板1102の第1の層1108と第2の層1110の間の接合部1170に対する例示的な構成を示している。図12では、第1の層1108の層を通過し、かつ表面1104上のインターポーザ端子(たとえば、1111)と電気的に接続するビアが、黒丸(すなわち、要素1211、1212、1213、1214、1215、1216、1216、1217、1218、1220、1222、1224、1226、1228、1229、1230および1231)によって表されている。第2の層1110を通過し、かつ表面1106上のプローブ端子(たとえば、1140(f))と電気的に接続するビアが、白丸(すなわち、1232(a)~(f)、1236(a)~(f)、および1240(a)~(f))によって表されている。導電性のトレースが、図12で1250、1252、1254および1256として示されており、かつこのようなトレースが、層1104および1106が図11Aおよび11Bに示されているように互い

に接着されている間、層 1 1 0 8 を通るビアを層 1 1 1 0 を通るビアと接続するために、いずれかの層 1 1 0 8 または 1 1 1 0 の内部表面上に配置されてもよい。

#### 【 0 0 3 6 】

電力、接地、または比較チャネルとの接続を提供するプローブ基板 1 1 0 2 の表面 1 1 0 4 上のインターポーザ端子（たとえば、1 1 1 1）が、プローブ基板 1 0 0 2 の表面 1 1 0 6 上のプローブ端子（たとえば、1 1 4 0（f））と 1 対 1 で接続される。現在の例（その中でプローブ基板 1 1 0 2 が、図 1 0 に示されたシステム内で使用されるように構成されている）では、インターポーザ端子 1 1 1 2、1 1 1 3 および 1 1 1 4（上記で議論したように図 1 0 に示されている電源チャネル 1 1 4 0 と接続されている）が、図 1 2 に示されている以下のビアペア、1 2 1 4 および 1 2 3 2（f）、1 2 1 3 および 1 2 3 6（f）、ならびに 1 2 1 2 および 1 2 4 0（f）を通して、プローブ端子 1 1 3 2（f）、1 1 3 6（f）および 1 1 4 0（f）に電力供給するために接続されている。（図 1 2 に示されているように、トレース 1 2 5 0 が前のビアペアのそれぞれを電氣的に接続する。）同様に、インターポーザ端子 1 1 2 8、1 1 3 0 および 1 1 3 1（上記で議論したように図 1 0 に示されている接地チャネル 1 1 3 8 と接続されている）が、図 1 2 に示されている以下のビアペア、1 2 2 8 および 1 2 4 0（a）、1 2 3 0 および 1 2 3 6（a）、および 1 2 3 1 および 1 2 3 2（a）を通してプローブ電極 1 1 3 2（a）、1 1 3 6（a）および 1 1 4 0（a）を接地するために接続されている。（ここでもまた、図 1 2 に示されているように、トレース 1 2 5 0 が前のビアペアのそれぞれを電氣的に接続する。）同様にして、インターポーザ端子 1 1 1 8、1 1 2 0、1 1 2 2、1 1 2 4、1 1 2 6 および 1 1 2 9（図 1 0 で比較チャネル 1 0 0 8、1 0 1 2、1 0 1 6、1 0 2 2、1 0 2 8 および 1 0 3 4 と接続されている）が、図 1 2 に示されている以下のビアペア、1 2 1 8 および 1 2 3 2（c）、1 2 2 6 および 1 2 3 2（b）、1 2 2 2 および 1 2 3 6（c）、1 2 2 4 および 1 2 3 6（c）、1 2 2 0 および 1 2 4 0（b）ならびに 1 2 2 9 および 1 2 4 0（c）を通してプローブ電極 1 1 3 2（b）、1 1 3 2（c）、1 1 3 6（b）、1 1 3 6（c）、1 1 4 0（b）および 1 1 4 0（c）と接続されている。

#### 【 0 0 3 7 】

他方では、ドライブチャネルとの接続を提供するプローブ基板 1 1 0 2 上の表面 1 1 0 4 上の各インターポーザ端子が、プローブ基板 1 1 0 2 の表面 1 1 0 6 上の複数のプローブ端子と接続されている。図 1 2 に示されている例では、インターポーザ端子 1 1 1 1（上記で説明されているようにドライブチャネル 9 2 2 と接続されている）が、ビア 1 2 1 1 を通ってトレース 1 2 5 2 と接続され、トレース 1 2 5 2 がビア 1 2 4 0（e）、1 2 3 6（e）および 1 2 3 2（e）と電氣的に接続され、これらがさらに、それぞれプローブ端子 1 1 4 0（e）、1 1 3 6（e）および 1 1 3 2（e）と接続されている。ビア 1 2 1 1、トレース 1 2 5 2、ならびにビア 1 1 4 0（e）、1 1 3 6（e）および 1 1 3 2（e）がこのようにして、インターポーザ端子 1 1 1 1 を 3 つのプローブ端子 1 1 4 0（e）、1 1 3 6（e）および 1 1 3 2（e）と接続する。同様に、インターポーザ端子 1 1 1 5（上記で説明されたようにドライブチャネル 1 0 2 0 と接続されている）が、ビア 1 2 1 5 を通ってトレース 1 2 5 6 と接続され、トレース 1 2 5 6 がビア 1 2 4 0（d）、1 2 3 6（d）および 1 2 3 2（d）と電氣的に接続され、これらがさらに、それぞれプローブ端子 1 1 4 0（d）、1 1 3 6（d）および 1 1 3 2（d）と接続されている。ビア 1 2 1 5、トレース 1 2 5 6、ならびにビア 1 1 4 0（d）、1 1 3 6（d）および 1 1 3 2（d）がしたがって、インターポーザ端子 1 1 1 5 を 3 つのプローブ端子 1 1 4 0（d）、1 1 3 6（d）および 1 1 3 2（d）と接続する。

#### 【 0 0 3 8 】

図 1 2 に示されているように、薄膜抵抗 1 2 8 0 が、トレース 1 2 5 2 とビア 1 2 4 0（e）、1 2 3 6（e）および 1 2 3 2（e）のそれぞれの間に配置されている。薄膜抵抗 1 2 8 0 はまた、トレース 1 2 5 6 とビア 1 2 4 0（d）、1 2 3 6（d）および 1 2 3 2（d）のそれぞれの間に配置されている。薄膜抵抗 1 2 8 0 はしたがって、図 1 0 のアイソレーション抵抗 9 8 0 を実施する。薄膜抵抗 1 2 9 0 もまた、一方では、ビア 1 2

10

20

30

40

50

40(e)、1236(e)、1232(e)、1240(d)、1236(d)および1232(d)のそれぞれと、接地(たとえば、接地チャンネル1040のうちの1つとインターポーザ端子1128を通して接続されたビア1228(図10参照))と接続されたトレース1254の間に配置されている。薄膜抵抗1290はしたがって、図10の分路抵抗990の実施である。

#### 【0039】

上記で述べられているように、図13Aおよび13Bは、プローブ基板1302上にアイソレーション抵抗980および分路抵抗910を実装する別の例示的な方式を示している。図13Aは、図11Aおよび11Bのプローブ基板1102とほぼ同様のプローブ基板1302の一部分の切断透視図を示している。図13Bは、プローブ基板1302の一部分の底面図を示している。

10

#### 【0040】

プローブ基板1102のように、プローブ基板1302(図5のプローブ基板506を代替してもよい)が、2つの層1308および1310を備え、かつ第1の表面1304上のインターポーザ端子(1302、1304および1306が示されている)と、第2の表面1306上のプローブ(1318、1320、1322、1324、および1326が示されている)へのプローブ端子(1308、1310、1312、1314および1316が示されている)とを有する。図13Aでは、インターポーザ端子1302が、DUT(図13Aおよび13Bには図示せず)との接地接続を提供するように構成されており、ビア1330および1332を通して図13Aに示されているプローブ端子1308および接地プローブ1318と接続されている。インターポーザ端子1306が、比較チャンネルと接続し、したがってDUT(図13Aおよび13Bには図示せず)によって作成された出力データを、比較チャンネルの端部の比較器へ搬送するように構成されている。図13Aに示されているように、インターポーザ端子1306が、層1308を通るビア1336、第2の層1310の表面1370上に配置されたトレース1350、および第2の層1310を通るビア1352によって、プローブ端子1316(出力プローブ1326がそれに取り付けられている)と接続されている。

20

#### 【0041】

インターポーザ端子1304が、ドライブチャンネルと接続し、したがってテストデータをDUT(図13Aおよび13Bでは図示せず)へ供給するように構成されている。図10に示されているテスト構成を実施するために、インターポーザ端子1304が、3つのDUT(図13Aおよび13Bでは図示せず)の入力端子と接触するように構成された3つの入力プローブ1320、1322および1324がそれに取り付けられている、3つのプローブ端子(1310、1312および1314)と接続されている。図13Aに示されているように、ビア1334は、インターポーザ端子1304を、プローブ基板1302の第2の層1310の表面1370上のトレース1338と接続する。表面1370上の薄膜抵抗1340、1342、および1343が、トレース1338を3つのビア1344、1346および1348と接続し、これらがさらに、プローブ端子1310、1312および1314と接続される。薄膜抵抗1340、1342、および1343が、このようにして、図9および10に示されているアイソレーション抵抗980を実施する。図13Bに示されているように、プローブ基板1302の第2の表面1310上で、薄膜抵抗1362、1364、および1366が、プローブ端子1310、1312および1324のそれぞれを、接地端子1308からのトレース1360と電氣的に接続する。薄膜抵抗1362、1364、および1366が、このようにして、図9および10に示されている分路抵抗990を実施する。

30

40

#### 【0042】

本発明の例示的な実施形態および適用例が本明細書で説明されたが、本発明がこれらの例示的な実施形態および適用例に、または、例示的な実施形態および適用例が動作する、または本明細書で説明される方式に限定されるという意図はない。実際に、例示的な実施形態に対する様々な変更および修正が可能である。たとえば、上記で議論された実施形態

50

は、図 5 に示されているプローブカードアセンブリ以外の装置上で実施されてもよい。たとえば、上記で議論された実施形態は、個片にされたダイをテストするためにロードボード上で実施されてもよい。別の例として、実施形態が、図 5 に示されている例示的なプローブカードアセンブリよりも多いまたは少ない要素を含むプローブカードアセンブリなどの、異なるタイプのプローブカードアセンブリ上で実施されてもよい（たとえば、インターポーザのない、またはインターポーザおよびプローブ基板のないプローブカードアセンブリ（この場合プローブ 530 が、プローブボード 502 に直接取り付けられることになる））。

【図面の簡単な説明】

【0043】

10

【図 1】例示的な従来技術のテストシステムを示す図である。

【図 2】図 1 のテストシステムの要素のいくつかの単純化されたブロック図である。

【図 3】図 2 に示されているテストシステムの部分図である。

【図 4】テストシステムが動作され得る周波数を増加させるために、分路抵抗がテストシステム内に備えられている本発明の第 1 の例示的な実施形態を示す図である。

【図 5】例示的なプローブカードアセンブリを示す図である。

【図 6 A】図 5 でのプローブボードの上面図である。

【図 6 B】図 5 でのプローブボードの底面図である。

【図 7 A】図 5 でのインターポーザの上面図である。

【図 7 B】図 5 でのインターポーザの底面図である。

20

【図 8 A】図 5 でのプローブ基板の上面図である。

【図 8 B】図 5 でのプローブ基板の底面図である。

【図 9】テストシステムが動作され得る周波数を増加させるために、分路抵抗がテストシステム内に備えられている本発明の第 2 の例示的な実施形態を示す図である。

【図 10】2 つ以上のテスト下のデバイスへテストデータを展開するテストシステム内での分路抵抗の使用を示す図である。

【図 11 A】図 10 のテストシステム内で使用するためのプローブカードアセンブリのために構成されたプローブ基板の上面透視図である。

【図 11 B】図 11 A プローブ基板の底面透視図である。

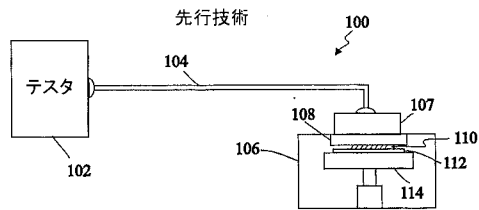
【図 12】図 11 A のプローブ基板を構成する 2 つの層の間の接合部を示す図である。

30

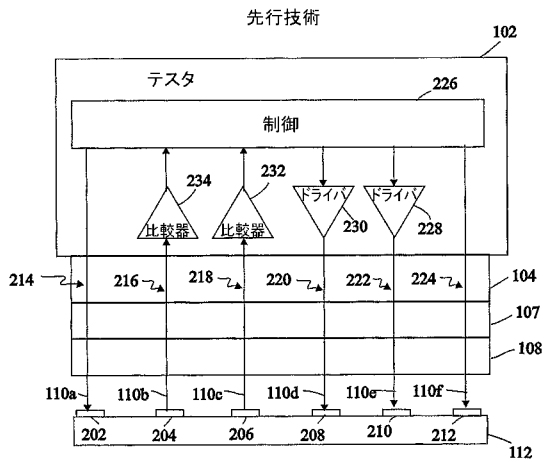
【図 13 A】プローブ基板の一部分の上部断面透視図である。

【図 13 B】図 13 A のプローブ基板の一部分の底面図である。

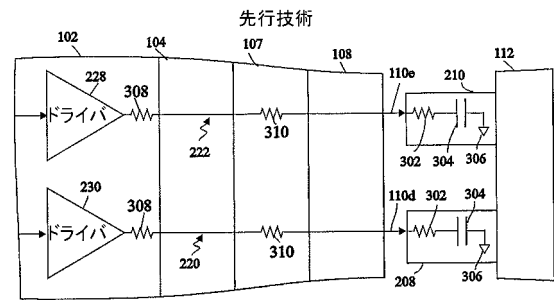
【 図 1 】



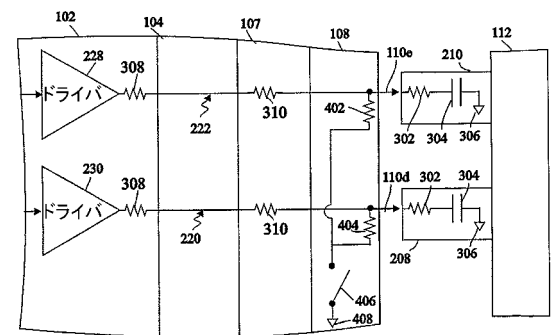
【 図 2 】



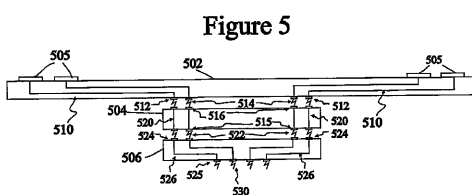
【 図 3 】



【 図 4 】

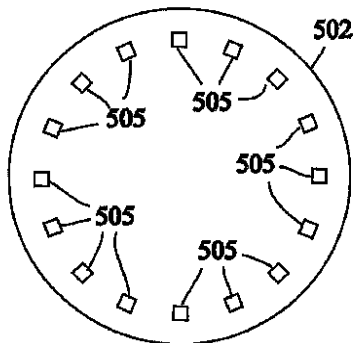


【 図 5 】



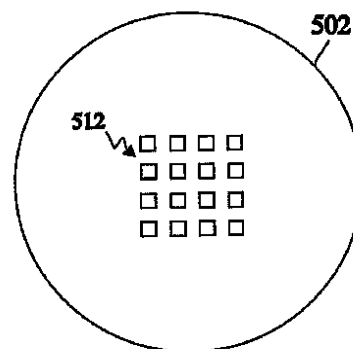
【 図 6 A 】

Figure 6A



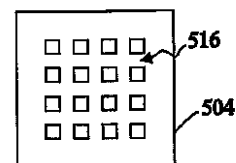
【 図 6 B 】

Figure 6B



【 図 7 A 】

Figure 7A

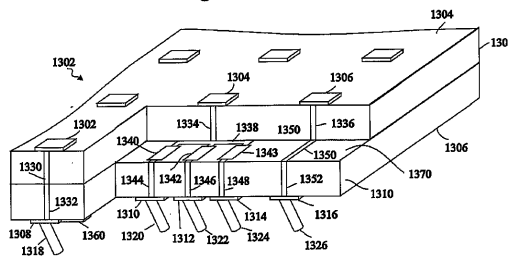






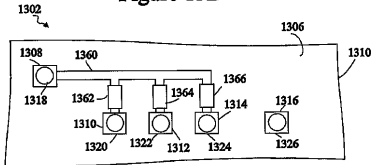
【 図 1 3 A 】

Figure 13A



【 図 1 3 B 】

Figure 13B



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/45583																		
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC: G01R 31/02(2007.01)  USPC: 324/754 According to International Patent Classification (IPC) or to both national classification and IPC																				
<b>B. FIELDS SEARCHED</b>  Minimum documentation searched (classification system followed by classification symbols) U.S. : 324/754  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST																				
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1"> <thead> <tr> <th>Category *</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 6,784,674 B2 (MILLER) 31 August 2004 (31.08.2004), see entire document.</td> <td>1, 3, 8, 11-14, 19-22, 24-26 and 31</td> </tr> <tr> <td>X</td> <td>US 6,798,225 B2 (MILLER) 28 September 2004 (28.09.2004), see entire document.</td> <td>4, 6-7, 15-17, 19</td> </tr> <tr> <td>---</td> <td></td> <td>2, 5, 9-10, 18, 27</td> </tr> <tr> <td>Y</td> <td>US 5,623,214 A (PASIECZNIK, JR.) 22 April 1997 (22.04.1997), entire document.</td> <td>2,5,18</td> </tr> <tr> <td>Y</td> <td>US 4,392,107 A (GOLLOMP) 05 July 1983 (05.07.1983), see entire document.</td> <td>9-10</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 6,784,674 B2 (MILLER) 31 August 2004 (31.08.2004), see entire document.	1, 3, 8, 11-14, 19-22, 24-26 and 31	X	US 6,798,225 B2 (MILLER) 28 September 2004 (28.09.2004), see entire document.	4, 6-7, 15-17, 19	---		2, 5, 9-10, 18, 27	Y	US 5,623,214 A (PASIECZNIK, JR.) 22 April 1997 (22.04.1997), entire document.	2,5,18	Y	US 4,392,107 A (GOLLOMP) 05 July 1983 (05.07.1983), see entire document.	9-10
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
X	US 6,784,674 B2 (MILLER) 31 August 2004 (31.08.2004), see entire document.	1, 3, 8, 11-14, 19-22, 24-26 and 31																		
X	US 6,798,225 B2 (MILLER) 28 September 2004 (28.09.2004), see entire document.	4, 6-7, 15-17, 19																		
---		2, 5, 9-10, 18, 27																		
Y	US 5,623,214 A (PASIECZNIK, JR.) 22 April 1997 (22.04.1997), entire document.	2,5,18																		
Y	US 4,392,107 A (GOLLOMP) 05 July 1983 (05.07.1983), see entire document.	9-10																		
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.																				
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																				
Date of the actual completion of the international search 26 October 2006 (26.10.2006)		Date of mailing of the international search report 27 NOV 2006																		
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer Vincent Trans Telephone No. (571)272-3613																		

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ミラー, チャールズ, エー.

アメリカ合衆国, カリフォルニア州 9 4 5 3 9, フレモント, セミヨン ドライブ 4 8 8 8 1  
Fターム(参考) 2G132 AA00 AB01 AC03 AD06 AE08 AE11 AE14 AF02 AG01 AH00  
AL20  
4M106 AA01 BA01 BA14 DD10 DD23