202405997

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202405997 A

(43)公開日： 中華民國 113 (2024) 年 02 月 01 日

(21)申請案號：112111902 (22)申請日： 中華民國 112 (2023) 年 03 月 29 日

(51)Int. Cl.： *H01L21/68 (2006.01)* *H01L21/67 (2006.01)*
H01L21/02 (2006.01) *H01L21/66 (2006.01)*

(30)優先權：2022/04/08 美國 63/328,825
2022/04/08 美國 63/328,823
2022/08/10 美國 17/885,097
2022/08/10 美國 17/885,038

(71)申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本

(72)發明人：舍皮斯 安東尼 SCHEPIS, ANTHONY (US)；威洛斯 安德魯 WELOTH, ANDREW (US)；康克林 大衛 CONKLIN, DAVID (US)；德維利耶 安東 DEVILLIERS, ANTON (US)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：20 項 圖式數：10 共 48 頁

(54)名稱

混合式圖案化-接合半導體工具

(57)摘要

本裝置包括配置以用於晶圓形狀校正的第一組模組以及配置以用於晶圓接合的第二組模組。第一組模組包括配置以量測第一晶圓與第二晶圓之晶圓形狀資料的量測模組，晶圓形狀資料包括第一晶圓與第二晶圓的相對 z 高度值。應力源膜沉積模組係配置以於第一晶圓上形成第一應力源膜。應力源膜修改模組係配置以基於第一修改圖修改第一應力源膜，第一修改圖定義對於第一晶圓之內應力的調整並且係基於晶圓形狀資料而產生。第二組模組包括配置以將第一晶圓與第二晶圓對準的對準模組，以及配置以將第一晶圓接合至第二晶圓的接合模組。

A device includes a first set of modules configured for wafer shape correction and a second set of modules configured for wafer bonding. The first set of modules includes a metrology module configured to measure wafer shape data of a first wafer and a second wafer, including relative z-height values of the first wafer and the second wafer. A stressor film deposition module is configured to form a first stressor film on the first wafer. A stressor film modification module is configured to modify the first stressor film based on a first modification map that defines adjustments to internal stresses of the first wafer and is generated based on the wafer shape data. The second set of modules includes an alignment module configured to align the first wafer with the second wafer, and a bonding module configured to bond the first wafer to the second wafer.

指定代表圖：

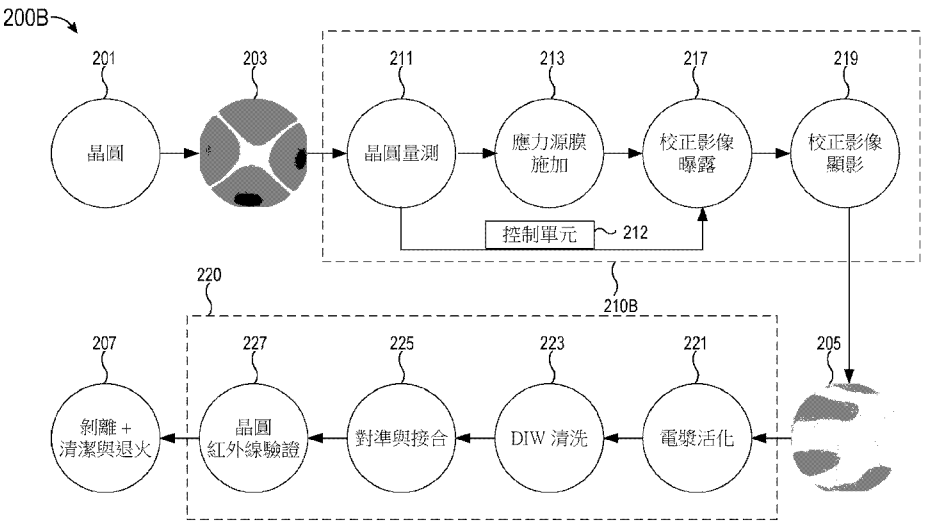


圖 2B

符號簡單說明：

200B:晶圓形狀校正流程

201,203,205,207,211,213,217,219,221,223,225,227:形態

210B,220:區塊

212:控制單元

202409997

【發明摘要】

【中文發明名稱】混合式圖案化-接合半導體工具

【英文發明名稱】HYBRID PATTERNING-BONDING SEMICONDUCTOR TOOL

【中文】

本裝置包括配置以用於晶圓形狀校正的第一組模組以及配置以用於晶圓接合的第二組模組。第一組模組包括配置以量測第一晶圓與第二晶圓之晶圓形狀資料的量測模組，晶圓形狀資料包括第一晶圓與第二晶圓的相對z高度值。應力源膜沉積模組係配置以於第一晶圓上形成第一應力源膜。應力源膜修改模組係配置以基於第一修改圖修改第一應力源膜，第一修改圖定義對於第一晶圓之內應力的調整並且係基於晶圓形狀資料而產生。第二組模組包括配置以將第一晶圓與第二晶圓對準的對準模組，以及配置以將第一晶圓接合至第二晶圓的接合模組。

【英文】

A device includes a first set of modules configured for wafer shape correction and a second set of modules configured for wafer bonding. The first set of modules includes a metrology module configured to measure wafer shape data of a first wafer and a second wafer, including relative z-height values of the first wafer and the second wafer. A stressor film deposition module is configured to form a first stressor film on the first wafer. A stressor film modification module is configured to modify the first

stressor film based on a first modification map that defines adjustments to internal stresses of the first wafer and is generated based on the wafer shape data. The second set of modules includes an alignment module configured to align the first wafer with the second wafer, and a bonding module configured to bond the first wafer to the second wafer.

【指定代表圖】 圖2B

【代表圖之符號簡單說明】

200B:晶圓形狀校正流程

201,203,205,207,211,213,217,219,221,223,225,227:形態

210B,220:區塊

212:控制單元

【發明說明書】

【中文發明名稱】混合式圖案化-接合半導體工具

【英文發明名稱】HYBRID PATTERNING-BONDING SEMICONDUCTOR TOOL

【技術領域】

【0001】本揭示內容大體上係關於半導體製造且特別係關於晶圓重疊控制。

【0002】[優先權主張]本揭示內容主張於2022年4月8日申請之美國臨時專利申請案第63/328,825與63/328,823號、以及於2022年8月10日申請之美國非臨時專利申請案第17/885,097與17/885,038號的優先權，上述專利申請案的每一者係藉由參照而整體地併入本文中。

【先前技術】

【0003】半導體製造涉及多個不同的步驟與製程。眾所周知的一典型製造製程為光微影術(亦稱為微影術)。光微影術使用例如紫外線或可見光的輻射以在半導體裝置設計中產生精細圖案。可使用包括光微影術、蝕刻、膜沉積、表面清潔、金屬化等等的半導體製造技術來建構許多型式的半導體裝置，例如二極體、電晶體、及積體電路。

【0004】曝露系統(亦稱為曝露工具)係用於實施光微影技術。曝露系統通常包括照明系統、用於創造電路圖案的標線片(亦稱為光罩)或空間光調變器(SLM)、投影系統、以及用於對準光敏光阻覆蓋之半導體晶圓的晶圓對準台。照

明系統使用(較佳地)矩形槽照明場照明標線片或SLM之區域。投影系統將標線片圖案的被照明區域之影像投影至晶圓上。為了準確的投影，在相對平坦或平面的晶圓上曝露光之圖案係重要的，較佳為具有小於10微米的高度偏差。

【發明內容】

【0005】 本揭示內容係關於用以將晶圓接合在一起的裝置。

【0006】 依據所揭示內容的第一實施態樣，提供用於將晶圓接合在一起的裝置。本裝置包括配置以用於晶圓形狀校正的第一組模組以及配置以用於晶圓接合的第二組模組。第一組模組包括配置以量測第一晶圓與第二晶圓之晶圓形狀資料的量測模組。晶圓形狀資料包括第一晶圓與第二晶圓的相對z高度值。應力源膜沉積模組係配置以於第一晶圓上形成第一應力源膜。應力源膜修改模組係配置以基於第一修改圖修改第一應力源膜，第一修改圖定義對於第一晶圓之內應力的調整。基於第一晶圓與第二晶圓的晶圓形狀資料而產生第一修改圖。第二組模組包括配置以將第一晶圓與第二晶圓對準的對準模組，以及配置以將第一晶圓接合至第二晶圓的接合模組。

【0007】 在某些實施例中，應力源膜沉積模組係配置以基於第一修改圖而在第一晶圓上形成第一應力源膜。

【0008】 在某些實施例中，第一晶圓具有前側工作表面及與前側工作表面相對的後側表面。應力源膜沉積模組係配置以在第一晶圓的後側上形成第一應力源膜。

【0009】 在某些實施例中，應力源膜沉積模組包括旋塗設備、噴塗設備或蒸氣沉積設備的至少其中之一。

【0010】在某些實施例中，應力源膜修改模組包括配置以將第一應力源膜曝露至基於第一修改圖之電磁輻射之圖案的直寫式曝露設備。

【0011】在某些實施例中，應力源膜修改模組包括配置以將第一應力源膜之光阻層顯影以形成浮雕圖案的顯影設備。

【0012】在某些實施例中，應力源膜修改模組包括配置以使用浮雕圖案作為蝕刻遮罩來蝕刻第一應力源膜之形狀控制層的蝕刻設備。

【0013】在某些實施例中，應力源膜修改模組包括具有分區溫度控制的熱板。

【0014】在某些實施例中，應力源膜修改模組包括有具獨立溫度控制之加熱區的加熱陣列。

【0015】在某些實施例中，加熱陣列包括電阻器之陣列。每一電阻器係配置以基於各別流經的電流而產生各別量的熱。

【0016】在某些實施例中，至少一電阻器係整合至配置以抓持第一晶圓的晶圓卡盤中。

【0017】在某些實施例中，應力源膜修改模組包括配置以加熱第一晶圓或晶圓卡盤的至少其中之一的雷射系統，晶圓卡盤係配置以抓持第一晶圓。

【0018】在某些實施例中，控制器係配置以基於第一晶圓與第二晶圓的晶圓形狀資料而產生第一修改圖。

【0019】在某些實施例中，控制器係配置以接收來自至少一模組的輸入並提供輸出至至少一模組，該至少一模組係選自由量測模組、應力源膜沉積模組、應力源膜修改模組、對準模組及接合模組所組成的群組。

【0020】在某些實施例中，控制器係配置以控制選自由下列組成之群組中的至少一製程：量測晶圓形狀資料、沉積第一應力源膜、修改第一應力源膜、將第一晶圓與第二晶圓對準、以及將第一晶圓接合至第二晶圓。

【0021】在某些實施例中，控制器係配置以除了第一晶圓與第二晶圓之晶圓形狀資料以外還基於歷史資料產生第一修改圖，歷史資料包括歷史晶圓的重疊資訊。

【0022】在某些實施例中，應力源膜沉積模組係配置以於第二晶圓上形成第二應力源膜。應力源膜修改模組係配置以基於第二修改圖修改第二應力源膜，第二修改圖定義對於第二晶圓之內應力的調整，第二修改圖係基於第一晶圓與第二晶圓的晶圓形狀資料而產生。

【0023】在某些實施例中，對準模組與接合模組係一整合模組使得在進行對準與進行接合之間沒有晶圓轉移。

【0024】依據所揭示內容的第二實施態樣，提供用於將晶圓接合在一起的裝置。該裝置包括配置以用於晶圓形狀校正的第一組模組以及配置以用於晶圓接合的第二組模組。第一組模組包括配置以量測第一晶圓與第二晶圓之晶圓形狀資料的量測模組。晶圓形狀資料包括第一晶圓與第二晶圓的相對z高度值。應力源膜沉積模組係配置以基於第一修改圖於第一晶圓上形成第一應力源膜，第一修改圖定義對於第一晶圓之內應力的調整。基於第一晶圓與第二晶圓的晶圓形狀資料而產生第一修改圖。第二組模組包括配置以將第一晶圓與第二晶圓對準的對準模組，而在形成第一應力源膜與進行對準之間沒有對第一應力源膜作修改。接合模組係配置以將第一晶圓接合至第二晶圓。

【0025】 在某些實施例中，第一修改圖沒有包括圖案。應力源膜沉積模組係配置以將第一應力源膜形成為毯覆膜。

【0026】 請留意此發明內容章節並未指定本揭示內容或主張權利範圍之發明的每一實施例及/或遞增地新穎實施態樣。反之，此發明內容僅提供不同實施例之初步討論及相對應的新穎點。針對本發明及實施例的額外細節及/或可能的觀點，將引導讀者至如下文進一步討論的本揭示內容之詳細說明章節及對應圖式。

【圖式簡單說明】

【0027】 當與隨附圖式一起閱讀以下詳細說明內容時從中對本揭示內容之實施態樣有最佳理解。應注意的是，依照產業中的標準實施方式，諸多特徵並未按比例繪製。事實上，為討論內容之清晰目的，可能增加或減少諸多特徵的尺寸。

【0028】 圖1A係依據本揭示內容之某些實施例的混合系統之平面圖。

【0029】 圖1B係依據本揭示內容之某些實施例的混合系統之斜視圖。

【0030】 圖2A顯示依據本揭示內容之某些實施例的晶圓形狀校正之製程的圖式。

【0031】 圖2B顯示依據本揭示內容之某些實施例的晶圓接合之製程的圖式。

【0032】 圖3A、3B、3C、3D、3E及3F顯示依據本揭示內容之某些實施例的晶圓於製造之諸多中間步驟時的剖面圖。

【0033】 圖4A顯示依據本揭示內容之一實施例的加熱陣列之平面圖。

【0034】圖4B顯示依據本揭示內容之一實施例而由加熱陣列產生的加熱區。

【0035】圖4C顯示依據本揭示內容之另一實施例而由加熱陣列產生的加熱區。

【0036】圖5顯示依據本揭示內容之示例性實施例的晶圓接合之製程的流程圖。

【0037】圖6A顯示低階晶圓變形的範例。

【0038】圖6B顯示高階晶圓變形的範例。

【0039】圖7顯示扭曲晶圓測試結果的範例。

【0040】圖8A顯示原始接合誤差的範例。

【0041】圖8B顯示殘餘接合誤差的範例。

【0042】圖8C顯示原始接合誤差的另一範例。

【0043】圖8D顯示殘餘接合誤差的另一範例。

【0044】圖9A顯示依據本揭示內容之一實施例的所需接合對準。

【0045】圖9B顯示嚴重接合失效的範例。

【0046】圖10顯示關於扭曲/翹曲晶圓及接合重疊誤差的實驗資料。

【實施方式】

【0047】以下揭示內容提供許多不同的實施例、或範例，以用於實施所提供標的之不同特徵。於下方描述組件及配置的具體範例以簡化本案揭示內容。當然，這些內容僅為範例且並非旨在受到限制。例如，在隨後的說明內容中於第二特徵上方或之上形成第一特徵可包括第一與第二特徵以直接接觸方式形成的實

施例，且亦可包括在第一與第二特徵之間可形成額外特徵的實施例，使得第一與第二特徵可不直接接觸。此外，本揭示內容在諸多範例中可重複參考符號及/或字符。此重複係為了簡化及清晰之目的而本身並非規定在所討論的諸多實施例及/或配置之間的關係。再者，為了便於說明，本文中可使用諸如「頂部」、「底部」、「之下」、「下方」、「下部」、「之上」、「上部」等空間相關術語來描述如圖所示的一元件或特徵與其他元件(一或多)或特徵(一或多)的關係。除了圖式中描繪的方位以外，空間相關術語旨在涵蓋裝置在使用或操作中的不同方位。可用其他方式定向(旋轉90度或以其他方位)設備且同樣可據以解釋本文中使用的空間相對描述符。

【0048】 為了清楚起見，已呈現本文中所描述之不同步驟的論述順序。大體而言，可以任何合適的順序執行此些步驟。此外，儘管可在本揭示內容的不同處論述本文之不同特徵、技術、配置等中之每一者，但旨在可彼此獨立地或彼此組合地執行概念中之每一者。因此，可以許多不同方式實施及視察本發明。

【0049】 典型的半導體裝置可由許多層構成，例如超過七十個個別的層。每一層級需要多個製程步驟，包括但不限於薄膜沉積、微影及蝕刻以形成所需結構。經由這些基本操作引起的不均勻晶圓應力係由薄膜之圖案化所導致且經由多個溫度循環製程放大，而根本地扭曲晶圓網格。

【0050】 此些(晶圓形狀)扭曲可如圖6A中所描繪的表現為低階全域球型變形。較高階局部高度變異可存在為獨立扭曲或可嵌入至全域特徵中。在圖6B中呈現較高階晶圓變形的範例。所呈現的資料來自業界常見的習知半導體量測設備。低階與高階晶圓變形兩者皆可使W2W(晶圓至晶圓)接合製程複雜化且負面地影響良率，例如導致良率損失。

【0051】 晶圓(網格)的完整性不僅對於在晶圓移動經過半導體製造設備之模組時能夠處置晶圓至關重要，而對於接合製程期間的良率也具有顯著影響。隨著3D封裝的出現，半導體產業正進入傳統接合為基之對準校正無法解決經由加工引起之非線性物理晶圓效應的關鍵時刻。也就是說，於接合操作之前在晶圓上發生的應力施予全域與局部晶圓形狀扭曲而造成對準失敗並可能有損關鍵的接合指標，而直接導致先進封裝製程中顯著的良率損失。

【0052】 晶圓接合系統的目的係將兩組件晶圓在一機械穩定封裝中連接(或接合)在一起。如此一來，由用於上(頂部)及下(底部)晶圓的處置機構與製程模組構成W2W接合平台。除了在當整合晶圓以產出功能性裝置時存在對準公差的事實以外，接合平台之複雜性與本揭示內容無關，將於以下進一步詳細說明功能性裝置。

【0053】 晶圓形狀扭曲會影響W2W系統的最基本操作-晶圓之處置。若晶圓扭曲(或晶圓翹曲)阻礙晶圓之移送及/或夾持，則接合製程的有效產量為零。圖7展示在HVM(高容積製造)W2W接合工具中的此種失效。如圖所示，具有大於約370 μm之壓縮引起應變(或晶圓翹曲)的晶圓發生了嚴重的處置失效而需要從系統中手動恢復。也就是說，在當前扭曲狀態中的晶圓完全無法進行處理。請留意造成處置失效之晶圓翹曲的閾值可取決於特定工具而變化。為說明之目的本文中使用370 μm作為一範例。

【0054】 在如圖7中使用的該(相同)HVM W2W接合工具(平台)上，這些晶圓產生了殘餘接合誤差，如圖8A至8D中所示。具體而言，圖8A與8B顯示具有100 μm之晶圓翹曲的一晶圓的原始誤差及殘餘誤差。圖8C與8D顯示具有150 μm之晶圓翹曲的另一晶圓的原始誤差及殘餘誤差。請留意殘餘誤差係無法藉由系統(例

如，HVM W2W接合工具)之構造校正且即使有施加向前/向後反饋校正仍可表示最佳案例結果。如熟知本技術領域人士所理解的，若這些殘餘(重疊)誤差的幅度夠大，則殘餘誤差可在電的連續性上產生嚴重失效而造成裝置無法生產。在圖9B中可見到簡化的範例，其中頂部與底部接合晶圓之間的銅互連之未對準導致失效。預計該些殘餘將因例如圖6B所描繪之高階晶片變形的複雜高階晶片變形而更進一步加劇。

【0055】 在圖9B中，未對準系統900B包括接合在一起的第一晶圓910(或頂部晶圓)與第二晶圓920(或底部晶圓)。第一晶圓910包括第一互連結構913(例如藉由913a、913b及913c所示的)而第二晶圓920包括第二互連結構923(例如藉由923a、923b及923c所示的)。第一互連結構913與第二互連結構923未對準。特別是，第一互連結構913a、913b及913c分別地與第二互連結構923a、923b及923c未對準。因此，未對準系統900B係故障品。

【0056】 圖9A顯示對準系統900A。於此處，第一互連結構913係與第二互連結構923對準的。特別是，第一互連結構913a、913b及913c分別地與第二互連結構923a、923b及923c對準。儘管顯示為無縫連接，但在第一互連結構913與第二互連結構923之間可存在至少一介面或中間層。

【0057】 因此，晶圓扭曲(或應力)會導致重疊誤差及產量損失。隨著先進節點半導體製造的下一代晶片設計中的對準公差縮小，這些產量損失只會繼續加劇。因此至關重要的是，存在有利地操縱晶圓形狀之技術以實行經由W2W接合工具來處理高度扭曲的晶圓並為無法有效解決晶圓網格扭曲之接合機對準系統中存在的缺陷提供補償機制，尤其是半導體產業在3D封裝的出現及下一代裝置設計的縮小對準公差下正進入關鍵時刻。於本文中描述如此新穎的技術。

【0058】圖10顯示進一步描述扭曲/翹曲晶圓與接合重疊誤差間之關係的實驗資料。於圖10的左邊為「基線」，即標準基線製程。「全域翹曲」、「高階翹曲1」及「高階翹曲2」探究全域翹曲與高階晶圓扭曲的響應。可見到重疊之無法校正的殘餘成分明顯地較基線差。

【0059】本文揭示的技術提供產業對抗製程引起之晶圓扭曲的解決方案並實現封裝解決方案的未來。本文中的技術包括經由應力控制層(一或多)(亦稱為應力源膜(一或多))操控晶圓形狀的系統及硬體。可藉由圖案化及/或活化製程以增強自由度而局部地擴增應力控制層(一或多)。可使用半導體產業習知的晶圓形狀量測工具與資料作為輸入函數以設計控制層(一或多)之正確應力並優化擴增位置而使得W2W(晶圓至晶圓)接合表現獲得改善。這些方法的整合可導致減少接合重疊殘餘、改善接合強度及減少空隙，從而提供相應的良率增加。示例性的實施例包括結合用於塗佈、曝露、及顯影之微影模組以及用於接合晶圓之模組。如此工具的圖案化功能係最佳化以藉由使用熱及/或電磁輻射經由整合於晶圓上的應力控制層而操控晶圓形狀。據此，晶圓至晶圓接合工具係提供為具有形狀校正功能性以增加接合良率。請留意在本揭示內容中「晶圓」與「基板」係可互換使用的。

【0060】依據本揭示內容之某些實施例，圖1A及1B分別為混合系統100的平面圖及透視圖。首先，混合系統100包括配置以用於晶圓形狀校正的第一組模組150以及配置以用於晶圓接合的第二組模組160。混合系統100亦可包括諸多晶圓處置組件及/或載具。載具區塊110包括用於接收晶圓載具112的站台111。晶圓載具112可容納數個(半導體)晶圓或基板。門114可開啟以接取晶圓載具112中的數個晶圓。第一移送臂116可將基板從晶圓載具112中移送至處理區塊120中的棚

架單元121。第二移送臂123係可定位以鄰接至棚架單元121而能夠前後及垂直地移動。然後第三移送臂125可從棚架單元121或第二移送臂123中接取基板以在例如第一組模組150及第二組模組160的模組中移動。

【0061】 在此範例中，第一組模組150(或晶圓形狀校正模組)包括模組131、132、133、134、135、136、137、138及139。具體而言，模組131至139可包括量測模組131、沉積模組132、塗佈模組133、烘烤模組134、成像模組135、顯影模組136、蝕刻模組137、清潔模組138及第一檢查模組139。

【0062】 簡言之，可將量測模組131配置以量測例如基板之翹曲的晶圓形狀資料並產生翹曲量測結果，其係映射基板上相對於一或更多參考z高度值的z高度偏差。可將沉積模組132配置以於基板的後側表面上(或於基板的前側工作表面上)沉積一或更多膜。可將塗佈模組133配置以使用例如光阻劑的輻射敏感材料塗佈基板的後側表面(或基板的前側工作表面)。可將烘烤模組134配置以烘烤輻射敏感材料。可將成像模組135配置以將輻射敏感材料曝露至基於重疊校正圖案的光化輻射之圖案，稍後將說明重疊校正圖案。可將顯影模組136配置以於曝露或成像之後顯影輻射敏感材料。可將蝕刻模組137配置以使用電漿或氣相蝕刻或濕蝕刻。可將清潔模組138配置以於蝕刻操作之後從基板移除剩餘(或殘餘)輻射敏感材料。可將第一檢查模組139配置以於重疊校正處理之後檢查缺陷。請留意本文提供的係模組131至139的簡要描述以用於說明之目的。可在申請人的公告美國專利案第10,475,657號中找到模組131至139的詳細說明內容與範例，該專利案係藉由參照而整體地併入本文中。

【0063】 儘管在圖1A的範例中顯示包括全部的模組131至139，但第一組模組150可取決於在其他範例中的特定設計需要而僅包括模組131至139中的一或

更多者。在一實施例中，第一組模組150可包括模組131至138而沒有第一檢查模組139。在另一實施例中，第一組模組150可包括模組131至135而沒有模組136至138。在又另一實施例中，第一組模組150可包括模組131至132而沒有模組133至138。請留意可使用外在或外部工具來替代模組131至139的至少其中之一。在某些範例中，於外部量測工具中執行晶圓量測而使得無需量測模組131。在某些範例中，於外在或外部沉積工具中施行膜之形成而使得無需沉積模組132及/或塗佈模組133。再者，針對模組131至139中的給定模組，第一組模組150可包括任意數量的給定模組。舉例而言，第一組模組150可包括兩量測模組131使得可同時特徵化兩基板。在替代的實施例中，亦可使用一量測模組131序列地或同時地特徵化兩基板。

【0064】 在圖1A中，第二組模組160(或晶圓接合模組)包括模組161、162、163、164及165。具體而言，模組161至165可包括表面預理模組161、對準模組162、(預)接合模組163、第二檢查模組164及退火模組165。

【0065】 可將表面預理模組161配置以預先處理一或更多基板表面以用於後續接合。例如，表面預理模組161可包括配置以產生電漿並於一或更多基板上執行電漿活化製程的電漿設備。電漿活化製程通常包括以電漿物種撞擊基板表面並化學地活化基板表面。表面預理模組161可進一步包括配置以使用去離子水清洗活化後基板表面的清潔設備。請留意，取決於使用表面預理模組161執行的給定製程，亦可將表面預理模組161稱為清潔模組、蝕刻模組、活化模組、預處理模組及/或與其相似者。

【0066】 可將對準模組162配置以在接合之前對準兩基板。例如，兩基板可各自包括例如對齊標記的特徵，並可將對準模組162配置以將對齊標記對準。對準模組乃係眾所周知的。

【0067】 在此範例中，可將(預)接合模組163配置以將兩基板預接合或接合在一起。舉例而言，可在例如約室溫或25 °C的相對低溫下預接合兩基板。可將第二檢查模組164可選地配置以於預接合之後檢查對準，例如使用紅外(IR)光透射成像。可將退火模組165配置以於例如25至400 °C之範圍內的相對高溫下退火兩基板，以便進一步接合兩基板。於圖1A的範例中，對準模組162及(預)接合模組163係顯示為兩分別的模組。在另一範例(未顯示)中，對準模組162及(預)接合模組163可為其中在(預)接合之前立刻執行主動對準的一整合模組。也就是說，可以連續方式在單一模組(例如，單一工具、單一腔室等)中執行晶圓對準與(預)接合，並且在對準與(預)接合之間沒有晶圓移送。

【0068】 儘管在圖1A的範例中顯示包括全部的模組161至165，但第二組模組160可取決於在其他範例中的特定設計需要而包括模組161至165中的一或更多者。舉例而言，第二組模組160可包括模組161至163及165而沒有第二檢查模組164。再者，針對模組161至165中的特定模組，第二組模組160可包括任意數量的特定模組。舉例而言，第二組模組160可包括兩表面預理模組161使得兩基板可同時被預先處理。在替代的實施例中，亦可使用一表面預理模組161序列地或同時地預先處理兩基板。

【0069】 再者，第二組模組160係配置以經由電漿活化接合來接合兩基板而據此在某些實施例中包括模組161至165。在其他實施例中，可將第二組模組160配置以經由另一晶圓接合技術來接合兩基板，例如熔融接合、表面活化接合、

陽極接合、共晶接合、玻璃膠接合、附著接合、熱壓接合、反應接合、暫態液相擴散接合或其相似者。據此，第二組模組160可包括或可不包括模組161至165。舉例而言，在表面活化接合的案例中，可將表面預理模組(或清潔模組)配置以經由快速原子撞擊來清潔兩基板以原子級清潔及活化兩基板之表面。然後可在對準模組162中對準兩基板並在接合模組中將兩基板接合在一起。因而，第二組模組160可以簡化形式包括三模組(即，表面預理模組、對準模組162及接合模組)，或者可進一步包括額外的模組，例如用於在接合之後檢查對準的檢查模組。在熔融接合的案例中，可藉由可配置以在兩矽基板上執行乾蝕刻製程或濕蝕刻製程的表面預理模組(或蝕刻模組)來清潔兩矽基板，以便達成針對預接合所需的清潔度。表面預理模組可進一步使用去離子水清洗兩矽基板以使矽表面具親水性。然後兩矽基板可在對準模組162中對準，在(預)接合模組163中預接合(可選地使用第二檢查模組164檢查)，並在退火模組165中退火。

【0070】 請留意第一組模組150與第二組模組160可具有共用的一或更多模組。例如，第一組模組150與第二組模組160可包括配置以於蝕刻操作之後移除剩餘輻射敏感材料、且於預接合或接合之前清潔兩基板的共用清潔模組。換言之，共用清潔模組係配置以執行清潔模組138及表面預理模組161的功能。再者，儘管在圖1A中模組131至139以及模組161至165係顯示為連續地排成兩列，但應理解的是模組131至139以及161至165可以任意的配置方式排列而具有任意的相對位置。

【0071】 請留意，沉積模組132與塗佈模組133可合併地或單獨地被稱為應力源膜沉積模組。烘烤模組134、成像模組135、顯影模組136、蝕刻模組137、清潔模組138及第一檢查模組139可合併地或單獨地被稱為應力源膜修改模組。儘

管模組131至139以及161至165係顯示為定位在處理區塊120中，但應理解的是可將模組131至139以及161至165中的一或更多者定位在其他處理區塊(一或多)中，例如處理區塊130。

【0072】 仍參考圖1A，控制器140係連接至或被包括在混合系統100中。控制器140可為位在混合系統100內、或位於遠端但與混合系統100之組件通訊的電腦處理器。可將控制器140配置以接收晶圓形狀資料(例如，翹曲量測)並基於翹曲量測產生修改圖(例如，重疊校正圖案)。可從量測模組131中、或從另外的系統中接收翹曲量測。重疊校正圖案基於翹曲量測定義對基板(例如，於基板上的特定位置)之內應力的調整。除了翹曲量測以外，重疊校正圖案亦可基於基板之前側工作表面的裝置參數。例如，相較於構建用於邏輯之finFET裝置的早期階段，相對深的記憶器陣列可能需要更多的應力修改。可使用諸多計算方法中的任何方法來產生或計算重疊校正圖案，例如平面間偏差、與參考平面的z高度偏差、針對關注位置的多階導數分析、澤尼克(Zernike)多項式之分析、像素化基函數優化、或球面Bessel函數。

【0073】 在重疊校正圖案中，基板上之第一給定位置可具有相較於重疊校正圖案中基板上之第二給定位置有被定義的不同內應力調整。換言之，待進行之應力校正可特定於基板表面上的位置。此位置可為基板之點位置、面積或區域。例如，重疊校正圖案可定義產生平坦基板(無翹曲)或有利於後接圖案化製程之某些選定翹曲的內應力調整。如此內應力調整可基於沉積在基板之後側表面上或基板之前側工作表面上之膜的型式及厚度。

【0074】 在某些實施例中，可將控制器140耦接至混合系統100的諸多組件(例如模組)以從諸多組件接收輸入或提供輸出至諸多組件。可將控制器140配置

以控制選自由模組131至139及161至165組成之群組中的至少一模組。例如，可將控制器140配置以從量測模組131接收晶圓形狀資料。亦可將控制器140配置以針對量測模組131調整旋鈕及控制設定。再者，應理解的是，可手動地實施本文所描述之控制器140的一或更多功能。舉例而言，可手動地進行對量測模組131的旋鈕調整。

【0075】 再者，混合系統100的組件係可連接至控制器140並由控制器140控制，而可將控制器140可選地連接至相應的記憶體儲存單元及使用者介面(皆未顯示)。可經由使用者介面執行諸多模組操作，並可將諸多處理配方及操作儲存在儲存單元中。據此，可使用諸多微加工技術於混合系統100內處理給定的基板。

【0076】 可以廣泛諸多的方式實施控制器140。在一範例中，控制器140為電腦。在另一範例中，控制器140包括被程式化以提供本文所述功能性的一或更多可程式化積體電路。例如，可使用軟體或其他程式化指令程式化一或更多處理器(例如微處理器、微控制器、中央處理單元等)、可程式邏輯裝置(例如複合可程式邏輯裝置(CPLD)、場可程式閘極陣列(FPGA)等)、及/或其他可程式積體電路，以實施指定之電漿製程配方的功能性。請再留意可將軟體或其他程式化指令儲存在一或更多非暫態電腦可讀媒體(例如記憶體儲存裝置、快閃記憶體、DRAM記憶體、可再程式化儲存裝置、硬碟、軟磁碟、DVDs、CD-ROMs等)中，且當藉由可程式積體電路執行軟體或其他程式化指令時致使可程式積體電路執行本文所述的製程、功能、及/或能力。亦可實施其他變化內容。

【0077】 再者，本文中的翹曲量測可包括量測凸或凹的程度，或者相對於一或更多參考z高度值映射基板上z高度偏差。換言之，例如以座標位置空間地映

射z高度偏差，以識別跨基板之表面的z高度偏差。可取決於所使用的量測設備之型式及/或所需之解析度而以諸多解析度來映射翹曲及z高度偏差。

【0078】翹曲量測可包括原始翹曲資料，或者可將其表示為具有相對值的翹曲特徵。請留意在許多實施例中，參考z高度值可能全都接近零且因而代表晶圓係接近平坦的。例如，用於本文中重疊改善的接近平坦或視為平坦之晶圓可為具有小於10微米之平均偏差的晶圓。

【0079】再者，混合系統100可包括具有基板托架及基板處理組件的一或更多處理模組(例如第一組模組150)，基板處理組件係配置以依據重疊校正圖案於基板上特定位置修改基板上內應力而產生基板的修改後翹曲。具修改後翹曲的基板具有修改後重疊誤差。相較於初始重疊誤差，修改後重疊誤差具有減少的重疊誤差。在一或更多處理模組係配置以獨立修改基板上不同位置的情況下，可將第一組模組150配置以有差別地修改內應力，使得該些不同位置中的至少一部分相較於彼此係有差別地被修改。儘管可進行全面或均勻/對稱的內應力校正，但本文的處理模組係可配置以藉由基板上的座標位置來修改應力。

【0080】可將第一組模組150配置以於基板上的位置增加或放鬆內應力，並配置以修改前側工作表面抑或後側表面上的內應力。可將第一組模組150配置以當實體地修改基板之後側表面上的內應力時，以前側工作表面面朝上(遠離地球引力)的方式抓持基板。

【0081】在基板上之第一給定位置相較於第二給定位置可具有更多添加材料的情況下，可將第一組模組150配置以藉由在基板之後側表面上材料的特定位置添加而修改基板上的內應力。例如，當光或熱的圖案投射至後側表面上時，後側沉積系統可使用化學氣相沉積。由於化學氣相沉積可取決於表面溫度，故可

基於投射至後側表面上的光或熱圖案而沉積較多或較少的材料。據此，藉由座標位置沉積不同量的材料。一旦完成如此的差別沉積製程，基板便具有校正或減少重疊誤差的修改後翹曲。

【0082】 在其他實施例中，於基板上之第一給定點位置相較於第二給定點位置可具有更多材料被移除的情況下，可將第一組模組150配置以藉由在基板之後側表面上材料的特定位置移除而修改基板上的內應力。此舉可包括首先添加一或更多膜至基板的後側表面然後選擇性地從給定位置處的一或更多膜中移除材料，例如藉由使用蝕刻遮罩來蝕刻後側表面。在其他實施例中，於基板上之第一給定位置相較於第二給定位置可具有更多粒子被植入的情況下，可將處理模組配置以藉由在基板之後側表面上粒子的特定位置植入而修改基板上的內應力。例如，離子植入工具可將粒子植入工作表面或後側表面中以增加抑或減少拉伸力/壓縮力，從而改變基板的翹曲。如此選擇性增加或減少可取決於受處理之表面材料的型式以及被植入之粒子的型式。可將處理模組配置以藉由固化膜的特定位置溫度調變而修改基板上的內應力。被固化之給定膜可基於固化溫度而展現出較強或較弱的鍵結。於固化期間可藉由使用熱或光的投射來達成溫度調變，其中個別的投影像素可基於重疊校正圖案而獨立地定址或變化強度。

【0083】 取決於對基板進行之處理以修改應力的型式而可在一或更多模組中執行處理。據此，數個模組可被可選地使用。儘管有諸多用以修改應力的機制(例如，差別沉積、差別固化、離子植入、選擇性蝕刻等)，但為了方便描述實施例，本揭示內容將提供較多關於選擇性蝕刻的示例性實施例。

【0084】 在圖2A中繪示晶圓形狀校正流程200A的一範例，其中意欲進行接合的頂部與底部晶圓會進行晶圓量測以記錄兩晶圓的扭曲特徵。儘管所描繪

的流程(200A)在形狀控制層施加(一或多)之前序列地執行量測，但可在線上的先前點之處收集資料(例如翹曲量測)並向前饋送。依據整合狀況，可將目標形狀校正施加至兩晶圓或僅一晶圓。利用量測資料(例如翹曲量測)，可採用計算方法來產生圖案以達成所需的形狀操控。可將此圖案記錄在形狀控制層(一或多)中以實現較佳形狀。在具有優化形狀的情況下，兩晶圓(即頂部與底部晶圓)接著經由W2W接合製程繼續正常整合流程而產生易於藉由接合器處置/夾持的樣品並產生改良的接合指標。

【0085】 具體而言，在形態201中提供例如製程扭曲晶圓的晶圓。至少一晶圓可能具有起因於一或更多微加工處理步驟的初始重疊誤差，微加工處理步驟係已被執行以在該至少一晶圓的工作表面上製作至少部分的半導體裝置。例如，可完成或僅部分地完成電晶體閘極。

【0086】 通常，晶圓具有前側工作表面及後側表面。前側工作表面係於其上製造半導體裝置的表面，半導體裝置例如為電晶體、二極體、閘極、佈線等等。後側表面通常與前側工作表面相對並且在相關範例中係通常被夾持或卡扣至基板托架的表面。本文的技術包括膜之後側表面沉積以修改或調控內應力並改變晶圓翹曲或第一階曲率。

【0087】 請留意本文中使用前側工作表面及後側表面來指稱晶圓的相對側。在某些微加工製程中，給定晶圓可具有形成在兩側上的主動裝置或功率傳輸結構。也就是說，後側表面亦可為工作表面以於其上形成半導體裝置。為說明之目的，本揭示內容將使用晶圓的後側表面作為範例來示範晶圓形狀控制。

【0088】 在形態201中提供的晶圓可包括待接合在一起的兩晶圓，即，第一晶圓與第二晶圓。形態203顯示第一晶圓(為簡化而於此省略第二晶圓)的範例。

區塊210A顯示配置以對兩晶圓中的一或兩者進行內應力調整的晶圓形狀控制模組(或晶圓形狀校正模組)之範例。內應力調整係配置以產生平坦晶圓(一或多)或是有利於後接圖案化及/或接合製程的某些選定翹曲。例如，選定翹曲可包括當接合兩晶圓時可相互消除的兩翹曲輪廓。兩翹曲輪廓可為彼此相反或對稱的。選定翹曲亦可包括彼此相似或相同的兩翹曲輪廓使得對準/重疊誤差可被消除。

【0089】在形態211中，於兩晶圓上執行晶圓量測以獲得兩晶圓的晶圓形狀資料，例如包括相對z高度值的翹曲量測。例如可藉由量測模組131或藉由外部量測工具來實施晶圓量測。可將控制單元212配置以基於第一晶圓與第二晶圓的晶圓形狀資料產生第一修改圖。第一修改圖係配置以定義對第一晶圓之內應力的調整。可藉由控制器140實施控制單元212。在某些實施例中，可將控制單元212配置以接收及/或儲存歷史資料，例如已經歷形狀校正及接合之歷史晶圓的晶圓形狀資料及/或其他重疊資訊。可單獨使用歷史資料、或者和第一晶圓與第二晶圓的晶圓形狀資料結合使用，以產生第一修改圖。

【0090】在形態213中，可包括形狀控制層的應力源膜係施加至或沉積於兩晶圓的至少其中一者之上。可藉由應力源膜沉積模組(即沉積模組132及/或塗佈模組133)或藉由外部膜沉積工具來沉積應力源膜。例如，可將第一應力源膜沉積在第一晶圓的後側表面上。可基於第一修改圖沉積第一應力源膜。也就是說，第一修改圖可包括關於第一應力源膜的資訊，例如材料(一或多)之型式(一或多)、厚度(一或多)等。

【0091】在形態215中，例如藉由選自由烘烤模組134、成像模組135、顯影模組136及蝕刻模組137所組成之群組中的至少一模組來執行特定位置活化。最

後，形態205顯示於形狀控制或形狀校正後之第一晶圓的範例(為簡化而於此省略第二晶圓)。形態205相較於形態203可具有減少的翹曲或減少的重疊誤差。

【0092】 在某些實施例中，藉由將第一應力源膜曝露至基於第一修改圖的電磁輻射之圖案而修改第一應力源膜。可藉由成像模組135來實施如此曝露。第一應力源膜可進行交聯/解交聯以引發起因於曝露的內應力調整。可選地，例如在烘烤模組134中烘烤第一應力源膜。如此烘烤可進一步促進交聯/解交聯。可選地，例如在顯影模組136中，可將第一應力源膜的光阻層顯影以形成浮雕圖案。可選地，例如在蝕刻模組137中，可使用浮雕圖案作為蝕刻遮罩來蝕刻第一應力源膜的形狀控制層。在某些實施例中，藉由基於第一修改圖的熱處理而修改第一應力源膜。可選地，可於之後顯影及/或蝕刻第一應力源膜。在某些實施例中，可沉積相對均勻的毯覆膜(例如旋塗材料)並經由UV及/或熱處理選擇性地活化之。沒有膜需要被移除。

【0093】 應注意的是，第一修改圖係基於兩晶圓的晶圓形狀資料故第一修改圖可針對於此兩晶圓。換言之，第一修改圖可在W2W流程中變化。因而，成像模組135可包括可程式化的直接寫入(direct-write)曝光設備。因此，可將直接寫入曝光設備配置以將第一應力源膜曝露至基於(變化)第一修改圖的電磁輻射之圖案。可在申請人於2022年3月24日提出申請的審查中美國專利申請案第17/703,072中找到關於直接寫入的更多細節，該專利申請案係藉由參照而整體地併入本文中。

【0094】 再者，第一應力源膜可為出現在第一晶圓之前及/或後側上的膜的任意組合，例如氧化物膜、氮化物膜及/或旋塗膜。活化製程可為植入、蝕刻、輻射及/或溫度之任意組合的結果。在圖3A至3F中描繪一如此實施例的範例。在

此實施例中，使用CVD(化學氣相沉積)SiN膜作為第一應力源膜的形狀控制層。活化製程包括施加光敏感層、選擇性地使用兼容波長曝露光阻(即光敏感層)、使用溶劑顯影打開曝露區域並使用濕式或RIE(反應離子蝕刻)製程選擇性地移除SiN以達到所需的晶圓形狀。應注意在某些案例中，可能完全不需要活化並可藉由使用原生毯覆控制層(一或多)來達成所需的效能。例如，在圖3A至3F中，流程可在沉積SiN(應力控制)層之後結束。在此案例中，第一修改圖沒有包括圖案而使得SiN層係沉積並用以作為毯覆膜。

【0095】 具體而言，在圖3A中，第一應力源膜的形狀控制層303係沉積在第一晶圓301的後側上。於此範例中，例如在沉積模組132中，形狀控制層303係藉由CVD形成的SiN層。在圖3B中，例如在塗佈模組133中藉由旋塗沉積，將第一應力源膜的光阻層305形成在形狀控制層303上。在圖3C中，例如在成像模組135中，將光阻層305曝露至基於第一修改圖的電磁輻射之圖案。在圖3D中，例如在顯影模組136中，顯影光阻層305以形成浮雕圖案。在圖3E中，例如在蝕刻模組137中，使用浮雕圖案作為蝕刻遮罩而蝕刻形狀控制層303。在圖3F中，例如在蝕刻模組137中藉由蝕刻製程以及可選地在清潔模組138中藉由清潔製程而移除光阻層305。儘管未顯示出來，但可例如在烘烤模組134中，可選地在圖3B與圖3C之間烘烤、及/或在圖3C與圖3D之間烘烤光阻層305。再者，可基於第一修改圖而形成光阻層305。

【0096】 如圖3A至3F中所示，成像模組135可經由電磁輻射選擇性地活化第一應力源膜，其相似於產業中的習知微影作法。可替代地，可藉由使用具分區溫度控制的熱板(或加熱板)或是如圖4A至4C中繪示的加熱陣列局部地加熱晶圓

而執行如此圖案化。在某些實施例中，晶圓形狀修改/校正可包括使用電磁輻射及加熱兩者作為活化媒介。

【0097】圖4A顯示依據本揭示內容之一實施例的加熱陣列400A之平面圖。如圖所繪示的，加熱陣列400A可包括個別的組件，例如藉由410a’、410b’、410c’、410p’、410q’及410r’所顯示的。可將個別的組件配置以產生彼此獨立的熱，因而實行具有獨立溫度控制的加熱區。由各自單獨的組件來決定每一加熱區的尺寸、位置及溫度。

【0098】在某些實施例中，加熱陣列400A包括電阻器之陣列。可將每一電阻器配置以基於各別流經的電流而產生各別量的熱。可將至少一電阻器整合至配置以抓持例如第一晶圓之晶圓的晶圓卡盤中。因而，該至少一電阻器可與晶圓直接接觸。可替代地，可將至少一電阻器接近晶圓放置使得該至少一電阻器可在不碰觸晶圓的情況下有效地加熱晶圓。舉例而言，該至少一電阻器與晶圓之間的距離可介於0 mm(接觸)與5 mm之間。當然，加熱陣列400A可包括兩型式之電阻器的組合。再者，可實施複數加熱陣列400A。例如，可實施針對下方晶圓卡盤的下方加熱陣列、以及針對上方晶圓卡盤的上方加熱陣列。下方加熱陣列及上方加熱陣列可各自具有相對於各別晶圓卡盤的可配置高度位置。

【0099】圖4B顯示依據本揭示內容之一實施例，由加熱陣列400A產生之加熱區的第一圖案400B。此處，較深色表示較高溫而較淺色係較低溫。例如，區410a相較於區410b具有較高溫而區410b相較於區410c具有較高溫。可使用變化溫度分佈來引發對於應力源膜從而對於晶圓之不同程度的內應力調整。特別是，加熱區的第一圖案400B包括其中的區具有彼此相同之溫度的線條圖案420。區410c

可代表背景溫度，例如沒有熱產生。加熱陣列400A的電阻器可局部地加熱晶圓從而以特定位置方式選擇性地活化應力源膜。

【0100】 圖4C顯示依據本揭示內容之另一實施例，由加熱陣列400A產生之加熱區的第二圖案400C。相似地，較深色表示較高溫而較淺色係較低溫。例如，區410p相較於區410q具有較高溫而區410q相較於區410r具有較高溫。

【0101】 請留意，區410a、410b、 410c、410p、410q及410r分別對應個別組件410a’、410b’、 410c’、410p’、410q’及410r’。儘管於此範例中，加熱陣列400A整體形狀係像圓形的晶圓，但加熱陣列400A可具有任何其他的形狀。加熱陣列400A的個別組件亦可具有任何形狀。個別組件可各自包括複數電阻器。因而個別組件的尺寸無需與圖案化之解析度為相同級數。例如，個別組件410a’可為33 mm x 26 mm的級數同時個別組件410a’可包括較小的電阻器，例如微米及/或奈米電阻器。

【0102】 此外，加熱陣列400A可被包括在混合系統100中作為單獨加熱模組(未顯示)、被烘烤模組134包括在內、或者被沉積模組132包括在內。當加熱陣列400A被沉積模組132包括在內時，沉積模組132可於沉積期間實行圖案化以形成沉積態圖案化膜。在膜形成之後以及在將來的晶圓對準之前可無需對如此圖案化膜進行修改。例如，CVD係溫度依賴性的。可藉由加熱陣列400A的加熱區達成第一應力源膜的獨立沉積速率控制。

【0103】 儘管未顯示出來，亦可使用雷射系統來加熱晶圓卡盤及/或直接加熱晶圓。可選擇在晶圓卡盤及/或晶圓處有吸收性的波長以致使加熱。

【0104】 返回參考圖2A，使用第一晶圓作為描述晶圓形狀校正流程200A的範例而為簡化目的省略第二晶圓。在一實施例中，藉由形態211中的晶圓量測

表徵第二晶圓但第二晶圓不行經形態213及形態215中所示的製程。也就是說，僅對第一晶圓進行內應力調整。在另一實施例中，藉由形態211中的晶圓量測表徵第二晶圓且第二晶圓行經形態213及形態215中所示的製程。以上已提供過詳細說明內容並為簡化目的將於此處省略。簡言之，對第一晶圓與第二晶圓兩者皆進行內應力調整。可在第二晶圓上形成第二應力源膜並基於第二修改圖修改第二應力源膜，第二修改圖定義對於第二晶圓之內應力的調整。可基於第一晶圓與第二晶圓的晶圓形狀資料產生第二修改圖。

【0105】 用以實施實現本揭露書中詳述之晶圓形狀控制所需之處理的硬體乃需要不存在於任何市售半導體晶圓至晶圓接合工具中的模組。使用本文所揭示的晶圓形狀校正方法以最佳化晶圓接合製程會需要在到達接合工具之前的離線晶圓形狀校正。此舉係不被期望的，因為將另一工具插入整合流程中會顯著影響製造產量並引起晶圓處置冗餘。本文所揭示的實施例維持接合工具的核心功能性(例如電漿活化、親水化、對準、接合等等)，但亦包括實行晶圓形狀控制的圖案化模組，例如但不限於翹曲量測、塗佈、曝露及顯影、或其他應力活化製程。藉由創立混合接合-圖案化工具，可在不具有由離線處理引起之產量下降的情況下實現經由晶圓形狀控制獲得的良率改善。

【0106】 圖2B中描繪示例性的實施例與配置。實施例包括用於晶圓至晶圓接合的統一平台或單獨工具而在待接合之晶圓對的至少一晶圓中修改晶圓形狀。如此系統包括晶圓形狀修改模組(一或多)(例如第一組模組150)以及接合模組(一或多)(例如第二組模組160)。示例性的系統(例如混合系統100)亦可包括習知的晶圓處置機器人以在模組及子模組之中移動晶圓。

【0107】據此，示例性的實施例包括維持習知W2W接合平台之核心功能性且亦將圖案化模組(例如塗佈、曝露、顯影等)整合至接合器中以利於晶圓形狀操控的半導體工具。曝露、成像或活化模組可包括電磁輻射及/或特定位置加熱擴增。該半導體工具能夠接取晶圓的前側及後側兩者以進行處理。該半導體工具可包括整合的量測以評估傳入的晶圓形狀。該半導體工具可包括整合的量測以評估接合後對準指標。

【0108】儘管在較佳實施例中，於工具內沉積應力控制(或晶圓形狀控制)，但半導體工具可容納具有在不同平台上於外部施加之膜的晶圓。較佳為將旋塗應力控制膜(旋塗應力源膜)用於晶圓形狀修正。CVD膜沉積係替代的膜沉積技術而包括如此膜的圖案化。

【0109】如圖2B中所示，製程200B包括配置以用於晶圓形狀控制/校正的區塊210B以及配置用於晶圓對準及接合的區塊220。在圖2A與2B中的相同組件具有相同的標號，例如201、203、205、211、212及213。區塊210B可包括區塊210A的一範例。具體而言，此處係藉由在形態217中的校正影像曝露以及形態219中的校正影像顯影來完成形態215中的特定位置活化。如此校正影像可例如為第一修改圖。同樣地，可對第一晶圓但不對第二晶圓進行內應力調整。可替代地，可對第一晶圓與第二晶圓兩者皆進行內應力調整。

【0110】在區塊220中，可將第一晶圓與第二晶圓(預)接合在一起。於形態211中，例如藉由表面預理模組161在第一晶圓與第二晶圓上執行電漿活化製程。在形態223中，例如藉由表面預理模組161而使用去離子水(DIW)清洗第一晶圓與第二晶圓。在形態225中，例如藉由對準模組162對準第一晶圓與第二晶圓，並且例如藉由(預)接合模組163(預)接合第一晶圓與第二晶圓。在形態227中，例如藉

由第二檢查模組164而使用IR光傳輸成像來檢查(預)接合晶圓。在形態207中，例如可藉由清潔模組138及/或表面預理模組161剝離並清潔(預)接合晶圓。可例如藉由退火模組165進一步接合(預)接合晶圓。應理解的是，可替代地可藉由在如稍早描述的第二組模組160中的其他製程或技術接合第一晶圓與第二晶圓。在某些實施例中區塊220可包括形態207。

【0111】 圖5顯示依據本揭示內容之某些實施例，用於晶圓接合之製程500的流程圖。製程500開始於其中基於第一晶圓與第二晶圓之晶圓形狀資料產生第一修改圖的步驟S510。第一修改圖定義對於第一晶圓之內應力的調整。然後製程500藉由修改第一晶圓的第一晶圓形狀而續行至步驟S510，修改第一晶圓形狀係藉由基於第一修改圖而在第一晶圓上形成第一應力源膜。於步驟S530，在步驟S520之後將第一晶圓與第二晶圓對準。於步驟S540，將第一晶圓接合至第二晶圓。

【0112】 在先前說明內容中，已提出具體細節，例如處理系統的特定幾何以及在系統中使用之諸多組件與製程的描述。然而，應理解的是，可在脫離此些具體細節的其他實施例中實踐本文的技術，因而如此細節係用於說明而非限制之目的。已參考隨附圖式描述本文所揭示的實施例。相似地，為說明之目的，已提出具體符號、材料、及配置以便提供透徹的理解。儘管如此，可在不具有如此具體細節的情況下實踐實施例。具有實質上相同功能結構的組件係由相同的參考標記表示，因而可省略任何多餘的說明內容。

【0113】 已描述諸多技術作為多個離散操作以幫助理解諸多實施例。不應將說明內容的順序解釋為暗示這些操作必須依照順序。事實上，這些操作不需要

按照所呈現的順序執行。可以與所述實施例不同的順序執行所述操作。在額外的實施例中，可執行諸多額外的操作及/或可省略所述操作。

【0114】 本文中使用的「基板」或「晶圓」通常係指依據本發明進行處理的物件。基板可包括裝置的任何材料部分或結構，裝置特別是半導體或其他電子裝置，且基板可例如為基礎基板結構，像是半導體晶圓、標線片、或基礎基板結構之上或覆蓋於其上的層，例如薄膜。因此，基板不限於任何特定的基礎結構、下層或上層、圖案化或未圖案化，而是預期包括任何如此的層或基礎結構、以及層及/或基礎結構的任意組合。說明內容可參照特定型式的基板，但此僅係用於說明之目的。

【0115】 基板可為任何合適的基板，例如矽(Si)基板、鍺(Ge)基板、矽-鍺(SiGe)基板、及/或絕緣層上矽(SOI)基板。基板可包括半導體材料，例如，IV族半導體、III-V族化合物半導體、或II-VI族氧化物半導體。IV族半導體可包括Si、Ge、或SiGe。基板可包括主體晶圓或磊晶層。

【0116】 熟悉本技術領域人士亦將理解對於以上說明之技術的操作方式可存在許多變化而仍達成與本發明相同的目標。如此變化旨在被本揭露書的範圍涵蓋。因此，本發明之實施例的前述說明內容並非意圖受到限制。相反地，對本發明之實施例的任何限制乃呈現在以下申請專利範圍中。

【符號說明】

【0117】

100:混合系統

110:載具區塊

111:站台

112:晶圓載具

114:門

116:第一移送臂

120,130:處理區塊

121:棚架單元

123:第二移送臂

125:第三移送臂

131:量測模組

132:沉積模組

133:塗佈模組

134:烘烤模組

135:成像模組

136:顯影模組

137:蝕刻模組

138:清潔模組

139:第一檢查模組

140:控制器

150:第一組模組

160:第二組模組

161:表面預理模組

162:對準模組

163:(預)接合模組

164:第二檢查模組

165:退火模組

200A,200B:晶圓形狀校正流程

201,203,205,207,211,213,215,217,219,221,223,225,227:形態

210A,210B,220:區塊

212:控制單元

301:第一晶圓

303:形狀控制層

305:光阻層

400A:加熱陣列

400B:第一圖案

400C:第二圖案

410a',410b',410c',410p',410q',410r':組件

410a,410b,410c,410p,410q,410r:區

420:線條圖案

500:製程

S510,S520,S530,S540:步驟

900A:對準系統

900B:未對準系統

910:第一晶圓

913a,913b,913c:第一互連結構

920:第二晶圓

923a,923b,923c:第二互連結構

【發明申請專利範圍】

【請求項1】一種用於將晶圓接合在一起的裝置，該裝置包含：

第一組模組，配置以用於晶圓形狀校正，該第一組模組包含：

一量測模組，配置以量測一第一晶圓與一第二晶圓的晶圓形狀資料，該晶圓形狀資料包括該第一晶圓與該第二晶圓的相對z高度值，

一應力源膜沉積模組，配置以於該第一晶圓上形成一第一應力源膜，及

一應力源膜修改模組，配置以基於一第一修改圖修改該第一應力源膜，該第一修改圖定義對於該第一晶圓之內應力的調整，該第一修改圖係基於該第一晶圓與該第二晶圓的該晶圓形狀資料而產生；以及

第二組模組，配置以用於晶圓接合，該第二組模組包含：

一對準模組，配置以將該第一晶圓與該第二晶圓對準，以及

一接合模組，配置以將該第一晶圓接合至該第二晶圓。

【請求項2】如請求項1之裝置，其中該應力源膜沉積模組係配置以基於該第一修改圖而在該第一晶圓上形成該第一應力源膜。

【請求項3】如請求項1之裝置，其中：

該第一晶圓具有一前側工作表面及與該前側工作表面相對的一後側表面，以及

該應力源膜沉積模組係配置以在該第一晶圓的該後側上形成該第一應力源膜。

【請求項4】如請求項1之裝置，其中該應力源膜沉積模組包含一旋塗設備、一噴塗設備或蒸氣沉積設備的至少其中之一。

【請求項5】 如請求項1之裝置，其中該應力源膜修改模組包含配置以將該第一應力源膜曝露至基於該第一修改圖之一電磁輻射之圖案的一直寫式曝露設備。

【請求項6】 如請求項5之裝置，其中該應力源膜修改模組包含配置以將該第一應力源膜的一光阻層顯影以形成一浮雕圖案的一顯影設備。

【請求項7】 如請求項6之裝置，其中該應力源膜修改模組包含配置以使用該浮雕圖案作為一蝕刻遮罩來蝕刻該第一應力源膜之一形狀控制層的一蝕刻設備。

【請求項8】 如請求項1之裝置，其中該應力源膜修改模組包含具有分區溫度控制的一熱板。

【請求項9】 如請求項1之裝置，其中該應力源膜修改模組包含有具獨立溫度控制之加熱區的一加熱陣列。

【請求項10】 如請求項9之裝置，其中該加熱陣列包括一電阻器之陣列。每一電阻器係配置以基於各別流經的電流而產生各別量的熱。

【請求項11】 如請求項10之裝置，其中至少一該電阻器係整合至配置以抓持該第一晶圓的一晶圓卡盤中。

【請求項12】 如請求項1之裝置，其中該應力源膜修改模組包含配置以加熱該第一晶圓或一晶圓卡盤的至少其中之一的一雷射系統，該晶圓卡盤係配置以抓持該第一晶圓。

【請求項13】 如請求項1之裝置，進一步包含配置以基於該第一晶圓與該第二晶圓之該晶圓形狀資料而產生該第一修改圖的一控制器。

【請求項14】 如請求項13之裝置，其中該控制器係配置以接收來自至少一模組的輸入並提供輸出至該至少一模組，該至少一模組係選自由該量測模組、該應力源膜沉積模組、該應力源膜修改模組、該對準模組及該接合模組所組成的群組。

【請求項15】 如請求項14之裝置，其中該控制器係配置以控制選自由下列組成之群組中的至少一製程：量測該晶圓形狀資料、沉積該第一應力源膜、修改該第一應力源膜、將該第一晶圓與該第二晶圓對準、以及將該第一晶圓接合至該第二晶圓。

【請求項16】 如請求項13之裝置，其中該控制器係配置以除了該第一晶圓與該第二晶圓之該晶圓形狀資料以外還基於歷史資料產生該第一修改圖，該歷史資料包括歷史晶圓的重疊資訊。

【請求項17】 如請求項1之裝置，其中：

該應力源膜沉積模組係配置以於該第二晶圓上形成一第二應力源膜，以及

該應力源膜修改模組係配置以基於一第二修改圖修改該第二應力源膜，該第二修改圖定義對於該第二晶圓之內應力的調整，該第二修改圖係基於該第一晶圓與該第二晶圓的該晶圓形狀資料而產生。

【請求項18】 如請求項1之裝置，其中該對準模組與該接合模組係一整合模組使得在進行對準與進行接合之間沒有晶圓轉移。

【請求項19】 一種用於將晶圓接合在一起的裝置，該裝置包含：

第一組模組，配置以用於晶圓形狀校正，該第一組模組包含：

一量測模組，配置以量測一第一晶圓與一第二晶圓的晶圓形狀資料，該晶圓形狀資料包括該第一晶圓與該第二晶圓的相對z高度值，及

一應力源膜沉積模組，配置以基於一第一修改圖於該第一晶圓上形成一第一應力源膜，該第一修改圖定義對於該第一晶圓之內應力的調整，該第一修改圖係基於該第一晶圓與該第二晶圓的該晶圓形狀資料而產生；以及

第二組模組，配置以用於晶圓對準及接合，該第二組模組包含：

一對準模組，配置以將該第一晶圓與該第二晶圓對準，而在所述形成該第一應力源膜與所述對準之間沒有對該第一應力源膜作修改，及

一接合模組，配置以將該第一晶圓接合至該第二晶圓。

【請求項20】 如請求項19之裝置，其中：

該第一修改圖沒有包括圖案，以及

該應力源膜沉積模組係配置以將該第一應力源膜形成為一毯覆膜。

【發明圖式】

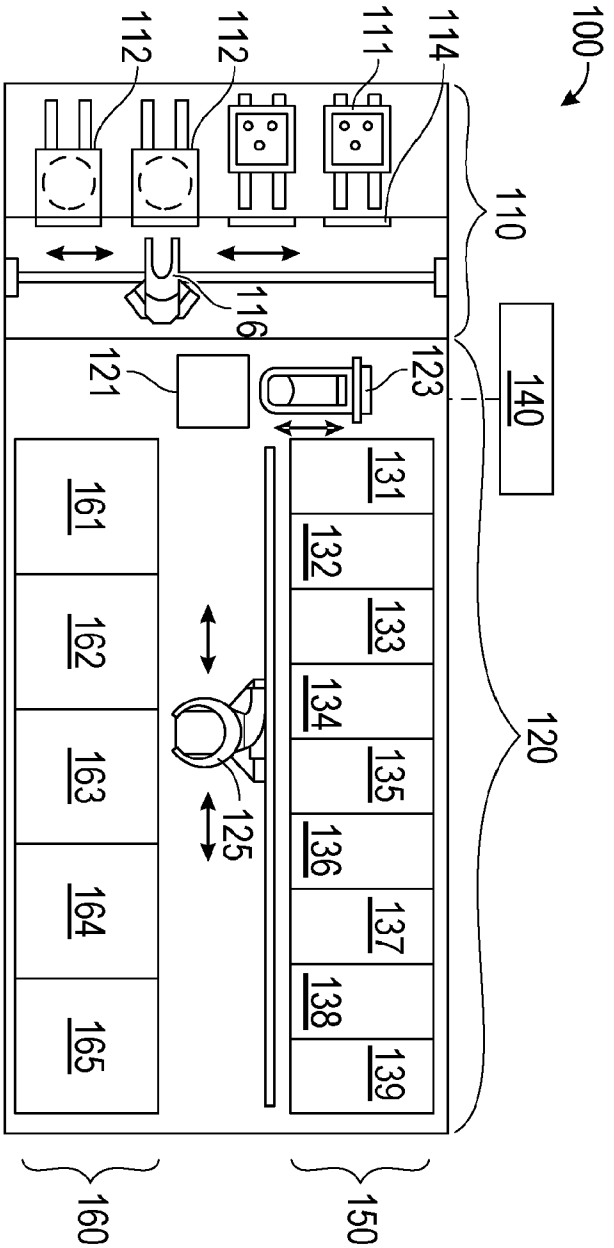

100
112
112
111
114
110
116
121
123
140
131
132
133
134
135
136
137
138
139
120
161
162
163
164
165
125
160
150

圖 1A

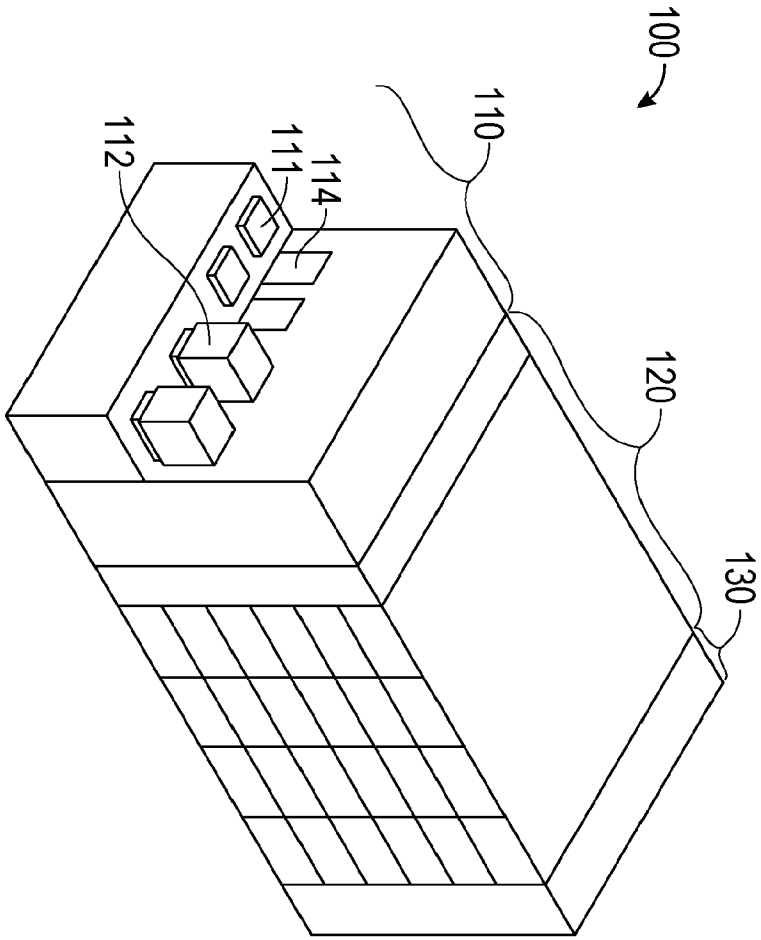


圖 1B

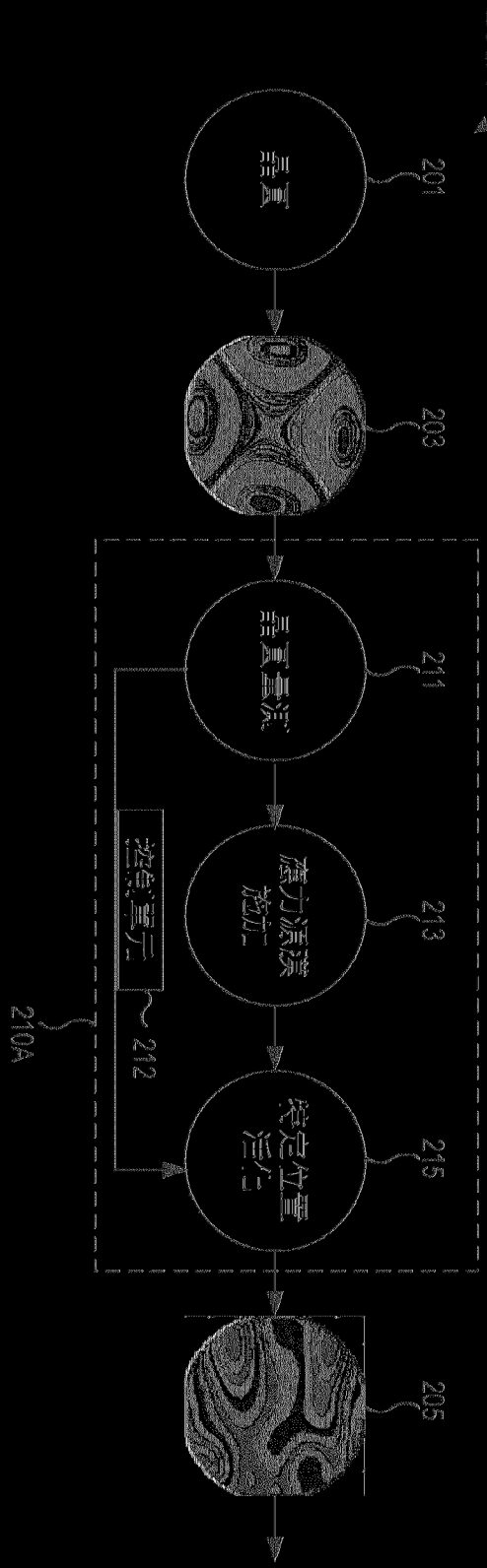


圖 2A

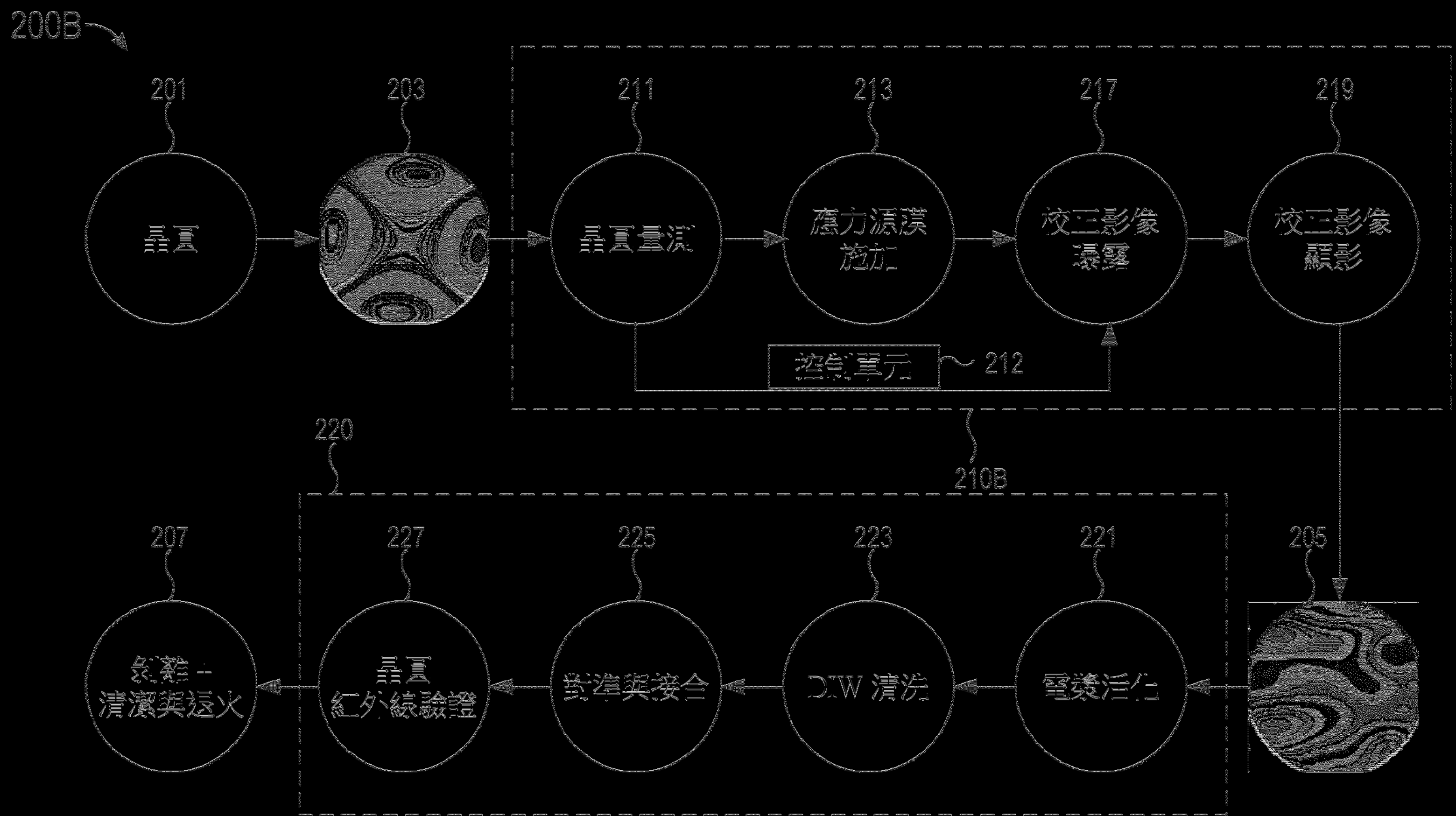

200B
201
晶圓
203
211
晶圓量測
213
應力源膜施加
217
校正影像曝露
219
校正影像顯影
控制單元
212
210B
205
220
221
電漿活化
223
DIW 清洗
225
對準與接合
227
晶圓
紅外線驗證
207
剝離+
清潔與退火

圖 23

301
303
305
圖 3A
301
303
305
圖 3B
301
303
305
圖 3C
301
303
305
圖 3D
301
303
305
圖 3E
301
303
圖 3F

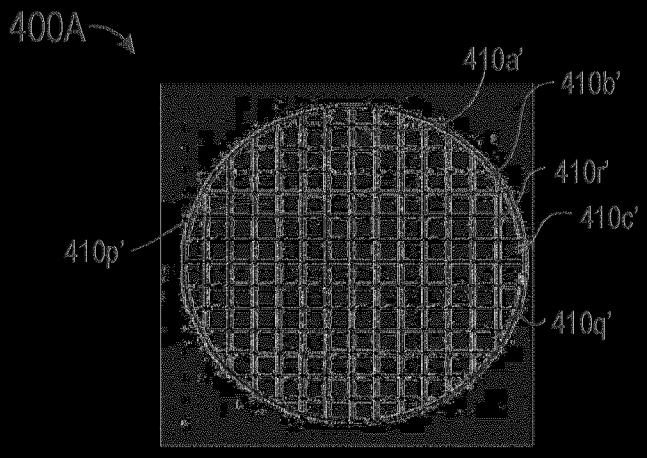

400A
410a'
410b'
410r'
410c'
410p'
410q'

圖 4A

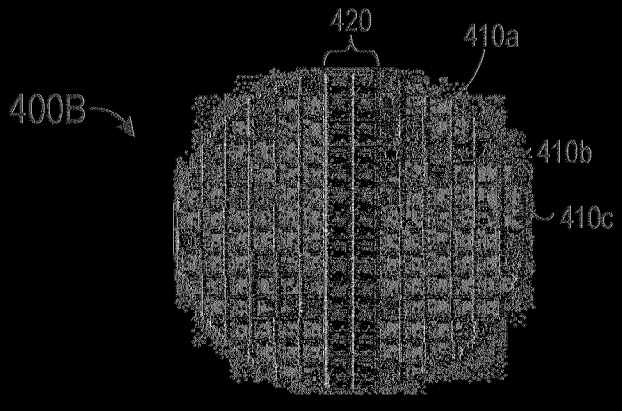

420
410a
400B
410b
410c

圖 4B

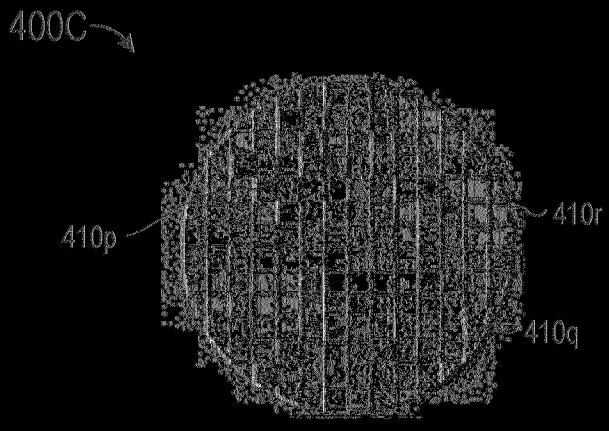

400C
410r
410p
410q

圖 4C

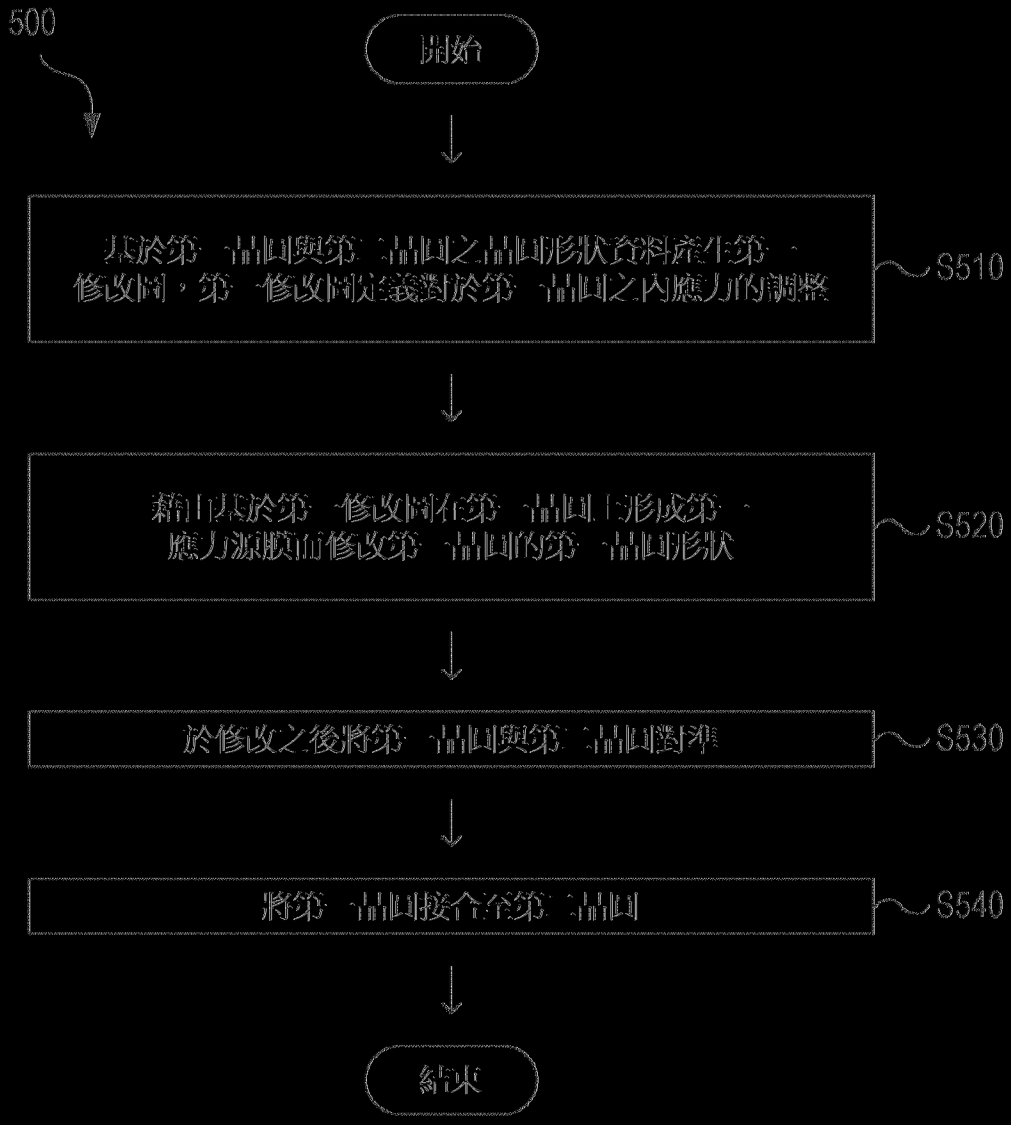

500
開始
基於第一晶圓與第二晶圓之晶圓形狀資料產生第一修改圖，第一修改圖定義對於第一晶圓之內應力的調整
S510
藉由基於第一修改圖在第一晶圓上形成第一應力源膜而修改第一晶圓的第一晶圓形狀
S520
於修改之後將第一晶圓與第二晶圓對準
S530
將第一晶圓接合至第二晶圓
S540
結束

圖 5

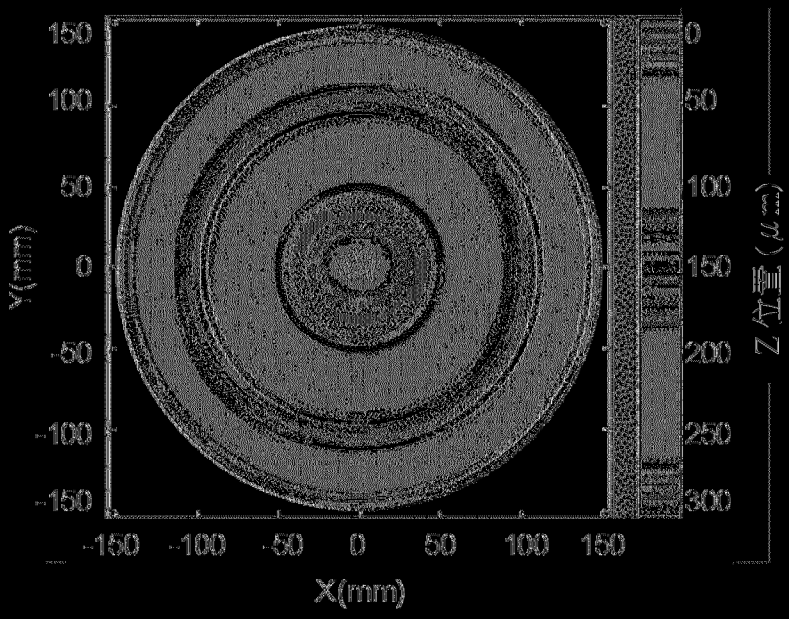

150
100
50
0
-50
-100
-150
Y(mm)
-150 -100 -50 0 50 100 150
X(mm)
0
50
100
150
200
250
300
Z 軸量(mm)

圖 6A

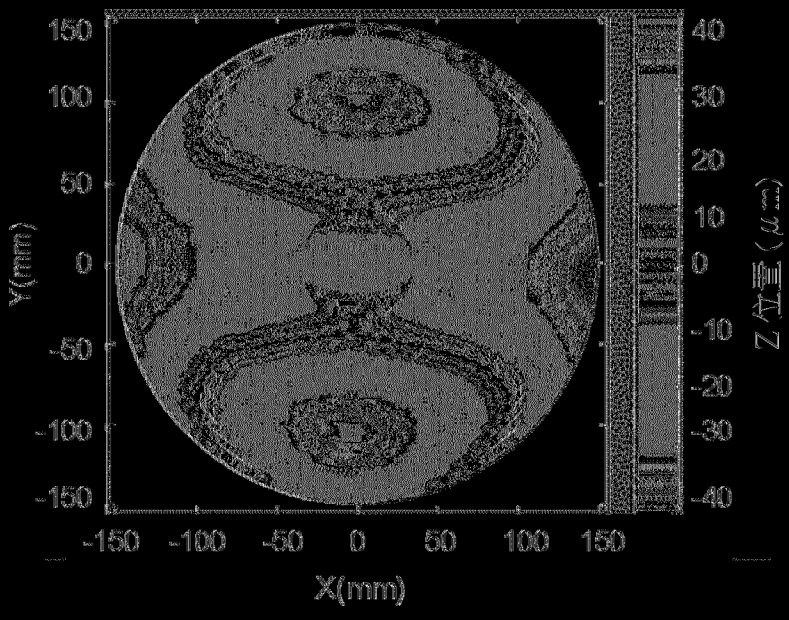

150
100
50
0
-50
-100
-150
Y(mm)
-150 -100 -50 0 50 100 150
X(mm)
40
30
20
10
0
-10
-20
-30
-40
Z 軸量(mm)

圖 6B

晶圓翹曲	壓縮定向		拉伸定向
	底部卡盤		底部卡盤
μm	0μm	200μm	0μm
-150	-80.0	-80.2	-80.0
-220	-80.1	-80.1	-80.1
-301	-80.0	-78.4	-79.7
-367	失效	失效	-79.7
-420	失效	失效	-79.7

圖 7

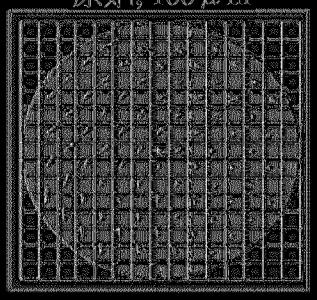


圖 8A

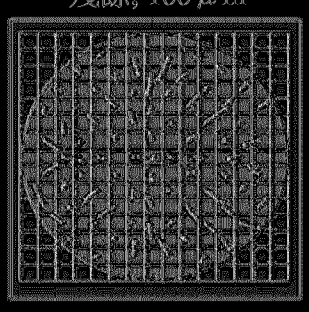


圖 8B

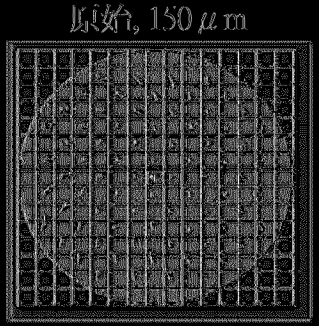


圖 8C

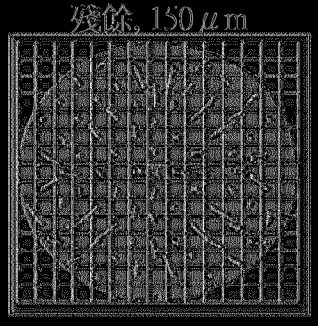


圖 8D

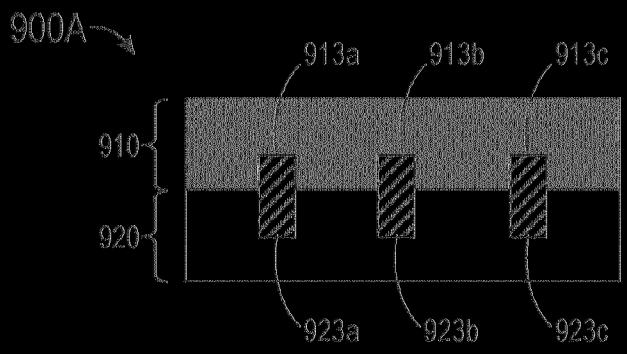

900A
913a
913b
913c
910
920
923a
923b
923c

圖 9A

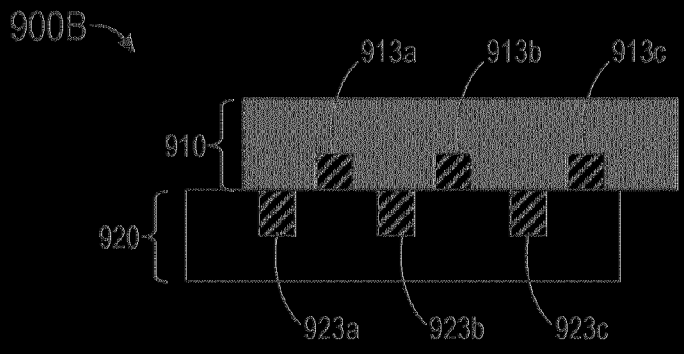

900B
913a
913b
913c
910
920
923a
923b
923c

圖 9B
(相關範例)

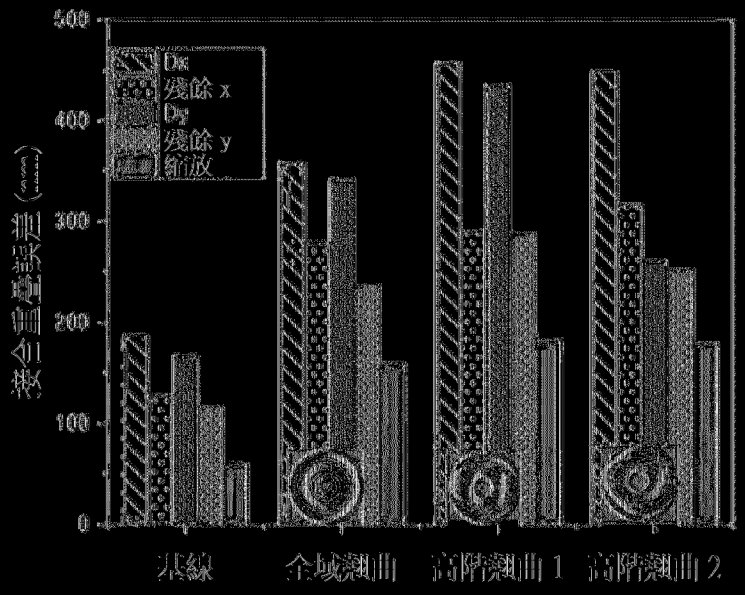

500
400
300
200
100
0
Dx
殘餘 x
Dy
殘餘 y
縮放
測試圖形數（個）
基線
全域測曲
高階測曲 1
高階測曲 2

圖 10