(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3954733号
(P3954733)
(45)発行日　平成19年8月8日(2007.8.8)　(24)登録日　平成19年5月11日(2007.5.11)

(51)Int.Cl.　F I
G11C 11/22 (2006.01)　G11C 11/22 501K

請求項の数 33 (全 41 頁)

(21)出願番号　特願平10-291857
(22)出願日　平成10年10月14日(1998.10.14)
(65)公開番号　特開平11-306765
(43)公開日　平成11年11月5日(1999.11.5)
審査請求日　平成14年10月25日(2002.10.25)
(31)優先権主張番号　14401/1998
(32)優先日　平成10年4月22日(1998.4.22)
(33)優先権主張国　韓国(KR)

(73)特許権者　591024111
株式会社ハイニックスセミコンダクター
HYNIX SEMICONDUCTOR INC.
大韓民国京畿道利川市夫鉢邑牙美里山１３６－１
San 136-1, Ami-Ri, Bubal-Eup, Ichon-Shi, Kyoungki-Do, Korea
(74)代理人　100064621
弁理士　山川　政樹
(72)発明者　ヒ・ボク・カン
大韓民国・デジョン－シ・ソ－ク・ドマ－ドン・３５９－２７・ヤンジ　タウン　３－４０１

最終頁に続く

(54)【発明の名称】不揮発性強誘電体メモリ素子及びその駆動制御方法

(57)【特許請求の範囲】

【請求項１】

一定の方向に並列に配列される第１、第２ビットラインとそれに垂直な方向に反復配列される第１、第２スプリットワードライン（ＳＷＬ１，ＳＷＬ２）とのそれぞれが交差する部分に形成される単位セルを含むメインメモリセルアレイと、そのメインメモリセルアレイに隣接して同様に第１、第２ビットラインとそれに垂直な方向に反復配列される第１、第２スプリットワードライン（ＳＷＬ１，ＳＷＬ２）とのそれぞれが交差する部分に形成される単位セルを含む参照セルアレイとを含むセルアレイブロックと、

各セルアレイブロック毎に配置され、それぞれのスプリットワードラインを駆動するＳＷＬドライバと、

ビットライン方向に隣接するセルアレイブロックの間に配置され、それぞれのビットラインを制御するコアブロックと、

を備え、前記コアブロックが、何れか一つのセルアレイブロックに包含されるメインメモリセルアレイの第１ビットラインとそれに対応する参照セルアレイの第１ビットラインとに連結され、隣接する他のセルアレイブロックに包含されるメインセルアレイの第２ビットラインとそれに対応する参照セルアレイの第２ビットラインとに連結されるビットライン制御回路ブロックと、

何れか一つのセルアレイブロックに包含される参照セルアレイの第１ビットラインと隣接するセルアレイブロックの参照セルアレイの第２ビットラインに連結される参照ビットライン制御回路ブロックとを含むことを特徴とする不揮発性強誘電体メモリ装置。

【請求項２】
２の倍数の数のメインメモリセルビットライン列に対して２列の参照セルビットラインが配置されていることを特徴とする請求項１記載の不揮発性強誘電体メモリ装置。
【請求項３】
Ｎ番目のビットライン（ＢＩＴ　Ｎ）、Ｎ＋１番目のビットライン（ＢＩＴ　Ｎ＋１）と、それに垂直交差する一対の第１、第２スプリットワードライン（ＳＷＬ１，ＳＷＬ２）と、
各々のビットラインに一方の電極が連結され、第１、第２スプリットワードライン（ＳＷＬ１，ＳＷＬ２）にゲートが連結され、それらが交差する箇所に構成される第１、第２トランジスタ（Ｔ１，Ｔ２）と、
トランジスタの他方電極と第１、第２スプリットワードライン（ＳＷＬ１，ＳＷＬ２）の前記トランジスタのゲートが連結されていない方のラインに各々の電極が連結され、前記第１、第２トランジスタとともに単位セルを構成する第１、第２強誘電体キャパシタ（Ｃ１，Ｃ２）と、
前記第１、第２スプリットワードライン（ＳＷＬ１，ＳＷＬ２）に連結されてスプリットワードライン（ＳＷＬ）駆動信号を印加するスプリットワードラインドライバと、
前記スプリットワードラインドライバからのＳＷＬ駆動信号によりＮ番目のビットライン（ＢＩＴ　Ｎ）、Ｎ＋１番目のビットライン（ＢＩＴ　Ｎ＋１）に誘起される電圧をセンシングする動作のための参照レベルを発生する参照レベル発生部と、
Ｎ番目のビットライン（ＢＩＴ　Ｎ）、Ｎ＋１番目のビットライン（ＢＩＴ　Ｎ＋１）にそれぞれ連結され、参照レベルとＮ番目のビットライン（ＢＩＴ　Ｎ）、Ｎ＋１番目のビットライン（ＢＩＴ　Ｎ＋１）に誘起される電圧とを比較増幅するセンスアンプと、
センスアンプから出力されるデータをアドレス信号（Ｙ＿ｎ，Ｙ＿ｎ＋１）によりデータバスラインへ伝達する列デコーダと
を備え、前記単位セルを駆動制御し、データを入出力制御することを特徴とする不揮発性強誘電体メモリ装置。
【請求項４】
単位セルには二つのデータを格納することができ、第１、第２スプリットワードライン（ＳＷＬ１，ＳＷＬ２）の一対が一つの行アドレスを構成し、ビットライン（ＢＩＴ　Ｎ，　ＢＩＴ　Ｎ＋１）の一対が二つの列を構成することを特徴とする請求項４記載の不揮発性強誘電体メモリ装置。
【請求項５】
読取りモードの動作時に、
ワードラインがイネーブルされる前にビットラインと参照レベルをローレベルにプリチャージし、
メインメモリセルデータがビットラインに乗せられ、参照レベル発生部のデータが参照ラインに乗せられ、
列デコーダにより動作するセンスアンプがビットラインのデータレベルと参照ラインのデータレベルとの信号差を増幅してデータバスへ出力することを特徴とする請求項３記載の不揮発性強誘電体メモリ装置。
【請求項６】
前記ビットライン制御回路ブロックは、
第１制御信号（Ｃ１）がイネーブルされることによりオンされ、メインメモリセルアレイの複数のビットライン（Ｂ＿ｎ、Ｂ＿ｎ＋１、Ｂ＿ｎ＋２・・・）をセンスアンプアレイ（Ｂ１、Ｂ２、Ｂ３、Ｂ４・・・）に連結させるトランジスタ（Ｔ２１、Ｔ２２、Ｔ２３、Ｔ２４）と、
第２制御信号（Ｃ２）によってオンされ、前記参照セルアレイの参照ビットライン（ＲＢ０）をセンスアンプアレイ（Ｒ１、Ｒ２、Ｒ３、Ｒ４・・・）に電気的に連結させるトランジスタ（Ｔ２５、Ｔ２６、Ｔ２７、Ｔ２８）と、
第３制御信号（Ｃ３）によりレベル調整されるビットラインレベル調整部と、

第４制御信号（Ｃ４）により参照ビットライン（ＲＢ１０）にプルアップされたＶＣＣを印加するプルアップトランジスタ（ＰＵ０）と有することを特徴とする請求項１記載の不揮発性強誘電体メモリ装置。

【請求項７】

メインメモリセル領域の各ビットラインのキャパシタンス成分をＣＢ＿ｎ、ＣＢ＿ｎ＋１、ＣＢ＿ｎ＋２、ＣＢ＿ｎ＋３・・・とし、参照セル領域の参照ビットラインのキャパシタンスをＣｒｂｏと定義し、ビットラインのそれ以外の部分のキャパシタンス成分をＣｂ１、Ｃｂ２、Ｃｂ３、Ｃｂ４・・・と参照ビットラインのそれ以外の部分のキャパシタンス成分をＣｒ１、Ｃｒ２、Ｃｒ３、Ｃｒ４・・・と定義するとき、

メインメモリセル及び参照セルを各々のビットラインに連結されたメモリセルの数と参照セルの数とを同じく構成することにより、ＣＢ＿ｎ＝Ｃｒｂｏにし、Ｃｂ１＝Ｃｒ１、Ｃｂ２＝Ｃｒ２、Ｃｂ３＝Ｃｒ３、Ｃｂ４＝Ｃｒ４にすることを特徴とする請求項６記載の不揮発性強誘電体メモリ装置。

【請求項８】

メインセルアレイのビットライン数（ｎ）をＣｒｂｏ＝ｎ＊Ｃｒ１に構成して、参照セルに関連した全体のビットラインのキャパシタンスがメインメモリセルに関連した全体ビットラインのキャパシタンスに比べて２倍になるようにすることを特徴とする請求項７記載の不揮発性強誘電体メモリ装置。

【請求項９】

参照セル、メインメモリセルの格納容量が同じとし、それらにロジック１が格納されるとき、参照及びメインメモリセルにより誘導されるビットライン電圧変動幅は、メインメモリセルのビットラインの方が参照セルの参照ビットラインの方よりも高いことを特徴とする請求項６記載の不揮発性強誘電体メモリ装置。

【請求項１０】

参照セルにロジック１が、メインメモリセルにロジック０が格納されているとき、参照及びメインメモリにより誘導されるビットライン電圧変動幅は、参照セルの方がメインメモリセルのビットらいんよりも高いことを特徴とする請求項６記載の不揮発性強誘電体メモリ装置。

【請求項１１】

メインメモリセルに格納されたロジック１、ロジック０の各々の状態がビットラインに誘導される電圧の中間レベルで参照セルによるビットライン電圧が形成されることを特徴とする請求項６記載の不揮発性強誘電体メモリ装置。

【請求項１２】

前記ＳＷＬドライバが駆動制御回路に含まれており、その駆動制御回路が、

外部から入力されるＸ、Ｚアドレス信号のアドレス遷移点を検出して出力するＸ、Ｚ＿ＡＴＤ発生部と、

前記Ｘ、Ｚ＿ＡＴＤ発生部の出力信号と外部から入力されるチップイネーブル信号（ＣＳＢｐａｄ）とを入力し、パワーアップ感知信号を生成して、前記Ｘ、Ｚ＿ＡＴＤ信号、ＣＳＢｐａｄ信号及びパワーアップ感知信号に基づいてメモリ制御に関する基本パルスを出力するグローバル制御パルス発生部と、

外部から入力されるＹアドレス信号のアドレス遷移点を検出して出力するＹ＿ＡＴＤ発生部と、

前記グローバル制御パルス発生部から出力される信号とプリデコードされたＺアドレス信号とＹ＿ＡＴＤ発生部の出力信号を合成して、各メモリブロックの動作に必要なパルスを発生して前記ＳＷＬドライバに提供するローカル制御パルス発生部と、

プリデコードされたＸ、Ｚアドレス信号を合成して該当メモリセルブロックを選択するための信号を発生して前記ＳＷＬドライバに提供するＸポストデコーダと、

プリデコードされたＹアドレス信号及びローカル制御パルス発生部の出力信号を合成して該当ビットラインを選択する列制御部と、

前記ローカル制御パルス発生部の出力信号と前記列制御部の出力信号を合成して各ＳＷ

Ｌセルブロックのセンシング動作及びデータ入出力（Ｉ／Ｏ）を制御するセンスアンプ／入出力制御部と、
を備えることを特徴とする請求項１記載の不揮発性強誘電体メモリ装置。
【請求項１３】
前記ローカル制御パルス発生部が、
センスアンプを制御する信号を形成するための予備信号（ＳＡＰ，ＳＡＮ）、プリデコードされたＺアドレス信号（Ｚ＿Ａｄｄ３，Ｚ＿Ａｄｄ４）を含む制御信号を入力として、センスアンプ制御信号（ＳＡＰ＿Ｃ，ＳＡＮ＿Ｃ）と等電位制御信号（Ｃ３Ｎ＿Ｃ，Ｃ３Ｐ＿Ｃ）を出力する第１論理演算部と、プリデコードされたＺアドレス信号（Ｚ＿Ａｄｄ１，Ｚ＿Ａｄｄ２）を入力としてビットラインの連結及びレベル調整を制御するための制御パルス信号（Ｃ１Ｐ＿Ｔ、Ｃ１Ｎ＿Ｔ、Ｃ２Ｐ＿Ｔ、Ｃ２Ｎ＿Ｔ、Ｃ３Ｎ＿Ｔ）を出力する第２論理演算部とから構成される第１制御パルス発生部と；
書込イネーブル信号（ＷＥＢｐａｄ）を含む信号を受けて列選択に関する制御信号（Ｃ４Ｐ＿Ｔ，Ｃ４Ｎ＿Ｔ）を作り出す第２制御パルス発生部と；
Ｙアドレス遷移検出（Ｙ＿ＡＴＤ）信号を受けて予備ＳＷＬ駆動信号（ＰＳ１＿Ｔ，ＰＳ２＿Ｔ）を出力する第３制御パルス発生部と；
を含むことを特徴とする請求項１２記載の不揮発性強誘電体メモリ装置。
【請求項１４】
前記第１論理演算部は、ＳＷＬ駆動信号が活性化される前にメインメモリセル及び参照セルのビットラインをロー電圧にプリチャージさせる第３制御信号Ｃ３が入力されて、センスアンプのＰＭＯＳトランジスタを制御する信号（ＳＡＰ＿Ｃ）、センスアンプのＮＭＯＳトランジスタを制御する信号（ＳＡＮ＿Ｃ）、ビットラインを等電位化するブロックのＮＭＯＳトランジスタを制御する信号（Ｃ３Ｎ＿Ｃ）、ビットラインを等電位化するブロックのＰＭＯＳトランジスタを制御する信号（Ｃ３Ｐ＿Ｃ）を出力することを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。
【請求項１５】
前記第２論理演算部には、メインメモリセルのビットラインとセンスアンプの一方の入出力端との間の信号の流れを制御する第１制御信号（Ｃ１）、参照セルのビットラインとセンスアンプの一方の入出力端との間の信号の流れを制御する第２制御信号（Ｃ２）が入力されることを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。
【請求項１６】
前記第２制御パルス発生部は、ＳＷＬ駆動信号が活性化される前にメインメモリセル及び参照セルのビットラインをロー電圧にプリチャージさせる第３制御信号（Ｃ３）が入力されて、列選択を制御するブロックのＰＭＯＳトランジスタを制御するための信号（Ｃ４Ｐ＿Ｔ）、ＮＭＯＳトランジスタを制御するための信号（Ｃ４Ｎ＿Ｔ）を出力することを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。
【請求項１７】
前記第３制御パルス発生部には、ＳＷＬ駆動信号を生成するための信号（Ｓ１，Ｓ２）、それらの信号の正常動作が妨げられないように保障するインタロック信号（Ｐ２）、メインメモリセルのビットラインと外部データバスの信号伝達を調整し、参照セルビットラインのプルアップを調整する第４制御信号（Ｃ４）が入力されることを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。
【請求項１８】
ローカル制御パルス発生部は、プリデコーディングされたＺアドレス信号（Ｚ＿Ａｄｄ３、Ｚ＿Ａｄｄ４）を演算する第１制御パルス発生部の第１論理演算部のＮＡＮＤゲートの出力端に、第１制御パルス発生部の第２論理演算部、及び第１、第３制御パルス発生部と同じ構成を有する回路を更に含んでおり、
センスアンプ及びデータ入出力回路を共有するセルアレイブロックのセンシング動作及びデータ入出力を制御することを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。

【請求項１９】
センスアンプ及びデータ入出力回路を共有する他のセルアレイブロックのセンシング動作及びデータ入出力を制御するローカル制御パルス発生部では、第１、第２、第３、第４制御信号（Ｃ１，Ｃ２，Ｃ３，Ｃ４）、予備ＳＷＬ駆動信号を入力としてビットラインの連結及びレベル調整を制御するための信号（Ｃ１Ｐ＿Ｂ、Ｃ１Ｎ＿Ｂ、Ｃ２Ｐ＿Ｂ、Ｃ２Ｎ＿Ｂ、Ｃ３Ｎ＿Ｂ）、列選択に関する制御信号（Ｃ４Ｐ＿Ｂ，Ｃ４Ｎ＿Ｂ）、そして予備ＳＷＬ駆動信号（ＰＳ１＿Ｂ，ＰＳ２＿Ｂ）を出力することを特徴とする請求項１８記載の不揮発性強誘電体メモリ装置。
【請求項２０】
前記第１論理演算部は、
プリデコードされたＺアドレス信号中のＺ＿Ａｄｄ３、Ｚ＿Ａｄｄ４信号を論理演算する第１ＮＡＮＤゲートと、
第１ＮＡＮＤゲートの出力信号とＮＡＮＤ演算されたプリデコードされたＺアドレス信号中のＺ＿Ａｄｄ１信号とＺ＿Ａｄｄ２信号とを論理演算して出力する第２ＮＡＮＤゲートと、
入力されるセンスアンプイネーブル信号の予備信号であるＳＡＰ信号と第２ＮＡＮＤゲートの出力信号とを演算出力する第３ＮＡＮＤゲートの出力信号を反転してＳＡＰ＿Ｃ信号を出力する第１インバーターと、
センスアンプイネーブル信号の予備信号であるＳＡＮ信号と第２ＮＡＮＤゲートの出力信号とを論理演算して出力する第４ＮＡＮＤゲートの出力信号を反転してＳＡＮ＿Ｃ信号を出力する第２インバーターと、
等電位及び列選択に関する第３制御信号Ｃ３を反転する第３インバーターの出力信号と第２ＮＡＮＤゲートの出力信号とを論理演算して出力する第５ＮＡＮＤゲートと、
第５ＮＡＮＤゲートの出力信号を反転してＣ３Ｐ＿Ｃ信号を出力する第４インバーターと、
第４インバーターの出力信号を反転してＣ３Ｎ＿Ｃ信号を出力する第５インバーターとを有することを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。
【請求項２１】
前記第２論理演算部は、
Ｚ＿Ａｄｄ１信号とＺ＿Ａｄｄ２信号を論理演算する第６ＮＡＮＤゲートと、
第６ＮＡＮＤゲートの出力信号を反転する第１インバーターの出力信号と、センスアンプ及びデータ入出力回路を共有する二つのセルアレイブロックのビットラインの連結を制御する第１制御信号Ｃ１とをＮＡＮＤ演算して出力する第７ＮＡＮＤゲートと、
第７ＮＡＮＤゲートの出力信号からＣ１Ｐ＿Ｔ信号を出力する第７、第８インバーターと、
第７ＮＡＮＤゲートの出力信号を反転してＣ１Ｎ＿Ｔ信号を出力する第９インバーターと、
第６インバーターの出力信号と、センスアンプ及びデータ入出力回路を共有する二つの参照セルアレイブロックの参照ビットラインの連結を制御する第２制御信号Ｃ２とを論理演算して出力する第８ＮＡＮＤゲートと、
第８ＮＡＮＤゲートの出力信号からＣ２Ｐ＿Ｔ信号を出力する第１０、第１１インバーターと、
第８ＮＡＮＤゲートの出力信号を反転してＣ２Ｎ＿Ｔ信号を出力する第１２インバーターと、
第６インバーターの出力信号と反転された第３制御信号（Ｃ３）とを論理演算して出力する第９ＮＡＮＤゲートの出力信号からＣ３Ｎ＿Ｔ信号を出力する第１３、第１４インバーターと
を有することを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。
【請求項２２】
前記第２制御パルス発生部は、

書込イネーブル信号（ＷＥＢｐａｄ）を反転する第１５インバーターと、
第１５インバーターの出力信号を反転する第１６インバーターと、
センスアンプ及びデータ入出力回路を共有する二つのセルアレイブロックのＳＷＬ駆動及び列選択に関する第４制御信号（Ｃ４）を反転する第１７インバーターと、
第１６、第１７インバーターの出力信号を演算して出力する第１０ＮＡＮＤゲートの出力信号を反転して出力する第１８インバーターと、
第３制御信号（Ｃ３）、第１８インバーターの出力信号、そして第２論理演算部の第６ＮＡＮＤゲートの出力信号をＮＯＲ演算して出力する第１ＮＯＲ演算部と、
第１ＮＯＲ演算部の出力信号を反転してＣ４Ｐ＿Ｔ信号を出力する第１９インバーターと、
第１９インバーターの出力信号を反転してＣ４Ｎ＿Ｔ信号を出力する第２０インバーターと
を有することを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。
【請求項２３】
前記第３制御パルス発生部は、
ＳＷＬ駆動信号を生成するための信号（Ｓ１，Ｓ２）の正常動作が妨げられないように保障するインタロック信号（Ｐ２）を反転する第２１インバーターと、
Ｙ＿ＡＴＤ信号、第２１インバーターの出力信号、第４制御信号（Ｃ４）、そして反転されたＷＥＢｐａｄ信号を論理演算して出力する第１１ＮＡＮＤゲートと、
第１１ＮＡＮＤゲートの出力信号を反転する第２２インバーターの出力信号を遅延させる第２３～第２６インバーターと、
Ｓ１信号と第２２インバーターの出力信号とを演算して出力する第２ＮＯＲゲートと、
第２ＮＯＲゲートの出力信号と第２論理演算部の第６ＮＡＮＤゲートの出力信号とをＮＯＲ演算して出力する第３ＮＯＲゲートと、
第３ＮＯＲゲートの出力信号を反転してＰＳ１＿Ｔ信号を出力する第２７インバーターと、
Ｓ２信号と第２６インバーターの出力信号とを演算して出力する第４ＮＯＲゲートと、
第４ＮＯＲゲートの出力信号と第２論理演算部の第６ＮＡＮＤゲートの出力信号とをＮＯＲ演算して出力する第５ＮＯＲゲートと、
第５ＮＯＲゲートの出力信号を反転してＰＳ２＿Ｔ信号を出力する第２８インバーターと
を有することを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。
【請求項２４】
書込モードの動作時に、第３制御信号（Ｃ３）は、スプリットワードライン（ＳＷＬ１，ＳＷＬ２）が活性化される前の状態であるメモリセルのビットライン及び参照セルのビットラインのプリチャージ期間で、列選択信号が全て不活性化状態になるようにして、データバスとビットラインとの間の信号の流れが遮断されるようにすることを特徴とする請求項１４記載の不揮発性強誘電体メモリ装置。
【請求項２５】
インタロック信号（Ｐ２）がハイの状態で、ＳＷＬ駆動信号を生成するための信号（Ｓ１、Ｓ２）が活性化状態で正常動作している間には、第３制御パルス発生部のＮＡＮＤゲートを不活性化させて前記Ｓ１、Ｓ２信号の正常動作を保障することを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。
【請求項２６】
前記センスアンプ／入出力制御部は、
上側セルアレイブロック、下側セルアレイブロックのメモリセル及び参照セルに連結されるビットライン（ＢＩＴ＿Ｔ、ＲＢＩＴ＿Ｔ、ＢＩＴ＿Ｂ、ＲＢＩＴ＿Ｂ）に連結され、センスアンプイネーブル信号（ＳＡＰ＿Ｃ、ＳＡＮ＿Ｃ）により該当ラインのデータをセンシング及び増幅するセンスアンプと、
等化信号（Ｃ３Ｎ＿Ｃ、Ｃ３Ｐ＿Ｃ）によりビットライン（ＢＩＴ＿Ｔ、ＲＢＩＴ＿Ｔ

又はＢＩＴ＿Ｂ、ＲＢＩＴ＿Ｂ）の電位を等電位化する等化器部と、
上側セルアレイ連結信号（Ｃ１Ｐ＿Ｔ、Ｃ１Ｎ＿Ｔ、Ｃ２Ｐ＿Ｔ、Ｃ２Ｎ＿Ｔ）によってスイッチングされ、ビットライン（ＢＩＴ＿Ｔ、ＲＢＩＴ＿Ｔ）を前記センスアンプの入出力ラインに選択的に連結する第１、第２伝送ゲートと、
下側セルアレイ連結信号（Ｃ１Ｐ＿Ｂ、Ｃ１Ｎ＿Ｂ、Ｃ２Ｐ＿Ｂ、Ｃ２Ｎ＿Ｂ）によってスイッチングされ、ビットライン（ＢＩＴ＿Ｂ、ＲＢＩＴ＿Ｂ）を前記センス アンプの入出力ラインに選択的に連結する第３、第４伝送ゲートと、
第１伝送ゲートと上側セルアレイブロックのメモリセルとの間のビットライン（ＢＩＴ＿Ｔ）に連結され、列選択信号（Ｙ＿ｎ＿Ｔ、ＹＢ＿ｎ＿Ｔ）によりデータバス（Ｄ＿ＢＵＳ）との連結を制御する第５伝送ゲートと、
第３伝送ゲートと下側セルアレイブロックのメモリセルとの間のビットライン（ＢＩＴ＿Ｂ）に連結され、列選択信号（Ｙ＿ｎ＿Ｂ、ＹＢ＿ｎ＿Ｂ）によりデータバス（Ｄ＿ＢＵＳ）との連結を制御する第６伝送ゲートとを備えることを特徴とする請求項１３記載の不揮発性強誘電体メモリ装置。

【請求項２７】
前記第１伝送ゲートと第５伝送ゲートとの間のビットライン（ＢＩＴ＿Ｔ）に一方の電極が連結され、ゲートに印加されるプルダウン制御信号（Ｃ３Ｎ＿Ｔ）によりビットライン（ＢＩＴ＿Ｔ）のレベルを調整する第１ビットラインレベル調整部と、
前記第３伝送ゲートと下側セルアレイブロックとの間のビットライン（ＢＩＴ＿Ｂ）に一方の電極が連結され、ゲートに印加されるプルダウン制御信号（Ｃ３Ｎ＿Ｂ）によりビットライン（ＢＩＴ＿Ｂ）のレベルを調整する第２ビットラインレベル調整部と
を更に備えることを特徴とする請求項２６記載の不揮発性強誘電体メモリ装置。

【請求項２８】
第１、第２ビットラインレベル調整部は、他方の電極は接地端子に連結されるＮＭＯＳトランジスタから構成されることを特徴とする請求項２７記載の不揮発性強誘電体メモリ装置。

【請求項２９】
第１、第２、第３、第４、第５、第６伝送ゲートはＮＭＯＳトランジスタから構成されることを特徴とする請求項２７記載の不揮発性強誘電体メモリ装置。

【請求項３０】
前記列制御部は、プリデコードされて出力されるアドレス（Ｙｐｒｅ＿ｎ、Ｙｐｒｅ＿ｎ＋１、Ｙｐｒｅ＿ｎ＋２、Ｙｐｒｅ＿ｎ＋３・・・）中の各々のアドレスと、ローカル制御パルス発生部から出力される列選択に関する信号（Ｃ４Ｎ＿Ｔ）とを論理演算して出力する複数のＮＡＮＤゲートと、
セルアレイブロックにおけるデータ入出力時に列を選択するために各ＮＡＮＤゲートの出力端に連結されるインバーターと、を有することを特徴とする請求項１２記載の不揮発性強誘電体メモリ装置。

【請求項３１】
各ＮＡＮＤゲートの出力は、各々のインバーターを通過するとメモリセルのビットラインを選択するためのＹアドレス（Ｙ＿ｎ＿Ｔ，Ｙ＿ｎ＋１＿Ｔ，Ｙ＿ｎ＋２＿Ｔ，Ｙ＿ｎ＋３＿Ｔ，・・・）となり、インバーターを通過しない信号は参照セルのビットラインを選択するための参照Ｙアドレス（ＹＢ＿ｎ＿Ｔ，ＹＢ＿ｎ＋１＿Ｔ，ＹＢ＿ｎ＋２＿Ｔ，ＹＢ＿ｎ＋３＿Ｔ・・・）となり、活性化時にＹアドレス（Ｙ＿ｎ＿Ｔ，Ｙ＿ｎ＋１＿Ｔ，Ｙ＿ｎ＋２＿Ｔ，Ｙ＿ｎ＋３＿Ｔ，・・・）の何れか一つのみハイに活性化され、参照Ｙアドレス（ＹＢ＿ｎ＿Ｔ，ＹＢ＿ｎ＋１＿Ｔ，ＹＢ＿ｎ＋２＿Ｔ，ＹＢ＿ｎ＋３＿Ｔ・・・）の何れか一つのみローとなることを特徴とする請求項３０記載の不揮発性強誘電体メモリ装置。

【請求項３２】
前記参照ビットライン制御回路ブロックは、
上側セルアレイブロックの参照ビットラインのレベルを調整するための上側参照ビット

ラインレベル調整回路と、
下側セルアレイブロックの参照ビットラインのレベルを調整するための下側参照ビットラインレベル調整回路と、を含み、
前記上側参照ビットラインレベル調整回路は、
ゲートに参照ビットラインレベル調整信号（Ｃ４Ｐ＿Ｔ）が入力され、ソースにＶＣＣが印加され、ドレイン電極には参照ビットライン（ＲＢＩＴ＿Ｔ）が連結される第１ＰＭＯＳトランジスタと、
ドレイン電極には参照ビットライン（ＲＢＩＴ＿Ｔ）が連結され、ソース電極にはＶＳＳが印加され、ゲートに参照ビットラインレベル調整信号（Ｃ３Ｎ＿Ｔ）が入力される第１ＮＭＯＳトランジスタとからなり、
前記下側参照ビットラインレベル調整回路は、
ゲートに参照ビットラインレベル調整信号（Ｃ４Ｐ＿Ｂ）が入力され、ソースにＶＣＣが印加され、ドレイン電極には参照ビットライン（ＲＢＩＴ＿Ｂ）が連結される第２ＰＭＯＳトランジスタと、
ドレインには参照ビットライン（ＲＢＩＴ＿Ｂ）が連結され、ソースにはＶＳＳが印加され、参照ビットラインレベル調整信号（Ｃ３Ｎ＿Ｂ）がゲートに印加される第２ＮＭＯＳトランジスタを有することを特徴とする請求項１記載の不揮発性強誘電体メモリ装置。
【請求項３３】
参照ビットラインのレベルを調整するための回路は、
上側参照ビットラインレベル調整回路が、
ゲートに参照ビットラインレベル調整信号（Ｃ４Ｎ＿Ｔ）が入力され、ソースにＶＣＣが印加され、ドレイン電極には参照ビットライン（ＲＢＩＴ＿Ｔ）が連結される第１ＮＭＯＳトランジスタと、
ドレインには参照ビットライン（ＲＢＩＴ＿Ｔ）が連結され、ソース電極にはＶＳＳが印加され、参照ビットラインレベル調整信号（Ｃ３Ｎ＿Ｔ）がゲートに入力される第２ＮＭＯＳトランジスタとからなり、
下側参照ビットラインレベル調整回路が、
ゲートに参照ビットラインレベル調整信号（Ｃ４Ｎ＿Ｂ）が入力され、ソースにはＶＣＣが印加され、ドレインには参照ビットライン（ＲＢＩＴ＿Ｂ）が連結される第３ＮＭＯＳトランジスタと、
ドレインには参照ビットライン（ＲＢＩＴ＿Ｂ）が連結され、ソース電極にはＶＳＳが印加され、参照ビットラインレベル調整信号（Ｃ３Ｎ＿Ｂ）がゲートに入力される第４ＮＭＯＳトランジスタとからなることを特徴とする請求項３２記載の不揮発性強誘電体メモリ装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体メモリ装置中の不揮発性強誘電体メモリに関し、特にプレートラインを使用せずに、その代わりに一つのアドレスでアクセスすることができる２本のワードラインを使用した、いわゆるスプリットワードライン（ＳＷＬ）構造を有する強誘電体メモリ装置に関する。
【０００２】
【従来の技術】
一般に、半導体記憶装置として用いられるＤＲＡＭ程度のデータ処理速度を有する共に電源のオフ時にもデータを保存する強誘電体メモリ（ＦＲＡＭ）が、次代の記憶装置として注目されている。ＦＲＡＭは、ＤＲＡＭと略同じ構造を有する記憶装置であり、キャパシタの材料として強誘電体を用いて（つまり、強誘電体特性である高い残留分極を利用して）電界を除去してもデータを消失しないようにした記憶装置である。すなわち、図１のヒステリシスループに示すように、電界によって誘起された分極が、電界を除去しても自発分極の存在に因って消滅されずに一定量（ｄ、ａ状態）だけ維持される。このｄ、ａ状態

をそれぞれ１、０に対応させて記憶装置として応用したものである。

【０００３】

以下、添付図面を参照して従来の強誘電体メモリを説明する。

図２は従来の強誘電体メモリのセルアレイ構成図である。

従来の１Ｔ／１ＣのＦＲＡＭの単位セル構造は、ＤＲＡＭと同様に、一つのトランジスタと一つのキャパシタとから構成される１Ｔ／１Ｃである。すなわち、一定の間隙で一方向に複数のワードラインＷ／Ｌが形成され、各ワードラインＷ／Ｌ間にワードラインＷ／Ｌに平行に複数のプレートラインＰ／Ｌが形成されている。各ワードラインＷ／ＬとプレートラインＰ／Ｌに垂直な方向には一定の間隙で複数のビットラインＢ／Ｌ（Ｂ＿ｎ、Ｂ＿ｎ＋１、Ｂ＿ｎ＋２・・・）が形成されている。単位メモリセルを構成する一つのトランジスタは、ゲート電極がワードラインＷ／Ｌに、ソース電極がビットラインＢ／Ｌに、ドレイン電極がキャパシタの第１電極にそれぞれ連結されている。キャパシタの第２電極はプレートラインＰ／Ｌに連結されている。

【０００４】

次に、かかる従来の技術の１Ｔ／１Ｃ構造の強誘電体メモリ装置の駆動回路及び動作について説明する。

図３、図４は従来の技術の強誘電体メモリ装置の駆動回路の構成図である。

従来の１Ｔ／１Ｃ構造の強誘電体メモリ装置の駆動回路は、参照電圧を発生する参照電圧発生部１と、複数のトランジスタＱ１～Ｑ４、キャパシタＣ１等からなり、参照電圧発生部１から出力される参照電圧を直接センスアンプに供給することができないために隣接する二つのビットラインの参照電圧を安定化させるための参照電圧安定化部２と、複数のトランジスタＱ６～Ｑ７、キャパシタＣ２～Ｃ３等からなり、ビットラインに供給するそれぞれロジック値「１」とロジック値「０」の参照電圧を蓄積している第１参照電圧蓄積部３と、トランジスタＱ５からなり、隣接する二つのビットラインを等電位にするための第１等化器部４と、互いに異なるワードライン及びプレートラインに連結されてデータを格納する第１メインセルアレイ部５と、複数のトランジスタＱ１０～Ｑ１５、Ｐ－センスアンプＰＳＡ等からなり、メインセルアレイ部５の複数のセルのワードラインによって選択されたセルのデータをセンシングする第１センスアンプ部６と、互いに異なるワードライン及びプレートラインに連結されてデータを格納する第２メインセルアレイ部７と、複数のトランジスタＱ２８～Ｑ２９、キャパシタＣ９～Ｃ１０等からなり、隣接するビットラインに供給するそれぞれロジック値「１」とロジック値「０」の参照電圧を蓄積している第２参照電圧蓄積部８と、複数のトランジスタＱ１６～Ｑ２５、Ｎ－センスアンプＮＳＡ等からなり、第２メインセルアレイ部７のデータをセンシングして出力する第２センスアンプ部９とを備える。

【０００５】

このように構成された従来の１Ｔ／１Ｃ構造の強誘電体メモリセルのデータ入出力動作は以下の通りである。

図５は従来の技術の強誘電体メモリの書込モードの動作を示すタイミング図であり、図６は従来の技術の強誘電体メモリの読取りモードの動作を示すタイミング図である。書込モードと読取りモードとを分けて以下に説明する。

まず、書込モード時には、外部からのチップイネーブル信号ＣＳＢｐａｄを「ハイ」から「ロー」にイネーブルするとともに、書込イネーブル信号（ＷＥＢｐａｄ）を「ハイ」から「ロー」にすることにより書込モードが開始される。次いで、書込モードでのアドレスがデコードされると、デコードされて選択されたワードラインＷ／Ｌの電位が「ロー」から「ハイ」に遷移する。ワードラインが「ハイ」に維持されている間にプレートラインＰ／Ｌには順に一定幅の「ハイ」信号と一定の幅の「ロー」信号が印加される。一方、選択されたセルにロジック値「１」又は「０」を書き込むために該当ビットラインに書込イネーブル信号に同期する「ハイ」又は「ロー」信号が印加される。すなわち、ビットラインに「ハイ」信号が印加されているときに、ワードラインにパルス「ハイ」印加され、プレートラインに「ロー」が印加されると、強誘電体キャパシタにロジック値「１」が書き込

まれる。そして、ビットラインに「ロー」信号が印加され、プレートラインに印加される信号が「ハイ」である場合には強誘電体キャパシタにはロジック値「０」が書き込まれる。

【０００６】

かかる書込モードの動作によりセルに格納されたデータを読み出すための動作について以下に説明する。

まず、外部からのチップイネーブル信号ＣＳＢｐａｄを「ハイ」から「ロー」にイネーブルさせ、該当ワードラインが選択される前に全てのビットラインは等化信号によりローに同じ電位にされる。すなわち、図３、図４において、等化器部４に「ハイ」信号を印加し、かつトランジスタＱ１８、Ｑ１９に「ハイ」信号を印加すると、ビットラインはトランジスタＱ１８、Ｑ１９を通じて接地されるため、低電圧に等しくされる。そして、トランジスタＱ５、Ｑ１８、Ｑ１９をオフさせて各ビットラインを不活性化した後、アドレスをデコードする。デコードされたアドレスにより選択されるワードラインが「ロー」から「ハイ」に遷移し、選択される。そして、選択されたセルのプレートラインに「ハイ」信号を印加して強誘電体メモリに格納されたロジック値「１」に相当するデータを破壊させる。もし、強誘電体メモリにロジック値「０」が格納されている場合にはそれに相当するデータは破壊されない。

【０００７】

このように、破壊されたデータ、破壊されないデータは、上記したようなヒステリシスループの原理により互いに異なる値を出力するようになり、センスアンプではロジック値「１」又は「０」をセンシングする。すなわち、データが破壊された場合は図１のヒステリシスループにおいてｄからｆへ変更される場合であり、データが破壊されない場合はａからｆへ変更される場合である。よって、一定の時間の後、センスアンプがイネーブルされると、データが破壊された場合は増幅してロジック値「１」を出力し、データが破壊されない場合には増幅してロジック値「０」を出力する。このように、センスアンプで増幅してデータを出力した後には、本来のデータに復元しなければならないため、該当ワードラインに「ハイ」を印加した状態でプレートラインを「ハイ」から「ロー」に不活性化させる。

【０００８】

このような１Ｔ／１Ｃ構造を有する従来の技術の強誘電体メモリにおいては、データを呼び出す度に参照セルのデータをも読み出し、その参照セルのデータを比較するので、データ入出力の動作時に参照セルがメインメモリセルよりも多く動作しなければならない。そのため、参照セルが急激に劣化するという問題がある。

【０００９】

【発明が解決しようとする課題】

かかる従来の強誘電体メモリ装置及び駆動回路においては以下のような問題点があった。

▲１▼　電源のオフ時にもデータが保存される利点があるが、従来のＦＲＡＭではワードラインの他にセルプレートラインを別に構成しなければならないため、レイアウトが複雑である。

▲２▼　別途のプレートラインを利用してデータ入出力動作を行うため、データの読取りや書込動作時にプレートラインに信号を供給しなければならないため、記憶装置としての動作効率が落ちる。

▲３▼　参照セルとメインメモリの数は後者が約数百倍以上多く、その数百倍以上のメインメモリから読取るときに１参照セルが使用されるように構成されているため、参照セルがメインメモリセルよりも数百倍多く動作しなければならない。このため、参照セルの特性の劣化が甚だしく参照電圧が不安定である。

▲４▼　また、電圧調整回路による参照電圧発生方法は、外部電源特性によって参照電圧が影響を受けるため、不安定であり、外部ノイズによる特性劣化の問題がある。

▲５▼　強誘電体メモリを活性化させる方法にチップイネーブル信号ＣＳＢｐａｄを利用するため、高速アクセスを行え得ない。

【００１０】
本発明は上記した従来の技術のＦＲＡＭの諸問題点を解決するためになされたものである。その最も目的とするのはセルプレートラインを必要としない不揮発性強誘電体メモリ装置を提供することにある。
【００１１】
【課題を解決するための手段】
上記目的を達成するための本発明の不揮発性強誘電体メモリ装置は、ワードラインとビットラインとに接続されている個々のセルが偶数の列として配列されているメインセルアレイと、個々のセルが２列に配列されている参照セルアレイと、前記偶数列からなるメインセルアレイと２列からなる参照セルアレイとからなるグループが複数配列されているセルアレイブロックと、前記セルアレイブロックのワードラインを駆動するように各セルアレイブロック毎に配列されるスプリットワードライン（ＳＷＬ）ドライバと、一つのセルアレイブロックとそれにビットライン方向に隣り合っている他のセルアレイブロックの列を制御するようにセルブロックの両側に連結されるコアブロックとを備えることを特徴とする。
【００１２】
又、本発明の目的を達成するための本発明の強誘電体メモリ装置は、センスアンプを制御するための予備信号（ＳＡＰ，ＳＡＮ）、プリデコードされたＺアドレス信号（Ｚ＿Ａｄｄ３，Ｚ＿Ａｄｄ４）を含む制御信号を入力として、センスアンプ制御信号（ＳＡＰ＿Ｃ，ＳＡＮ＿Ｃ）と等電位制御信号（Ｃ３Ｎ＿Ｃ，Ｃ３Ｐ＿Ｃ）を出力する第１論理演算部と、プリデコーディングされたＺアドレス信号（Ｚ＿Ａｄｄ１，Ｚ＿Ａｄｄ２）を入力としてビットラインの連結及びレベル調整を制御するためのＣ１Ｐ＿Ｔ、Ｃ１Ｎ＿Ｔ、Ｃ２Ｐ＿Ｔ、Ｃ２Ｎ＿Ｔ、Ｃ３Ｎ＿Ｔ信号を出力する第２論理演算部とから構成される第１制御パルス発生部と；書込イネーブル信号（ＷＥＢｐａｄ）を含む信号を受けて列選択に関する制御信号（Ｃ４Ｐ＿Ｔ，Ｃ４Ｎ＿Ｔ）を作り出す第２制御パルス発生部と；Ｙアドレス遷移検出（Ｙ＿ＡＴＤ）信号を受けて予備ＳＷＬ駆動信号（ＰＳ１＿Ｔ，ＰＳ２＿Ｔ）を出力する第３制御パルス発生部と；を含んでローカル制御パルス発生部を構成することを特徴とする。
【００１３】
【発明の実施の形態】
以下、かかる本発明の不揮発性強誘電体メモリ装置のセルアレイ構造、そしてその駆動制御装置及び方法について添付図面に基づき詳細に説明する。
図７は本発明実施形態のＳＷＬ強誘電体メモリの駆動制御及びデータ入出力回路の構成ブロック図である。
図７は駆動制御及びデータ入出力回路の基本構成を示す図であり、外部から入力されるＸ、Ｙ、ＺアドレスのうちＸアドレス信号をバッファリングするＸアドレスバッファ１１と、Ｘアドレスバッファ１１から出力される信号を予備デコーディングするＸプリデコーダ１２と、外部から入力されるＸ、Ｙ、ＺアドレスのうちＺアドレスをバッファリングするＺアドレスバッファ１３と、Ｚアドレスバッファ１３から出力される信号を予備デコードするＺプリデコーダ１４と、これらのＸアドレスバッファ１１とＺアドレスバッファ１３から出力されるＸアドレス及びＺアドレス信号のアドレス遷移点を検出して出力するＸ、Ｚ＿ＡＴＤ発生部１５と、Ｘ、Ｚ＿ＡＴＤ発生部１５の出力信号と外部から入力されるチップイネーブルＣＳＢｐａｄ信号を入力し、自体でパワーアップ感知信号を生成して、Ｘ、Ｚ＿ＡＴＤ信号、ＣＳＢｐａｄ信号及びパワーアップ感知信号に基づいてメモリ制御に関する基本パルスを出力するグローバル制御パルス発生部１６と、外部から入力されるＸ、Ｙ、ＺアドレスのうちＹアドレスをバッファリングするＹアドレスバッファ１７と、Ｙアドレスバッファ１７から出力される信号を予備デコードするＹプリデコーダ１８と、Ｙアドレスバッファ１７から出力されるＹアドレス信号のアドレス遷移点を検出して出力するＹ＿ＡＴＤ発生部１９とグローバル制御パルス発生部１６から出力される信号とＺプリデコーダ１４から出力されるＺプリデコード信号とＹ＿ＡＴＤ１９の出力信号とを合成し

て、各メモリブロックに必要なパルスを発生するローカル制御パルス発生部２０と、Ｘプリデコーダ１２から出力されるＸプリデコード信号とＺプリデコーダ１４から出力されるＺプリデコーディング信号とを合成してメモリセルブロックを選択するＸポストデコーダ２１と、Ｘポストデコーダ２１とローカル制御パルス発生部２０から出力される信号を合成して各ＳＷＬセルブロック２３の各スプリットワードラインを駆動するＳＷＬドライバ２２と、Ｙプリデコーダ１８とローカル制御パルス発生部２０の出力信号を合成してビットラインを選択する列制御部２４と、ローカル制御パルス発生部２０の出力信号と列制御部２４の出力信号とを合成してセンスアンプの動作及び入出力を制御するセンスアンプ／入出力制御部２５と、外部のデータバスとセンスアンプ／入出力制御部２５をインタフェースさせるための入出力バス制御部２６とを備える。なお、Ｚアドレスはセルアレイブロックを選択するためのアドレスである。上記のように本実施形態はＸポストデコーダ２１からの信号でＳＷＬを選択する。

【００１４】

次に、かかる駆動制御及びデータ入出力構造を有する本実施形態のＳＷＬ強誘電体メモリのセルアレイの構成について説明する。

図８は本実施形態のＳＷＬ強誘電体メモリのセルアレイのブロック図であり、図９はそのセルアレイの詳細ブロック図である。図１０は本実施形態のＳＷＬ強誘電体メモリの単位セルの構成図である。なお、本明細書でいう単位セルとは記憶単位ではなく、製造上基板に繰り返し配置される基本単位という意味であり、図示のように第１、第２スプリットワードラインＳＷＬ１、２と第１、第２ビットラインＢｉｔ＿ｎ、Ｂｉｔ＿ｎ＋１とが交差する間に配置された二つのトランジスタＴ１、Ｔ２と二つのキャパシタＣ１、Ｃ２とによって構成される。

図８は単位メモリブロックのアレイの基本構成を示す図であり、各単位メモリブロックは大きく３つのブロック、すなわちＳＷＬドライバブロック７０、セルアレイブロック７１、コアブロック７２で構成されている。

セルアレイブロック７１は、メインメモリセルアレイブロック７３と参照アレイブロック７４とを含み、各単位メモリブロックに一つある。また、ＳＷＬドライバブロック７０も各単位メモリブロックに一つ配置される。一方、コアブロック７２は列制御回路ブロックとセンスアンプアレイブロックとを含み、各単位メモリブロックの対して一つのブロックではなく二つのブロックとして配置され、かつ隣の単位メモリブロックと共用している。

【００１５】

このような本実施形態のＳＷＬ強誘電体メモリアレイの詳細構成は図９に示す通りである。

本実施形態のセルアレイブロック７１のワードラインは、２本、すなわち第１、第２スプリットワードラインＳＷＬ１、ＳＷＬ２が対となって並び、その対となったものが順に並ぶように構成されている。すなわち、ラインＳＷＬ１、ＳＷＬ２を一対として、ＳＷＬ１＿ｎとＳＷＬ２＿ｎ、ＳＷＬ１＿ｎ＋１とＳＷＬ２＿ｎ＋１、ＳＷＬ１＿ｎ＋２とＳＷＬ２＿ｎ＋２、ＳＷＬ１＿ｎ＋３とＳＷＬ２＿ｎ＋３、・・・の順に配置されている。この対とされた２本のスプリットワードラインは一つのアドレスでアクセスされる。駆動信号はそれぞれ別に与えられる。

また、本実施形態のセルアレイブロック７１は、ビットライン方向に関しては、メインメモリセルアレイブロック７３と参照セルアレイブロック７４とに分割配列され、４列からなるメインメモリセルアレイブロック７３と２列からなる参照セルアレイブロック７４とにより一グループが構成される。すなわち、Ｂ＿ｎ、Ｂ＿ｎ＋１、Ｂ＿ｎ＋２、Ｂ＿ｎ＋３の４列のメインメモリセルアレイブロック７３とＲＢ＿ｎ、ＲＢ＿ｎ＋１の２列の参照セルアレイブロック７４とが一グループとして配列される。そして、さらにＢ＿ｎ＋４、Ｂ＿ｎ＋５、Ｂ＿ｎ＋６、Ｂ＿ｎ＋７の４列のメインメモリセルアレイブロックとＲＢ＿ｎ＋２、ＲＢ＿ｎ＋３の２列の参照セルアレイブロックとが一グループとして配列され、これらが反復して全体が構成されている。

メインメモリセルアレイブロック７３は４列で構成したが、６、８、１０・・・のように

列数を拡張して構成してもよい。その際、列数は偶数とする。ＳＷＬドライバブロック７０は、上記した対として並んでいるスプリットワードラインを駆動するように、すなわち、ラインＳＷＬ１、ＳＷＬ２を一対として、ＳＷＬ１＿ｎとＳＷＬ２＿ｎ、ＳＷＬ１＿ｎ＋１とＳＷＬ２＿ｎ＋１、ＳＷＬ１＿ｎ＋２とＳＷＬ２＿ｎ＋２、ＳＷＬ１＿ｎ＋３とＳＷＬ２＿ｎ＋３、・・・としてそれぞれを駆動するように構成されている。

【００１６】

コアブロック７２は、それぞれの列を制御するビットライン制御回路ブロック７５と参照ビットライン制御回路ブロック７６とを含んでいる。図示のように、このコアブロック７２は、各セルアレイブロック７１に対して二つの領域にそれぞれ分割されて配置され、隣り合う二つのセルアレイブロック７１と互いに共有する構造に構成される。これらは図示のようにセルアレイブロック７１の図面上上下に対称的に配置されている。また、コアブロック７２からみれば一つのコアブロックがその上下のセルアレイブロック７１の間に配置されている。

ビットライン制御回路ブロック７５は、メインメモリセルにデータを書き込んだり、読みだしたりする動作を行うセンスアンプと書込制御回路とを含んでいる。

【００１７】

セルアレイブロック７１は、一定の間隔の２本のラインが一対となったスプリットワードライン（ＳＷＬ１＿ｎ，ＳＷＬ２＿ｎ）、（ＳＷＬ１＿ｎ＋１，ＳＷＬ２＿ｎ＋１）、・・・が一方向に配列されるとともに、各々のスプリットワードラインに対応してそれに垂直な方向に複数本のビットライン（Ｂｉｔ＿ｎ，Ｂｉｔ＿ｎ＋１，Ｂｉｔ＿ｎ＋２・・・）が配列されている。

【００１８】

ビットライン制御回路ブロック７５は、メインアレイの一つの列と参照アレイの一つの列とに接続されている。すなわち、図の下側の最も左側のブロック７５はビットラインＢ＿ｎとＲＢ＿ｎとに接続され、その隣のブロック７５はビットラインＢ＿ｎ＋２とＲＢ＿ｎとに接続され、最も右側のブロック７５はビットラインＢ＿ｎ＋６とＲＢ＿ｎ＋２とに接続され、その隣のブロック７５はビットラインＢ＿ｎ＋４とＲＢ＿ｎ＋２とに接続されている。上側の各部ロック７５も同様にして図示のように接続されている。すなわち、メインメモリセルアレイは図面上左側から奇数番目のビットラインが下側に配置されたビットライン制御回路７５に接続され、偶数番目のビットラインが上側に配置されたビットライン制御回路７５に接続されている。また、参照ビットライン制御回路ブロック７６は下側のものが一つの参照セルアレイブロック７４の左側の参照ビットラインに接続され、上側のものが右側の参照ビットラインに接続されている。

【００１９】

各スプリットワードラインとビットラインとが交差する部分には単位セルが構成されるが、これらの詳細構成は図１０に示されている。

図１０は２つの単位セルからなる基本構成を示す図であり、第１スプリットワードライン（ＳＷＬ１）９０にゲートが連結されるＮＭＯＳの第１トランジスタ（Ｔ１）９２と、第２スプリットワードライン（ＳＷＬ２）９１にゲートが連結されるＮＭＯＳの第２トランジスタ（Ｔ２）９３と、第１トランジスタ９２のソースに一方の電極が連結され、他方の電極が第２スプリットワードライン９１に連結される第１強誘電体キャパシタＣ１　９４と、一方の電極が第１スプリットワードライン９０に連結され、他方の電極は第２トランジスタ９３のソースに連結される第２強誘電体キャパシタＣ２　９５とから構成される。すなわち、このＳＷＬ構造はプレートラインを使用せずに２本のワードラインを使用しているので、各トランジスタのゲートを構成するワードラインだけで構成させることができるので、ゲートラインとは独立にプレートラインを形成させなければならない従来の構造に比べて全体構造が簡単となる。

第１トランジスタ９２のドレインはビットライン（Ｂｉｔ＿ｎ）に連結され、第２トランジスタ９３のドレインはビットライン（Ｂｉｔ＿ｎ＋１）に連結されている。

この基本構成にはそれぞれのセルに二つのデータを格納することができ、第１、第２スプ

リットワードライン（ＳＷＬ１，ＳＷＬ２）の一対が一つの行アドレスでアクセスでき、ビットライン（Ｂｉｔ＿ｎ，Ｂｉｔ＿ｎ＋１）の一対は二つの別の列を構成する。

【００２０】

このようなアレイ構造を有するＳＷＬ強誘電体メモリの各構成ブロックの詳細構成について以下に説明する。

まず、参照セルを用いた参照レベル発生方法における参照セルの劣化及び参照電圧の不安定等の問題を解決するために提示した本実施形態の単位駆動制御及びデータ入出力回路は次の通りである。

図１１は本実施形態によるＳＷＬ強誘電体メモリの単位構成に対する単位駆動制御及びデータ入出力回路の構成図であり、図１２はビットラインレベルと参照レベルとの関係を示す動作タイミング図である。

図１１は本実施形態のＳＷＬ強誘電体メモリセルの二つを示す図であり、単位駆動制御回路及びデータ入出力回路の概要をも示している。すなわち、Ｎ番目のビットライン（ＢＩＴ＿ｎ）に一方の電極が連結される第１トランジスタ（Ｔ１）と、Ｎ＋１番目のビットライン（ＢＩＴ＿ｎ＋１）に一方の電極が連結される第２トランジスタ（Ｔ２）と、これらトランジスタ（Ｔ１，Ｔ２）のゲートに連結される一対のワードライン、つまり第１、第２スプリットワードライン（ＳＷＬ１，ＳＷＬ２）から構成される単位構成に対する駆動制御及びデータ入出力回路は、第１、第２スプリットワードライン（ＳＷＬ１，ＳＷＬ２）に連結されてＳＷＬ駆動信号を印加するＳＷＬドライバ１００と、Ｎ番目のビットライン（ＢＩＴ　ｎ）、Ｎ＋１番目のビットライン（ＢＩＴ　ｎ＋１）にそれぞれ連結されたセンスアンプ１０２ａ、１０２ｂで使用される参照レベルを発生する参照レベル発生部１０１と、センスアンプ１０２ａ、１０２ｂから出力されるデータをＹアドレス信号（Ｙ＿ｎ，Ｙ＿ｎ＋１）に基づいてデータバスラインへ伝達する列デコーダ１０３ａ、１０３ｂとから構成される。

【００２１】

ここで、一対のワードラインで動作するＮ番目のセルとＮ＋１番目のセルは行アドレスは同一であり、動作するパルス波形のみが異なる。そのため、セルは列デコーダ１０３ａ、１０３ｂに入力される列アドレス信号（Ｙ＿ｎ，Ｙ＿ｎ＋１）により区別される。参照レベル発生部１０１から発生されるデータのセンシングに必要な参照レベルは参照ライン（ＲＥＦ）を介してセンスアンプ１０２ａ、１０２ｂに共通に入力される。

【００２２】

このような駆動制御及びデータ入出力回路の構成を有する本実施形態のＳＷＬ強誘電体メモリにおいて、読取りモードの動作でメインセル（読取りモードで選択されたメモリセル）選択前・後のビットラインレベルと参照レベルとの信号関係は図１２に示す通りである。

プリチャージ期間、セルデータ伝送期間、そしてセンシング増幅期間に大別される。プリチャージ期間は、ワードラインがイネーブルされるのに先立ってビットラインレベル及び参照レベルをローレベルにプリチャージする期間である。セルデータ伝送期間は、メインメモリのセルデータがビットラインに乗せられ、参照レベル発生部１０１のデータが参照ラインＲＥＦに乗せられる期間である。そして、センシング増幅期間は、列デコーダ１０３ａ、１０３ｂにより動作するセンスアンプ１０２ａ、１０２ｂがビットラインのデータレベルと参照ラインＲＥＦのデータレベルとの信号差を増幅してビットラインへフィードバックさせる期間である。

【００２３】

かかる本実施形態のＳＷＬ強誘電体メモリの単位メモリブロックにおけるメインメモリセルアレイブロック７３の詳細構成は図１３に示しており、参照セルアレイブロック７４の詳細構成は図１４に示している。

図から明らかなように、全てのスプリットワードライン（ＳＷＬ１＿ｎ，ＳＷＬ２＿ｎ）、（ＳＷＬ１＿ｎ＋１，ＳＷＬ２＿ｎ＋１）・・・と全てのビットライン（Ｂ＿ｎ、Ｂ＿ｎ＋１、Ｂ＿ｎ＋２・・・）との全ての交点にメモリセルがあるわけではない。例えば、

ビットラインＢ＿ｎは、第２スプリットワードライン（ＳＷＬ２＿ｎ、ＳＷＬ２＿ｎ＋１・・・）との交点にはセルが接続されていない。すなわち、特定のスプリットワードラインから見るとき、各々のビットラインの１本おきにメモリセルが配列されている。すなわち、折り返しビットラインを構成している。

【００２４】

以下、このようなメモリセルアレイ及び参照セルアレイを構成する本実施形態のＳＷＬ強誘電体メモリにおけるビットライン制御回路及びセンスアンプアレイの構成を説明する。図１５は本ＳＷＬ強誘電体メモリのビットライン制御回路の構成図であり、図１６は図１５に示す回路における各ノードのキャパシタンス成分を示す構成図である。

図１５は本実施形態のＳＷＬ強誘電体メモリのビットライン制御回路７５の基本構成を示す図で、第１制御信号Ｃ１によってオンされ、メインメモリセル領域の複数本のビットライン（Ｂ＿ｎ，Ｂ＿ｎ＋１，Ｂ＿ｎ＋２・・・）を入出力ノード（Ｂ１，Ｂ２，Ｂ３，Ｂ４・・・）に連結させるトランジスタ（Ｔ２１，Ｔ２２，Ｔ２３，Ｔ２４）と、第２制御信号Ｃ２によってオンされ、参照ビットラインＲＢ０を入出力ノード（Ｒ１，Ｒ２，Ｒ３，Ｒ４・・・）に電気的に連結させるトランジスタ（Ｔ２５，Ｔ２６，Ｔ２７，Ｔ２８）と、第３制御信号Ｃ３によってレベル調整されるビットラインレベル調整部１４０と、第４制御信号Ｃ４により参照ビットライン（ＲＢ１０）にプルアップされたＶＣＣを印加するプルアップトランジスタ（ＰＵ０）とから構成される。すなわち、第１制御信号Ｃ１はビットライン接続信号であり、第２制御信号Ｃ２は参照ビットライン接続信号であり、第３制御信号Ｃ３はビットラインをプルダウンさせるレベル調整信号すなわちプルダウン信号であるとともにビットラインを等化させる等化信号であり、第４制御信号Ｃ４はプルアップ信号である。この第４制御信号Ｃ４は後述のように列選択制御にも使用する列選択予備信号でもある。

【００２５】

次に、このような基本構造を有するビットライン制御回路において、各ノードにおけるキャパシタンスについて説明する。

まず、メインメモリセル領域における各ビットラインのキャパシタンス成分をＣＢ＿ｎ、ＣＢ＿ｎ＋１、ＣＢ＿ｎ＋２、ＣＢ＿ｎ＋３・・・とし、参照セル領域の参照ビットラインのキャパシタンスをＣｒｂｏと定義し、各ビットラインのメインメモリセル領域以外の部分、すなわち入出力ノードまでのキャパシタンス成分をＣｂ１、Ｃｂ２、Ｃｂ３、Ｃｂ４・・・と、かつ参照ビットラインの参照セル領域以外の部分のキャパシタンス成分をＣｒ１、Ｃｒ２、Ｃｒ３、Ｃｒ４・・・と定義する。

メインメモリセル及び参照セルの配列を、各々のビットラインに連結されたメモリセルの数と参照セルの数とを同じく構成することにより、ＣＢ＿ｎ＝Ｃｒｂｏになるようにし、Ｃｂ１＝Ｃｒ１、Ｃｂ２＝Ｃｒ２、Ｃｂ３＝Ｃｒ３、Ｃｂ４＝Ｃｒ４になるようにする。メインセルアレイのビットライン数（ｎ）はＣｒｂｏ＝ｎ＊Ｃｒ１の条件により決定される。よって、メインメモリセルのビットラインの全体キャパシタンスをＣbit,totalとするとき、Ｃbit,total＝ＣＢ＿ｎ＋Ｃｂ１であるが、ＣＢ＿ｎ≫Ｃｂ１である場合にはＣbit,total ＝ＣＢ＿ｎと表示できる。更に、参照セルに関連するビットラインの全体のキャパシタンスをＣｒbit,totalとすると、Ｃｒbit,total＝Ｃｒｂ０＋ｎ＊Ｃｒ１と表示できる。

参照セルに関連する全体のビットラインキャパシタンスがメインメモリセルに関連する全体ビットラインキャパシタンスに比べて約２倍となるようにする。

【００２６】

以下、この基本構成を有する本実施形態のデータ入出力回路の動作を説明する。

図１７は本実施形態ＳＷＬ強誘電体メモリの動作タイミング図であり、図１８はビットライン誘導電圧、センスアンプによる増幅時の入出力ノードの電圧変化図である。

まず、第１制御信号Ｃ１がハイにイネーブルされると、ＮＭＯＳトランジスタ（Ｔ２１，Ｔ２２，Ｔ２３，Ｔ２４）がオンされ、メインメモリセル領域のビットライン（Ｂ＿ｎ，Ｂ＿ｎ＋１，Ｂ＿ｎ＋２，Ｂ＿ｎ＋３）が入出力ノード（Ｂ１，Ｂ２，Ｂ３，Ｂ４・・）

に電気的に連結される。第２制御信号Ｃ２がハイにイネーブルされると、ＮＭＯＳトランジスタ（Ｔ２５，Ｔ２６，Ｔ２７，Ｔ２８）がオンされ、参照メモリセル領域のビットライン（ＲＢ０）が入出力ノード（Ｒ１，Ｒ２，Ｒ３，Ｒ４・・）に電気的に連結される。このように、第１、第２制御信号（Ｃ１，Ｃ２）がハイにイネーブルされた状態で、第３制御信号Ｃ３がハイにイネーブルされると、ビットラインレベル調整部１４０のトランジスタ（Ｔ２９，Ｔ３０，・・・，Ｔ４０）が活性化され、メインメモリセルのビットラインと参照セルのビットラインがともに接地レベルにプルダウンされる。すなわちビットラインが等化される。第１、第２制御信号をハイ状態にしてプルダウンを完了した時点で第３制御信号Ｃ３をロー状態にディスエーブルさせる。第３制御信号をディスエーブルさせた後、一対のワードライン（ＳＷＬ１，ＳＷＬ２）をハイ状態に活性化させることにより、メインメモリセルに格納されたデータはＢ＿ｎ、Ｂ＿ｎ＋１、Ｂ＿ｎ＋２、Ｂ＿ｎ＋３を経てＢ１、Ｂ２、Ｂ３、Ｂ４へ伝達され、参照セルに格納されたデータはＲＢ０を経てＲ１、Ｒ２、Ｒ３、Ｒ４へそれぞれ伝達される。

【００２７】

次いで、各々のセルに格納されたデータがメイン及び参照ビットラインへ充分に伝達されたとき、第１、第２制御信号をロー状態にディスエーブルさせてトランジスタ（Ｔ２１，Ｔ２２，・・・，Ｔ２８）をオフさせる。この状態で、センスアンプ（図１５、図１６に図示してない）の活性化のためにセンスアンプを制御する信号、すなわちセンスアンプイネーブル信号であるＳＡＰ信号をロー、ＳＡＮ信号をハイにして、Ｒ１、Ｒ２、Ｒ３、Ｒ４、Ｂ１、Ｂ２、Ｂ３、Ｂ４に伝達された微少な電圧を増幅する。増幅が完了すると、第１制御信号を再度ハイにイネーブルさせて、センスアンプで増幅されたＢ１、Ｂ２、Ｂ３、Ｂ４のデータがメインメモリセルのビットライン（Ｂ＿ｎ，Ｂ＿ｎ＋１，Ｂ＿ｎ＋２，Ｂ＿ｎ＋３）へ伝達されるようにする。又、参照メモリセルに破壊されたロジック１データを再格納するために、第４制御信号をハイに活性化させてＮＭＯＳトランジスタ（ＰＵ０）をオンさせて参照ビットラインがハイレベルとなるようにする。この状態で、ワードライン（ＳＷＬ１，ＳＷＬ２）に交互にハイ又はロー電圧を印加することにより、破壊された参照及びメインメモリセルのデータを復元する。この再格納動作が終わると、ワードライン（ＳＷＬ１，ＳＷＬ２）、第１、第４制御信号をローにしてディスエーブルさせ、ＳＡＮをローに、ＳＡＰをハイにしてセンスアンプをディスエーブル状態とする。

【００２８】

かかる本実施形態のデータ入出力回路の基本構成によれば、メインメモリセルと参照セルとのアクセス数が同じになって、全てのセルの強誘電体の劣化特性が同じようになる。したがって、参照セルによるビットライン誘導電圧とメインメモリセルによるビットライン誘導電圧との関係を一定に維持させることができるので、センスアンプの動作が安定し、かつチップの寿命を延長させることができる。

【００２９】

参照及びメインセルに同じ格納容量でロジック１が格納されるとき、参照及びメインメモリセルにより誘導されるビットライン電圧変動幅を比較してみると、図１８に示すように、メインメモリセルのビットラインの方が参照セルのビットラインの方よりも高く表れる。そして、参照セルにロジック１が格納され、メインセルにはロジック０が格納されているとき、参照及びメインメモリセルにより誘導されるビットライン電圧変動幅を比較してみると、参照セルの方がメインメモリセルのビットラインの方よりも高く表れる。すなわち、メインメモリセルに格納されたロジック１、ロジック０の各々の状態がビットラインに誘導される電圧の約中間レベルで、参照セルによるビットライン電圧が形成されるようになる。よって、参照セルにロジック１を格納すると、図１６と同様な条件で回路を構成する場合、メインメモリセルに格納されたロジック１、ロジック０を正確に区分して読み出すことができるのが理解できるであろう。

【００３０】

以下、かかるデータ入出力回路の基本構成を有する本実施形態のＳＷＬ不揮発性強誘電体メモリの駆動制御回路について詳細に説明する。

本実施形態のＳＷＬ強誘電体メモリの駆動制御回路は、駆動制御回路の全体構成を示す図７において、ＳＷＬセルアレイ２３、ＳＷＬドライバ２２、ローカルコントロールパルス発生部２０、Ｙアドレスバッファ１７、Ｙ＿ＡＴＤ発生部１９、Ｘポストデコーダ２１、Ｙプリデコーダ１８、列制御部２４、センスアンプ／入出力制御部２５が中心部材である。すなわち、本実施形態のＳＷＬ強誘電体メモリはローカル制御パルス発生部２０を中心としてデータの入出力を制御するようになっている。

【００３１】

まず、様々な制御信号の流れを正確にするために、ローカル制御パルス発生部２０に様々な動作パルスを供給するグローバル制御パルス発生部１６について簡略に説明する。

図１９は本実施形態によるグローバル制御パルス発生部１６の構成ブロック図であり、図２０、図２１はグローバル制御パルス発生部１６の動作パルス発生タイミング図である。

グローバル制御パルス発生部１６の構成は、外部から入力されるＣＳＢｐａｄ信号、Ｘ、Ｚ＿ＡＴＤ発生部１５のＸ、Ｚ＿ＡＴＤ信号、又はパワーアップ検出信号のうち少なくともＣＳＢｐａｄ信号を含む信号を入力されて第１、第２同期信号を発生する入力バッファ部３１と、入力バッファ部３１の第１同期信号とフィードバック信号を受けて、低電圧時には動作しないようにする低電圧検出信号、前記第１同期信号のノイズをフィルタリングするノイズ除去信号、そしてビットライン等のプリチャージのためのプリ活性化パルスをそれぞれ出力する低電圧動作及びノイズ防止部３２とを備えている。さらに、様々な制御信号を出力する第１～第４コントローラ３３～３６が用意されている。

第１コントローラ３３は低電圧動作及びノイズ防止部３２から正常電源電圧が供給された時にノイズ除去された信号を入力され、センスアンプのイネーブル時点を調節する際の信号を生成するのに使用される第１内部信号と、列選択イネーブル時点を調節し参照セルのビットラインのプルアップを調整する際の信号を生成するのに使用される第２内部信号と、ＳＷＬ駆動部の入力信号及びその他の制御信号を生成する際の信号を生成するのに使用される第３内部信号とをそれぞれ出力する。

第２コントローラは、第１コントローラ３３の第３内部信号が入力されて、ＳＷＬ駆動信号を生成するＳＷＬ１の駆動信号を生成するためのＳ１と、ＳＷＬ２の駆動信号を生成するための信号Ｓ２、その信号（Ｓ１、Ｓ２）の正常動作が妨げられないように補償して駆動能力を向上させるインタロック信号としてのパルス信号Ｐ２をローカル制御パルス発生部２０に出力するとともに、上記信号（Ｓ１，Ｓ２）の活性化期間を調節する基本パルス信号である第４内部信号を第３コントローラ３５へ出力するとともに、低電圧動作及びノイズ防止部３２のフィードバック信号として出力する。

第３コントローラ３５は、入力バッファ部３１の第１、第２同期信号と第２コントローラ３４の第４内部信号を入力されて、ＣＳＢｐａｄ信号がディスエーブルされるとき、ＳＷＬ１用の信号Ｓ１とＳＷＬ２用の信号Ｓ２とを除いた全信号をディスエーブルする第５内部信号と、信号Ｓ１と信号Ｓ２がイネーブルされた状態でもしもＣＳＢｐａｄ信号がディスエーブルされると、ディスエーブルを遮断してＳＷＬ１の基本波形発生信号Ｓ１とＳＷＬ２の基本波形発生信号Ｓ２が正常的に動作完了するまでイネーブル状態を延長させる第６内部信号とを出力する。

第４コントローラ３６は、第３コントローラ３５の第９、第１０コントロール信号、第１コントローラ３３の第１、第２、第３内部信号、低電圧動作及びノイズ防止部３２のプリ活性化パルスが入力されて、センスアンプのｎＭＯＳ素子のイネーブル信号ＳＡＮ、ｐＭＯＳ素子のイネーブル信号ＳＡＰ、メインセルブロックのビットラインとセンスアンプの第１入出力ノードとを互いに連結するための第１制御信号Ｃ１、参照セルブロックのビットラインとセンスアンプの第２入出力ノードとを互いに連結する第２制御信号Ｃ２、メインセルのビットライン及び参照セルのビットライン及びセンスアンプのノードの低電圧プリチャージを調整するための第３制御信号Ｃ３、そして列選択イネーブル時点及び参照セルのビットラインのプルアップを調節する第４制御信号Ｃ４を出力する。

【００３２】

かかるグローバル制御パルス発生部１６の制御パルス発生動作は次の通りである。

図２０はＹアドレスが変化した時のグローバル制御パルス発生部の動作波形であり、図２１はＸ、Ｚアドレスが変化した時のグローバル制御パルス発生部の動作波形である。
チップイネーブル信号ＣＳＢｐａｄはチップイネーブルピンを介して外部から印加されるものである。このチップイネーブル信号は、ロー状態がイネーブル状態である。新たな読取り動作又は書込動作を行うためには必ずハイ状態への不活性化期間が要求される。

【００３３】

次に、図２０をｔ１～ｔ１５期間に分割して各期間別に信号変化状態を説明する。
ＣＳＢｐａｄ信号は、ｔ１期間の開始点からｔ１４期間の終了点までローに活性化され、ｔ１５期間の開始点からハイになって不活性化される。ＣＳＢｐａｄ信号が活性化されている間に、Ｘ、Ｚアドレスは変わらないが、Ｙアドレスはｔ７期間の開始点及びｔ１１の開始点でそれぞれ遷移される。Ｙ＿ＡＴＤは、Ｙアドレスの変化を感知してｔ７～ｔ８期間、ｔ１１～ｔ１２期間の間でハイパルスを発生する。ここで、Ｓ１、Ｓ２はＳＷＬセルのワードライン（ＳＷＬ１，ＳＷＬ２）を駆動する基礎信号を形成するのに使用するパルスである。
ｔ１期間でＣＳＢｐａｄ信号がハイからローになる。その時、Ｘ、Ｙ、Ｚアドレスはｔ１の以前状態を維持している。ｔ７の開始時点でＹアドレスが遷移されると、Ｙ＿ＡＴＤ信号はｔ７からｔ８までハイ状態となる。そして、Ｙアドレスがｔ１１の開始時点で再び遷移されるとき、Ｙ＿ＡＴＤ信号はｔ１１からｔ１２までハイ状態となる。ｔ１が経過してｔ２期間が始まると、Ｓ１、Ｓ２信号はハイ状態となる。Ｓ１信号はｔ３期間までハイ状態に維持され、ｔ４期間ではロー状態となる。Ｓ２信号はｔ４期間までハイ状態に維持される。

【００３４】

メインセルビットラインとセンスアンプの一方の入出力端との信号の流れを調整する第１制御信号であるＣ１信号はｔ３期間のみでロー状態となる。ゆえに、ｔ３期間のみでメインセルビットラインとセンスアンプの一方の入出力端との信号の流れが遮断される。そして、参照セルビットラインとセンスアンプの他方の入出力端との信号の流れを調整する第２制御信号であるＣ２信号はｔ３期間～ｔ１４期間の間でロー状態となるパルスを発生する。したがって、ｔ３期間～ｔ１４期間の間で参照ビットラインとセンスアンプの他方の入出力端との信号の流れが遮断される。

【００３５】

そして、メインセルのビットライン及び外部データバスの信号伝達を調整し、参照ビットラインのプルアップを調整する第４制御信号であるＣ４信号は、ｔ４の開始時点でロー状態からハイ状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点（ｔ１４期間の終点）で再びロー状態に遷移される。ゆえに、ｔ４期間～ｔ１４期間の間のみでメインセルのビットビットライン及び外部データバスの信号伝達を調整可能であり、参照ビットラインのプルアップを調整可能である。
第１、第２ワードラインＳＷＬ１、ＳＷＬ２への駆動信号を形成するための基礎信号Ｓ１、Ｓ２が正常パルスを発生する期間において他のパルスによる妨害を防止するインターロック信号であるＰ２信号は、Ｓ１、Ｓ２信号がハイ状態となるｔ２期間の開始時点でハイ状態に遷移され、ｔ６の開始時点で再びロー状態に遷移される。
そして、Ｓ１、Ｓ２信号が活性化される前にメインセル及び参照セルビットラインのロー電圧をプリチャージさせる第３制御信号であるＣ３信号は、ｔ１期間まではハイ状態に維持され、ｔ２期間の開始時点でロー状態になる。そして、ＣＳＢｐａｄ信号がディスエーブルされる時点で再びハイ状態になる。

【００３６】

そして、ＳＡＮ信号（センスアンプ／入出力制御部２５のセンスアンプを動作させるためにＮＭＯＳで構成されるトランジスタを制御する信号であるＳＡＮ＿Ｃ信号を作るための予備信号、すなわちＳＡＮ＿Ｃ予備信号）は、ｔ２期間まではロー状態に維持され、ｔ３の開始時点でハイ状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点でロー状態に遷移される。ＳＡＰ信号（センスアンプ／入出力制御部２５のセンスアンプを動作

させるためにＰＭＯＳから構成されるトランジスタを制御する信号であるＳＡＰ＿Ｃ信号の予備信号、ＳＡＰ＿Ｃ予備信号）はＳＡＮ信号とは逆に変化する。すなわち、ｔ２期間まではハイ状態に維持され、ｔ３の開始時点でロー状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点でハイ状態に遷移される。

【００３７】

Ｘ、Ｚアドレス変化時のグローバル制御信号発生部の入出力動作波形は図２０のＹアドレス変化時の入出力動作波形と類似する。

互いに異なるのは、図２０はＹアドレスが変化するときにＹ＿ＡＴＤ信号がハイ状態となるのに対して、Ｘ、Ｚアドレスが変化する場合にＸ、Ｚ＿ＡＴＤ信号がハイ状態となることである。グローバル制御パルス発生部１６では、Ｘ、Ｚアドレスが変化すると、Ｘ、Ｚ＿ＡＴＤ信号とＣＳＢｐａｄ信号とを合成して使用する。ゆえに、Ｘ、Ｚ＿ＡＴＤ信号がハイ状態になると（ｔ７，ｔ１４）、グローバル制御パルス発生部１６は、その期間でＣＳＢｐａｄ信号がハイ状態になったと認識する。よって、グローバル制御パルス発生部１６から全ての出力信号がもう一度発生するようになり、該当Ｘ、Ｚアドレスが正常にアクセスされる。これにより、第１制御信号Ｃ１はＳ１、Ｓ２信号共がハイ状態である期間でのみロー遷移される。すなわちＣ１信号は、ｔ３、ｔ１０、ｔ１７期間でローに遷移される。そして、第２制御信号Ｃ２は、Ｃ１信号がローに遷移される時点でハイ状態からローに遷移される。第４制御信号Ｃ４は、Ｃ２信号がハイに遷移する時点でローに遷移された後、Ｃ１信号が再びハイに遷移される時点でハイに遷移される。そして、インターロック信号Ｐ２は、基礎信号Ｓ１、Ｓ２が同時にハイに遷移される時点でハイに遷移され、２度のハイパルス期間を有するＳ１信号の２回目のハイ期間の終了時点でローに遷移される。そして、第３制御信号Ｃ３は、Ｓ１、Ｓ２信号が同時にハイに遷移される時点でローに遷移され、Ｘ、Ｚ－ＡＴＤ信号がハイに遷移される時点でハイに遷移される。ＳＡＮ信号、ＳＡＰ信号はＣ２信号が変化する時点でそれぞれ反対状態に遷移される。

このように発生されるグローバル制御パルス発生部１６のパルス信号を受けて、ローカル制御パルス発生部２０は本実施形態のＳＷＬ強誘電体メモリを制御駆動する。

【００３８】

次いで、本実施形態のローカル制御パルス発生部２０について図２２に基づいて詳細に説明する。

ローカル制御パルス発生部２０に入力されるＳ１、Ｓ２、Ｐ２、Ｃ１、Ｃ２、Ｃ３、Ｃ４、ＳＡＮ、ＳＡＰ信号は先に説明したグローバル制御パルス発生部１６の出力信号である。Ｙ＿ＡＴＤ信号はＹアドレスが遷移される際に発生するアドレス遷移検出信号で、検出することでハイとなる。そして、ＷＥＢｐａｄ信号は書込イネーブルパッドの信号であり、書込モード時にロー状態となり、そのロー状態を活性化状態と定義する。Ｚ＿Ａｄｄ１、Ｚ＿Ａｄｄ２、Ｚ＿Ａｄｄ３、Ｚ＿Ａｄｄ４はＺアドレスプリデコーダ１４から出力される信号である。

【００３９】

図２２に示す本実施形態のローカル制御パルス発生部２０は、図９における上側ブロックを制御する信号を出力するものを例にとって説明する。下側ブロックの駆動制御パルスの発生はこれと同一である。

ローカル制御パルス発生部２０は、センスアンプ／入出力制御部２５へ入力される信号を作り出す第１制御パルス発生部２００と、列制御部２４へ入力される信号を作り出す第２制御パルス発生部２０１と、ＳＷＬドライバ２２へ入力される信号を作り出す第３制御パルス発生部２０２とから構成される。

【００４０】

第１制御パルス発生部２００は、ＳＡＰ、ＳＡＮ、Ｚ＿Ａｄｄ３、Ｚ＿Ａｄｄ４、第３制御信号Ｃ３を入力として上側ブロックと下側ブロックを制御するための制御パルスＳＡＰ＿Ｃ、ＳＡＮ＿Ｃ、Ｃ３Ｎ＿Ｃ、Ｃ３Ｐ＿Ｃ信号を出力する第１論理演算部２０３と、第１、第２制御信号（Ｃ１，Ｃ２）、Ｚ＿Ａｄｄ１、Ｚ＿Ａｄｄ２信号を入力として上側ブロックを制御するための制御パルスＣ１Ｐ＿Ｔ、Ｃ１Ｎ＿Ｔ、Ｃ２Ｐ＿Ｔ、Ｃ２Ｎ＿Ｔ、

Ｃ３Ｎ＿Ｔ信号を出力する第２論理演算部２０４とから構成される。なお、本明細書の各信号においてＮはＮＭＯＳを駆動するためのものであることを示し、Ｔは上側のブロック、Ｂは下側のブロックの制御のものであること意味している（図２２は上側のみである）。また、最後のＣは上下共通に使用される信号であることを意味している。

【００４１】

このように構成されたローカル制御パルス発生部２０の構成について更に詳細に以下に説明する。

第１制御パルス発生部２００の第１論理演算部２０３は、Ｚ＿Ａｄｄ３、Ｚ＿Ａｄｄ４信号を論理演算して、下側ブロックに印加される制御信号の発生に関係する信号を出力する第１ＮＡＮＤゲート２０３－１と、第１ＮＡＮＤゲート２０３－１の出力信号とＮＡＮＤ演算されたＺ＿Ａｄｄ１、Ｚ＿Ａｄｄ２信号とを論理演算して出力する第２ＮＡＮＤゲート２０３－２と、入力されるＳＡＰ信号と第２ＮＡＮＤゲート２０３－２の出力信号とを演算して出力する第３ＮＡＮＤゲート２０３－３と、第３ＮＡＮＤゲート２０３－３の出力信号を反転してＳＡＰ＿Ｃ信号を出力する第１インバーター２０３－４と、ＳＡＮ信号と第２ＮＡＮＤゲート２０３－２の出力信号とを論理演算して出力する第４ＮＡＮＤゲート２０３－５と、第４ＮＡＮＤゲート２０３－５の出力信号を反転してＳＡＮ＿Ｃ信号を出力する第２インバーター２０３－６と、第３インバーター２０３－７により反転された第３制御信号Ｃ３と第２ＮＡＮＤゲート２０３－２の出力信号とを論理演算して出力する第５ＮＡＮＤゲート２０３－８と、第５ＮＡＮＤゲート２０３－８の出力信号を反転してＣ３Ｐ＿Ｃ信号を出力する第４インバーター２０３－９と、第４インバーター２０３－９の出力信号を反転してＣ３Ｎ＿Ｃ信号を出力する第５インバーター２０３－１０とから構成される。

【００４２】

そして、第１制御パルス発生部２００の第２論理演算部２０４は、Ｚ＿Ａｄｄ１、Ｚ＿Ａｄｄ２信号を論理演算して、上側ブロックに印加される制御信号の発生に関係する信号を出力する第６ＮＡＮＤゲート２０４－１と、第６ＮＡＮＤゲート２０４－１の出力信号を反転する第６インバーター２０４－２と、第６インバーター２０４－２の出力信号と第１制御信号Ｃ１とをＮＡＮＤ演算して出力する第７ＮＡＮＤゲート２０４－３と、第７ＮＡＮＤゲート２０４－３の出力信号からＣ１Ｐ＿Ｔ信号を出力する第７、第８インバーター２０４－４、２０４－５と、第７ＮＡＮＤゲート２０４－３の出力信号を反転してＣ１Ｎ＿Ｔ信号を出力する第９インバーター２０４－６と、第６インバーター２０４－２の出力信号と第２制御信号Ｃ２とを論理演算して出力する第８ＮＡＮＤゲート２０４－７と、第８ＮＡＮＤゲート２０４－７の出力信号からＣ２Ｐ＿Ｔ信号を出力する第１０、第１１インバーター２０４－８、２０４－９と、第８ＮＡＮＤゲート２０４－７の出力信号を反転してＣ２Ｎ＿Ｔ信号を出力する第１２インバーター２０４－１０と、第６インバーター２０４－２の出力信号と反転された第３制御信号Ｃ３とを論理演算して出力する第９ＮＡＮＤゲート２０４－１１と、第９ＮＡＮＤゲート２０４－１１の出力信号からＣ３Ｎ＿Ｔ信号を出力する第１３、第１４インバーター２０４－１２、２０４－１３とから構成される。

【００４３】

そして、第２制御パルス発生部２０１は、ＷＥＢｐａｄ信号を反転する第１５インバーター２０１－１と、第１５インバーター２０１－１の出力信号を反転する第１６インバーター２０１－２と、第４制御信号Ｃ４を反転する第１７インバーター２０１－３と、第１６、第１７インバーター２０１－２、２０１－３の出力信号を演算して出力する第１０ＮＡＮＤゲート２０１－４と、第１０ＮＡＮＤゲート２０１－４の出力信号を反転して出力する第１８インバーター２０１－５と、第３制御信号Ｃ３、第１８インバーター２０１－５の出力信号、そして第１制御パルス発生部２００の第２論理演算部２０４の第６ＮＡＮＤゲート２０４－１の出力信号をＮＯＲ演算して出力する第１ＮＯＲ演算部２０１－６と、そのＮＯＲ演算部２０１－６の出力信号を反転してＣ４Ｐ＿Ｔ信号を出力する第１９インバーター２０１－７と、第１９インバーター２０１－７の出力信号を反転してＣ４Ｎ＿Ｔ

信号を出力する第２０インバーター２０１－８とから構成される。
【００４４】
そして、第３制御パルス発生部２０２は、Ｐ２信号を反転する第２１インバーター２０２－１と、Ｙ＿ＡＴＤ信号、第２１インバーター２０２－１の出力信号、第４制御信号Ｃ４、そして反転されたＷＥＢｐａｄ信号を論理演算して出力する第１１ＮＡＮＤゲート２０２－２と、第１１ＮＡＮＤゲート２０２－２の出力信号を反転する第２２インバーター２０２－３と、第２２インバーター２０２－３の出力信号を遅延させる第２３、第２４、第２５、第２６インバーター２０２－４、２０２－５、２０２－６、２０２－７と、Ｓ１信号と第２２インバーター２０２－３の出力信号とを演算して出力する第２ＮＯＲゲート２０２－８と、第２ＮＯＲゲート２０２－８の出力信号と第２論理演算部２０４の第６ＮＡＮＤゲート２０４－１の出力信号とをＮＯＲ演算して出力する第３ＮＯＲゲート２０２－９と、第３ＮＯＲゲート２０２－９の出力信号を反転してＰＳ１＿Ｔ信号を出力する第２７インバーター２０２－１０と、第２制御信号Ｓ２と第２６インバーター２０２－７の出力信号とを演算して出力する第４ＮＯＲゲート２０２－１１と、第４ＮＯＲゲート２０２－１１の出力信号と第２論理演算部２０４の第６ＮＡＮＤゲート２０４－１の出力信号とをＮＯＲ演算して出力する第５ＮＯＲゲート２０２－１２と、第５ＮＯＲゲート２０２－１２の出力信号を反転してＰＳ２＿Ｔ信号を出力する第２７インバーター２０２－１３とから構成される。
【００４５】
かかる本実施形態のローカル制御パルス発生部２０においては、第１制御パルス発生部２００の第１論理演算部２０３が上側ブロック及び下側ブロックに共通使用される制御パルスを発生するブロックであり、第１制御パルス発生部２００の第２論理演算部２０４、第２、第３制御パルス発生部２０１、２０２が上側ブロックを制御するパルスを発生するブロックである。
【００４６】
以下、このような本実施形態のローカル制御パルス発生部２０の制御パルス発生動作について説明する。
まず、書込モードの動作時にはＷＥＢｐａｄ信号がロー状態となるため、第２制御パルス発生部２０１の第１５インバーター２０１－１、第１６インバーター２０１－２を経た出力信号はロー状態となる。ゆえに、第１０ＮＡＮＤゲート２０１－４は不活性化状態となってハイレベルの信号を出力し、第１ＮＯＲ演算部２０１－６を活性化状態とする。第１ＮＯＲ演算部２０１－６が活性化されることにより、第３制御信号Ｃ３は第１９インバーター２０１－７を通過してＣ４Ｐ＿Ｔ信号を出力し、再び第２０インバーター２０１－８を通過してＣ４Ｎ＿Ｔ信号を出力する。第３制御信号Ｃ３は、スプリットワードライン（ＳＷＬ１，ＳＷＬ２）が活性化される前の状態、つまりメモリセルビットライン及び参照セルビットラインのプリチャージ期間に列選択信号を全部不活性化状態とする。不活性化された列選択信号によってデータバスとビットラインとの間の信号の流れは遮断される。従って、書込モードにおけるビットラインプリチャージ時にビットラインに乗せたデータと入出力データバスに乗せたデータとが衝突することを回避することができる。又、書込モードでは、ＷＥＢｐａｄ信号がロー状態で、第２制御パルス発生部２０１の第１５インバーター２０１－１の出力信号がハイ状態となるため、第３制御パルス発生部２０２の第１１ＮＡＮＤゲート２０２－２を活性化させる。よって、第３制御パルス発生部２０２の第１１ＮＡＮＤゲート２０２－２はＹ＿ＡＴＤ信号、Ｐ２、Ｃ４信号の支配を受ける。
【００４７】
すなわち、Ｐ２信号がハイ状態で、Ｓ１、Ｓ２信号が活性化状態で正常動作している間には、第３制御パルス発生部２０２の第１１ＮＡＮＤゲート２０２－２を不活性化させてＳ１、Ｓ２信号の正常動作を保障する。Ｓ１、Ｓ２信号の正常動作が完了すると、Ｐ２信号はロー状態となるため、第３制御パルス発生部２０２の第２１インバーター２０２－１の出力はハイ状態となり、結果的に第３制御パルス発生部２０２の第１１ＮＡＮＤゲート２０２－２が活性化される。この状態では、Ｙ＿ＡＴＤ信号又はＣ４信号の状態に基づいて

第３制御パルス発生部２０２の第１１ＮＡＮＤゲート２０２－２の動作が決定される。

【００４８】

ここで、第２制御パルス発生部２０１の第１５インバーター２０２－１の出力がハイ状態なので、Ｃ４信号がハイ状態となると、第３制御パルス発生部２０２の第１１ＮＡＮＤゲート２０２－２が活性化されてＹ＿ＡＴＤ信号がＳＷＬドライバブロック７０に伝達される。

【００４９】

さらに説明すると、Ｙアドレスが遷移される期間で、Ｓ１信号とＳ２信号が第３制御パルス発生部２０２の第２、第４ＮＯＲゲート２０２－８、２０２－１１を活性化させることにより、Ｙ＿ＡＴＤ信号は第３制御パルス発生部２０２の第１１ＮＡＮＤゲート２０２－２、第２２インバーター２０２－３を経て第３制御パルス発生部２０２の第２ＮＯＲゲート２０２－８に伝達されるとともに、第３制御パルス発生部２０２の第２２インバーター２０２－３の出力信号を遅延させる第２３、第２４、第２５、第２６インバーター２０２－４、２０２－５、２０２－６、２０２－７により遅延された信号は第４ＮＯＲゲート２０２－１１に伝達される。

【００５０】

第３制御パルス発生部２０２の第２、第３ＮＯＲゲート２０２－８、２０２－９、第２７インバーター２０２－１０を通過したＹ＿ＡＴＤ信号は反転されたロー状態のＰＳ１＿Ｔ信号となる。第３制御パルス発生部２０２の第４、第５ＮＯＲゲート２０２－１１、２０２－１２、第２８インバーター２０２－１３を通過したＹ＿ＡＴＤ信号は反転されたロー状態のＰＳ２＿Ｔ信号となる。これにより、ＰＳ１＿Ｔ信号、ＰＳ２＿Ｔ信号はＹ＿ＡＴＤ信号に対して反転された位相を有する。

ここで、第３制御パルス発生部２０２の第２２インバーター２０２－３の出力信号を遅延させる第２３、第２４、第２５、第２６インバーター２０２－４、２０２－５、２０２－６、２０２－７のサイズを調節することにより、ＰＳ１＿Ｔ信号及びＰＳ２＿Ｔ信号のロー信号が重なる時間を調節することができる。

【００５１】

読取りモードでは、第２制御パルス発生部２０１の第１０ＮＡＮＤゲート２０１－４が活性化状態となり、Ｃ４信号が第２制御パルス発生部２０１の第１７インバーター２０１－３、第１０ＮＡＮＤゲート２０１－４、第１８インバーター２０１－５、第１ＮＯＲ演算部２０１－６、そして第１９インバーター２０１－７を経てＣ４Ｐ＿Ｔ信号として出力される。第１９インバーター２０１－７の出力信号は第２０インバーター２０１－８を経てＣ４Ｎ＿Ｔ信号として出力される。Ｃ４Ｐ＿Ｔ、Ｃ４Ｎ＿Ｔ信号は、センスアンプにより増幅された信号をデータバスへ伝達する役割を果たす。

【００５２】

かかる読取りモードでは、第２制御パルス発生部２０１の第１５インバーター２０１－１の出力信号がロー状態となり、第３制御パルス発生部２０２の第１１ＮＡＮＤゲート２０２－２を不活性化させることにより、Ｙ＿ＡＴＤ信号、Ｐ２、Ｃ４信号の伝達が遮断される。そして、第３制御パルス発生部２０２の第２２インバーター２０２－３の出力信号がロー状態となり、第３制御パルス発生部２０２の第２ＮＯＲゲート２０２－８を活性化させる。

このような制御パルス発生動作によりＳＷＬドライバブロック７０の入力信号として用いられるＰＳ１＿Ｔ信号、ＰＳ２＿Ｔ信号はＳ１及びＳ２信号に対してそれぞれ反対の位相を有する波形となる。

【００５３】

次ぎに、本実施形態によるセンスアンプ及び入出力制御回路２５について詳細に説明する。

図２３は本発明の第１実施形態によるセンスアンプ及び入出力制御回路の構成図であり、図２４は第２実施形態によるセンスアンプ及び入出力制御回路の構成図である。

まず、図２３のセンスアンプ及び入出力制御回路の構成は次の通りである。

図８に示すように、本実施形態のＳＷＬ強誘電体メモリにおいては、コアブロック７２を上側のセルアレイブロック７１と下側のセルアレイブロック７２とが共有するため、センスアンプブロック２１０を中心として上側メインメモリセルに連結されるビットライン（ＢＩＴ＿Ｔ）、上側参照セルに連結されるビットライン（ＲＢＩＴ＿Ｔ）、下側メインメモリセルに連結されるビットライン（ＢＩＴ＿Ｂ）、下側参照セルに連結されるビットライン（ＲＢＩＴ＿Ｂ）が連結される。

【００５４】

その構成は、まず、ビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ，ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）に連結され、ローカル制御パルス発生部から出力されるセンスアンプイネーブル信号（ＳＡＰ＿Ｃ，ＳＡＮ＿Ｃ）により該当ラインのデータをセンシング及び増幅するセンスアンプ２１０と、等化信号（Ｃ３Ｎ＿Ｃ，Ｃ３Ｐ＿Ｃ）によりビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ）又は（ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）の電位を等電位化する等化器部２１１と、ローカル制御パルス発生部から出力される上側ビットライン接続信号（Ｃ１Ｐ＿Ｔ，Ｃ１Ｎ＿Ｔ）、上側参照ビットライン接続信号（Ｃ２Ｐ＿Ｔ，Ｃ２Ｎ＿Ｔ）によりそれぞれスイッチングされて、上側のメインメモリセル及び参照セルに連結されたビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ）をセンスアンプ２１０の入出力ラインに選択的に連結する第１、第２伝送ゲート２１２、２１３と、下側ビットライン接続信号（Ｃ１Ｐ＿Ｂ，Ｃ１Ｎ＿Ｂ）、下側参照ビットライン接続信号（Ｃ２Ｐ＿Ｂ，Ｃ２Ｎ＿Ｂ）によりそれぞれスイッチングされて、下側のメインメモリセル及び参照セルに連結されたビットライン（ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）をセンスアンプ２１０の入出力ラインに選択的に連結する第３、第４伝送ゲート２１４、２１５と、第１伝送ゲート２１２と上側メモリセルとの間のビットライン（ＢＩＴ＿Ｔ）に連結され、列選択信号（Ｙ＿ｎ＿Ｔ，ＹＢ＿ｎ＿Ｔ）によりデータバス（Ｄ＿ＢＵＳ）との連結を制御する第５伝送ゲート２１６と、第３伝送ゲート２１４と下側メモリセルとの間のビットライン（ＢＩＴ＿Ｂ）に連結され、列選択信号（Ｙ＿ｎ＿Ｂ，ＹＢ＿ｎ＿Ｂ）によりデータバス（Ｄ＿ＢＵＳ）との連結を制御する第６伝送ゲート２１７と、第１伝送ゲート２１２と第５伝送ゲート２１６との間のビットライン（ＢＩＴ＿Ｔ）に一方の電極が連結され、他方の電極は電源電圧端子に連結され、ゲートに印加されるプルダウン制御信号（Ｃ３Ｎ＿Ｔ）によりビットライン（ＢＩＴ＿Ｔ）のレベルを調整する第１ビットラインレベル調整部２１８と、第３伝送ゲート２１４と下側メモリセルアレイブロックとの間のビットライン（ＢＩＴ＿Ｂ）に一方の電極が連結され、他方の電極は電源電圧端子に連結され、ゲートに印加されるプルダウン制御信号（Ｃ３Ｎ＿Ｂ）によりビットライン（ＢＩＴ＿Ｂ）のレベルを調整する第２ビットラインレベル調整部２１９とを備える。

上記データバス(Ｄ＿ＢＵＳ)は、読取りモード及び書込モードで共通使用される。すなわち、読取りモードの動作時にはセンスアンプの出力伝送路として用いられ、書込モードではメモリセルに書込するためのデータの伝送路として用いられる。

【００５５】

センスアンプ及びデータ入出力制御回路に入力される各々の制御信号、そして各構成ブロックの動作について説明する。

ＳＡＮ＿Ｃは、一方の電極がセンスアンプに連結され他方の電極が接地ＶＳＳ端子に連結されるＮＭＯＳトランジスタのゲートに印加され、ハイでセンスアンプ２１０を活性化させ、ローでセンスアンプ２１０を不活性化させる。ＳＡＰ＿Ｃは、一方の電極がセンスアンプに連結され他方の電極が電源電圧ＶＣＣ端子に連結されるＰＭＯＳトランジスタのゲートに印加され、ローでセンスアンプ２１０を活性化させ、ハイでセンスアンプ２１０を不活性化させる。等化器部２１１に入力される等化信号（Ｃ３Ｎ＿Ｃ，Ｃ３Ｐ＿Ｃ）は、スプリットワードライン（ＳＷＬ１，ＳＷＬ２）が活性化される前にメイン及び参照セルのビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ，ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）及びセンスアンプ２１０の電位を等電位化する。プルダウン制御信号（Ｃ３Ｎ＿Ｔ）は、上側のメインセル列及び参照セル列の選択時に、第１ビットラインレベル調整部２１８をターンオンさせてプルダウン動作を行って上側のメインメモリセル及び参照セルに連結されたビットラ

イン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ）をローレベルとする。そして、プルダウン制御信号（Ｃ３Ｎ＿Ｂ）は、下側のメインセル列及び参照セル列の選択時に、第２ビットラインレベル調整部２１９をターンオンさせてプルダウン動作を行って下側のメインメモリセル及び参照セルに連結されたビットライン（ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）をローレベルにする。

【００５６】

図２４に示すセンスアンプ及び入出力制御回路は本実施形態の第２実施形態であり、ＮＭＯＳトランジスタにより各々の制御パルスによるスイッチングブロックを構成したものである。

まず、その構成は、ビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ，ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）に連結され、ローカル制御パルス発生部から出力されるセンスアンプイネーブル信号（ＳＡＰ＿Ｃ，ＳＡＮ＿Ｃ）により該当ラインのデータをセンシング及び増幅するセンスアンプ２２０と、等化信号（Ｃ３Ｎ＿Ｃ，Ｃ３Ｐ＿Ｃ）によりビットライン、参照ビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ）又は（ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）の電位を等電位化する等化器部２２１と、ローカル制御パルス発生部から出力される上側セルアレイ連結信号（Ｃ１Ｎ＿Ｔ，Ｃ２Ｎ＿Ｔ）によりスイッチングされて、上側のメインメモリセル及び参照セルに連結されたビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ）をセンスアンプ２２０の入出力ラインに選択的に連結する第１、第２ＮＭＯＳトランジスタ２２２、２２３と、下側セルアレイ連結信号（ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）によりスイッチングされて、下側のメインメモリセル及び参照セルに連結されたビットライン（ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）をセンスアンプ２２０の入出力ラインに選択的に連結する第３、第４ＮＭＯＳトランジスタ２２４、２２５と、第１ＮＭＯＳトランジスタ２２２と上側メモリセルとの間のビットライン（ＢＩＴ＿Ｔ）に連結され、列選択信号（Ｙ＿ｎ＿Ｔ）によりデータバス（Ｄ＿ＢＵＳ）との連結を制御する第５ＮＭＯＳトランジスタ２２６と、第３ＮＭＯＳトランジスタ２２４と下側メモリセルとの間のビットライン（ＢＩＴ＿Ｂ）に連結され、列選択信号（Ｙ＿ｎＢ）によりデータバス（Ｄ＿ＢＵＳ）との連結を制御する第６ＮＭＯＳトランジスタ２２７と、前記第１ＮＭＯＳトランジスタ２２２と第５ＮＭＯＳトランジスタ２２６との間のビットライン（ＢＩＴ＿Ｔ）に一方の電極が連結され、ゲートに印加されるプルダウン制御信号（Ｃ３Ｎ＿Ｔ）によりビットライン（ＢＩＴ＿Ｔ）のレベルを調整する第１ビットラインレベル調整部２２８と、第３ＮＭＯＳトランジスタ２２４と下側メモリセルアレイブロックとの間のビットライン（ＢＩＴ＿Ｂ）に一方の電極が連結され、ゲートに印加されるプルダウン制御信号（Ｃ３Ｎ＿Ｂ）によりビットライン（ＢＩＴ＿Ｂ）のレベルを調整する第２ビットラインレベル調整部２２９とを備える。これらの動作は先の例と格別異なるところはない。

【００５７】

かかる本実施形態のＳＷＬ強誘電体メモリ装置の列制御部の構成について以下に説明する。

図２５は本実施形態による列制御部２４の回路構成図である。

図は上側メモリセルアレイを制御するブロックを例にとって示している。列制御部は、Ｙプリデコーダ、ローカル制御パルス発生部からアドレス及び制御信号を受けて、データ入出力時に任意のセルを選択するための列選択信号を出力するブロックである。その構成は次の通りである。

まず、Ｙプリデコーダ１８からプリデコードされて出力されるアドレス（Ｙｐｒｅ＿ｎ，Ｙｐｒｅ＿ｎ＋１，Ｙｐｒｅ＿ｎ＋２，Ｙｐｒｅ＿ｎ＋３・・・）中の各々のアドレスとローカル制御パルス発生部から出力されるＣ４Ｎ＿Ｔ信号とを論理演算して出力する複数のＮＡＮＤゲート２３０、２３１、２３２、２３３と、各ＮＡＮＤゲート２３０、２３１、２３２、２３３の出力端に連結されるインバーター２３４、２３５、２３６、２３７とを含んでいる。

【００５８】

ここで、各ＮＡＮＤゲート２３０、２３１、２３２、２３３の出力は、各々のインバーター２３４、２３５、２３６、２３７を通過するとＹアドレス（Ｙ＿ｎ＿Ｔ，Ｙ＿ｎ＋１＿

Ｔ，Ｙ＿ｎ＋２＿Ｔ，Ｙ＿ｎ＋３＿Ｔ，・・・）となり、インバー２３４、２３５、２３６、２３７を通過しない信号は参照Ｙアドレス（ＹＢ＿ｎ＿Ｔ，ＹＢ＿ｎ＋１＿Ｔ，ＹＢ＿ｎ＋２＿Ｔ，ＹＢ＿ｎ＋３＿Ｔ・・）となる。活性化時に、Ｙアドレス（Ｙ＿ｎ＿Ｔ，Ｙ＿ｎ＋１＿Ｔ，Ｙ＿ｎ＋２＿Ｔ，Ｙ＿ｎ＋３＿Ｔ，・・・）の何れか一つのみハイに活性され、参照Ｙアドレス（ＹＢ＿ｎ＿Ｔ，ＹＢ＿ｎ＋１＿Ｔ，ＹＢ＿ｎ＋２＿Ｔ，ＹＢ＿ｎ＋３＿Ｔ・・）のうち何れか一つのみローとなる。これら活性化された信号は、上記のセンスアンプ及び入出力制御回路においてデータバスに連結されているトランジスタ又は伝送ゲートから構成されるスイッチングブロックの活性化、不活性化を調整する。

【００５９】

次に、本実施形態の参照ビットラインレベル調整回路７６について説明する。

図２６は第１実施形態による参照ビットラインレベル調整回路の構成図で、図２７は第２実施形態による参照ビットラインレベル調整回路の構成図である。

図２６の参照ビットラインレベル調整回路７６は参照セル列にプルアップを行うためのものである。図の上側にあるのが上側参照ビットラインレベル調整回路で下側にあるのが下側参照ビットラインレベル調整回路である。

上側参照セルに連結された参照ビットライン（ＲＢＩＴ＿Ｔ）のレベルを調整するためのプルアップ或いはプルダウン信号を出力する上側参照ビットラインレベル調整回路は、ゲートにローカル制御パルス発生部から出力される参照ビットラインレベル調整信号（Ｃ４Ｐ＿Ｔ）が入力され、一方の電極（ソース）にＶＣＣが印加され、ドレイン電極には参照ビットライン（ＲＢＩＴ＿Ｔ）が連結される第１ＰＭＯＳトランジスタ２４０と、ドレインには参照ビットライン（ＲＢＩＴ＿Ｔ）が連結され、ソース電極にはＶＳＳが印加され、参照ビットラインレベル調整信号（Ｃ３Ｎ＿Ｔ）がゲートに入力される第１ＮＭＯＳトランジスタ２４１とで構成されている。

【００６０】

また、下側参照セルに連結された参照ビットライン（ＲＢＩＴ＿Ｂ）のレベルを調整するためのプルアップ又はプルダウン信号を出力する下側参照ビットラインレベル調整回路は、ゲートにローカル制御パルス発生部から出力される参照ビットラインレベル調整信号（Ｃ４ＰＢ）が入力され、一方の電極（ソース）にＶＣＣが印加され、他方の電極（ドレイン）には参照ビットライン（ＲＢＩＴ＿Ｂ）が連結される第２ＰＭＯＳトランジスタ２４２と、ドレインには参照ビットライン（ＲＢＩＴ＿Ｂ）が連結され、ソース電極にはＶＳＳが印加され、参照ビットラインレベル調整信号（Ｃ３ＮＢ）がゲートに印加される第２ＮＭＯＳトランジスタ２４３とから構成されている。

【００６１】

かかる参照ビットラインレベル調整回路は、Ｃ４Ｐ＿Ｔ信号により第１ＰＭＯＳトランジスタ２４０が活性化されることにより、参照ビットライン（ＲＢＩＴ＿Ｔ）がハイ電圧にプルアップされる。このように、参照ビットラインがハイ電圧にプルアップされることにより、上側参照セルにはハイデータが格納される。そして、Ｃ４Ｐ＿Ｂ信号により第２ＰＭＯＳトランジスタ２４２が活性化されることにより、参照ビットライン（ＲＢＩＴ＿Ｂ）がハイ電圧にプルアップされ、下側参照セルにはハイデータが格納される。更に、ハイ状態に印加されるＣ３Ｎ＿Ｔ信号により第１ＮＭＯＳトランジスタ２４１が活性化されることにより参照ビットライン（ＲＢＩＴ＿Ｔ）がロー電圧にプルダウンされる。そして、ハイ状態に印加されるＣ３Ｎ＿Ｂ信号により第２ＮＭＯＳトランジスタ２４３が活性化されることにより参照ビットライン（ＲＢＩＴ＿Ｔ）がロー電圧にプルダウンされる。

【００６２】

図２７は参照ビットラインレベル調整回路の第２実施形態を示す図である。

まず、上側参照セルに連結された参照ビットライン（ＲＢＩＴ＿Ｂ）のレベルを調整するためのプルアップ又はプルダウン信号を出力する上側参照ビットラインレベル調整回路は、ゲートにローカル制御パルス発生部から出力される参照ビットラインレベル調整信号（Ｃ４Ｎ＿Ｔ）が入力され、一方の電極（ソース）にＶＣＣが印加され、他方の電極（ドレイン）には参照ビットライン（ＲＢＩＴ＿Ｂ）が連結される第１ＮＭＯＳトランジスタ２

７０と、ドレインには参照ビットライン（ＲＢＩＴ＿Ｂ）が連結され、ソース電極にはＶＳＳが印加され、参照ビットラインレベル調整信号（Ｃ３Ｎ＿Ｔ）がゲートに入力される第２ＮＭＯＳトランジスタ２７１とから構成される。

【００６３】

また、下側参照セルに連結された参照ビットライン（ＲＢＩＴ＿Ｂ）のレベルを調整するためのプルアップ又はプルダウン信号を出力する下側参照ビットラインレベル調整回路は、ゲートにローカル制御パルス発生部から出力される参照ビットラインレベル調整信号（Ｃ４ＮＢ）が入力され、一方の電極（ソース）にＶＣＣが印加され、他方の電極（ドレイン）には参照ビットライン（ＲＢＩＴ＿Ｂ）が連結される第３ＮＭＯＳトランジスタ２７２と、ドレインには参照ビットライン（ＲＢＩＴ＿Ｂ）が連結され、ソース電極にはＶＳＳが印加され、参照ビットラインレベル調整信号（Ｃ３ＮＢ）がゲートに入力される第４ＮＭＯＳトランジスタ２７３とから構成される。

【００６４】

次に、本発明の第３、第４実施形態によるセンスアンプ及び入出力制御回路の構成について説明する。

図２８は、第３実施形態によるセンスアンプ及び入出力制御回路の構成図であり、図２９は、第４実施形態によるセンスアンプ及び入出力制御回路の構成図である。

第３実施形態によるセンスアンプ及び入出力制御回路の構成を説明する。

ビットライン、参照ビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ，ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）に連結され、ローカル制御パルス発生部から出力されるセンスアンプイネーブル信号（ＳＡＰ＿Ｃ，ＳＡＮ＿Ｃ）により該当ラインのデータをセンシング及び増幅するセンスアンプ２６０と、等化信号（Ｃ３Ｎ＿Ｃ，Ｃ３Ｐ＿Ｃ）によりビットライン、参照ビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ）又は（ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）の電位を等電位化する等化器部２６１と、ローカル制御パルス発生部から出力される上側セルアレイ連結信号（Ｃ１Ｐ＿Ｔ，Ｃ１Ｎ＿Ｔ，Ｃ２Ｐ＿Ｔ，Ｃ２Ｎ＿Ｔ）によりスイッチングされて、上側のメインメモリセル及び参照セルに連結されたビットライン、参照ビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ）をセンスアンプ２６０の入出力ラインに選択的に連結する第１、第２伝送ゲート２６２、２６３と、下側のセルアレイ連結信号（Ｃ１Ｐ＿Ｂ，Ｃ１Ｎ＿Ｂ，Ｃ２Ｐ＿Ｂ，Ｃ２Ｎ＿Ｂ）によりスイッチングされて、下側のメインメモリセル及び参照セルに連結されたビットライン、参照ビットライン（ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）をセンスアンプ２６０の入出力ラインに選択的に連結する第３、第４伝送ゲート２６４、２６５と、センスアンプ２６０の入出力端に連結され、列選択信号（Ｙ＿ｎ，ＹＢ＿ｎ）によりデータバスＤとの連結を制御する第５伝送ゲート２６６と、センスアンプ２６０の入出力端に連結され、列選択信号（Ｙ＿ｎ，ＹＢ＿ｎ）によりデータバスＤＢとの連結を制御する第６伝送ゲート２６７と、第１伝送ゲート２６２と上側メモリセルとの間のビットライン（ＢＩＴ＿Ｔ）に連結され、ゲートに印加されるプルダウン制御信号（Ｃ３Ｎ＿Ｔ）によりビットライン（ＢＩＴ＿Ｔ）のレベルを調整する第１ビットラインレベル調整部２６８と、第３伝送ゲート２６４と下側メモリセルアレイブロックとの間のビットライン（ＢＩＴ＿Ｂ）に一方の電極が連結され、ゲートに印加されるプルダウン制御信号（Ｃ３Ｎ＿Ｂ）によりビットライン（ＢＩＴ＿Ｂ）のレベルを調整する第２ビットラインレベル調整部２６９とを備える。

【００６５】

ＳＡＮ＿Ｃは、一方の電極がセンスアンプに連結され他方の電極が接地ＶＳＳ端子に連結されるＮＭＯＳトランジスタのゲートに印加され、ハイでセンスアンプ２６０を活性化させ、ローでセンスアンプ２６０を不活性化させる。ＳＡＰ＿Ｃは、一方の電極がセンスアンプに連結され他方の電極が電源電圧（ＶＣＣ）端子に連結されるＰＭＯＳトランジスタのゲートに印加され、ローでセンスアンプ２６０を活性化させ、ハイでセンスアンプ２６０を不活性化させる。等化器部２６１に入力される等化信号（Ｃ３Ｎ＿Ｃ，Ｃ３Ｐ＿Ｃ）は、スプリットワードライン（ＳＷＬ１，ＳＷＬ２）が活性化される前にメイン及び参照セルのビットライン、参照ビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ，ＢＩＴ＿Ｂ，ＲＢ

ＩＴ＿Ｂ）及びセンスアンプ２６０の電位を等電位化する。プルダウン制御信号（Ｃ３Ｎ＿Ｔ）は、上側のメインセル列及び参照セル列の選択時に、第１ビットラインレベル調整部２６８をターンオンさせてプルダウン動作を行って上側のメインメモリセル及び参照セルに連結されたビットライン、参照ビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ）をローレベルにする。そして、プルダウン制御信号（Ｃ３ＮＢ）は、下側のメインセル列及び参照セル列の選択時に、第２ビットラインレベル調整部２６９をターンオンさせてプルダウン動作を行って下側のメインメモリセル及び参照セルに連結されたビットライン、参照ビットライン（ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）をローレベルにする。

【００６６】

次に図２９により第４実施形態によるセンスアンプ及び入出力制御回路を説明する。

まず、その構成は、ビットライン、参照ビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ，ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）に連結され、ローカル制御パルス発生部から出力されるセンスアンプイネーブル信号（ＳＡＰ＿Ｃ，ＳＡＮ＿Ｃ）により該当ラインのデータをセンシング及び増幅するセンスアンプ２７０と、等化信号（Ｃ３Ｎ＿Ｃ，Ｃ３Ｐ＿Ｃ）によりビットライン、参照ビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ）又は（ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）の電位を等電位化するＮＭＯＳトランジスタから構成される等化器部２７１と、ローカル制御パルス発生部から出力される上側セルアレイ連結信号（Ｃ１Ｎ＿Ｔ，Ｃ２Ｎ＿Ｔ）によりスイッチングされて、上側のメインメモリセル及び参照セルに連結されたビットライン（ＢＩＴ＿Ｔ，ＲＢＩＴ＿Ｔ）をセンスアンプ２７０の入出力ラインに選択的に連結する第１、第２ＮＭＯＳトランジスタ２７２、２７３と、下側セルアレイ連結信号（Ｃ１Ｎ＿Ｂ，Ｃ２Ｎ＿Ｂ）によりスイッチングされて、下側のメインメモリセル及び参照セルに連結されたビットライン、参照ビットライン（ＢＩＴ＿Ｂ，ＲＢＩＴ＿Ｂ）をセンスアンプ２７０の入出力ラインに選択的に連結する第３、第４ＮＭＯＳトランジスタ２７４、２７５と、センスアンプ２７０の入出力端に連結され、列選択信号（Ｙ＿ｎ）によりデータバスＤとの連結を制御する第５ＮＭＯＳトランジスタ２７６と、センスアンプ２７０の入出力端に連結され、列選択信号（Ｙ＿ｎ）によりデータバスＤＢとの連結を制御する第６ＮＭＯＳトランジスタ２７７と、第１ＮＭＯＳトランジスタ２７２とメモリセルブロックとの間のビットライン（ＢＩＴ＿Ｔ）に一方の電極が連結され、ゲートに印加されるプルダウン制御信号（Ｃ３Ｎ＿Ｔ）によりビットライン（ＢＩＴ＿Ｔ）のレベルを調整するＮＭＯＳトランジスタからなる第１ビットラインレベル調整部２７８と、第３ＮＭＯＳトランジスタ２７４と下側メモリセルアレイブロックとの間のビットライン（ＢＩＴ＿Ｂ）に一方の電極が連結され、ゲートに印加されるプルダウン制御信号（Ｃ３Ｎ＿Ｂ）によりビットライン（ＢＩＴ＿Ｂ）のレベルを調整するＮＭＯＳトランジスタからなる第２ビットラインレベル調整部２７９とを備えている。

【００６７】

次に、以上のような駆動制御回路を有する本実施形態のＳＷＬ強誘電体メモリ装置のデータ入出力動作について説明する。

図３０はＹアドレス変化時の書込モードにおけるローカル制御パルス発生部の動作波形図である。

本実施形態のＳＷＬ強誘電体メモリにおいては、センスアンプ及びデータ入出力制御回路を含むコアブロックを、隣り合う上下のメモリセルブロックが互いに共有している。ここでは、上側メモリセルブロックの駆動制御を主として説明する。

まず、図３０の動作波形図に示すように、チップイネーブル信号ＣＳＢｐａｄ信号がロー状態にイネーブルされた後再度ハイ状態にディスエーブルされる期間をｔ１～ｔ１５に分割して、各期間別に説明する。

ｔ１期間では、ＣＳＢｐａｄ信号をロー状態にイネーブルさせ、ＷＥＢｐａｄ信号をロー状態にイネーブルさせる。この際、Ｘ、Ｙ、Ｚアドレスは以前の状態を維持し、ローカル制御パルス発生部から出力されるＰＳ１＿Ｔ、ＰＳ２＿Ｔ、Ｃ１Ｎ＿Ｔ、Ｃ２Ｎ＿Ｔ、Ｃ４Ｎ＿Ｔ、Ｃ３Ｎ＿Ｃ、ＳＡＰ＿Ｃ、ＳＡＮ＿Ｃ信号もｔ１の以前の状態を維持している。

【００６８】
ＰＳ１＿Ｔ信号は、ｔ１期間ではハイ、ｔ２～ｔ３期間ではロー状態、ｔ４期間ではハイ状態、ｔ５期間ではロー状態、ｔ６期間ではハイ状態、ｔ７～ｔ８期間ではロー状態、ｔ９～ｔ１０期間ではハイ状態、再びｔ１１～ｔ１３期間ではロー状態となる。ｔ１３の開始時点からはハイ状態を維持し続ける。
ＰＳ２＿Ｔ信号は、ｔ１期間ではハイ、ｔ２～ｔ４期間ではロー状態、ｔ５～ｔ７期間ではハイ状態、ｔ８～ｔ９期間ではロー状態、ｔ１０～ｔ１１期間ではハイ状態、ｔ１２～ｔ１３期間では再びロー状態となる。ｔ１４の開始時点からはハイ状態を維持し続ける。
【００６９】
又、ＳＷＬドライバブロック７０から出力されるＳＷＬ１、ＳＷＬ２信号も、ｔ１期間までは以前の状態のロー状態を維持し、ｔ２時点でハイ状態に遷移される。ここで、ＳＷＬ１信号はＰＳ１＿Ｔ信号と反対の位相を有し、同じ遷移時点を有する。ＳＷＬ２信号はＰＳ２＿Ｔ信号と反対の位相を有し、同じ遷移時点を有する。
【００７０】
そして、センスアンプの入出力ラインとメモリセルブロックのビットライン及び参照セルブロックのビットラインとを電気的に連結する制御信号であるＣ１Ｎ＿Ｔ、Ｃ２Ｎ＿Ｔ信号の波形変化は次の通りである。
Ｃ１Ｎ＿Ｔ信号は、Ｙ－Ａｄｄ信号が送られる前にＳＷＬ１、ＳＷＬ２共がハイ状態に維持される期間のうちｔ３期間のみでローに遷移され、その他の期間ではハイに遷移されて維持される。Ｃ２Ｎ＿Ｔ信号は、Ｃ１Ｎ＿Ｔ信号がローに遷移される時点ｔ３でローに遷移され、ＣＳＢｐａｄ信号がハイに遷移される時点でハイ状態に遷移される。Ｃ４Ｎ＿Ｔ信号は、ＳＷＬ１、ＳＷＬ２が同時にハイに遷移される時点ｔ２でハイ状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点で再びロー状態に遷移される。Ｐ２信号は、ＳＷＬ１、ＳＷＬ２共がハイに遷移される時点（ｔ２）からｔ５までハイが維持され、その以外の期間ではロー状態に維持される。Ｃ３Ｎ＿Ｃ信号は、ｔ１期間までは以前のハイ状態が維持され、ＳＷＬ１、ＳＷＬ２が同時にハイに遷移される時点ｔ２でロー状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点で再びハイ状態に遷移される。すなわち、Ｃ４Ｎ＿Ｔ信号と反対の位相の波形を有する。そして、ＳＡＮ＿Ｃ信号は、Ｃ１Ｎ＿Ｔ、Ｃ２Ｎ＿Ｔ信号が同時に遷移される時点ｔ３でハイ状態に遷移され、この状態はＣＳＢｐａｄ信号がディスエーブルされるまで維持される。ＳＡＰ＿Ｃ信号はＳＡＮ＿Ｃ信号と反対の位相を有し、遷移時点は同一である。
【００７１】
かかる動作波形を有する本実施形態のＳＷＬ強誘電体メモリ装置は、Ｙアドレスの変化によりＹ＿ＡＴＤ信号が発生されると、書込モードの場合に、ローカル制御パルス発生部から出力されるＰＳ１＿Ｔ、ＰＳ２＿ＴがＳＷＬドライバブロック７０に入力されてＳＷＬ１信号、ＳＷＬ２信号を作り出す。このようにして発生されたＳＷＬ１、ＳＷＬ２信号が共にハイである期間、つまりｔ２～ｔ３、ｔ８、ｔ１２期間でＳＷＬメモリセルにロジック「０」を書き込む。そして、ＳＷＬ１、ＳＷＬ２のうち一つのみハイである期間、つまりｔ４～ｔ５、ｔ７、ｔ９、ｔ１１、ｔ１３期間でＳＷＬメモリセルにビットラインのデータに応じてロジック「１」又は「０」を書き込む。
【００７２】
以下、読取りモード時における本実施形態の不揮発性強誘電体メモリ装置による動作について説明する。
図３１はＹアドレス変化時の読取りモードにおけるローカル制御パルス発生部の動作波形図である。
読取りモードの場合、ＷＥＤｐａｄ信号は、ハイ状態にディスエーブルされた状態を維持する。そして、書込モード時と同様に、Ｙアドレスの変化時にのみＹ＿ＡＴＤ信号がハイ状態となる。すなわち、Ｙアドレスがｔ７の開始時点で遷移されると、Ｙ＿ＡＴＤ信号は、ｔ７からｔ８までハイ状態に維持され、再びＹアドレスがｔ１１の開始時点で遷移される際にｔ１１からｔ１３期間までハイ状態に維持される。この以外の期間では全てロー状

態に維持される。
【００７３】
ＰＳ１＿Ｔ信号は、ｔ２～ｔ３期間、そしてｔ５期間の間のみでロー状態を維持し、その以外ではハイ状態を維持する。ＰＳ２＿Ｔ信号は、ｔ２～ｔ４期間のみでロー状態を維持し、その以外ではハイ状態を維持する。ＳＷＬ１信号はＰＳ１＿Ｔ信号と反対の位相を有し、同じ遷移時点を有する。ＳＷＬ２信号はＰＳ２＿Ｔ信号と反対の位相を有し、同じ遷移時点を有する。
【００７４】
センスアンプの入出力ラインと、メモリセルブロックのビットライン、参照セルブロックのビットラインとを電気的に連結する制御信号であるＣ１Ｎ＿Ｔ、Ｃ２Ｎ＿Ｔ信号の波形変化は以下の通りである。
Ｃ１Ｎ＿Ｔ信号は、Ｙ＿Ａｄｄ信号が変化する前にＳＷＬ１、ＳＷＬ２信号共がハイ状態に維持される期間のうちｔ３期間のみでローに遷移され、その以外の期間では再びハイに遷移されて維持される。Ｃ２Ｎ＿Ｔ信号は、Ｃ１Ｎ＿Ｔ信号がローに遷移される時点でローに遷移され、ＷＥＢｐａｄ信号がハイに遷移される時点でハイ状態に遷移される。Ｃ４Ｎ＿Ｔ信号は、Ｃ１Ｎ＿Ｔ信号がハイに遷移される時点ｔ４でハイ状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点で再びロー状態に遷移される。Ｐ２信号は、ＳＷＬ１、ＳＷＬ２が同時にハイに遷移される時点ｔ２でハイ状態に遷移され、Ｙ＿Ａｄｄ信号が変化するすぐ前のＳＷＬ１信号遷移時点でロー状態に遷移される。Ｃ３Ｎ＿Ｃ信号は、ｔ１期間までは以前のハイ状態に維持され、ＳＷＬ１、ＳＷＬ２が同時にハイに遷移される時点ｔ２でロー状態に遷移され、ＣＳＢｐａｄ信号がディスエーブルされる時点で再びハイ状態に遷移される。そして、ＳＡＮ＿Ｃ信号は、Ｃ１Ｎ＿Ｔ、Ｃ２Ｎ＿Ｔ信号が同時に遷移される時点ｔ３でハイ状態に遷移され、この状態がＣＳＢｐａｄ信号がディスエーブルされるまで維持される。ＳＡＰ＿Ｃ信号はＳＡＮ＿Ｃ信号と反対の位相を有し、遷移時点は同一である。
【００７５】
以上説明したように、ＣＳＢｐａｄ信号をロー状態に活性化させた状態でＹアドレスのみを変化させると、グローバル制御パルス発生部の入力には変化がないため、その出力も変わらない。Ｙアドレスの変化によりＹ＿ＡＴＤ信号がハイ状態になっても、読取りモードでローカル制御パルス発生部のＰＳ１＿Ｔ信号、ＰＳ２＿Ｔ信号は変わらないようにしてＳＷＬ１信号、ＳＷＬ２信号が不活性化状態を維持する。よって、変更されたＹアドレスに該当する列デコーダを活性化させて、センスアンプにラッチされているデータをデータバスに伝達する。Ｙアドレスが変化する第１時点ｔ７では、センスアンプのデータがデータバスへ伝達されて読取り動作が行われる。そして、Ｙアドレスが変化する第２時点ｔ１１でも、センスアンプのデータがデータバスへ伝達されて読取り動作が行われる。これは、Ｙアドレスの変化時に、列ゲート選択の変化だけでもセンスアンプにラッチされているデータを出力することができることを意味する。
【００７６】
以上ではＹアドレス変化時の書込モード及び読取りモードにおけるＳＷＬ強誘電体メモリ装置のデータ入出力動作を説明した。以下、Ｘ、Ｚアドレスの変化時の書込モード及び読取りモードによる動作波形を図３２を参照して説明する。
まず、Ｘ、Ｚアドレス変化時の書込モードにおけるＳＷＬ強誘電体メモリ装置の動作波形をｔ１からｔ２１まで設定して、各期間別に説明する。
図は本実施形態のＳＷＬ強誘電体メモリの書込モード時のＸ、Ｚアドレス変化に関する動作波形図である。
まず、ｔ１の開始時点でＣＳＢｐａｄ信号がハイ状態からローに遷移されることにより活性化状態となり、ｔ２１の開始時点で再び不活性化状態に遷移する。これとともに、書込イネーブル信号ＷＥＢｐａｄもロー状態に遷移されて活性化状態となり、ＣＳＢｐａｄ信号が不活性化されると同時に不活性化される。このＣＳＢｐａｄ信号、ＷＥＢｐａｄ信号は全て外部から印加される。Ｘ、Ｚアドレスが遷移される時点が、ｔ７期間の開始点、ｔ

１４期間の開始点である場合には、Ｘ、Ｚ＿ＡＴＤはｔ７期間及びｔ１４期間でハイ状態となる。

【００７７】

ｔ１期間では、ＣＳＢｐａｄ信号、ＷＥＢｐａｄ信号のみがイネーブルされ、その以外の信号は以前の状態をそのまま維持する。ｔ２期間では、ＣＳＢｐａｄ信号及びＷＥＢｐａｄ信号はそのままイネーブル状態を維持し、ＰＳ１＿Ｔ信号、ＰＳ２＿Ｔ信号、Ｃ３Ｎ＿Ｃ信号は以前状態のハイ状態からロー状態に遷移される。そして、ＳＷＬ１、ＳＷＬ２、Ｃ４Ｎ＿Ｔ、Ｐ２信号は以前の状態のロー状態からハイ状態に遷移される。前記Ｃ４Ｎ＿Ｔ信号がロー状態からハイ状態に遷移されて活性化状態となることにより、外部から伝達されたデータがメモリセルのビットライン及び参照セルのビットラインに乗せる。

【００７８】

次いで、ｔ３期間では、ＣＳＢｐａｄ、ＷＥＤｐａｄ、ＰＳ１＿Ｔ、ＰＳ２＿Ｔ、ＳＷＬ１、ＳＷＬ２、Ｃ３Ｎ＿Ｃ、Ｃ４Ｎ＿Ｔ、Ｐ２はｔ２期間の信号をそのまま維持し、ＳＡＮ＿Ｃ信号は以前状態のロー状態からハイ状態に遷移し、ＳＡＰ＿Ｃ信号はハイ状態からロー状態に遷移する。

ＰＳ１＿Ｔ、ＰＳ２＿Ｔはその動作波形から分かるようにハイ、ローの状態が繰り返される。ＰＳ１＿Ｔ信号は、ｔ１、ｔ４、ｔ６、ｔ７、ｔ８、ｔ１１、ｔ１３、ｔ１４、ｔ１５、ｔ１８、ｔ２０の期間でハイ状態を維持し、その以外の期間ではロー状態を維持する。ＰＳ２＿Ｔ信号はｔ１、ｔ５～ｔ８、ｔ１２～ｔ１５、ｔ１９～期間でハイ状態を維持し、その以外の期間ではロー状態を維持する。ＳＷＬ１信号はＰＳ１＿Ｔ信号と同じ時点で遷移され、互いに反対の位相を有する。ＳＷＬ２信号はＰＳ２＿Ｔ信号と同じ時点で遷移され、互いに反対の位相を有する。そしてＣ１Ｎ＿Ｔ信号はＳＷＬ１、ＳＷＬ２信号が同時にハイ状態である期間の一部（ｔ３，ｔ１０，ｔ１７）のみでロー状態を有する。Ｃ２Ｎ＿Ｔ信号は、Ｃ１Ｎ＿Ｔ信号がロー状態に遷移される時点でロー状態に遷移され、Ｘ、Ｚ＿ＡＴＤ信号がハイに遷移される時点で再びハイ状態に遷移される。Ｃ４Ｎ＿Ｔ信号は、ＳＷＬ１、ＳＷＬ２信号が同時にハイ状態に遷移される時点でハイ状態に遷移され、Ｘ、Ｚ＿ＡＴＤ信号がハイ状態に遷移される時点で再びロー状態に遷移される。Ｐ２信号は、ＳＷＬ１、ＳＷＬ２信号が同時にハイ状態に遷移される時点でハイ状態に遷移され、ＳＷＬ１、ＳＷＬ２信号共がロー状態である時点で再びロー状態に遷移される。そして、ＳＡＮ＿Ｃ信号はＣ２Ｎ＿Ｔ信号と反対の位相を有し、ＳＡＰ＿Ｔ信号はＣ２Ｎ＿Ｔ信号と同じ位相の波形を有する。

【００７９】

動作波形を期間別に更に説明する。

ｔ４期間では、ＰＳ１＿Ｔ、Ｃ１Ｎ＿Ｔ信号はハイ状態に遷移され、ＳＷＬ１信号はハイ状態からロー状態に遷移される。次いで、ｔ５期間では、ＰＳ１＿Ｔ信号は以前のハイ状態からロー状態に遷移され、これによりＳＷＬ１信号はロー状態からハイ状態に遷移される。そして、ＰＳ２＿Ｔ信号は以前のロー状態からハイ状態に遷移され、これによりＳＷＬ２信号はハイ状態からロー状態に遷移される。ｔ６期間では、ＰＳ１＿Ｔ信号がロー状態からハイ状態に遷移され、これによりＳＷＬ１信号はハイ状態からロー状態に遷移される。Ｐ２信号は以前の状態のハイ状態からロー状態に遷移される。ｔ７期間は、Ｘ、Ｚアドレスが変化する時点である。よって、Ｘ、Ｚ＿ＡＴＤ信号が以前のロー信号からハイ信号に遷移する。Ｃ２Ｎ＿Ｔ信号はローからハイ状態に遷移され、Ｃ４Ｎ＿Ｔ信号とＳＡＮ＿Ｃ信号は以前のハイ状態からロー状態に遷移され、Ｃ３Ｎ＿Ｃ信号とＳＡＰ＿Ｃ信号は以前のロー状態からハイ状態に遷移される。ｔ８期間では、Ｘ、Ｚ＿ＡＴＤ信号のみが以前のハイ状態からロー状態に遷移され、Ｘ、Ｚ＿ＡＴＤ信号を除いた全信号は以前のｔ７期間の状態のまま維持される。次いで、ｔ９の開始点からはｔ２期間～ｔ８期間の波形変化と同一である。最後に、ｔ２１の開始点では、ｔ１からロー状態を維持してきたＣＳＢｐａｄ信号、ＷＥＢｐａｄ信号がハイ状態に遷移され、書き込みモードが不活性化状態となる。そして、Ｃ４Ｎ＿Ｔ信号が以前のハイ状態からロー状態に遷移され、ＳＡＮ＿Ｃ信号はハイ状態からロー状態に、ＳＡＰ＿Ｃ信号はロー状態からハイ状態に遷移される。

このように、書込モードにおいてＸ、Ｚアドレス変化時における本実施形態のＳＷＬ強誘電体メモリ装置は、Ｃ４Ｎ＿Ｔ信号が活性化されるのはＳＷＬ１及びＳＷＬ２信号が共に活性化される時点と同一であり、センスアンプが活性化される以前にデータをビットラインに伝達する。

【００８０】

次に、Ｘ、Ｚアドレス変化時の読取りモードにおけるＳＷＬ強誘電体メモリ装置の動作波形を図３３に示すようにｔ１からｔ２１まで設定して、各期間別に説明する。

図３３は本実施形態のＳＷＬ強誘電体メモリの読取りモード時のＸ、Ｚアドレス変化に関する動作波形図である。

読取りモード時の動作波形図と書き込みモード時の動作波形図とを比較すると、Ｃ４Ｎ＿Ｔ信号の遷移時点が変わっている。そして、読取りモードではＷＥＢｐａｄ信号がハイ状態に不活性化されている。Ｃ４Ｎ＿Ｔ信号は、ｔ１からｔ３期間まではロー状態を維持する。この後、ｔ４が始まると、ロー状態からハイ状態に活性化されるため、センスアンプで増幅されたデータをビットラインに乗せる。ｔ４の開始時点でハイ状態に遷移されたＣ４Ｎ＿Ｔ信号はｔ６期間までハイ状態が維持され、ｔ７の開始時点でロー状態に遷移される。ロー状態に遷移された後、ｔ１０期間までロー状態が維持され、ｔ１１の開始時点でハイ状態に遷移される。Ｃ４Ｎ＿Ｔ信号がロー状態からハイ状態に遷移されるとともに、センスアンプにより増幅されたデータをデータ入出力ラインに乗せる。

このように、読取りモード時には、センスアンプが予めデータをセンシングした後、Ｃ４Ｎ＿Ｔ信号を活性化させてセンシングされたデータをデータ入出力ラインに印加することにより読取り動作を行う。

【００８１】

【発明の効果】

かかる本発明のＳＷＬ強誘電体メモリ装置は以下のような効果がある。

請求項１、２、３の発明によれば、セルプレートラインを別に構成せずにセルアレイを構成するため、レイアウト上における複雑度を大幅に減少させることができる。

請求項４、５、６の発明によれば、ダミーセルを利用せずに、参照レベル発生部を利用して参照レベルを供給するため、装置の動作が安定的であり、ダミーセルの劣化による問題を解決する。

請求項７～１２の発明によれば、メインメモリセル及び参照セルのアクセス数を同じく構成して、ビットラインに誘導される電圧を一定に維持することができるため、装置の動作特性を向上させる効果がある。

請求項１３～２６の発明によれば、ＣＳＢｐａｄ信号を利用したアクセスを可能にし、Ｘ、Ｚアドレスの変化のみを利用したアクセス且つＹアドレスの変化のみを利用したアクセスを可能にして、高速のメモリセルアクセス動作を可能にする効果がある。

請求項２７～３７の発明によれば、センスアンプの入力端にかかるキャパシタンスを選択的に調整し、ビットラインに誘導される電圧を一定に維持することができるため、センスアンプの動作を安定化し、動作速度を向上させることができる。

【図面の簡単な説明】

【図１】　一般的な強誘電体のヒステリシスループを示す特性図。

【図２】　従来の技術の強誘電体メモリのセルアレイ構成図。

【図３】　従来の技術の強誘電体メモリの駆動回路の構成図。

【図４】　従来の技術の強誘電体メモリの駆動回路の構成図。

【図５】　従来の技術の強誘電体メモリの書込モードの動作を示すタイミング図。

【図６】　従来の技術の強誘電体メモリの読取りモードの動作を示すタイミング図。

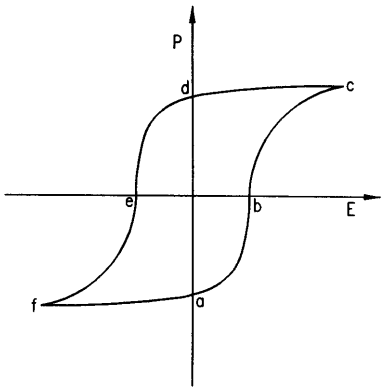
【図７】　本発明実施形態のＳＷＬ強誘電体メモリの駆動制御及びデータ入出力回路の構成ブロック図。

【図８】　本発明実施形態のＳＷＬ強誘電体メモリのセルアレイのブロックダイヤグラム。

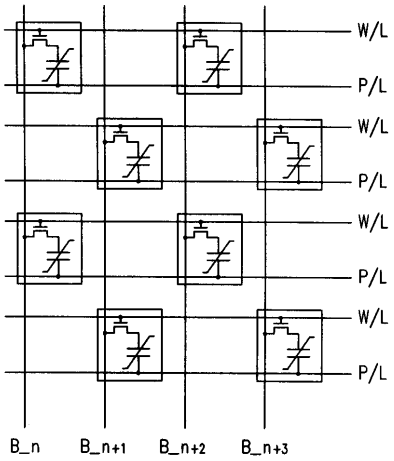
【図９】　本発明実施形態のＳＷＬ強誘電体メモリのセルアレイの詳細ブロックダイヤグ

ラム。
【図１０】　本発明実施形態のＳＷＬ強誘電体メモリの基本メモリセルの構成図。
【図１１】　本発明実施形態のＳＷＬ強誘電体メモリの単位駆動制御及びデータ入出力回路の構成ブロック図。
【図１２】　ビットラインレベルと参照レベルとの関係を示す動作タイミング図。
【図１３】　本発明実施形態のＳＷＬ強誘電体メモリのメモリセルアレイの構成図。
【図１４】　本発明実施形態のＳＷＬ強誘電体メモリの参照セルアレイの構成図。
【図１５】　本発明実施形態のＳＷＬ強誘電体メモリのビットライン制御回路の構成図。
【図１６】　図１４の回路において、各ノードのキャパシタンス成分を示す構成図。
【図１７】　本発明実施形態のＳＷＬ強誘電体メモリの動作タイミング図。
【図１８】　ビットライン誘導電圧、センスアンプ増幅時による入出力ノードの電圧変化図。
【図１９】　本発明実施形態のグローバル制御パルス発生部の構成ブロック図。
【図２０】　グローバル制御パルス発生部のＹアドレス変化時の動作タイミング図。
【図２１】　グローバル制御パルス発生部のＸ、Ｚアドレス変化時の動作タイミング図。
【図２２】　本発明のローカル制御パルス発生部の実施形態の構成図。
【図２３】　本発明の第１実施形態によるセンスアンプ及び入出力制御回路の構成図。
【図２４】　本発明の第２実施形態によるセンスアンプ及び入出力制御回路の構成図。
【図２５】　本発明の列制御部の回路構成図。
【図２６】　本発明の第１実施形態による参照ビットラインレベル調整回路の構成図。
【図２７】　本発明の第２実施形態による参照ビットラインレベル調整回路の構成図。
【図２８】　本発明の第３実施形態によるセンスアンプ及び入出力制御回路の構成図。
【図２９】　本発明の第４実施形態によるセンスアンプ及び入出力制御回路の構成図。
【図３０】　Ｙアドレス変化時の書込モードにおけるローカル制御パルス発生部の動作波形図。
【図３１】　Ｙアドレス変化時の読取りモードにおけるローカル制御パルス発生部の動作波形図。
【図３２】　Ｘ、Ｚアドレス変化時の書込モードにおけるローカル制御パルス発生部の動作波形図。
【図３３】　Ｘ、Ｚアドレス変化時の読取りモードにおけるローカル制御パルス発生部の動作波形図。
【符号の説明】
７０　ＳＷＬドライバブロック
７１　セルアレイブロック
７２　コアブロック
７３　メインメモリセルアレイブロック
７４　参照セルアレイブロック
７５　ビットライン制御回路ブロック
７６　参照ビットライン制御回路ブロック
２００　第１制御パルス発生部
２０１　第２制御パルス発生部
２０２　第３制御パルス発生部
２０３　第１論理演算部
２０４　第２論理演算部

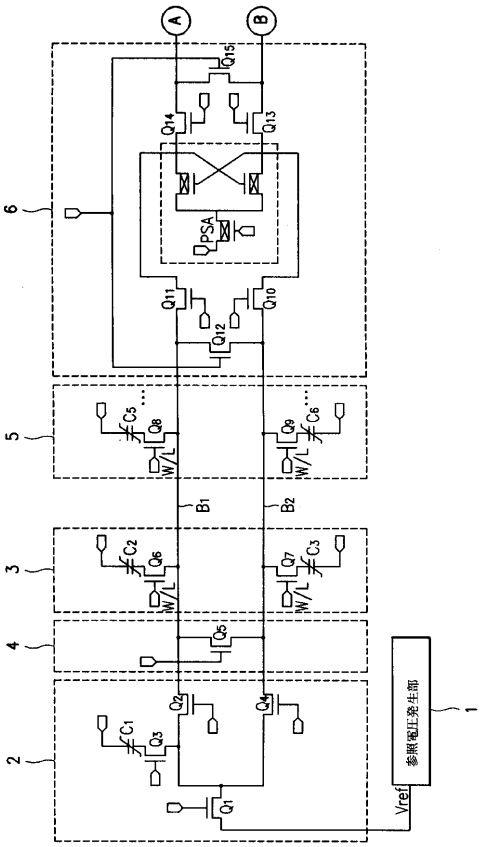
【図１】


P
d
c
e
b
E
f
a

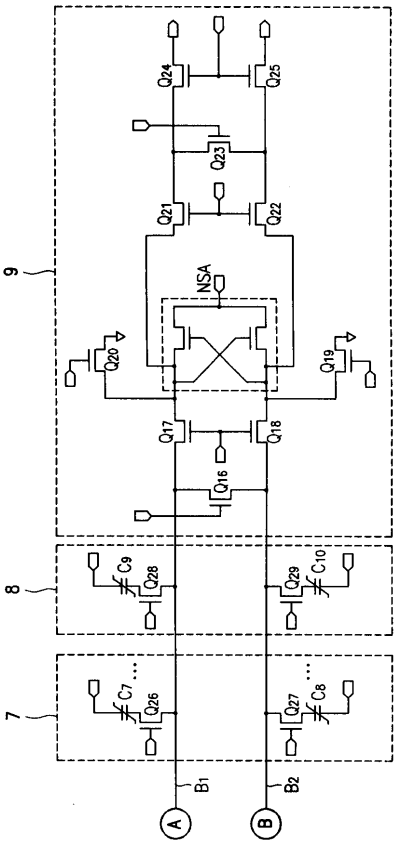
【図２】


W/L
P/L
W/L
P/L
W/L
P/L
W/L
P/L
B_n
B_n+1
B_n+2
B_n+3

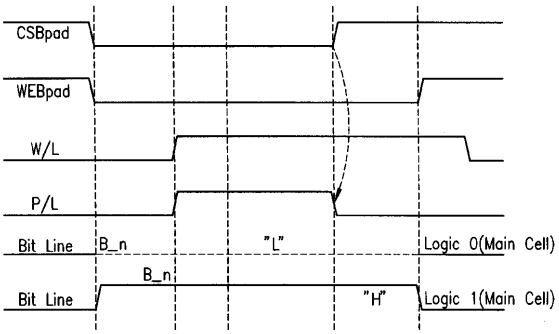
【図３】


A
B
Q15
Q14
Q13
PSA
Q11
Q10
Q12
6
5
C5
Q8
W/L
Q9
C6
W/L
B1
B2
3
C2
Q6
W/L
Q7
C3
W/L
4
Q5
2
C1
Q3
Q2
Q4
Q1
参照電圧発生部
1
Vref

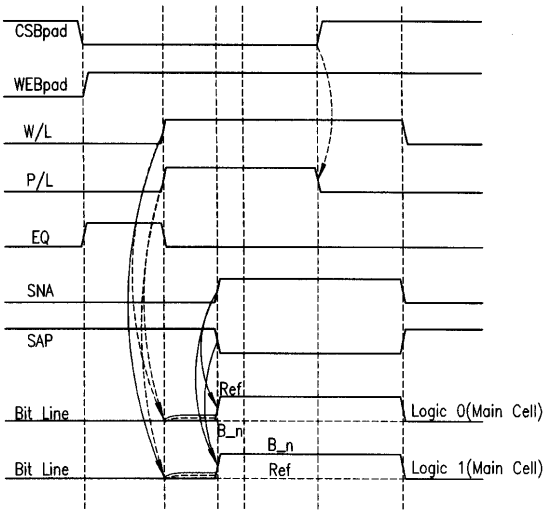
【図４】


Q24
Q25
Q23
Q21
Q22
NSA
9
Q20
Q19
Q17
Q18
Q16
C9
Q28
Q29
C10
8
C7
Q26
Q27
C8
7
B1
B2
A
B

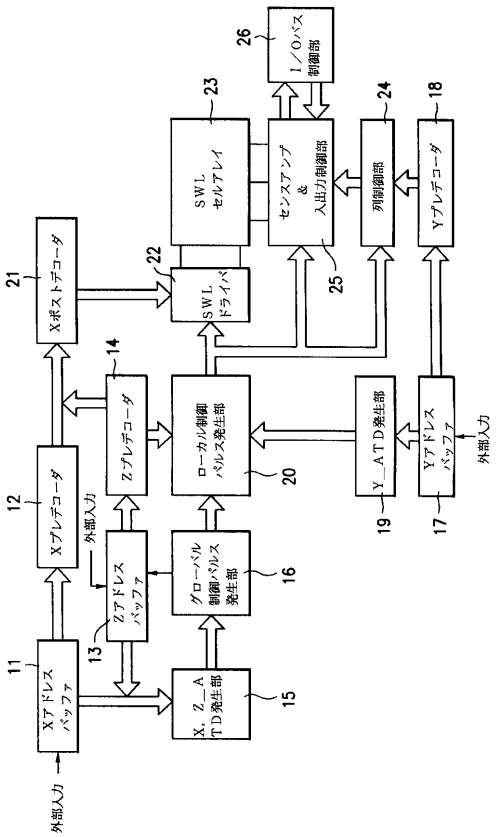
【図５】


CSBpad
WEBpad
W/L
P/L
Bit Line
B_n
"L"
Logic 0(Main Cell)
B_n
Bit Line
"H"
Logic 1(Main Cell)

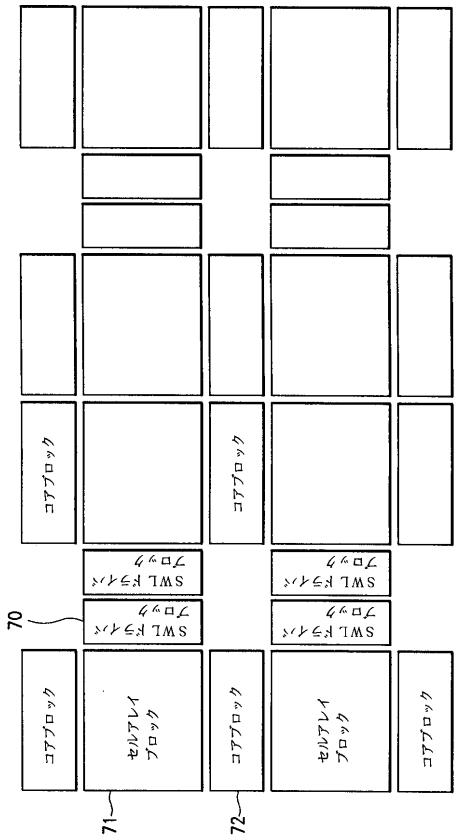
【図６】


CSBpad
WEBpad
W/L
P/L
EQ
SNA
SAP
Ref
Bit Line
Logic 0(Main Cell)
B_n
B_n
Ref
Bit Line
Logic 1(Main Cell)

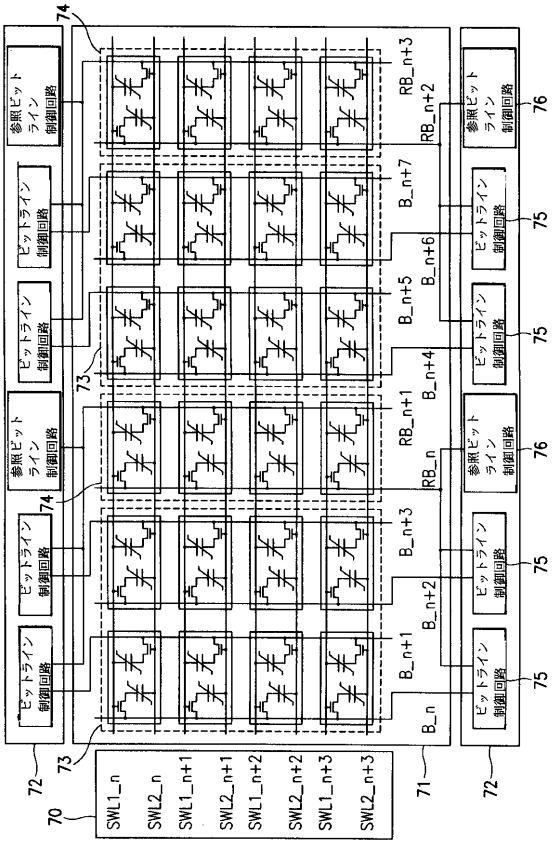
【図７】


26
I/Oバス制御部
23
SWLセルアレイ
センスアンプ&入出力制御部
24
列制御部
18
Yプレデコーダ
25
21
Xポストデコーダ
22
SWLドライバ
14
Zプレデコーダ
ローカル制御パルス発生部
20
Y_ATD発生部
Yアドレスバッファ
外部入力
19
17
12
Xプレデコーダ
外部入力
Zアドレスバッファ
13
グローバル制御パルス発生部
16
11
Xアドレスバッファ
X, Z_ATD発生部
15
外部入力

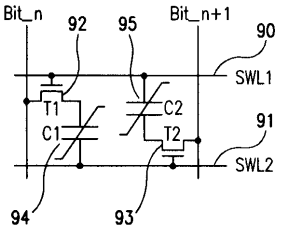
【図８】


コアブロック
コアブロック
SWLドライバ
ブロック
SWLドライバ
ブロック
70
SWLドライバ
ブロック
SWLドライバ
ブロック
コアブロック
セルアレイブロック
コアブロック
セルアレイブロック
コアブロック
71
72

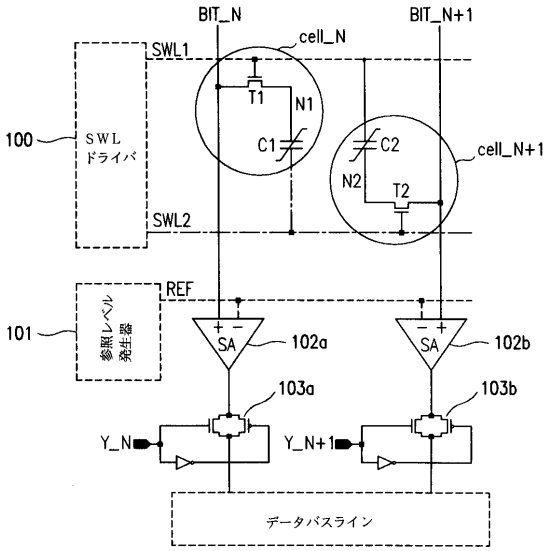
【図９】



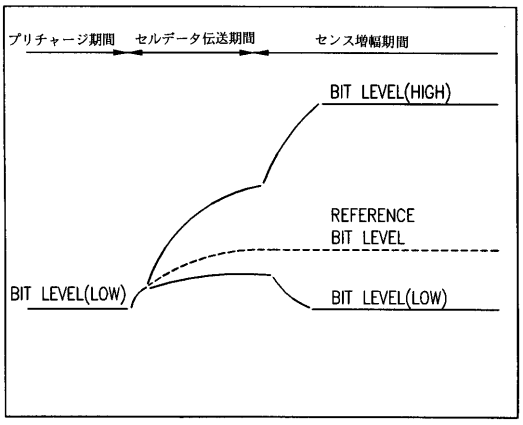
【図１０】



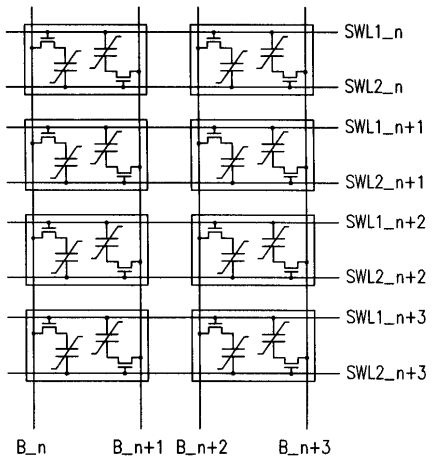
【図１１】



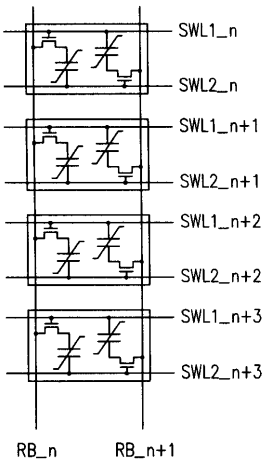
【図１２】



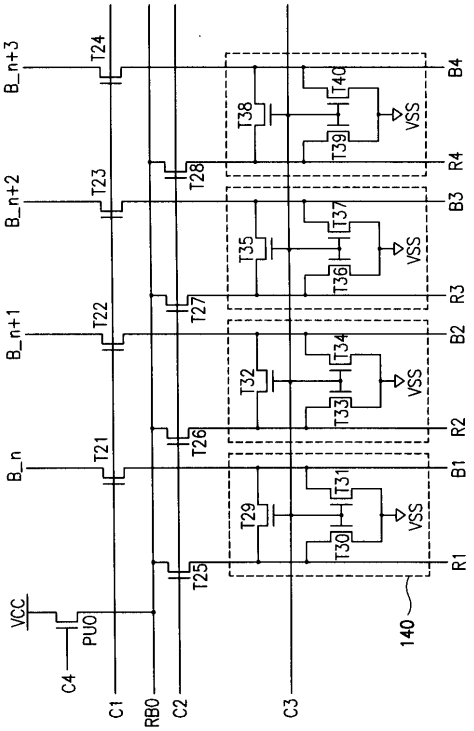
【図１３】



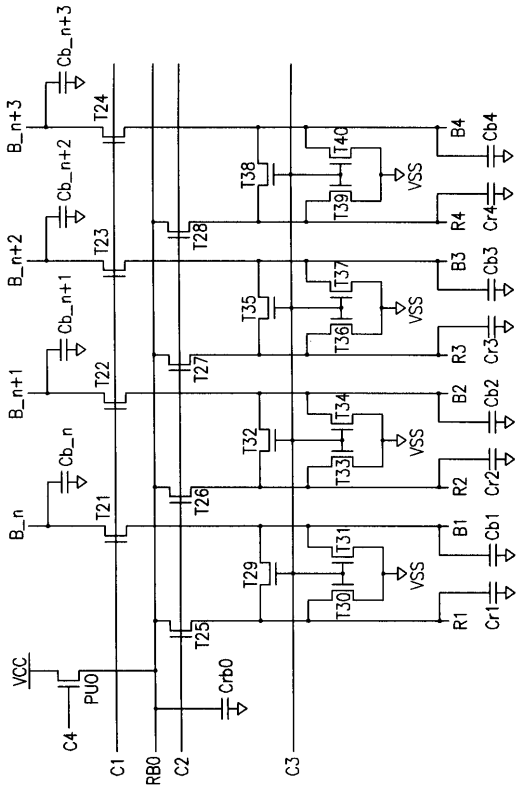
【図１４】



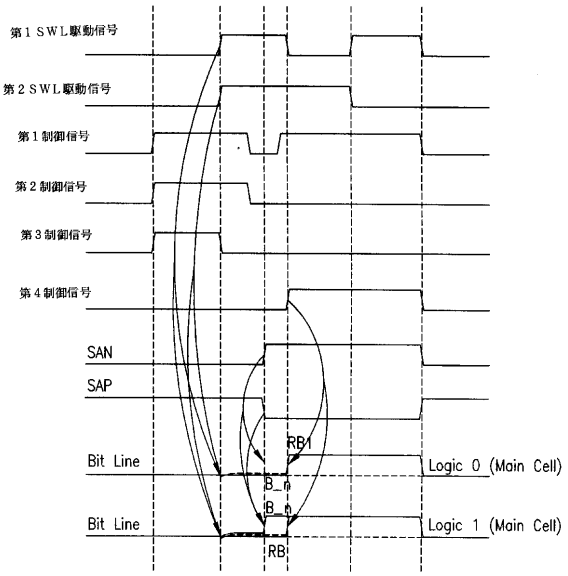
【図１５】



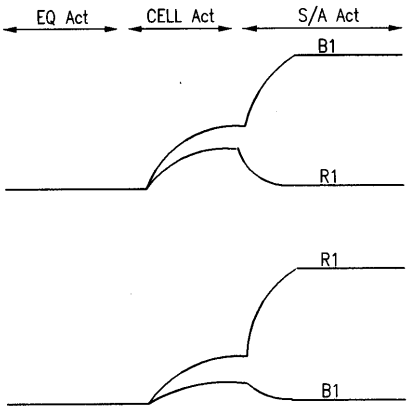
【図１６】



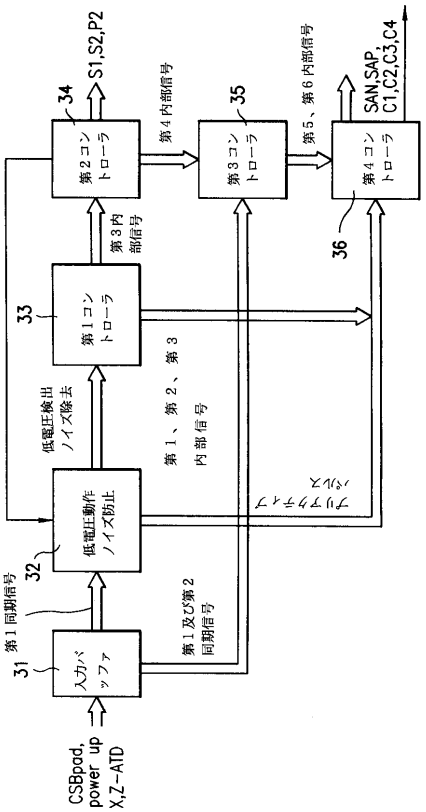
【図１７】



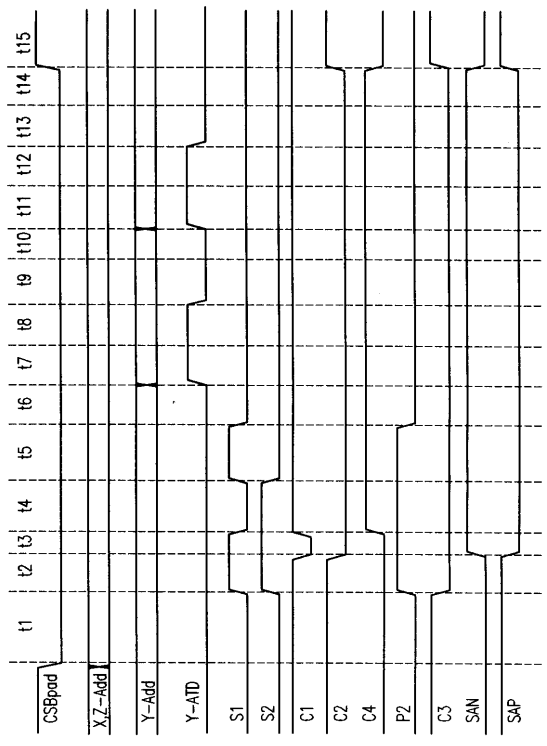
【図１８】



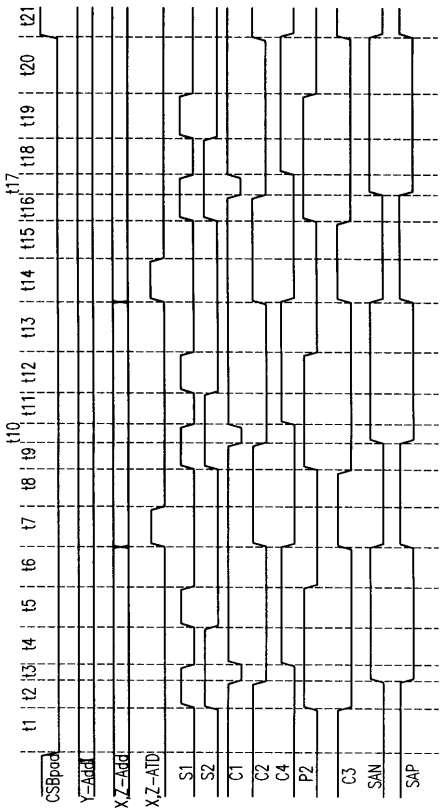
【図１９】



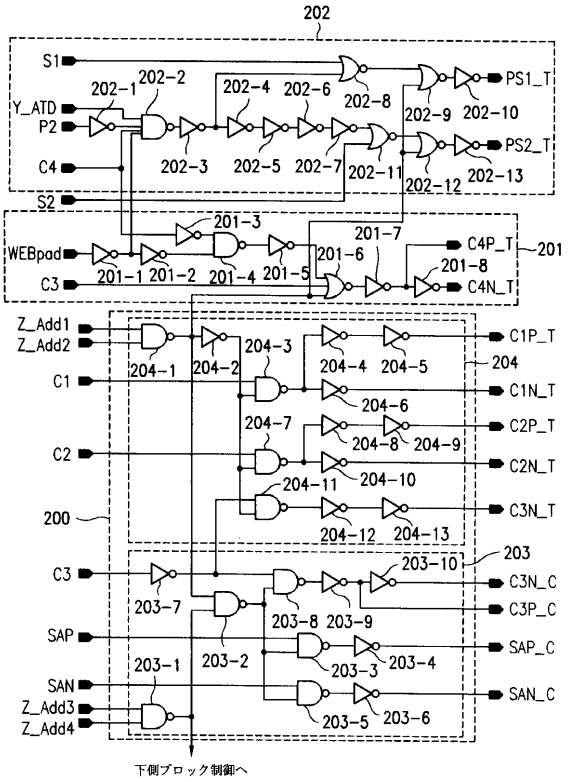
【図２０】



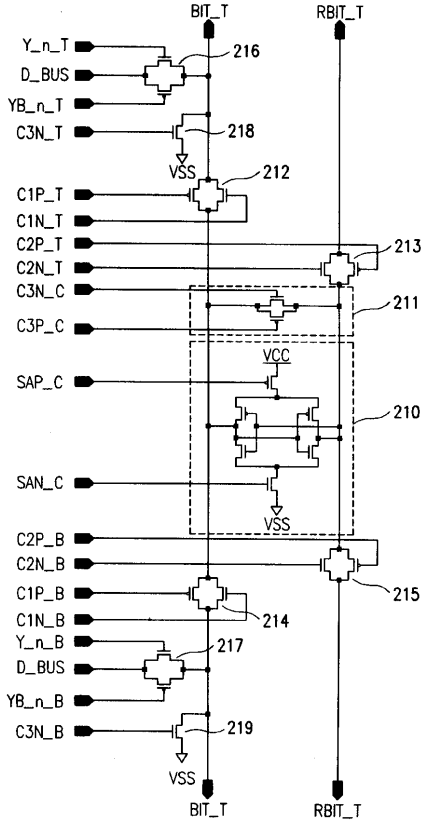
【図２１】



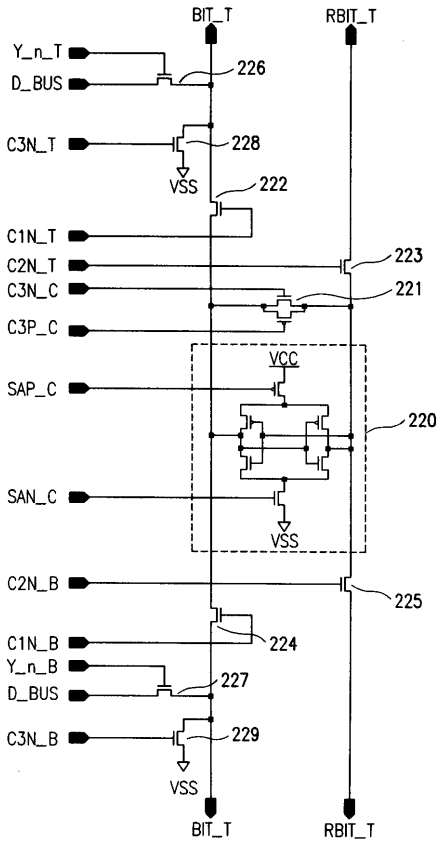
【図２２】



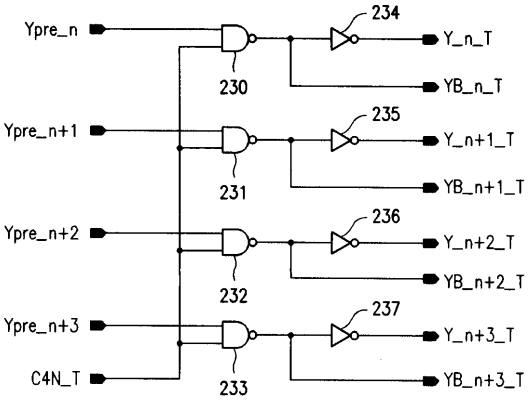
【図２３】



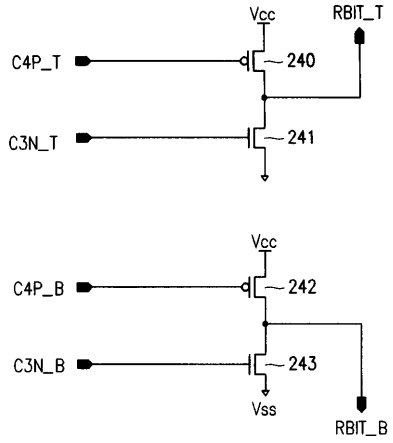
【図２４】



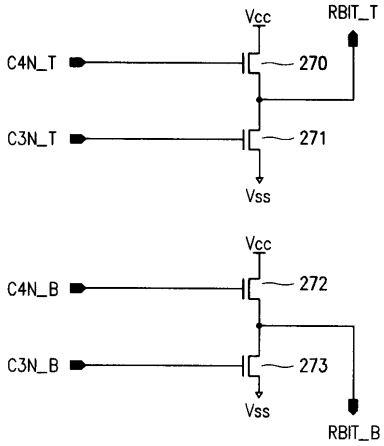
【図２５】



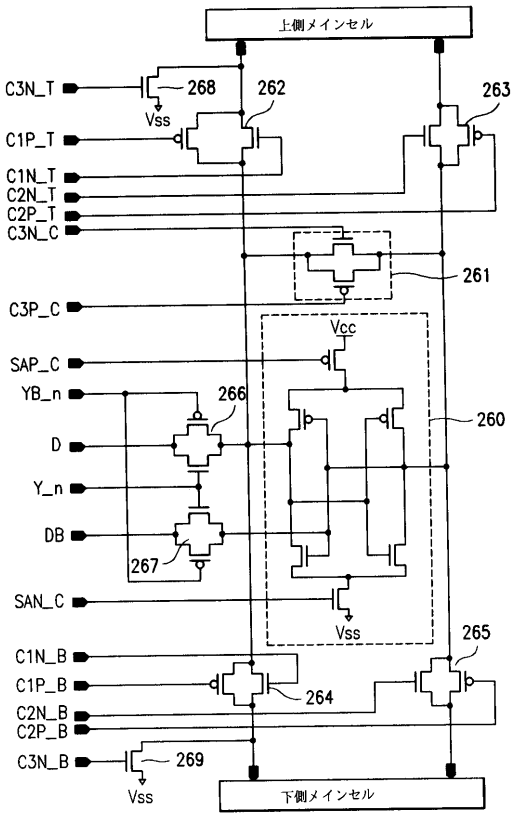
【図２６】



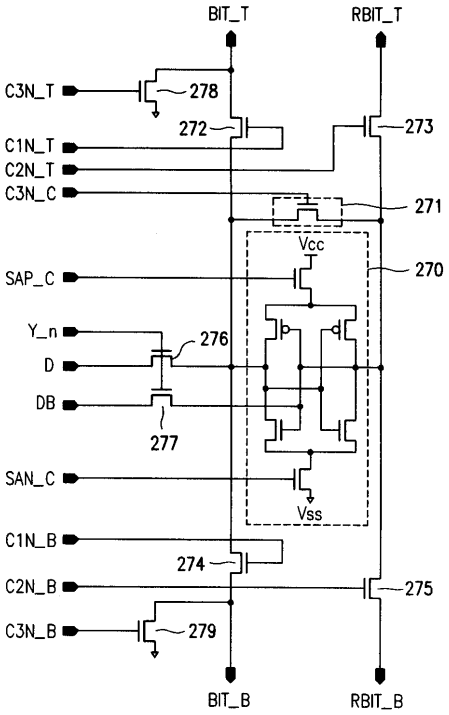
【図２７】



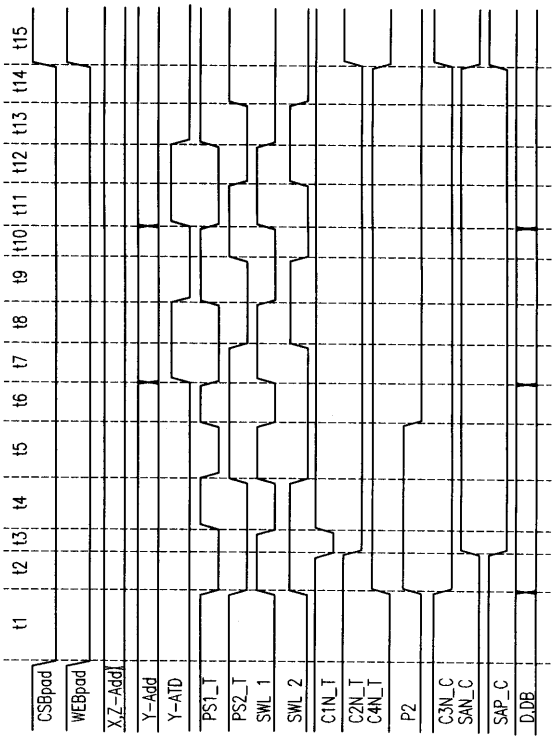
【図２８】



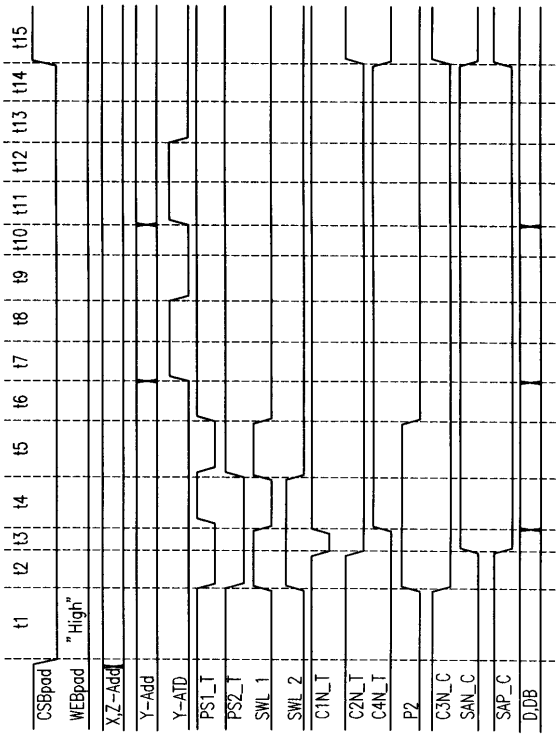
【図２９】



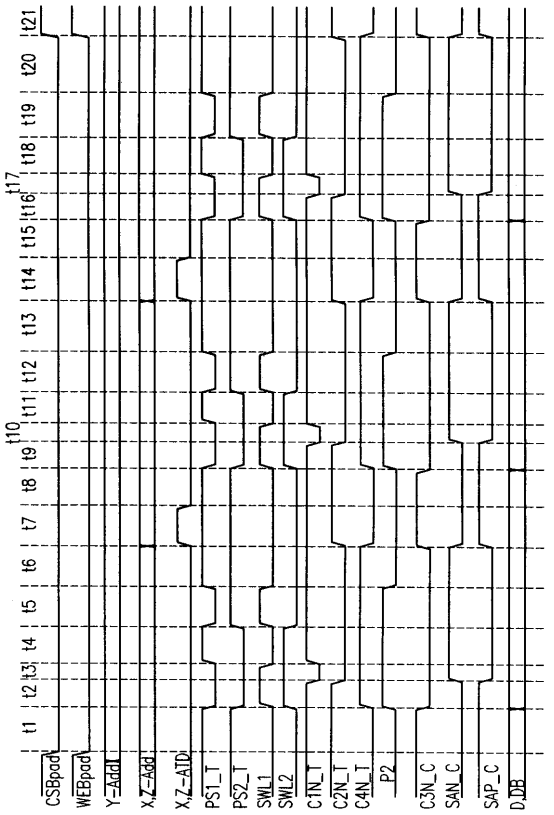
【図３０】



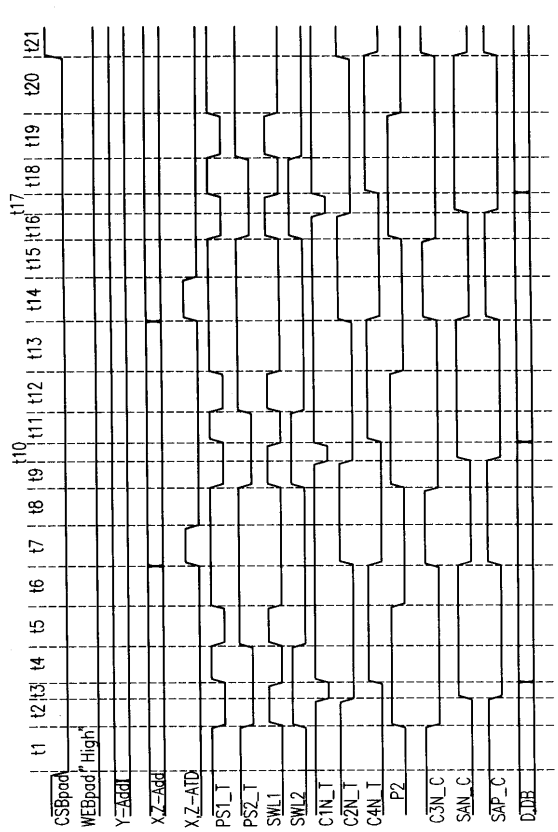
【図３１】



【図３２】



【図３３】



フロントページの続き

審査官　加藤　俊哉

(56)参考文献　特開平０８－０４５２７９（ＪＰ，Ａ）
特開平０６－１７６５７１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/22