(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0144580
(43) 공개일자 2020년12월29일

(51) 국제특허분류(Int. Cl.)
G03F 7/20 (2006.01) *G03F 7/004* (2006.01)
H01L 21/027 (2006.01) *H01L 21/033* (2006.01)
(52) CPC특허분류
G03F 7/2004 (2013.01)
G03F 7/004 (2013.01)
(21) 출원번호 10-2020-7035732
(22) 출원일자(국제) 2019년05월09일
심사청구일자 없음
(85) 번역문제출일자 2020년12월11일
(86) 국제출원번호 PCT/US2019/031618
(87) 국제공개번호 WO 2019/217749
국제공개일자 2019년11월14일
(30) 우선권주장
62/670,644 2018년05월11일 미국(US)
62/782,578 2018년12월20일 미국(US)

(71) 출원인
램 리써치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
(72) 발명자
우, 청하오
미국, 94703 캘리포니아, 버클리, 프란시스코 스트리트 1822
와이드먼, 티모시 윌리엄
미국, 94086 캘리포니아, 서니베일, 헨더슨 애비뉴 776
나르디, 케이티
미국, 95134 캘리포니아, 산 호세, 엘란 빌리지 레인 370, 유닛 409
(74) 대리인
특허법인인벤싱크

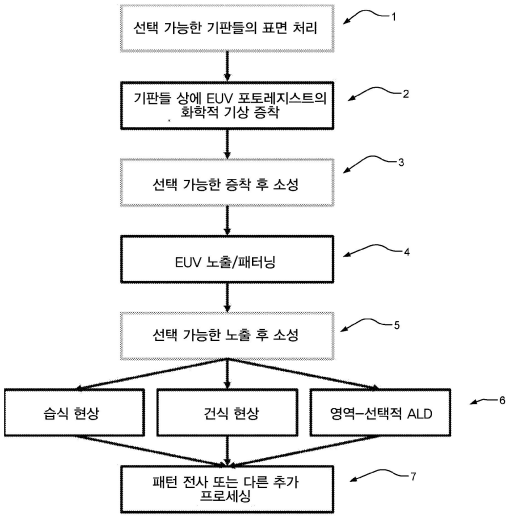
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **EUV 패터닝 가능한 하드 마스크들을 제조하기 위한 방법들**

(57) 요 약

EUV를 사용하여 패터닝될 수도 있는 반도체 기판들 상에 박막들을 제조하기 위한 방법들은: 중합된 유기금속 재료를 형성하도록 대응-반응물질의 증기 스트림과 유기금속 전구체의 증기 스트림을 혼합하는 단계; 및 반도체 기판의 표면 상에 유기금속 중합체-유사 재료를 증착하는 단계를 포함한다. 혼합 및 증착 동작들은 CVD (Chemical Vapor Deposition), ALD (Atomic Layer Deposition), 및 금속 전구체들 및 대응-반응물질들이 시간 또는 공간에서 분리되는 불연속적인, ALD-유사 프로세스와 같은, CVD 컴포넌트를 사용하는 ALD에 의해 수행될 수도 있다.

대 표 도 - 도2



(52) CPC특허분류
G03F 7/70033 (2013.01)
H01L 21/02205 (2013.01)
H01L 21/0274 (2013.01)
H01L 21/0337 (2013.01)

명 세 서

청구범위

청구항 1

기판의 표면 상에 EUV-패터닝 가능한 (patternable) 막을 제조하기 위한 방법에 있어서,

중합된 (polymerized) 유기금속 재료를 형성하기 위해 유기금속 전구체의 증기 스트림을 대응-반응물질 (counter-reactant) 의 증기 스트림과 혼합하는 단계; 및

EUV-패터닝 가능한 막을 형성하기 위해 기판의 표면 상에 상기 유기금속 재료를 증착하는 단계를 포함하는, EUV-패터닝 가능한 막을 제조하기 위한 방법.

청구항 2

제 1 항에 있어서, 상기 유기금속 전구체는 화학식

$M_aR_bL_c$을 갖고,

여기에서: M은 1×10^7 cm^2/mol 이상의 원자 흡수 단면을 갖는 금속이고; R은 C_nH_{2n+1}과 같은 알킬이고, 여기에서 $n \geq 3$이고; L은 대응-반응물질과 반응하는 리간드 (ligand), 이온 또는 다른 모이어티 (moiety) 이고; $a \geq 1$; $b \geq 1$; 그리고 $c \geq 1$인, EUV-패터닝 가능한 막을 제조하기 위한 방법.

청구항 3

제 2 항에 있어서,

M은 주석, 비스무트, 안티몬, 및 이들의 조합들로 구성된 그룹으로부터 선택되고; R은 i-프로필, n-프로필, t-부틸, i-부틸, n-부틸, sec-부틸, i-펜틸, n-펜틸, t-펜틸, sec-펜틸 및 이들의 혼합물로 구성된 그룹으로부터 선택되고; 그리고 L은 아민들, 알콕시, 카르복실레이트들, 할로겐들, 및 이들의 혼합물들로 구성된 그룹으로부터 선택되는, EUV-패터닝 가능한 막을 제조하기 위한 방법.

청구항 4

제 1 항 또는 제 3 항에 있어서,

상기 유기금속 전구체는 t-부틸 트리스(디메틸아미노) 주석, i-부틸 트리스(디메틸아미노) 주석, n-부틸(트리스)디메틸아미노 주석, sec-부틸 트리스(디메틸아미노) 주석, i-프로필(트리스)디메틸아미노 주석, n-프로필(트리스)디메틸아미노 주석, 및 유사한 알킬(트리스)(t-부톡시) 주석 화합물들인, EUV-패터닝 가능한 막을 제조하기 위한 방법.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 유기금속 전구체는 부분적으로 플루오르화되는, EUV-패터닝 가능한 막을 제조하기 위한 방법.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 대응-반응물질은 물, 과산화수소, 디하이드록시 알코올들 또는 폴리하이드록시 알코올들, 황화수소, 이황화수소, 트리플루오로아세트알데히드 모노하이드레이트, 플루오르화된 디하이드록시 알코올들 또는 폴리하이드록시 알코올들, 및 플루오르화된 글리콜들로 구성된 그룹으로부터 선택되는, EUV-패터닝 가능한 막을 제조하기 위한 방법.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 혼합하는 단계 및 상기 증착하는 단계는 연속 화학 기상 증착 프로세스에서 수행되는, EUV-패터닝 가능한 막을 제조하기 위한 방법.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 반도체 기판은 하부 지형 피처들을 포함하는, EUV-패터닝 가능한 막을 제조하기 위한 방법.

청구항 9

반도체 기판의 표면 상에 리소그래픽 마스크 전구체를 형성하기 위한 방법에 있어서,

중합된 유기금속 재료를 형성하기 위해 유기금속 전구체의 증기 스트림을 대응-반응물질의 증기 스트림과 혼합하는 단계;

EUV-패터닝 가능한 막을 형성하기 위해 반도체 기판의 표면 상에 상기 유기금속 재료를 증착하는 단계;

선택 가능하게, 상기 막을 가열하는 단계;

상기 EUV-패터닝 가능한 막이 또한 상기 EUV 광에 노출되지 않은 비노출 (not exposed) 막 영역을 포함하도록, 노출된 막 영역을 형성하기 위해 EUV 광에 상기 EUV-패터닝 가능한 막의 영역을 노출하는 단계; 및

상기 노출된 영역 및 상기 비노출 영역을 포함하는 마스크 전구체를 형성하기 위해 선택 가능하게 상기 EUV-패터닝 가능한 막을 가열하는 단계를 포함하는, 리소그래픽 마스크 전구체를 형성하기 위한 방법.

청구항 10

제 9 항에 있어서,

상기 마스크 전구체의 상기 노출된 영역은 불용성이고, 상기 마스크 전구체의 상기 비노출 영역은 선택된 용매에 용해성인, 리소그래픽 마스크 전구체를 형성하기 위한 방법.

청구항 11

제 10 항에 있어서,

상기 용매를 사용하여 상기 마스크 전구체의 상기 비노출 영역을 제거하는 단계를 더 포함하는, 리소그래픽 마스크 전구체를 형성하기 위한 방법.

청구항 12

제 9 항 또는 제 10 항에 있어서,

상기 마스크 전구체의 상기 노출된 영역은 반응성 표면 모이어티들을 포함하는, 리소그래픽 마스크 전구체를 형성하기 위한 방법.

청구항 13

제 12 항에 있어서,

상기 노출된 영역의 상기 표면 상에 이차 재료를 선택적으로 증착하는 단계를 더 포함하고, 용해성 콘트라스트 (contrast) 또는 에칭 선택도는 상기 노출된 영역과 상기 비노출 영역 사이에서 증가하는, 리소그래픽 마스크 전구체를 형성하기 위한 방법.

청구항 14

제 13 항에 있어서,

상기 이차 재료의 상기 증착 단계는 원자 층 증착 프로세스를 사용하여 수행되는, 리소그래픽 마스크 전구체를 형성하기 위한 방법.

청구항 15

제 9 항 또는 제 14 항에 있어서,

상기 노출하는 단계 후 상기 EUV-패터닝 가능한 막을 건식 현상하는 단계를 더 포함하는, 리소그래픽 마스크 전구체를 형성하기 위한 방법.

청구항 16

제 9 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 유기금속 전구체는 화학식

$M_aR_bL_c$을 갖고,

여기에서: M은 1×10^7 cm^2/mol 이상의 원자 흡수 단면을 갖는 금속이고; R은 C_nH_{2n+1}과 같은 알킬이고, 여기에서 $n \geq 3$이고; L은 대응-반응물질과 반응하는 리간드, 이온 또는 다른 모이어티이고; $a \geq 1$; $b \geq 1$; 그리고 $c \geq 1$인, EUV-패터닝 가능한 막을 제조하기 위한 방법.

청구항 17

제 16 항에 있어서,

M은 주석, 비스무트, 안티몬, 및 이들의 조합들로 구성된 그룹으로부터 선택되고; R은 i-프로필, n-프로필, t-부틸, i-부틸, n-부틸, sec-부틸, i-펜틸, n-펜틸, t-펜틸, sec-펜틸 및 이들의 혼합물로 구성된 그룹으로부터 선택되고; 그리고 L은 아민들, 알콕시, 카르복실레이트들, 할로겐들, 및 이들의 혼합물들로 구성된 그룹으로부터 선택되는, 리소그래픽 마스크 전구체를 형성하기 위한 방법.

청구항 18

제 9 항 내지 제 17 항 중 어느 한 항에 있어서,

상기 유기금속 전구체는 t-부틸 트리스(디메틸아미노) 주석, i-부틸 트리스(디메틸아미노) 주석, n-부틸(트리스)디메틸아미노 주석, sec-부틸 트리스(디메틸아미노) 주석, i-프로필(트리스)디메틸아미노 주석, n-프로필(트리스)디메틸아미노 주석, 및 유사한 알킬(트리스)(t-부톡시) 주석 화합물들인, 리소그래픽 마스크 전구체를 형성하기 위한 방법.

청구항 19

반도체 기판의 표면 상에 리소그래픽 마스크 전구체를 형성하기 위한 방법에 있어서,

(a) 중합된 유기금속 재료를 형성하기 위해 유기금속 전구체의 증기 스트림을 대응-반응물질의 증기 스트림과 혼합하는 단계로서,

(i) 상기 유기금속 전구체는 화학식

$M_aR_bL_c$을 갖고,

여기에서: M은 1×10^7 cm^2/mol 이상의 원자 흡수 단면을 갖는 금속이고; R은 C_nH_{2n+1}과 같은 알킬이고, 여기에서 $n \geq 3$이고; L은 대응-반응물질과 반응하는 리간드, 이온 또는 다른 모이어티이고; $a \geq 1$; $b \geq 1$; 그리고 $c \geq 1$이고,

(ii) 상기 대응-반응물질은 물, 과산화물들 (예를 들어, 과산화수소), 디하이드록시 알코올들 또는 폴리하이드록시 알코올들, 플루오르화된 디하이드록시 알코올들 또는 폴리하이드록시 알코올들, 플루오르화된 글리콜들, 및 이들의 혼합물들로 구성된 그룹으로부터 선택되는, 상기 유기금속 전구체의 증기 스트림을 대응-반응물질의 증기 스트림과 혼합하는 단계;

(b) EUV-패터닝 가능한 막을 형성하기 위해 반도체 기판의 표면 상에 상기 유기금속 재료를 증착하는 단계;

(c) 선택 가능하게, 상기 막을 가열하는 단계;

(d) 상기 EUV-패터닝 가능한 막이 또한 상기 EUV 광에 노출되지 않은 비노출 (unexposed) 막 영역을 포함하도록, 노출된 막 영역을 형성하기 위해 EUV 광에 상기 EUV-패터닝 가능한 막의 영역을 노출하는 단계; 및

(e) 상기 EUV-패터닝 가능한 막을 건식 현상하는 단계를 포함하는, 리소그래픽 마스크 전구체를 형성하기 위한 방법.

청구항 20

제 9 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 유기금속 전구체는 부분적으로 플루오르화되는, 리소그래픽 마스크 전구체를 형성하기 위한 방법.

발명의 설명

기 술 분 야

[0001] 관련 출원들에 대한 교차 참조

[0002] 본 출원은 2018년 12월 20일에 출원된 미국 특허 가출원 번호 제 62/782,578 호 및 2018년 5월 11일에 출원된 미국 특허 가출원 번호 제 62/670,644 호의 이익을 주장한다. 상기 참조된 출원들의 전체 개시들은 참조로서 본 명세서에 인용된다.

[0003] 본 기술은 반도체 제조에 사용하기 위한 리소그래픽 (lithographic) 마스크들을 제조하기 위한 시스템들 및 방법들에 관한 것이다. 특히, 본 기술은 반도체 디바이스들의 제조에 사용된 기판들 상에 패터닝 가능한 (patternable) 하드 마스크들을 생성하기 위한 방법들, 디바이스들 및 조성들을 제공한다.

배 경 기 술

[0004] 본 명세서에 제공된 배경기술 기술 (description) 은 본 기술의 맥락을 일반적으로 제시할 목적이다. 이 배경기술 섹션에 기술된 정도의 본 명세서에 명명된 발명자들의 업적, 뿐만 아니라 출원시 종래 기술로서 달리 인증되지 않을 수도 있는 본 기술 (description) 의 양태들은 본 기술에 대한 종래 기술로서 명시적으로나 암시적으로 인정되지 않는다.

[0005] 집적 회로와 같은 반도체 디바이스들의 제조는 포토리소그래피 (photolithography) 를 수반하는 다-단계 프로세스이다. 일반적으로, 프로세스는 웨이퍼 상에 재료의 증착, 및 반도체 디바이스의 구조적 피처들 (예를 들어, 콘택트들, 비아들, 상호연결부들, 트랜지스터들 및 회로) 을 형성하기 위해 리소그래픽 기법들을 통해 재료를 패터닝하는 것을 포함한다. 당업계에 공지된 통상적인 포토리소그래피 프로세스의 단계들은: 기판을 준비하는 단계; 스핀 코팅에 의해서와 같이 포토레지스트를 도포하는 단계; 포토레지스트의 노출된 영역들로 하여금 현상 용액에 보다 잘 또는 보다 덜 용해성이 되게 하도록, 목표된 패턴의 광에 포토레지스트를 노출하는 단계; 포토레지스트의 노출된 영역들 또는 비노출 (unexposed) 영역들을 제거하기 위해 현상 용액을 도포함으로써 현상하는 단계; 및 에칭 또는 재료 증착에 의해서와 같이 포토레지스트가 제거되는 기판의 영역들 상에 피처들을 생성하기 위한 후속 프로세싱 단계를 포함한다.

[0006] 반도체 설계의 진화는 반도체 기판 재료들로 훨씬 보다 작은 피처들을 생성할 필요성을 생성하였고, 능력에 의해 구동되었다. 이 기술의 진보는 치밀 집적 회로들에서 트랜지스터들의 밀도가 2 년마다 두 배가 되는 "Moore의 법칙"으로 특성화되었다. 사실, 칩 설계 및 제작은 최신 마이크로프로세서들이 단일 칩 상에 수십억 개의 트랜지스터들 및 다른 회로 피처들을 포함할 수도 있도록 진보하였다. 이러한 칩들 상의 개별적인 피처들은 대략 22 나노미터 (nm) 이하일 수도 있고, 일부 경우들에서 10 nm 미만이다.

[0007] 이러한 작은 피처들을 갖는 디바이스를 제조하는 것의 일 과제는 충분한 분해능을 갖는 포토리소그래피 마스크들을 신뢰성 있고 재생 가능하게 생성하는 능력이다. 현재 포토리소그래피 프로세스들은 통상적으로 포토레지스트를 노출하기 위해 통상적으로 193 nm 자외선 광 (UV light) 을 사용한다. 광이 반도체 기판 상에 생성될 목표된 사이즈의 피처들보다 훨씬 보다 큰 파장을 갖는다는 사실은 본질적인 문제들을 생성한다. 광의 파장보다 작은 피처 사이즈들을 달성하는 것은 멀티패터닝과 같은 복잡한 분해능 향상 기법들의 사용을 요구한다. 따라서, 10 nm 내지 15 nm, 예를 들어, 13.5 nm의 파장을 갖는 극 자외선 (Extreme Ultraviolet Radiation; EUV) 과 같은 보다 짧은 파장 광을 사용하는 포토리소그래피 기법들의 개발에 상당한 관심 및 연구 노력이 있다.

[0008] 그러나, EUV 포토리소그래피 프로세스들은 낮은 전력 출력 및 패터닝 동안 광의 손실을 포함하는 문제들을 제공

할 수 있다. 193 nm UV 리소그래피에 사용된 것들과 유사한 종래의 유기 CAR (Chemically Amplified Resists)은 EUV 리소그래피에 사용될 때, 특히 EUV 영역에서 낮은 흡수 계수들을 갖고, 광-활성화된 화학 종의 확산은 블러 (blur) 또는 라인 에지 거칠기를 발생시킬 수 있기 때문에 잠재적인 결점들을 갖는다. 또한, 하부 디바이스를 패터닝하기 위해 요구된 에칭 내성을 제공하기 위해, 종래의 CAR 재료들로 패터닝된 작은 피처들은 패턴 붕괴의 위험이 있는 고 종횡비들을 발생시킬 수 있다. 따라서, 감소된 두께, 보다 큰 흡광도, 및 보다 큰 에칭 내성과 같은 특성들을 갖는, 개선된 EUV 포토레지스트 재료들에 대한 필요성이 남아있다.

발명의 내용

[0009] 본 기술은 EUV를 사용하여 패터닝될 수도 있는, 기판들, 구체적으로 반도체 기판들 상에 박막들을 제조하기 위한 방법들을 제공한다. 이러한 방법들은 중합된 (polymerized) 유기금속 재료들이 증기 상으로 생성되고, 기판 상에 증착되는 것을 포함한다. 특히, 반도체 기판의 표면 상에 EUV-패터닝 가능한 박막들을 제조하기 위한 방법들은: 중합된 유기금속 재료를 형성하도록 유기금속 전구체의 증기 스트림을 대응-반응물질 (counter-reactant) 의 증기 스트림과 혼합하는 단계; 및 반도체 기판의 표면 상에 유기금속 중합체-유사 재료를 증착하는 단계를 포함한다. 일부 실시예들에서, 2 개 이상의 유기금속 전구체가 증기 스트림에 포함된다. 일부 실시예들에서, 2 개 이상의 대응-반응물질이 증기 스트림에 포함된다. 일부 실시예들에서, 혼합 및 증착 동작들은 연속적인 CVD (Chemical Vapor Deposition), ALD (Atomic Layer Deposition) 프로세스, 또는 금속 전구체들 및 대응-반응물질들이 시간 또는 공간에서 분리되는 불연속적인, ALD-유사 프로세스와 같은, CVD 컴포넌트를 사용하는 ALD에 의해 수행된다. 본 기술은 또한 EUV 광의 패터닝된 빔을 사용하여 본 기술에 따라 제조된 EUV-패터닝 가능한 박막의 영역을 노출하는 단계, 이어서 진공으로부터 웨이퍼를 제거하고 주변 공기에서 노출 후 소성 (post exposure bake) 을 수행하는 단계를 포함하는 반도체 재료의 표면 상에 패턴을 형성하기 위한 방법들을 제공한다. 노출은 막이 EUV 광에 노출되지 않은 하나 이상의 비노출 (unexposed) 영역들을 포함하도록, 하나 이상의 노출된 영역들을 발생시킨다. 코팅된 기판의 추가 프로세싱은 노출된 영역들 및 비노출 영역들에서 화학적 및 물리적 차이들을 활용할 (exploit) 수도 있다.

[0010] 본 기술의 추가 적용가능성 영역들은 상세한 기술 (description), 청구항들 및 도면들로부터 자명해질 것이다. 상세한 기술 및 구체적인 예들은 단지 예시의 목적들을 위해 의도되고, 본 기술의 범위를 제한하도록 의도되지 않는다.

도면의 간단한 설명

[0011] 본 기술은 상세한 기술 (description) 및 첨부된 도면들로부터 보다 완전히 이해될 것이다.

도 1은 본 기술의 예시적인 화학 반응 스킴을 도시한다.

도 2는 본 기술의 막들의 증착 및 프로세싱을 위한 예시적인 프로세스의 양태들을 도시하는 플로우차트이다.

도 3은 본 기술에 따른 EUV 규정된 패턴들을 제조하기 위한 예시적인 프로세스를 도시한다.

도 4는 본 기술에 따른 패턴들을 생성하기 위한 또 다른 예시적인 프로세스를 도시한다.

도 5a, 도 5b, 및 도 5c는 본 기술의 방법들을 사용하여 제조된 패터닝된 피처들을 갖는, 예 1에 따라 제조된 예시적인 기판들의 스캐닝 전자 현미경 이미지들을 제공한다.

도 6a 및 도 6b는 본 기술의 방법들을 사용하여 제조된 패터닝된 피처들을 갖는, 예 2에 따라 제조된 예시적인 기판들의 스캐닝 전자 현미경 이미지들을 제공한다.

도 7a 및 도 7b는 본 기술의 방법들을 사용하여 제조된 패터닝된 피처들을 갖는, 예 2에 따라 제조된 부가적인 예시적인 기판들의 스캐닝 전자 현미경 이미지들을 제공한다.

도 8은 본 기술의 방법들을 사용하여 제조된 패터닝된 피처들을 갖는, 예 3에 따라 제조된 하부 피처들을 갖는 예시적인 기판들의 스캐닝 전자 현미경 이미지들을 제공한다.

발명을 실시하기 위한 구체적인 내용

[0012] 기술의 이하의 기술 (description) 은 단지 주제의 본질, 하나 이상의 발명들의 제작 및 사용에서 예시적이고, 본 출원에서, 또는 이 출원 또는 이로부터 등록되는 특허들의 우선권을 주장하여 출원될 수도 있는 이러한 다른 출원들에서 청구된 임의의 특정한 발명의 범위, 적용예, 또는 사용들을 제한하도록 의도되지 않는다. 본 기술

의 이해를 돕기 위해 의도된 용어들 및 구들의 비제한적인 논의가 이 발명을 실시하기 위한 구체적인 내용의 끝에 제공된다.

[0013] 상기 논의된 바와 같이, 본 기술은 EUV를 사용하여 패터닝될 수도 있는, 반도체 기판들 상에 중합된 박막들을 제조하기 위한 방법들을 제공한다. 이러한 방법들은 중합된 유기금속 재료들이 증기로 생성되고, 기판 상에 증착되는 것을 포함한다.

[0014] 기판들은 포토리소그래픽 프로세싱, 구체적으로 집적 회로들 및 다른 반도체 디바이스들의 생산에 적합한 임의의 재료 구성을 포함할 수도 있다. 일부 실시예들에서, 기판들은 실리콘 웨이퍼들이다. 기판들은 그 위에 불규칙한 표면 지형을 갖는 피처들 ("하부 피처들") 이 생성되는 실리콘 웨이퍼들일 수도 있다. (본 명세서에 지칭된 바와 같이, "표면"은 상부에 본 기술의 막이 증착되거나 프로세싱 동안 EUV에 노출되는 표면이다.) 이러한 하부 피처들은 이 기술의 방법을 수행하기 전 프로세싱 동안 (예를 들어, 에칭에 의해) 재료가 제거된 영역들 또는 (예를 들어, 증착에 의해) 재료들이 부가된 영역들을 포함할 수도 있다. 이러한 사전 프로세싱은 이 기술의 방법들 또는 2 개 이상의 피처들의 층들이 기판 상에 형성되는 반복 프로세스의 다른 프로세싱 방법들을 포함할 수도 있다. 본 기술의 메커니즘, 기능 또는 실용성을 제한하지 않고, 일부 실시예들에서, 본 기술의 방법들은 포토리소그래픽 막이 스핀 캐스팅 방법들을 사용하여 기판들의 표면 상에 증착되는 당업계에 공지된 방법들 중의 방법들에 대한 이점들을 제공하는 것으로 여겨진다. 이러한 이점들은 하부 피처들을 "충진 (filling in)"하거나 달리 이러한 피처들을 평탄화하지 않고 하부 피처들에 대한 본 기술의 막들의 컨포먼스 (conformance) 로부터, 그리고 폭넓고 다양한 범위의 재료 표면들 상에 막들을 증착하는 능력으로부터 유도될 수도 있다. 본 기술의 막이 증착된, 하부 피처들을 갖는 일 예시적인 표면은 이하 예 3에서 추가로 참조되는 도 8에 도시된다.

[0015] 중합된 박막들

[0016] 본 기술은 EUV-민감 박막들이 기판 상에 증착되는 방법들을 제공하고, 이러한 막들은 후속 EUV 리소그래피 및 프로세싱에 대한 레지스트들로서 동작 가능하다. 이러한 EUV-민감 막들은 EUV 노출 시, 보다 치밀한 M-O-M 본딩된 금속 산화물 재료들에 이들의 교차 결합 (crosslinking) 을 허용하여, 저밀도 M-OH 풍부 재료들의 금속 원자들에 본딩된 벌키 (bulky) 펜던트 치환들의 손실과 같은 변화들을 겪는 재료들을 포함한다. EUV 패터닝을 통해, 비노출 영역들에 대해 물리적 또는 화학적 특성들이 변경된 막들의 영역들이 생성된다. 이들 특성들은 후속 프로세싱에서, 예컨대 노출된 영역 또는 비노출 영역을 용해시키도록, 또는 노출된 영역 또는 비노출 영역 상에 재료들을 선택적으로 증착하도록 활용될 수도 있다. 일부 실시예들에서, 이러한 후속 프로세싱이 수행되는 조건들 하에 비노출 막은 소수성 표면을 갖고, 노출된 막은 친수성 표면을 갖는다 (노출된 영역 및 비노출 영역의 친수성 특성들이 서로 상대적인 것이 인식된다). 예를 들어, 재료의 제거는 막의 화학 조성, 밀도 및 교차 결합의 차이를 활용함으로써 (leveraging) 수행될 수도 있다. 제거는 이하에 더 기술된 바와 같이 습식 프로세싱 또는 건식 프로세싱에 의한 것일 수도 있다.

[0017] 다양한 실시예들에서, 박막들은 SnO_x 또는 다른 재료 산화물 모이어티들 (moieties) 을 포함하는 유기금속 재료들이다. 유기금속 화합물들은 대응-반응물질 (counter-reactant) 과 유기금속 전구체의 증기 상 반응으로 제조될 수도 있다. 다양한 실시예들에서, 유기금속 화합물들은 대응-반응물질들과 벌키 알킬기 또는 플루오로알킬을 갖는 유기금속의 특정한 조합을 혼합하고, 기판 상에 증착하는 저밀도, EUV-민감 재료를 생성하기 위해 증기 상의 혼합물을 중합하여 형성된다.

[0018] 다양한 실시예들에서, 유기금속 전구체들은 증기-상 반응에서 살아남을 수 있는 금속 원자 각각 상에 적어도 하나의 알킬기를 포함하지만, 금속 원자에 배위결합된 다른 리간드들 (ligands) 또는 이온들은 대응-반응물질에 의해 대체될 수 있다. 유기금속 전구체들은 화학식

[0019] $M_aR_bL_c$ (식 1) 을 포함하고,

[0020] 여기에서: M은 고 EUV 흡수 단면을 갖는 금속이고; R은 C_nH2_{n+1}과 같은 알킬이고, 바람직하게 여기에서 $n \geq 3$이고; L은 대응-반응물질과 반응하는 리간드, 이온 또는 다른 모이어티이고; $a \geq 1$; $b \geq 1$; 그리고 $c \geq 1$이다.

[0021] 다양한 실시예들에서, M은 1×10^7 cm^2/mol 이상의 원자 흡수 단면을 갖는다. M은 예를 들어, 주석, 비스무트, 안티몬 및 이들의 조합으로 구성된 그룹으로부터 선택될 수도 있다. 일부 실시예들에서, M은 주석이다. R은 플루오르화될 수도 있고, 예를 들어, 화학식 $C_nF_xH_{(2n+1)}$을 갖는다. 다양한 실시예들에서, R은 적어도 하나의 베타-수소 또는 베타-불소를 갖는다. 예를 들어, R은 i-프로필, n-프로필, t-부틸, i-부틸, n-부틸, sec-부틸,

n-펜틸, i-펜틸, t-펜틸, sec-펜틸, 및 이들의 혼합물들로 구성된 그룹으로부터 선택될 수도 있다. L은 아민들(예컨대 디알킬아미노, 모노알킬아미노), 알콕시, 카르복실레이트들, 할로겐들, 및 이들의 혼합물들로 구성된 그룹으로부터 선택된 모이어티와 같은, M-OH 모이어티을 생성하기 위해 대응-반응물질에 의해 쉽게 대체된 임의의 모이어티일 수도 있다.

[0022] 유기금속 전구체들은 임의의 폭넓고 다양한 범위의 후보 금속-유기 전구체들일 수도 있다. 예를 들어, M이 주석이면, 이러한 전구체들은 t-부틸 트리스(디메틸아미노) 주석, i-부틸 트리스(디메틸아미노) 주석, n-부틸(트리스)디메틸아미노 주석, sec-부틸 트리스(디메틸아미노) 주석, i-프로필(트리스)디메틸아미노 주석, n-프로필(트리스)디메틸아미노 주석, 및 t-부틸 트리스(t-부톡시) 주석과 같은 유사한 알킬(트리스)(t-부톡시) 주석 화합물들을 포함한다. 일부 실시예들에서, 유기금속 전구체들은 부분적으로 플루오르화된다.

[0023] 대응-반응물질들은 바람직하게 화학적 결합을 통해 적어도 2 개의 금속 원자들을 연결하도록 (link) 반응성 모이어티들 리간드들 또는 이온들 (예를 들어, 상기 화학식 1의 L) 을 대체하는 능력을 갖는다. 대응-반응물질들은 물, 과산화물들 (예를 들어, 과산화수소), 디하이드록시 알코올들 또는 폴리하이드록시 알코올들, 플루오르화된 디하이드록시 알코올들 또는 폴리하이드록시 알코올들, 플루오르화된 글리콜들, 및 하이드록실 모이어티들의 다른 소스들을 포함할 수 있다. 다양한 실시예들에서, 대응-반응물질은 이웃하는 금속 원자들 사이에 산소 브리지들 (bridges) 을 형성함으로써 유기금속 전구체와 반응한다. 다른 잠재적인 대응-반응물질들은 황 브리지들을 통해 금속 원자들을 교차 결합하는 황화수소 및 이황화수소를 포함한다. 중합된 유기금속 재료가 형성되는 예시적인 프로세스가 도 1에 도시된다.

[0024] 박막들은 막의 화학적 또는 물리적 특성들을 수정하도록, 예컨대 EUV에 대한 막의 감도를 수정하거나 에칭 내성을 향상시키기 위해 유기금속 전구체 및 대응-반응물질들에 더하여 선택 가능한 재료들을 포함할 수도 있다. 이러한 선택 가능한 재료들은 기판 상에 증착 전, 막의 증착 후, 또는 둘 모두에 증기 상 형성 동안 도핑에 의해서와 같이 도입될 수도 있다. 일부 실시예들에서, 순한 리모트 H_2 플라즈마는 일부 Sn-L 결합들을 Sn-H로 대체하도록 도입될 수도 있고, 이는 EUV 하에 레지스트의 반응성을 증가시킬 수 있다.

[0025] 막 증착

[0026] 본 기술의 막들의 증착 및 프로세싱을 위한 예시적인 프로세스가 도 2에 도시된다. 일부 실시예들에서, 방법들은 기판으로의 막의 접착력을 개선하기 위해 전처리 (1) 을 포함한다. EUV 막은 이어서 기판 상에 증착될 수도 있다 (2).

[0027] 다양한 실시예들에서, EUV-패터닝 가능한 막들이 제조되고, 당업계에 공지된 기상 증착 장비 및 프로세스들을 사용하여 기판 상에 증착된다. 이러한 프로세스들에서, 중합된 유기금속 재료는 증기 상으로 또는 기판의 표면 상에 *인 시츄 (in situ)* 형성된다. 적합한 프로세스들은 예를 들어, CVD, ALD, 및 금속 전구체들 및 대응-반응물질들이 시간 또는 공간에서 분리되는 불연속적인, ALD-유사 프로세스와 같은, CVD 컴포넌트를 사용하는 ALD를 포함한다.

[0028] 일반적으로, 방법들은 중합된 유기금속 재료를 형성하기 위해 유기금속 전구체의 증기 스트림을 대응-반응물질의 증기 스트림과 혼합하는 단계 및 반도체 기판의 표면 상에 유기금속 재료를 증착하는 단계를 포함한다. 당업자에 의해 이해될 바와 같이, 프로세스의 혼합 및 증착 양태들은 실질적으로 연속 프로세스에서 동시에 발생할 수도 있다.

[0029] 일 예시적인 연속 CVD 프로세스에서, (예를 들어, 금속-산소-금속 결합 형성을 통해) 응집된 (agglomerated) 중합 재료들을 형성하기 위해 개별적인 유입구 경로들 내의, 유기금속 전구체의 2 개 이상의 가스 스트림들 및 대응-반응물질의 소스는, 이들이 가스 상으로 혼합되고 반응하는, CVD 장치의 증착 챔버에 도입된다. 스트림들은 예를 들어, 개별적인 주입 유입구들 또는 듀얼-플레넘 (dual-plenum) 샤워헤드를 사용하여 도입될 수도 있다. 장치는 유기금속 전구체의 스트림들 및 대응-반응물질이 챔버에서 혼합되도록 구성되고, 중합된 유기금속 재료를 형성하기 위해 유기금속 전구체 및 대응-반응물질로 하여금 반응하게 한다. 본 기술의 메커니즘, 기능 또는 실용성을 제한하지 않고, 금속 원자들이 대응-반응물질에 의해 교차 결합되기 때문에 이러한 기체-상 반응으로부터의 생성물이 분자량이 보다 무거워지고, 이어서 응결되거나 그렇지 않으면 기판 상에 증착되는 것으로 여겨진다. 다양한 실시예들에서, 벌키 알킬기들의 입체 장애 (steric hindrance) 는 치밀하게 패킹된 네트워크의 형성을 방지하고, 다공성, 저밀도 막들을 생성한다.

[0030] CVD 프로세스는 일반적으로 감소된 압력들, 예컨대 10 mTorr 내지 10 Torr로 수행된다. 일부 실시예들에서, 프로세스는 0.5 내지 2 Torr로 수행된다. 기판의 온도는 바람직하게 반응물질 스트림들의 온도 또는 이하이다.

예를 들어, 기판 온도는 0 ℃ 내지 250 ℃, 또는 주위 온도 (예를 들어, 23 ℃) 내지 150 ℃일 수도 있다. 다양한 프로세스들에서, 기판 상에 중합된 유기금속 재료의 증착은 표면 온도에 반비례하는 레이트들로 발생한다.

[0031] 기판의 표면 상에 형성된 EUV-패터닝 가능한 막의 두께는 표면 특성들, 사용된 재료들, 및 프로세싱 조건들에 따라 가변할 수도 있다. 다양한 실시예들에서, 막 두께는 0.5 nm 내지 100 nm 범위일 수도 있고, 바람직하게 EUV 패터닝의 조건들 하에서 대부분의 EUV 광을 흡수하기 충분한 두께이다. 예를 들어, 레지스트 막의 전체 흡수는 레지스트 막의 하단의 레지스트 재료가 충분히 노출되도록 30 % 이하 (예를 들어, 10 % 이하, 또는 5 % 이하) 일 수도 있다. 일부 실시예들에서, 막 두께는 10 내지 20 nm이다. 본 기술의 메커니즘, 기능 또는 실용성을 제한하지 않고, 당업계의 습식 프로세스, 스핀-코팅 프로세스와 달리, 본 기술의 프로세스들은 기판의 표면 접착 특성들에 대해 보다 적은 제한들을 갖고, 따라서 폭넓고 다양한 범위의 기판들에 적용될 수 있다고 여겨진다. 게다가, 상기 논의된 바와 같이, 증착된 막들은 표면 피처들에 밀접하게 컨폼할 (conform) 수도 있어, 하부 피처들을 갖는 기판들과 같은 기판 위에 이러한 피처들을 "충진"하거나 달리 평탄화하지 않고 마스크들을 형성하는 이익들을 제공한다.

[0032] EUV 패터닝

[0033] 본 기술은 또한 증착된 막이 EUV 광에 막의 영역을 노출함으로써 패터닝되는 방법들을 제공한다. 도 2를 더 참조하면, 패터닝 (4) 이 막의 선택 가능한 증착-후 소성 (post-deposition baking) (3) 에 이어질 수도 있다. 이러한 패터닝에서, 광은 코팅된 기판의 하나 이상의 영역들에 포커싱된다. EUV로의 노출은 통상적으로 막이 EUV 광에 노출되지 않은 하나 이상의 영역들을 포함하도록 수행된다. 발생하는 막은 반도체 디바이스의 트랜지스터 또는 다른 피처들의 생성과 일치하는 패턴을 생성하고, 막 및 기판의 후속 프로세싱에서 기판으로부터 재료의 추가 또는 제거에 의해 형성된, 복수의 노출된 영역 및 비노출 영역을 포함할 수도 있다. 본 명세서에 유용한 것들 중 EUV 디바이스들 및 이미징 (imaging) 방법들은 당업계에 공지된 방법들을 포함한다.

[0034] 특히, 상기 논의된 바와 같이, 막의 영역들은 비노출 영역들에 대해 물리적 또는 화학적 특성들이 변경되는 EUV 패터닝을 통해 생성된다. 예를 들어, 노출된 영역들에서, 금속-탄소 결합 분열 (cleavage) 이 베타-수소화물 (beta-hydride) 제거를 통해 발생할 수도 있어서, 금속-산소 브리지들을 통해 수산화물 및 교차 결합된 금속 산화물 모이어티들로 변환될 수 있는 반응성 및 접근 가능한 금속 수소화물 기능성들을 남기고, 이는 네거티브 톤 레지스트 (negative tone resist) 또는 하드 마스크에 대한 템플릿 (template) 으로서 화학적 콘트라스트 (contrast) 를 생성하도록 사용될 수 있다. 일반적으로, 알킬기의 보다 큰 수의 베타-H는 보다 민감한 막을 발생시킨다. 노출에 이어, 막은 금속 산화물 막의 부가적인 교차 결합을 유발하도록 소성될 수도 있다. 이 반응 화학은 도 1, 도 3, 및 도 4에 도시된다. 노출된 영역과 비노출 영역 사이의 특성들의 차이는 비노출 영역들을 용해시키고 또는 노출된 영역들 상에 재료들을 증착하는 것과 같은 후속 프로세싱에 활용될 수도 있다.

[0035] 이러한 방법들은 상이한 방식들로 패터닝에 사용될 수 있다. 도 2를 더 참조하면, 일부 실시예들에서, 노출 후 소성 (5) 은 네거티브 톤 레지스트 방법에서 막 내부의 알킬기의 제거를 용이하게 할 수 있다. 이러한 네거티브 톤 레지스트 방법은 도 3에 도시된다. 본 기술의 메커니즘, 기능 또는 실용성을 제한하지 않고, 예를 들어, 10 mJ/cm^2 내지 100 mJ/cm^2의 도즈들로, EUV 노출은 입체 장애를 완화하고, 저밀도 막이 붕괴하는 공간을 제공할 수도 있다. 또한, 베타-수소화물 제거 반응들에서 생성된 반응성 금속-H 결합은 막의 하이드록실들과 같은 이웃하는 활성기들과 반응할 수 있어서, 추가 교차 결합 및 치밀화로 이어지고, 노출된 영역과 비노출 영역 사이의 화학적 대비를 생성한다.

[0036] 이 재료 콘트라스트는 이어서 도 2에 도시된 바와 같이 후속 프로세싱에 사용될 수 있다. 이러한 프로세싱 (6) 은 습식 현상 (development), 건식 현상 또는 영역-선택적 ALD를 포함할 수도 있다. 예를 들어 습식 현상 프로세스 또는 건식 현상 프로세스는 비노출 영역들을 제거하고 노출된 영역들을 남길 수도 있다.

[0037] 습식 현상 프로세스에서, 노출된 영역들의 화학적 변화들은 보다 큰 분자량을 갖는 보다 많은 교차 결합된 재료들의 형성을 발생시키고, 선택적인 유기 용매들에서 용해성을 상당히 감소시킨다. 비-교차 결합된 영역들은 이소프로필 알코올, n-부틸 아세테이트, 또는 2-헵타논과 같은, 적합한 유기 용매들의 사용에 의해 제거될 수도 있다. 막들의 건식 증착의 예상치 않은 이익은 막들이 완전히 용해성이라는 것이다. 본 기술의 메커니즘, 기능 또는 실용성을 제한하지 않고, 이 이익은 증착 동안 발생하는 증기 상 중합/응결과 관련될 수도 있고, 어쩌면 선택된 용매들에서 쉽게 용해성인 고리형 (cyclic) 저중합체들을 형성한다.

[0038] 선택적인 건식 에칭은 또한 조성, 교차 결합의 규모, 및 막 밀도와 관련된 차이를 활용하여 수행될 수도 있다. 본 기술의 일부 실시예들에서, 본 기술의 막은 기판 상에 기상-증착된다. 막은 이어서 EUV 노출에 의해 패터닝

되고, 패턴은 금속 산화물 함유 마스크를 형성하기 위해 건식 방법을 사용하여 현상된다. 이러한 프로세스들에 유용한 방법들 및 장비는 2018년 12월 20일에 출원된, Volosskiy 등의, 미국 특허 출원 번호 제 62/782,578 호에 기술된다 (본 명세서에 참조로서 인용된다).

[0039] 이러한 건식 현상 프로세스들은 BCl_3 (붕소 트리클로라이드) 또는 다른 루이스 산과 같은 건식 현상 화학물질을 흘리는 동안 순한 플라즈마 (고압, 저전력) 또는 열 프로세스를 사용함으로써 수행될 수 있다. 일부 실시예들에서, BCl_3은 비노출 재료를 신속히 제거할 수 있고, 플라즈마 기반 에칭 프로세스들, 예를 들어 종래의 에칭 프로세스들에 의해 하부 층들로 전사될 수 있는 노출된 막의 패턴을 남긴다.

[0040] 플라즈마 프로세스들은 TCP (Transformer Coupled Plasma), ICP (Inductively Coupled Plasma) 또는 CCP (Capacitively Coupled Plasma) 를 포함하고, 당업계에 공지된 장비 및 기법들을 채용한다. 예를 들어, 프로세스는 5 mT 초과 압력 (예를 들어, 15 mT 초과), 1000 W 미만의 전력 레벨 (예를 들어, 500 W 미만) 로 수행될 수도 있다. 온도들은 1 내지 3000 초 (예를 들어, 10 초 내지 600 초) 동안 100 내지 1000 sccm (standard cubic centimeters per minute), 예를 들어, 약 500 sccm의 플로우 레이트로 0 내지 300 ℃ (예를 들어, 30 내지 120 ℃) 일 수도 있다.

[0041] 열 현상 프로세스들에서, 기판은 진공 챔버 (예를 들어, 오븐) 의 건식 현상 화학물질 (예를 들어, 루이스 산) 에 노출된다. 적합한 챔버들은 진공 라인, 건식 현상 화학물질 가스 (예를 들어, BCl3) 라인, 및 온도 제어를 위한 가열기들을 포함할 수 있다. 일부 실시예들에서, 챔버 내부는 유기 중합체들 또는 무기물 코팅들과 같은 부식 내성 막들로 코팅될 수 있다. 이러한 코팅 중 하나는 폴리테트라플루오로에틸렌 ((PTFE), 예를 들어, Teflon 1 M) 이다. 이러한 재료들은 플라즈마 노출에 의한 제거 위험 없이 이 기술의 열 프로세스들에서 사용될 수 있다.

[0042] 다양한 실시예들에서, 본 기술의 방법들은 기상 증착, (EUV) 리소그래픽 광패터닝 (photopatterning) 및 건식 현상에 의해 막 형성의 모든 건식 단계들을 결합한다. 이러한 프로세스들에서, 기판은 EUV 스캐너의 광패터닝에 이어서 건식 현상/에칭 챔버로 직접 이동할 수도 있다. 이러한 프로세스들은 습식 현상과 연관된 재료 및 생산성 비용들을 방지할 수도 있다. 대안적으로, 노출된 영역들이 보다 치밀한 SnO-유사 네트워크를 형성하기 위해 추가 교차 결합을 겪는 동안의 노출 후 소성 단계는 현상 챔버, 또는 또 다른 챔버에서 수행될 수도 있다.

[0043] 본 기술의 메커니즘, 기능 또는 실용성을 제한하지 않고, 본 기술의 건식 프로세스들은 당업계에 공지된 습식 현상 프로세스들에 대해 다양한 이익들을 제공할 수도 있다. 예를 들어, 본 명세서에 기술된 건식 증기 증착 기법들은 스핀-코팅 기법들을 사용하여 도포될 수 있는 것보다 박형이고 보다 결함이 없는 막들을 증착하도록 사용될 수 있고, 증착된 막의 정확한 두께는 증착 단계 또는 시퀀스의 길이를 증가시키거나 감소시킴으로써 단순히 조절되고 제어될 수 있다. 따라서, 건식 프로세스는 보다 많은 튜닝 가능성을 제공하고, 추가 임계 치수 (Critical Dimension; CD) 제어 및 스컴 (scum) 제거를 제공할 수도 있다. 건식 현상은 성능을 개선하고 (예를 들어, 습식 현상에서 표면 장력으로 인한 라인 붕괴 방지), (예를 들어, 습식 현상 트랙을 방지함으로써) 쓰루풋을 향상시킬 수 있다. 다른 이점들은 유기 용매 현상액들의 사용을 제거하고, 접착 문제들에 대한 민감도를 감소시키고, 그리고 용해성 기반 제한들의 결여를 포함할 수도 있다.

[0044] EUV-패터닝된 박막들은 도 4에 도시된 바와 같이, 하드 마스크의 영역 선택적인 증착을 위한 템플릿으로 사용될 수 있다. 일부 실시예들에서, 증착된 유기금속 중합체 막으로부터의 표면 알킬기들의 제거는 기판의 표면에 도포된 금속 산화물 전구체들과 같은 이차 재료로 본딩하기 위해 사용될 수 있는 반응성 표면 모이어티들의 영역들을 갖는 패턴들을 생성할 수 있다. 이러한 패턴들은 소수성 수소화물 또는 수산화물 노출된 표면들, 및 소수성, 벌키-알킬기-커버된, 비노출 영역들을 포함할 수도 있다. 이러한 프로세스들은 EUV 광의 상대적으로 낮은 도즈들 (예를 들어, 1 mJ/cm^2 내지 40 mJ/cm^2) 을 사용한다. 이는 ALD 및 ELD (electroless deposition) 와 같은 표면-구동된 프로세스들에 의해 이차 재료의 선택적인 증착을 인에이블할 (enable) 수 있다.

[0045] 예를 들어, ALD에 의한 하드 마스크의 형성은 전구체가 흡착할 수 있는 하이드록실기들과 같은 핵생성 사이트들 (sites) 을 요구하는 표면-구동된 프로세스이다. 비노출 영역에서, 표면은 ALD에 불활성이고 하이드록실기들을 입체 구조로 차단하도록 작용하는 벌키 알킬기들로 종단된다. 반면, 노출된 영역은 ALD 프로세스에 대해 핵생성 사이트들로서 역할할 수 있는 활성 수소화물 및/또는 하이드록실 기능성으로 커버된다. 표면 반응성의 차이는 노출된 영역 상에 에칭-내성 재료들을 선택적으로 증착하도록 사용될 수 있고, 잠재적인 건식 에칭/건식 현상을 위한 하드 마스크를 생성한다. 이 적용예에서, 표면 알킬기들만이 EUV 노출 하에 제거되어야 한다. ALD의 목표된 막 두께는 0.5 nm 내지 30 nm 범위일 수도 있다. ALD 전구체는 또한 노출된 레지스트 내로 확산될

수도 있고, 노출된 영역들 내부에서 핵생성할 수도 있다. ALD는 금속 또는 금속 산화물 막일 수도 있고, ALD 증착 온도는 30 ℃ 내지 500 ℃, 예를 들어, 30 ℃ 내지 210 ℃ 범위일 수도 있다. 0.5 nm 내지 40 nm 범위의 레지스트 막 두께들이 적절할 수도 있다. 일부 실시예들에서, 보다 두꺼운 막들은 레지스트 막 붕괴가 ALD 막의 급속성장 (mushrooming) 을 방지하도록 사용될 수도 있기 때문에 일부 이점들을 제공할 수도 있다. 패턴을 하부 층들로 전사하기 위해, 플라즈마 에칭 프로세스가 사용될 수도 있다. 예를 들어, Sn 기반 CVD 레지스트 막에 대해, H_2 또는 H_2/CH_4 플라즈마는 비노출 레지스트 재료를 제거하도록 사용될 수도 있다.

[0046] 본 기술의 실시예들은 이하의 비제한적인 예들을 통해 추가로 예시된다.

[0047] 예 1

[0048] EUV-패터닝 가능한 막이 유기금속 전구체로서 t-부틸 트리스(디메틸아미노) 주석 및 대응-반응물질로서 수증기를 사용하고, CVD 프로세스를 사용하여 3 개의 실리콘 웨이퍼 기판들 상에 증착된다. 기판 및 증착 챔버 벽들은 약 70 ℃의 온도로 유지된다. 프로세스는 약 2 Torr의 압력에서 수행된다.

[0049] 유기금속 전구체는 약 200 sccm (standard cubic centimeter per minute) 의 플로우 레이트로 아르곤 캐리어 가스를 사용하여 버블러 (bubbler) 를 통해 증착 챔버에 도입된다. 대응-반응물질은 물이고, 약 50 mg/분으로 기화기를 사용하여 전달된다. 전구체들은 2 개의 개별적인 주입 유입구들을 통해 증착 챔버에 도입되고, 이어서 기판 위의 공간에서 혼합된다.

[0050] 이하에 더 기술된 바와 같이, 중합 유기금속 막이 기판들의 표면 상에 증착되고, 약 40 nm의 두께를 갖는다. 기판들은 이어서 2 분 동안 150 ℃로 소성되고, 2-헵타논에서 약 15 초 동안 현상되고 동일한 용매를 사용하는 15 초 린싱이 이어진다. 도 5a, 도 5b, 및 도 5c는 현상 후 기판들의 스캐닝 전자 현미경 이미지들이다.

[0051] 특히, 기판들 중 2 개는 각각 32 nm 및 80 nm 반 피치에서 막의 표면 상에 1:1 라인/공간 피처들을 규정하기 위해, LBNL (Lawrence Berkeley National Laboratory) 의 MET3 (Micro-field Exposure Tool 3) 에서 약 72 mJ/cm^2의 노출로, EUV를 사용하여 패터닝된다. 발생하는 기판들의 이미지들은 도 5a 및 도 5b에 각각 도시된다. 제 3 기판은 막의 표면 상에 34 nm 콘택트 비아들을 규정하기 위해 약 60 mJ/cm^2의 노출로 EUV를 사용하여 패터닝된다. 발생하는 기판의 이미지가 도 5c에 도시된다.

[0052] 예 2

[0053] EUV-패터닝 가능한 막이 유기금속 전구체로서 이소-프로필 트리스(디메틸아미노) 주석 및 대응-반응물질로서 수증기를 사용하고, CVD 프로세스를 사용하여 2 개의 실리콘 웨이퍼 기판들 상에 증착된다. 제 2 실리콘 웨이퍼는 50 nm 비정질 탄소 하부층을 갖는다. 기판 및 증착 챔버 벽들은 약 70 ℃의 온도로 유지된다. 프로세스는 약 2 Torr의 압력에서 수행된다.

[0054] 유기금속 전구체는 약 25 sccm의 플로우 레이트의 아르곤 캐리어 가스를 사용하여 버블러를 통해 증착 챔버에 도입된다. 대응-반응물질은 약 50 mg/분으로 기화기를 사용하여 전달된다. 2 개의 전구체들은 듀얼-플레넘 샤워헤드의 2 개의 세트들의 개별적인 경로들을 통해 증착 챔버에 도입되고, 이어서 기판 위의 공간에서 혼합된다. 샤워헤드의 온도는 85 ℃로 설정된다.

[0055] 중합 유기금속 막이 기판의 표면 상에 증착되고, 두 웨이퍼들 상에서 약 20 nm의 두께를 갖는다. 제 1 웨이퍼는 26 및 24 nm 피치로 막의 표면 상에 1:1 라인/공간 피처들을 규정하기 위해, PSI (Paul Scherrer Institut) 의 EUV-IL (EUV Interference Lithography) 에서 약 75 내지 80 mJ/cm^2의 노출로, EUV를 사용하여 패터닝된다. 비정질 탄소 하층을 갖는 제 2 웨이퍼는 이어서 36 nm 피치로 막의 표면 상에 1:1 라인/공간 피처들을 규정하기 위해, 약 64 mJ/cm^2의 노출로, LBNL의 MET3에서 EUV를 사용하여 패터닝된다. 두 기판은 기판들은 이어서 2 분 동안 약 180 ℃로 소성되고, 2-헵타논에서 약 15 초 동안 현상되고 동일한 용매를 사용하는 15 초 린싱이 이어진다. 제 2 실리콘 웨이퍼 상에 습식-현상된 패턴은 이어서 헬륨/산소 플라즈마 프로세스를 사용하여 50 nm 탄소 하부층으로 전사된다. 도 6a 및 도 6b는 현상 후 제 1 기판의 스캐닝 전자 현미경 이미지들이고, 도 6a는 76 mJ/cm^2에 노출된, 26 nm 피치에 피처들을 갖는 기판을 도시하고, 도 6b는 79 mJ/cm^2에 노출된, 24 nm의 피치에 피처들을 갖는 기판을 도시한다. 도 7a 및 도 7b는 현상 후 (도 7a) 그리고 패턴 전사 후 (도 7b) 제 2 기판의 스캐닝 전자 현미경 이미지들이다.

[0056] 예 3

[0057] EUV-패터닝 가능한 막이 유기금속 전구체로서 이소-프로필 트리스(디메틸아미노) 주석 및 대응-반응물질로서 수증기를 사용하고, CVD 프로세스를 사용하여 실리콘 웨이퍼 기판 상에 증착된다. 실리콘 웨이퍼는 증착 전 구성된 50 nm 깊이 라인/공간 지형을 갖는다. 증착 조건들은 예 2에 기술된 프로세스와 동일하다.

[0058] 중합 유기금속 막이 기판의 표면 상에 증착되고, 약 10 nm의 두께를 갖고, 실리콘 웨이퍼 상의 지형을 커버한다. 사전-존재 지형을 갖는 웨이퍼는 3 개의 상이한 피치들, 32 nm, 28 nm, 및 26 nm로 1:1 라인/공간 피처들을 규정하기 위해, PSI의 EUV-IL에서 약 70 mJ/cm^2의 노출로, EUV를 사용하여 패터닝된다. 기판은 이어서 2 분 동안 190 ℃로 소성되고, 2-헵타논에서 약 15 초 동안 현상되고 동일한 용매를 사용하는 15 초 린싱이 이어진다. 도 8a, 도 8b 및 도 8c는 현상 후 32 nm (도 8a), 28 nm (도 8b), 및 26 nm (도 8c) 의 피치들로 실리콘 지형 위에 인쇄된 레지스트 라인/공간 패턴의 스캐닝 전자 현미경 이미지들이다.

[0059] 용어의 비제한적인 논의

[0060] 전술한 기술 (description) 은 본질적으로 단지 예시이고, 어떠한 방식으로도 본 기술, 이의 적용예, 또는 사용들을 제한하도록 의도되지 않는다. 본 기술의 광범위한 교시들은 다양한 형태들로 구현될 수 있다. 따라서, 본 기술이 특정한 예들을 포함하지만, 본 기술의 진정한 범위는 다른 수정들이 도면들, 명세서, 및 이하의 청구항들의 연구 시 자명해질 것이기 때문에 이렇게 제한되지 않아야 한다.

[0061] 본 명세서에 사용된 제목들 (예컨대 "배경기술" 및 "발명의 내용") 및 부제들은 단지 본 기술 내의 주제들의 일반적인 구성을 위해 의도되었고, 기술의 범위 또는 임의의 양태를 제한하기 위해 의도되지 않았다. 특히, "배경기술"에 개시된 주제는 새로운 기술을 포함할 수도 있고, 종래 기술의 인용을 구성하지 않을 수도 있다. "발명의 내용"에 개시된 주제는 기술 또는 임의의 실시예들의 전체 범위의 철저하거나 완전한 기술이 아니다. 특정한 실용성을 갖는 것으로 본 명세서의 섹션 내의 재료의 분류 또는 논의는 편의를 위해 이루어지고, 재료가 임의의 미리 결정된 조성으로 사용될 때 본 명세서의 분류에 따라 반드시 또는 전적으로 기능해야 한다는 추론이 도출되지 않아야 한다.

[0062] 방법의 하나 이상의 단계들은 본 기술의 원리들을 변경하지 않고 상이한 순서로 (또는 동시에) 실행될 수도 있다는 것이 이해되어야 한다. 또한, 실시예들 각각이 특정한 피처들을 갖는 것으로 상기 기술되었지만, 본 기술의 임의의 실시예에 대해 기술된 이들 피처들 중 임의의 하나 이상의 피처들은, 조합이 명시적으로 기술되지 않더라도 임의의 다른 실시예들의 피처들로 그리고/또는 피처들과 조합하여 구현될 수 있다. 즉, 기술된 실시예들은 상호 배타적이지 않고, 하나 이상의 실시예들의 다른 실시예들과의 치환들이 본 기술의 범위 내에 남는다. 예를 들어, A, B, C, D 또는 E, 또는 이들의 조합들일 수도 있는 컴포넌트들은 또한 일부 실시예들에서, A, B, C, 또는 이들의 조합들인 것으로 규정될 수도 있다.

[0063] 본 명세서에 사용된 바와 같이, 구 A, B, 및 C 중 적어도 하나는 비배타적인 논리 OR를 사용하여, 논리적으로 (A 또는 B 또는 C) 를 의미하는 것으로 해석되어야 하고, "적어도 하나의 A, 적어도 하나의 B, 및 적어도 하나의 C"를 의미하는 것으로 해석되지 않아야 한다.

[0064] 본 명세서에 사용된 바와 같이, 단어들 "선호하다 (prefer)" 또는 "바람직한 (preferable)"은 특정한 상황들 하에서 특정한 이익들을 제공하는 기술의 실시예들을 지칭한다. 그러나, 동일하거나 다른 상황들 하에서, 다른 실시예들이 또한 선호될 수도 있다. 더욱이, 하나 이상의 선호된 실시예들의 인용은 다른 실시예들이 유용하지 않다는 것을 암시하지 않고, 본 기술의 범위로부터 다른 실시예들을 배제하도록 의도되지 않았다.

[0065] 본 명세서에 사용된 바와 같이, 단어 "포함하다 (include)" 및 이의 변형들은 목록 내의 항목들의 인용이 본 기술의 재료들, 조성들, 디바이스들, 및 방법들에 또한 유용할 수도 있는 다른 유사 항목들의 배제가 아니도록, 비제한적인 것으로 의도된다. 유사하게, 용어들 "~할 수 있다 (can)" 및 "~할 수도 있다 (may)" 및 이들의 변형들은 실시예가 특정한 엘리먼트들 또는 피처들을 포함할 수 있거나 포함할 수도 있다는 설명이 이들 엘리먼트들 또는 피처들을 포함하지 않는 본 기술의 다른 실시예들을 배제하지 않도록, 비제한적인 것으로 의도된다.

[0066] 포함하는 (including), 포함하는 (containing), 또는 갖는 (having) 과 같은 비제한적인 용어들의 동의어로서 개방형 용어 "포함하는 (comprising)"은 본 기술의 실시예들을 기술하고 주장하기 위해 본 명세서에 사용되지만, 실시예들은 대안적으로 "~로 구성된 (consisting of)" 또는 "~로 본질적으로 구성된 (consisting essentially of)"과 같은 보다 제한하는 용어들을 사용하여 기술될 수도 있다. 따라서, 재료들, 컴포넌트들 또는 프로세스 단계들을 인용하는 임의의 주어진 실시예에 대해, 본 기술은 또한 구체적으로, 부가적인 재료들, 컴포넌트들 및 프로세스들을 배제하고 (~로 구성됨) 실시예의 중요한 특성들에 영향을 미치는 부가적인 재료들, 컴포넌트들 또는 프로세스들을 배제하고 (~로 본질적으로 구성됨), 이러한 부가적인 재료들, 컴포넌트들 또는

프로세스들이 본 출원에서 명시적으로 언급되지 않더라도, 이러한 재료들, 컴포넌트들 또는 프로세스들로 구성되거나 본질적으로 구성된 실시예들을 포함한다. 예를 들어, 엘리먼트들 A, B 및 C를 언급하는 조성 또는 프로세스의 언급은 특히 엘리먼트 D가 본 명세서에서 배제되는 것으로 명시적으로 기술되지 않더라도, 당업계에서 언급될 수도 있는 엘리먼트 D를 배제하는 A, B 및 C로 구성되고 본질적으로 구성되는 것을 구상한다. 또한, 본 명세서에 사용된 바와 같이 언급된 재료들 또는 컴포넌트들로 "본질적으로 구성된" 용어는 언급된 재료들 또는 컴포넌트들로 "구성된" 실시예들을 구상한다.

[0067] 본 명세서에 사용된 "A" 및 "an"는 항목의 "적어도 하나"가 존재한다는 것을 나타낸다; 복수의 이러한 항목들이 가능하면 존재할 수도 있다.

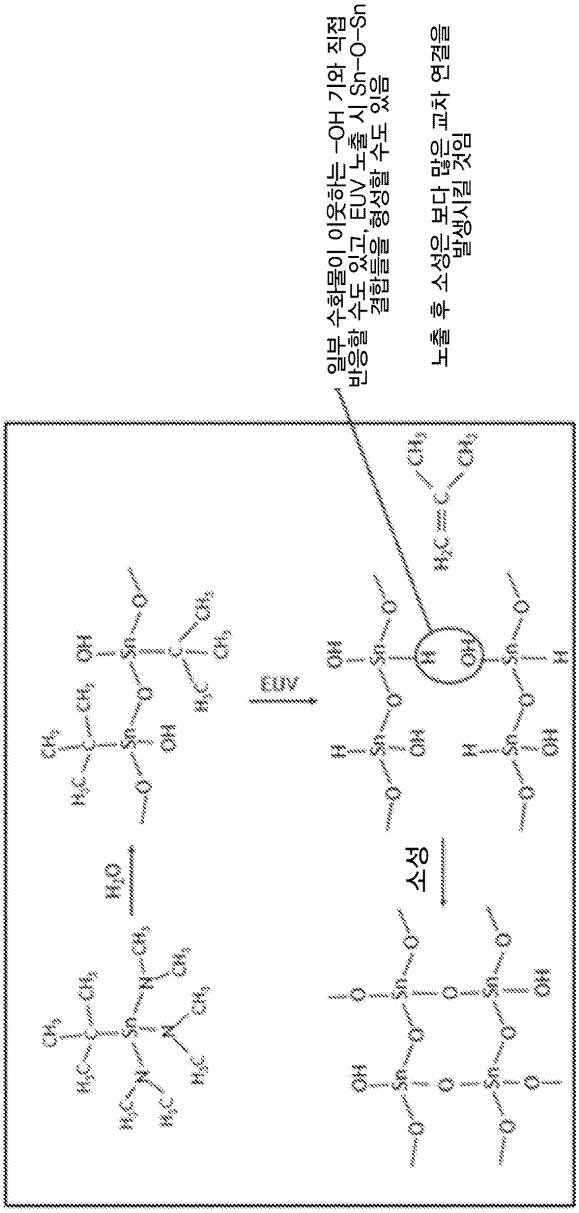
[0068] 본 명세서에 명시된 숫자 값들은 근사치인 것으로 이해되어야 하고, 값이 단어 "약 (about)"을 사용하여 수정되는지 여부에 관계 없이 대략 명시된 값으로 해석되어야 한다. 따라서, 예를 들어, 파라미터가 "X의" 값을 가질 수도 있다는 명시는 파라미터가 "약 X"의 값을 가질 수도 있다는 것을 의미하는 것으로 해석되어야 한다. 값들에 적용될 때 "약"은 계산값 또는 측정값이 이 값에 어느 정도 (값의 정확도에 대한 몇 가지 접근법으로; 값에 대략 또는 꽤 가까움; 거의) 약간의 부정확성을 허용한다는 것을 나타낸다. 일부 이유들로, "약"에 의해 제공된 부정확성이 이 일반적인 의미로 당업계에서 달리 이해되지 않으면, 본 명세서에 사용된 바와 같은 "약"은 계산값 또는 측정값이 적용되는 재료, 디바이스 또는 다른 객체의 제작, 측정 또는 사용의 일반적인 방법들로부터 발생할 수도 있는 변동들을 나타낸다.

[0069] 본 명세서에 지칭된 바와 같이, 범위들은 달리 명시되지 않는 한, 엔드포인트들을 포함하고, 전체 범위 내에서 모든 별개의 값들 및 추가 분할된 범위들의 기술을 포함한다. 따라서, 예를 들어, "A 내지 B" 또는 "약 A 내지 약 B"의 범위는 A 및 B를 포함한다. 또한, 구 "약 A 내지 약 B"는 A 및 B 값들의 변동들을 포함하고, 이는 A보다 약간 적고 B보다 약간 클 수도 있다; 구는 "약 A, A 내지 B, 및 약 B"로 판독될 수도 있다. 특정한 파라미터들에 대한 값들의 기술 및 값들의 범위들 (예컨대 온도들, 분자량들, 중량 백분율들, 등) 은 본 명세서에 유용한 다른 값들 및 값들의 범위들을 배제하지 않는다.

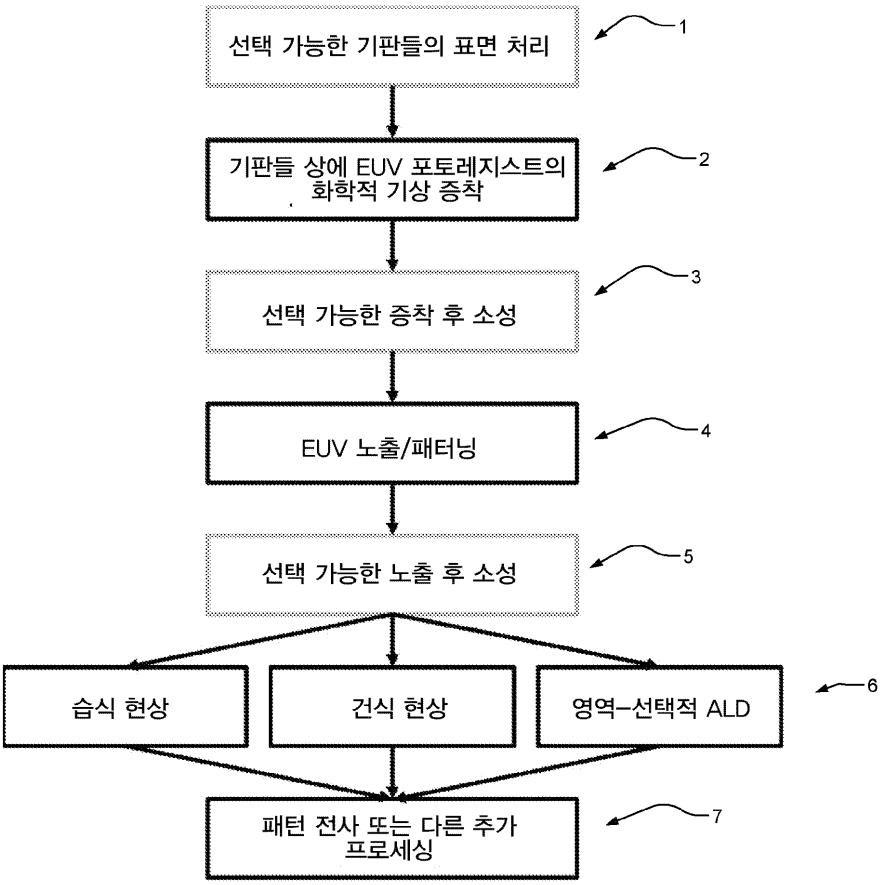
[0070] 또한 미리 결정된 파라미터에 대한 2 개 이상의 구체적인 예시적인 값들이 파라미터에 대해 주장될 수도 있는 값들의 범위에 대한 엔드포인트들을 규정할 수도 있다고 구상된다. 예를 들어, 파라미터 X가 본 명세서에서 값 A를 갖는 것으로 예시되고 또한 값 Z를 갖는 것으로 예시되면, 파라미터 X는 약 A 내지 약 Z의 값들의 범위를 가질 수도 있다고 구상된다. 유사하게, 파라미터에 대한 값들의 2 개 이상의 범위의 기술 (이러한 범위들이 내포되고, 오버랩핑되거나 구별되든) 이 개시된 범위들의 엔드포인트들을 사용하여 주장될 수도 있는 값에 대한 모든 가능한 조합의 범위들을 포함하는 것이 구상된다. 예를 들어, 파라미터 X가 본 명세서에서 1 내지 10, 또는 2 내지 9, 또는 3 내지 8 범위의 값들을 갖는 것으로 예시되면, 파라미터 X는 1 내지 9, 1 내지 8, 1 내지 3, 1 내지 2, 2 내지 10, 2 내지 8, 2 내지 3, 3 내지 10 및 3 내지 9를 포함하는 다른 값들의 범위들을 가질 수도 있다고 또한 구상된다.

도면

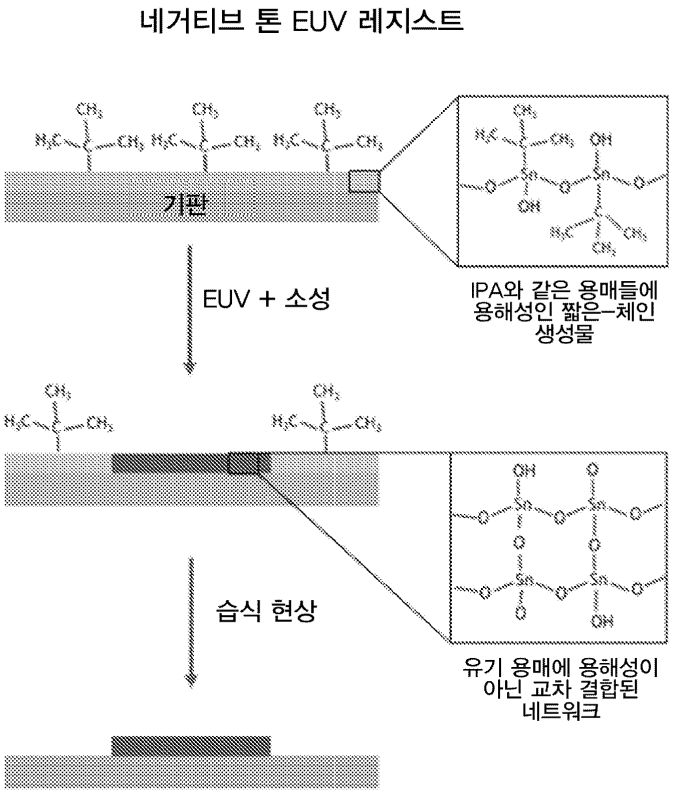
도면1


일부 수화물이 이웃하는 –OH 기와 직접 반응할 수도 있고, EUV 노출 시 Sn–O–Sn 결합들을 형성할 수도 있음
노출 후 소성은 보다 많은 교차 연결을 발생시킬 것임
EUV
H_2O
소성

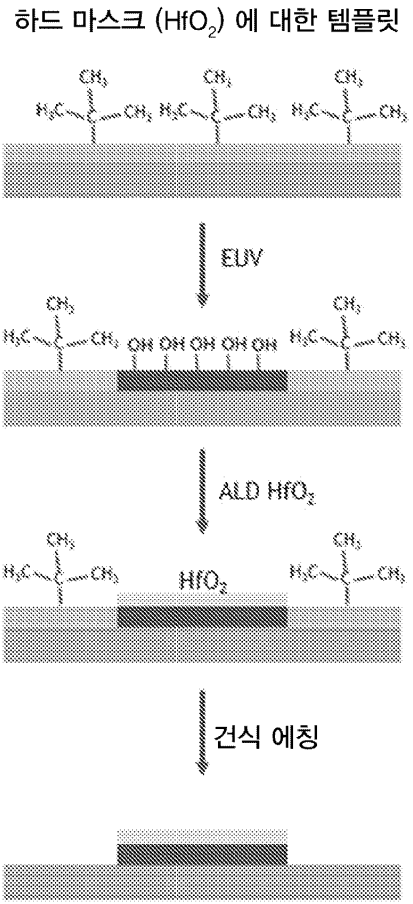
도면2


선택 가능한 기판들의 표면 처리
1
기판들 상에 EUV 포토레지스트의 화학적 기상 증착
2
선택 가능한 증착 후 소성
3
EUV 노출/패터닝
4
선택 가능한 노출 후 소성
5
습식 현상
건식 현상
영역-선택적 ALD
6
패턴 전사 또는 다른 추가 프로세싱
7

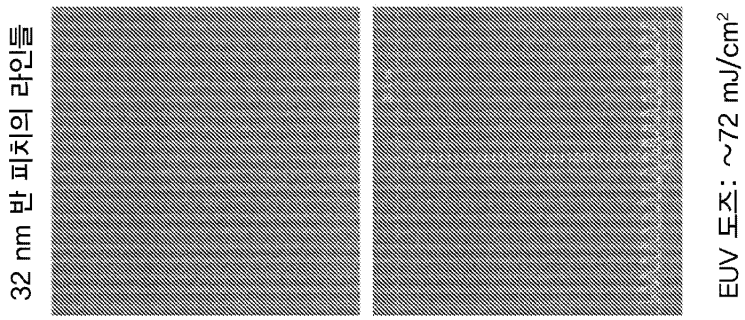
도면3


네거티브 톤 EUV 레지스트
기판
EUV + 소성
IPA와 같은 용매들에
용해성인 짧은-체인
생성물
습식 현상
유기 용매에 용해성이
아닌 교차 결합된
네트워크

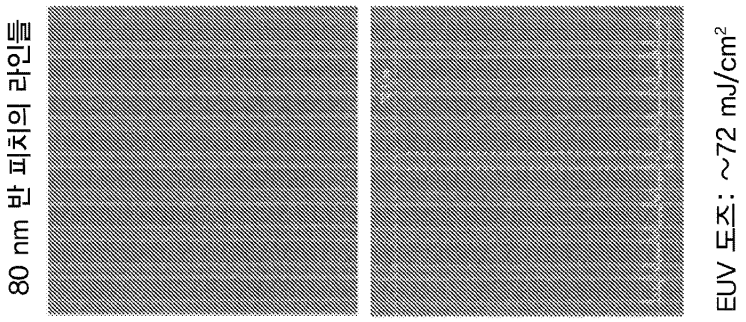
도면4


하드 마스크 (HfO_2) 에 대한 템플릿
EUV
ALD HfO_2
HfO_2
건식 에칭

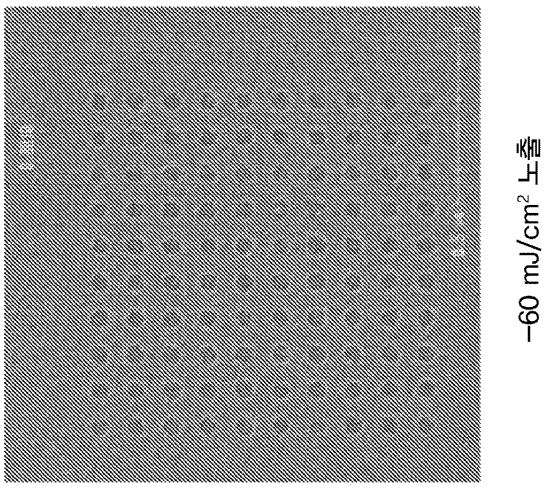
도면5a


32 nm 반 피치의 라인들
EUV 도즈: ~72 mJ/cm²

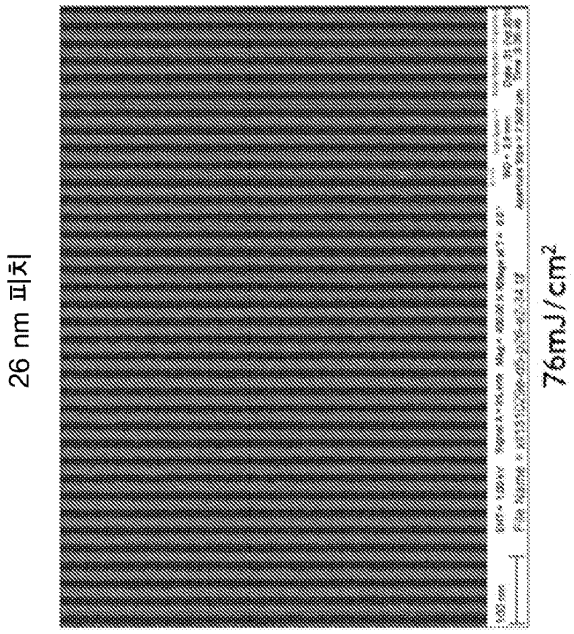
도면5b



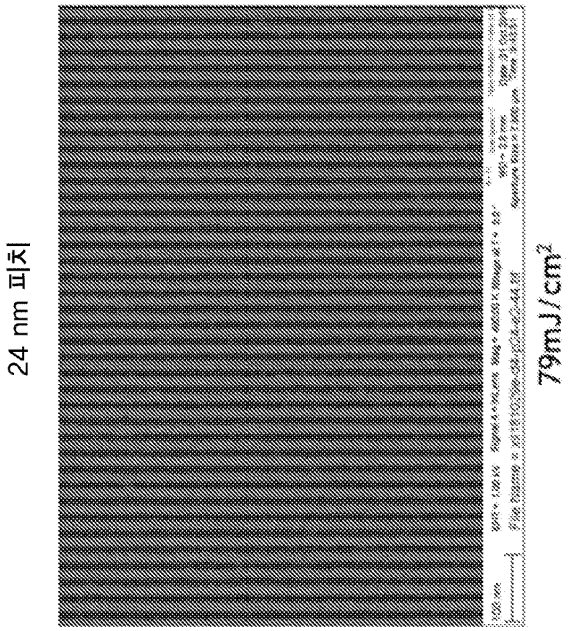
도면5c



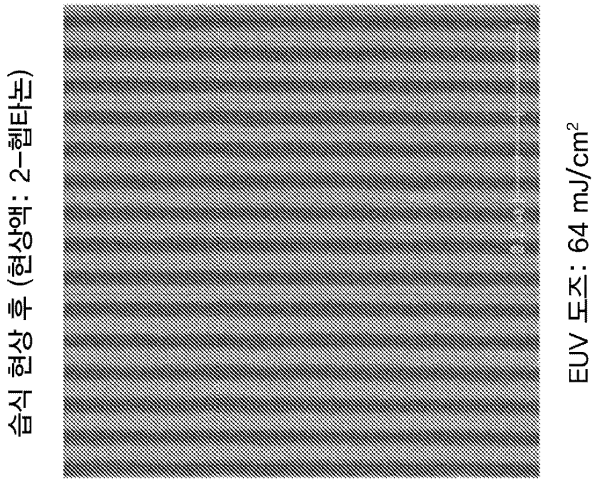
도면6a



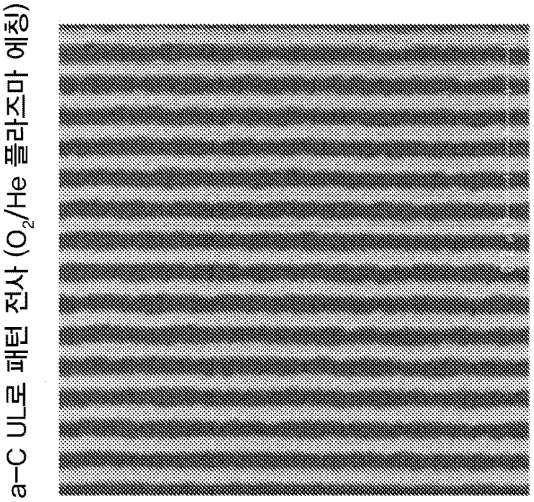
도면6b



도면7a



도면7b



도면8

