

發明專利說明書

99年7月27日修正替換頁

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96131131

※申請日期：96年08月22日

※IPC分類：G11C 8/02 (2006.01)

G11C 8/18 (2006.01)

一、發明名稱：

(中) 可縮放記憶體系統

(英) Scalable memory system

二、申請人：(共 1 人)

1. 姓 名：(中) 摩賽德科技股份有限公司

(英) MOSAID TECHNOLOGIES INCORPORATED

代表人：(中) 1. 麥克 維拉迪斯可

(英) 1. VLADESCU, MICHAEL B.

地 址：(中) 加拿大安大略省渥太華漢斯路 11 號 203 室

(英) 11 Hines Road, Suite 203, Ottawa, Ontario K2K 2X1, Canada

國籍：(中英) 加拿大 CANADA

三、發明人：(共 4 人)

1. 姓 名：(中) 金鎮祺

(英) KIM, JIN-KI

國 籍：(中) 加拿大

(英) CANADA

2. 姓 名：(中) 吳學俊

(英) OH, HAKJUNE

國 籍：(中) 加拿大

(英) CANADA

3. 姓 名：(中) 潘弘柏

(英) PYEON, HONG BEOM

國 籍：(中) 加拿大

(英) CANADA

4. 姓 名：(中) 史蒂芬 普茲比爾斯基

(英) PRZYBYLSKI, STEVEN

國 籍：(中) 加拿大

(英) CANADA

99年7月27日修正替換頁

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- | | | | |
|-------|--------------|--------------|--|
| 1. 美國 | ； 2006/08/22 | ； 60/839,329 | ☒ 有主張優先權 |
| 2. 美國 | ； 2006/12/06 | ； 60/868,773 | ☒ 有主張優先權 |
| 3. 美國 | ； 2007/02/16 | ； 60/902,003 | ☒ 有主張優先權 |
| 4. 美國 | ； 2007/03/02 | ； 60/892,705 | ☒ 有主張優先權 |
| 5. 美國 | ； 2007/08/17 | ； 11/840,692 | ☒ 有主張優先權 |

五、中文發明摘要

發明名稱：可縮放記憶體系統

一種記憶體系統架構具有串聯連接之記憶體裝置。該記憶體系統係可縮放以包含若干記憶體裝置，而沒有效能劣化或複雜的再設計。每一記憶體裝置具有一串聯輸入／輸出介面，用於其他記憶體裝置及一記憶體控制器間之通訊。該記憶體控制器在至少一位元串流中發出命令，其中該位元串流遵循一模組化命令協定。該命令包含一具有選用位址資訊及裝置位址之操作碼，使得只有被定址之記憶體裝置作用該命令。分開的資料輸出選通及命令輸入選通係分別並聯設置於每一輸出資料流及輸入命令資料流，用以指明資料類型及資料長度。模組化命令協定係被用以執行在每一記憶體裝置中之同時發生之操作，以進一步改良效能。

六、英文發明摘要

發明名稱： Scalable memory system

A memory system architecture has serially connected memory devices. The memory system is scalable to include any number of memory devices without any performance degradation or complex redesign. Each memory device has a serial input/output interface for communicating between other memory devices and a memory controller. The memory controller issues commands in at least one bitstream, where the bitstream follows a modular command protocol. The command includes an operation code with optional address information and a device address, so that only the addressed memory device acts upon the command. Separate data output strobe and command input strobe signals are provided in parallel with each output data stream and input command data stream, respectively, for identifying the type of data and the length of the data. The modular command protocol is used for executing concurrent operations in each memory device to further improve performance.

七、指定代表圖：

(一)、本案指定代表圖為：第 (5) 圖

(二)、本代表圖之元件代表符號簡單說明：

300：串聯記憶系統

302：記憶體控制器

304：記憶體裝置

306：記憶體裝置

308：記憶體裝置

310：記憶體裝置

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明大致關係於記憶體系統。更明確地說，本發明關係於串聯連接記憶體裝置之記憶體系統，以用於大量儲存應用。

【先前技術】

快閃記憶體為常用類型之非揮發記憶體，被大量用作為消費電子之大量儲存器，這些消費電子係如數位相機及攜帶式數位音樂播放器。現行可用之快閃記憶體晶片的密度可以到達 32 Gbit (4 GB)，這係適用於通用之 USB 快閃驅動器，因為一快閃晶片的尺寸很小。

第 1 圖為已知一排 NAND 快閃記憶體的一般方塊圖。熟習於本技藝者可以了解，一快閃記憶體裝置可以具有任意數量之排。排 30 係被組織為 $k+1$ 方塊。每一方塊包含 NAND 記憶單元串，有多達 $i+1$ 之快閃記憶單元彼此串聯連接。因此，字元線 WL_0 至 WL_i 係被連接至記憶單元串中之每一快閃記憶單元的閘極。一連接至信號 SSL (串選擇線) 之串選擇裝置選擇地連接記憶單元串至一位元線，而一連接至信號 GSL (接地選擇線) 之接地選擇裝置選擇地連接該記憶單元串至一電源線，例如 VSS。串選擇裝置及接地選擇裝置係為 n -通訊電晶體。其中有 $j+1$ 個位元線為排 30 的所有方塊所共用，及每一位元線連接至每一方塊 [0] 至 [k] 中之一 NAND 記憶單元串。每一字元線 (WL_0

至 WLi)、SSL 及 GSL 信號被連接至在該方塊中之每一 NAND 記憶單元串中之相同對應電晶體裝置。如同熟習於本技藝者所知，儲存於快閃記憶單元中之資料與一字元線被稱為一頁資料。

連接至排 30 外之每一位元線係為一資料暫存器 32，用以儲存予以被規劃入一頁快閃記憶單元中之一頁寫入資料，或由該快閃記憶單元取出之讀取資料。資料暫存器 32 也包含一感應電路，用以感應自一頁快閃記憶單元讀出之資料。在規劃操作時，資料暫存器執行程式驗證操作，以確保資料已經適當地規劃入連接至選擇字元線的快閃記憶單元。排 30 的每一記憶單元可以儲存單一位元資料或多位元之資料。部份快閃記憶裝置將有一組以上之資料暫存器，以增加通量。

八百萬像素數位相機及具有音樂及影像能力之可攜式數位娛樂裝置的出現已經對於儲存大量資料有超高之需求，這並不能為單一快閃記憶體裝置所配合。因此，多快閃記憶體裝置被組合在一起成為一記憶體系統，以有效地增加可用之儲存容量。例如，此等應用可能需要 20GB 之快閃儲存密度。

第 2 圖為被整合至一主機系統 12 之先前技術記憶體系統 10 的方塊圖。快閃記憶體系統 10 包含一記憶體控制器 14，與該主機系統相通訊；及多非揮發記憶體裝置 16。主機系統將包含例如微控制器、微處理機或電腦系統之處理裝置。第 2 圖之快閃記憶體系統 10 係被架構以包含

一通道 18，其中記憶體裝置 16 係並聯連接至該通道 18。熟習於本技藝者可以了解，記憶體系統 10 可以具有多於或少於四個記憶體裝置連接至其上。

通道 18 包含一組命令匯流排，其包含連接至其對應記憶體裝置的資料與控制線。每一記憶體裝置係對應於為記憶體控制器 14 所提供之個別晶片選擇信號 CE#1、CE#2、CE#3 及 CE#4 加以致能／去能。“#”表示信號係為低態有效邏輯位準信號。記憶體控制器 14 係負責經由通道 18 發出命令及資料，以根據主機系統 12 之操作，選擇記憶體裝置。自記憶體裝置讀出之資料經由通道 18 被傳回至記憶體控制器 14 及主機系統 12。快閃記憶體系統 10 的操作係同步於一時鐘 CLK，其係被並聯提供給每一記憶體裝置 16。快閃記憶體系統 10 大致稱為多投架構，其中記憶體裝置 16 相對於通道 18 係被並聯連接。

在快閃記憶體系統 10 中，非揮發記憶體裝置 16 可以彼此相同，並典型被實施為 NAND 快閃記憶體裝置。熟習於本技藝者可以了解，快閃記憶體被組織成排，每一排被組織成方塊，以促成方塊抹除。多數商用 NAND 快閃記憶體裝置被組態以具有兩排記憶體。

有幾項特殊事項將負面影響系統的效能。快閃記憶體系統 10 的架構加了實體效能限制。以大量延伸於整個系統之並聯信號，它們所承載之信號的信號完整性將由於串音、信號偏斜、及同時切換雜訊（SSN）而劣化。在此一架構中之功率消耗也當在快閃控制器與快閃記憶體裝置間

之每一信號軌經常作信號的充放電而變成一事件。隨著系統時鐘頻率的增加，功率消耗將增加。

對於可以並聯連接至通道的記憶體裝置的數量也有實質之限制，因為相較於長信號軌的載入，單一記憶體裝置的驅動能力很小。再者，當記憶體裝置的數量增加時，需要更多晶片致能信號（CE#），及時鐘信號 CLK 將需要被發送至另外的記憶體裝置。由於密集時鐘分配之時鐘效能事件在本技藝中係為已知的，這將需要討論。因此，為了容納具有大量記憶體裝置的記憶體系統，必須使用一具有更多通道的控制器，或系統需要以更低頻率加上時鐘。架構以具有多數通道的控制器及額外之晶片致能信號增加了記憶體系統之成本。否則，記憶體系統將被限制為小數量之記憶體裝置。

因此，吾人想要提供一記憶體系統架構，其能支援任意數量之記憶體裝置。

【發明內容】

本發明之態樣為避免或免除前述記憶體系統之至少一缺點。

在第一態樣中，本案提供有一具有一控制器及一記憶體裝置的記憶體系統。該控制器包含提供串聯位元流命令封包的串聯通道輸出埠；及一用以接收一串聯位元流讀取資料封包的串聯通道輸入埠。該串聯位元流命令封包包含一操作碼及一裝置位址。該記憶體裝置具有一輸入埠，用

以自控制器接收串聯位元流命令封包並且如果裝置位址對應於記憶體裝置，則用以執行該操作命令。記憶體裝置經由輸出埠提供串聯位元流命令封包並隨後如果該操作碼對應於一讀取動作，則經由輸出埠提供串聯位元流讀取資料封包。

依據本態樣的實施例，其中至少一中介記憶體裝置串聯連接於該記憶體裝置與該控制器之間。該至少一中介記憶體裝置具有用以接收及傳送串聯位元流命令封包至記憶體裝置並隨後提供串聯位元流命令封包給該記憶體裝置並且如果裝置位址對應於該記憶體裝置及該操作碼對應於一讀取功能，而隨後提供該串聯位元流讀取資料封包的輸入埠。

依據其他實施例，互補時鐘信號係被並聯提供給該記憶體裝置及該至少一中介記憶體裝置，或者互補時鐘信號係被提供給至少一中介記憶體裝置並為該至少一中介記憶體裝置所傳送給該記憶體裝置，並為該記憶體裝置所傳送至控制器。

在本態樣的另一實施例中，記憶體系統包含於控制器與記憶體裝置間之擴充鏈結，用以接收一擴充模組及一跳線之一者。該至少一中介記憶體裝置係為一擴充模組的一部份，其具有耦接機構以電氣耦接至該擴充鏈結。

依據其他實施例，記憶體裝置及至少一中介記憶體裝置各個包含一本地記憶體核心及一串列介面，與一控制邏輯方塊，用以回應於串聯位元流命令封包，控制該本地記

記憶體核心。該記憶體裝置本地記憶體核心及至少一中介記憶體裝置本地記憶體核心可以為 NAND 快閃記憶體為主、或可以為 DRAM、SRAM、NAND 快閃記憶體或 NOR 快閃記憶體核心。

在本態樣之另一實施例中，串聯位元流命令封包具有一模組化結構，其中之串聯位元流命令封包的大小為可變的。串聯位元流命令封包可以包含用以提供操作碼及裝置位址的命令欄，其中該命令欄包含一第一次欄，用以提供操作碼，及一第二次欄，用以提供裝置位址。串聯位元流命令封包可以包含一命令欄，用以提供操作及裝置位址，及一位址欄，用以提供一列位址及一行位址之一的位址欄。串聯位元流命令封包可以包含一命令欄，用以提供操作碼及裝置位址、一位址欄，用以提供列位址及行位址之一、及一資料欄，用以提供寫入資料。

依據先前實施例之一態樣，控制器提供一命令選通並聯於該串聯位元流命令封包，該命令選通具有一匹配於串聯位元流命令封包長度的作動位準。再者，控制器並聯於串聯位元流讀取資料封包提供一資料輸入選通，該資料輸入選擇具有匹配於該串聯位元流讀取資料封包長度的作動位準。當裝置位址對應於該記憶體裝置時，該記憶體裝置回應於該命令選通的作動位準，門鎖該串聯位元流命令封包，及該記憶體裝置輸出埠係回應於該資料輸入選通的作動位準而被致能。命令選通及資料輸入選通為非重疊信號，並為至少一資料門鎖時鐘緣所分開。另外，該命令選擇

也為鄰近命令選通所分開至少一資料門鎖時鐘緣，該資料輸入選通係為鄰近資料輸入選通所分開至少一資料門鎖時鐘緣。

在第二態樣中，提供有一具有一串聯位元之命令封包給具有串聯連接記憶體裝置的記憶體系統。該命令封包包含一命令欄，用以選擇串聯連接記憶體裝置的一記憶體裝置，以執行一特定記憶體操作。

在第二態樣的實施例中，命令欄包含一第一次欄，用以提供選擇記憶體裝置的裝置位址，及一第二次欄，用以提供對應於該特定記憶體操作之操作碼。該命令封包更包含一位址欄在該命令欄後，用以當該操作碼對應於一讀取或寫入操作時，提供列位址與行位址之一，該位址欄具有對應於列位址或行位址之位元長度。一資料欄在該位址欄之後，用以當操作碼對應於寫入操作時，提供寫入資料以儲存於記憶體裝置中，該資料欄具有對應於寫入資料的位元長度。

在第三態樣中，提供有在記憶體系統中之選定記憶體裝置中，執行同時發生操作的方法，該記憶體系統具有串聯連接之記憶體裝置。該方法包含：接收第一命令；回應於該第一命令，在該選定記憶體裝置中之第一記憶體排內執行核心操作；在該第一記憶體排中執行核心操作的同時，接收一第二命令；及回應於該第二命令，在該選定記憶體裝置中之第二記憶體排內執行核心操作。

依據本態樣之實施例，該方法更包含：接收一第三命

令，用以由第一記憶體排及第二記憶體排之一要求資訊，及回應於該第三命令，輸出包含所得資訊的讀取資料封包。該所得資訊包含狀態暫存器資料及讀取資料之一。

在本態樣之另一實施例中，該第一命令、第二命令、第三命令係為命令封包，包含一連串之位元，其係被邏輯地架構以包含一強制命令欄，用以提供一操作碼及一裝置位址；一選用位址欄，在該命令欄後，用以當操作碼對應於一讀取或寫入操作時，提供列及行位址之一；及一選用資料欄在該位址欄後，用以當操作碼對應於寫入操作時，提供寫入資料。

在本實施例之一態樣中，第一命令選通係與第一命令並聯接收，該第一命令選通具有對應於第一命令長度的作動持續時間，及第二命令選通係並聯於第二命令接收，該第二命令選通具有對應於第二命令長度的作動持續時間。第一命令選通與第二命令選通係分開至少一資料門鎖時鐘緣。再者，一資料輸入選通係被接收，以當資料輸入選通係在作動位準的同時，致能讀取資料封包的輸出，使得第二命令選通與資料輸入選通係分開至少一資料門鎖時鐘緣。

在另一實施例中，該方法包含在接收該第一命令前，供電該選定記憶體裝置。該供電步驟包含：在電源轉移前，主張（assert）一控制信號，以維持該選定記憶體裝置於預設狀態；當該控制信號被主張的同時，將該選定記憶體裝置的電源位準由第一電壓位準轉移至第二電壓位準；

等待一預定持續時間，以允許電源位準穩定；及解除（de-assert）該控制信號，以將該選定記憶體裝置由該預設狀態釋放，藉以防止在該選定記憶體裝置的不小心規劃或抹除操作。第二電壓位準可以為用以穩定電路操作之最小電壓位準或電源之最大操作電壓位準。第一電壓位準可以對應於電源之低電力模式操作電壓位準，或是沒有電源。

在另一實施例中，維持該記憶體裝置於該預設狀態中包含設定該記憶體裝置中之裝置暫存器至預設值，其中該裝置暫存器包含命令暫存器。該方法之另一步驟包含在啓始該記憶體裝置由預設狀態釋放時，執行裝置啓始化。該執行裝置啓始化的步驟包含產生用於該記憶體裝置的裝置位址及裝置識別碼資訊。

在另一實施例中，供電步驟包含在第一時間主張一控制信號，以在電源轉移前，維持該記憶體裝置於一預設狀態；當該控制信號被主張的同時，將該記憶體裝置的電源位準由第一位準轉移至第二位準；等待預定持續時間，以允許電源位準穩定；及在第三後續時間，解除該控制信號，以將記憶體裝置自預設狀態釋放，藉以防止在該記憶體裝置的不小心規劃或抹除操作。

在第四態樣中，設有一記憶體系統，其包含多數記憶體裝置及一控制器，用以控制這些裝置。該控制器具有輸出埠，用以提供位元流命令封包給該多數記憶體裝置的第一裝置，該位元流命令封包包含一操作碼及一裝置位址。各個記憶體裝置自控制器與前一記憶體裝置之一，接收位

元流命令封包，並且，如果裝置位址對應的話，則執行操作碼，各個記憶體裝置提供位元流命令封包給下一記憶體裝置與該控制器之一者，如果該操作碼對應於一讀取功能，則一位元流讀取資料封包被由多數記憶體裝置的最後一個記憶體裝置提供給該控制器。

依據本態樣的實施例，多數記憶體裝置係被串聯連接，第一及最後記憶體係被連接至該控制器，該控制器送出一位元流資料封包給多數記憶體裝置的第一裝置。來自控制器之該位元流資料封包及位元流讀取資料封包包含一串聯位元流或包含並聯位元流。多數記憶體裝置為相同類型或不同類型之記憶體裝置的混合。

依據另一實施例，該記憶體系統能在接收第一命令前，執行選定記憶體裝置的供電功能。該記憶體系統可以執行功能有：主張一控制信號，以在電力轉移前，維持該選定記憶體裝置於預設狀態；在主張該控制信號的同時，將該選定記憶體裝置的電力位準由第一電壓位準轉移至第二電壓位準；等待一預定持續時間，以允許電力位準穩定；及解除該控制信號，以將該選定記憶體裝置自該預設狀態釋放，藉以防止選定記憶體裝置的不小心規劃或抹除操作。該記憶體系統也可以有功能為：在第一時間主張一控制信號，以在電力轉移前，維持記憶體裝置於預設狀態；當該控制信號被主張的同時，將該記憶體裝置的電力位準由第一位準轉移至第二位準；等待一預定持續時間，以允許電力位準穩定；在第三後續時間，解除該控制信號，以將

該記憶體裝置由預設狀態釋放，藉以防止記憶體裝置的不小心規劃或抹除操作。

本發明之態樣與特性將在熟習於本技藝者配合附圖看過以下本發明之特定實施例後加以了解。

【實施方式】

以下本發明實施例之詳細說明中，參考形成為本發明一部份之附圖，其中顯示本發明可以實施之特定實施例。這些實施例係足夠詳細地描述，以使得熟習於本技藝者可以實施本發明，可以了解的是，也可以利用其他實施例，完成邏輯、電性及其他方塊的改變，而不會脫離本發明之範圍。因此，以下之詳細說明並不作為限制用，本發明之範圍係由隨附之申請專利範圍加以界定。

本案描述具有串聯連接記憶體裝置的記憶體系統架構。記憶體系統係可縮放以包含任意數量之記憶體裝置，而沒有效能上之劣化或複雜之再設計。每一記憶體裝置具有一串聯輸入／輸出介面，用於其他記憶體裝置與記憶體控制器間之通訊。該記憶體控制器在至少一位元流中發出命令，其中該位元流跟隨有一模組化命令協定。該命令包含一操作碼，具有選用之位址資訊及裝置位址，使得只有被定址之記憶體裝置作用該命令。分開之資料輸出選通與命令輸入選通信號分別並聯提供有各個輸出資料流及輸入命令資料流，用以指明資料的類型與資料的長度。模組化命令協定係用以在每一記憶體裝置中執行同時發生之操作，

以進一步改良效能。

第 3A 圖為依據一實施例之串聯記憶體系統之概念結構的方塊圖。在第 3A 圖中，串聯記憶體系統 100 包含具有至少一串聯通道輸出埠 Sout 及一串聯通道輸入埠 Sin 之記憶體控制器 102，及串聯連接之記憶體裝置 104、106、108、110、112、114 及 116。在一實施例中，記憶體裝置可以為快閃記憶體裝置。或者，記憶體裝置也可以為 DRAM、SRAM 或任意類型之記憶體裝置，只要其具有一串聯輸入／輸出介面，與一特定命令結構相容即可，該結構係用以執行命令或傳送命令及資料至下一記憶體裝置。此記憶體裝置架構與一特定命令結構的其他細節將如後述。

現行實施例包含七個記憶體裝置，但其他實施例則可以少到只有一記憶體裝置，或多到任意數量之記憶體裝置。因此，如果記憶體裝置 104 為串聯記憶體系統 100 之第一裝置，因為其連接至 Sout，則記憶體裝置 116 為第 N 個或最後裝置，因為其連接 Sin，其中 N 為大於 0 之整數。記憶體裝置 106 至 116 然後中介串聯連接至第一與最後記憶體裝置間之串聯連接之記憶體裝置。每一記憶體裝置可以在系統供電啓始化時，假設一特有識別號碼，或裝置位址（DA），使得它們可個別被定址。同一受讓人之美國專利申請案 11/622,828；11/750,649；11/692,452；11/692,446；11/692,326 及 11/771,023 描述了一種產生記憶體系統之串聯連接記憶體裝置的裝置位址的方法。

因為一記憶體裝置的資料輸入被連接至前一記憶體裝置的資料輸出，所以記憶體裝置 104 至 116 係被認為是串聯連接，因而，形成一串聯連接架構，除了在鏈中之第一及最後記憶體裝置以外。

記憶體控制器 102 的通道包含任意資料寬的資料通道，以承載命令、資料及位址資訊；及一控制通道，以承載控制信號資料。通道架構的其他細節將如後所示。第 3A 圖之實施例包含一通道，其中一通道包含一 Sout 及對應 Sin 埠。然而，記憶體控制器 102 可以包含任意數量之通道，用以收納分開之記憶體裝置鏈。

在一般操作中，記憶體控制器 102 經由其 Sout 埠發出一命令，其包含一操作碼（op 碼）、一裝置位址、位址資訊，用以讀取或規劃；及用以規劃的資料。該命令係發出為串聯位元流封包，其中該封包可以邏輯地再細分為預定大小之區段，例如一位元組。一位元流係為在時間上所提供之位元順序或連續。該命令係為第一記憶體裝置 104 所接收，將裝置位址與其指定位址作比較。如果位址匹配，則記憶體裝置 104 執行該命令。否則，該命令被傳送經其輸出埠而到下一記憶體裝置 106，其中重覆了相同之程序。最後，被稱為選定記憶體裝置的具有相同裝置位址的記憶體裝置將執行為該命令所指定的操作。如果該命令為讀取資料，則選定記憶體裝置將經由其輸出埠輸出讀取資料，其係串聯地傳送至中介記憶體裝置，直到其到達記憶體控制器 102 的 Sin 埠為止。

因為命令及資料被提供於串聯位元流中，所以，一時鐘係為每一記憶體裝置所使用，以對入／出串聯位元加時鐘信號及用以同步化內部記憶體裝置之操作。此時鐘係為在該串聯記憶體系統 100 中之記憶體控制器及所有記憶體裝置所使用。對於串聯記憶體系統 100 有兩個可能之時鐘架構，並將以第 4 及 5 圖之實施例加以顯示。

第 3B 圖為包含一類型之記憶體裝置，例如 NAND 快閃記憶體裝置之第 3A 圖之記憶體系統之方塊圖。每一 NAND 快閃記憶體裝置可以彼此相同或彼此不同，例如在儲存密度上之不同。第 3C 圖為包含各種類型記憶體裝置之記憶體系統的方塊圖。這些記憶體裝置可以包含 NAND 快閃記憶體裝置、NOR 快閃記憶體裝置、動態隨機存取記憶體（DRAM）裝置、靜態隨機存取記憶體（SRAM）裝置及磁阻隨機存取記憶體（MRAM）裝置。當然，於此未提及之記憶體裝置也可以實施於記憶體系統中。此一具有混合類型之記憶體裝置的架構係揭示於申請於 2006 年十二月 6 日之美國臨時專利申請第 60/868,773 號案中。

第 4 圖為一使用並聯時鐘設計的串聯記憶體系統的方塊圖。串聯記憶體系統 200 包含一記憶體控制器 202 及四個記憶體裝置 204、206、208 及 210。記憶體控制器 202 並聯提供幾個信號給記憶體裝置。這些包含晶片致能信號 CE#、重置信號 RST#、及互補時鐘 CK#及 CK。在使用 CE#的一例子中，當 CE#為低邏輯位準時，裝置被致能。一旦記憶體裝置開始規劃或抹除操作時，CE#被解除，或

驅動至高邏輯位準。另外，在低邏輯位準之 $CE\#$ 也可以啟動內部時鐘信號，及在高邏輯位準之 $CE\#$ 則可以去能內部時鐘信號。在使用 $RST\#$ 的例子中，當 $RST\#$ 為低邏輯位準時，記憶體裝置被設定至重置模式。在重置模式中，電力被允許穩定化及裝置藉由啓始所有有限狀態機器及重置任一架構及狀態暫存器至其預設狀態，而準備操作。

記憶體控制器 202 的通道包含：一資料通道，其係由輸出埠 Q_n 及輸入埠 D_n 所構成；及一控制通道，其係由一命令選通輸入 CSI 、一命令選通輸出 CSO （ CSI 的回音）、資料選通輸入 DSI 、及一資料選通輸出 DSO （ DSI 的回音）。取決於想要的架構而定，輸出埠 Q_n 及輸入埠 D_n 可以是寬度 1 位元，或寬度 n 位元，其中 n 為非零的整數。例如，如果 n 為 1，則一位元組資料在時鐘的八資料門鎖緣後被接收。一資料門鎖時鐘緣可以例如為一上升時鐘緣。如果 n 為 2，則一位元組資料係在時鐘的四門鎖緣後被接收。如果 n 為 4，則一位元組資料係在時鐘的兩門鎖緣後被接收。記憶體裝置可以靜態地架構或動態地架構任意寬度之 Q_n 及 D_n 。因此，在 n 大於 1 的架構中，記憶體控制器在並聯位元流中提供資料。 CSI 係用以門鎖出現在輸入埠 D_n 的命令資料，並具有對應於所接收命令資料長度的脈寬。更明確地說，該命令資料將具有為若干時鐘循環所量測的持續時間，及 CSI 信號的脈寬將具有對應持續時間。 DSI 係用以致能輸出埠 Q_n 緩衝器以輸出資料，並具有對應於被要求之讀取資料長度的脈寬。 DSI 及 CSI 信

號之其他細節將如後所討論。

在第 4 圖所示之實施例中，每一記憶體裝置具有相同串列輸入／輸出介面，其包含 RST#、CE#、CK#及 CK 輸入埠，用以自記憶體控制器 202 接收相同名稱信號。串聯輸入／輸出介面包含資料輸入埠 Dn、資料輸出埠 Qn、CSI、DSI、CSO 及 DSO 埠。如第 4 圖所示，用於每一記憶體裝置的 Dn、CSI、DSI 輸入埠係分別連接至前一記憶體裝置的 Qn、CSO 及 DSO 輸出埠。因此，記憶體裝置係被彼此串聯連接，因為每一記憶體裝置將命令及讀取資料傳送至鏈中之下一記憶體裝置。

在第 4 圖之實施例的實際實施中，每一記憶體裝置係被定位在印刷電路板上，使得在輸入及輸出埠間之距離及信號軌最小化。或者，四個記憶體裝置可以實施在系統於封裝（SIP）模組中，這進一步最小化軌長度。記憶體控制器 202 及記憶體裝置 204 至 210 係被串聯連接以形成一環形拓樸，表示最後記憶體裝置 210 提供輸出回到記憶體控制器 202。因此，熟習於本技藝者可以了解到，於記憶體裝置 210 與記憶體控制器 202 間之距離容易最小化。

在第 4 圖之串聯記憶體系統 200 中之記憶體裝置的效能顯著優於第 1 圖之先前技術系統中之記憶體裝置的效能。例如，假定使用 66MHz 時鐘及串聯記憶體系統 200 包含四個記憶體裝置，第 4 圖之串聯連接之記憶體裝置之一的每一接腳資料率將約 133Mbps。相反地，假定每一記憶體裝置的讀取循環時間（tRC）及寫入循環時間（tWC）

係被額定為約 25ns 時，第 1 圖之具有四記憶體裝置的多投記憶體裝置每接腳資料率將約 40Mbps。再者，串聯記憶體系統 200 的功率消耗將相對於第 1 圖之先前技藝減少。串聯記憶體系統 200 的效能及功率消耗優點主要是由於沒有必須為每一記憶體裝置所驅動的信號軌 18。

第 4 圖之串聯記憶體系統 200 之顯著優點為系統的可縮放性。換句話說，四個以上之記憶體裝置也可以包含在連接至記憶體控制器 202 之記憶體鏈中，而不會有效能上之劣化。相反地，因為需要增加通道 18 的信號軌長度，以容納這些額外之裝置，所以，第 1 圖之先前技術系統將具有實際上之限制，其當愈來愈多記憶體裝置加入時，送回的愈少。額外之接腳載入信號係為該加入之裝置所貢獻。如前所述，時鐘頻率必須減少，以確保當驅動一長通道 18 時的資料傳輸完整性，這降低了效能。在第 4 圖之實施例中，時鐘的分佈將被設計以容納大量之記憶體裝置，並可以包含重覆器及平衡樹，以維持所有記憶體裝置的時鐘完整性。熟習於本技藝者可了解，有若干方式以提供一平衡時鐘信號。

雖然第 4 圖之串聯記憶體系統提供優於先前技術記憶體系統之效能，但也可以藉由第 5 圖之另一串聯記憶體系統實施例，來取得其他效能改良。除了並聯時鐘分佈設計外，第 5 圖之串聯記憶體系統 300 係類似於第 4 圖之實施例，另使用一電源同步時鐘設計。串聯記憶體系統 300 包含一記憶體控制器 302 及四記憶體裝置 304、306、308 及

310。記憶體控制器 302 包含時鐘輸出埠 CKO#及 CKO，用以提供互補時鐘信號，及時鐘輸入埠 CK#及 CK，用以接收來自系統之最後記憶體裝置的互補時鐘信號。記憶體裝置係與第 4 圖所示者相同，除了它們現具有時鐘輸入埠 CK#及 CK、及時鐘輸出埠 CKO#及 CKO 外，其中為一記憶體裝置在 CK#及 CK 埠所接收之時鐘係經由其 CKO#及 CKO 埠被提供給下一裝置。最後記憶體裝置 310 提供時鐘信號回到記憶體控制器 302。

第 5 圖之實施例的主要優點為沒有複雜之時鐘分佈設計及在記憶體裝置間之最小時鐘互連。因此，最小時鐘頻率可以增加至 166MHz，造成每一接腳最小之 333Mbps 資料率。如同第 4 圖之實施例，第 5 圖之實施例可以被縮放以包含任意量之記憶體裝置。例如，第五記憶體裝置可以加至第 5 圖之實施例中，並簡單地連接記憶體裝置 310 的輸出埠至第五記憶體裝置的對應輸入埠，並連接第五記憶體裝置的輸出埠至記憶體控制器 302。熟習於本技藝者可以了解，記憶體控制器 302 可以包含簡單之相鎖迴路（PLL）以維持時鐘頻率。

串聯記憶體系統 200 及 300 的架構可以靜態地固定若干特定量之記憶體裝置。不同架構可以藉由簡單地調整在串聯鏈中之記憶體裝置的數量，而設定用以提供不同記憶體系統容量。在另一實施例中，具有不同容量之記憶體裝置可以混合在該串聯鏈中，以對整個記憶體系統容量提供更多彈性。在部份應用中，可以藉由對串聯鏈中加入或移

除模組，而將記憶體系統容量作動態調整，其中一模組可以為單一記憶體裝置、SIP 記憶體、或具有記憶體裝置及／或 SIP 記憶體裝置的 PCB。

第 6 圖為一方塊圖，顯示動態可調串聯記憶體系統實施例。可調串聯記憶體系統 400 包含：一記憶體控制器 402；固定記憶體裝置 404、406、408 及 410；擴充鏈結 412、414、416、418 及 420；及擴充模組 422、424 及 426。固定記憶體裝置 404、406、408 及 410 係被彼此串聯連接至中介擴充鏈結，並至記憶體控制器 402。每一擴充鏈結係為公或母耦接機構，用以可釋放地接收及固持一模組，其具有對應之母或公耦接機構。每一模組包含至少一記憶體裝置，串聯地連接至擴充鏈結的終端。在所示例子中，擴充模組 422 及 426 各個包含四個彼此串聯於模組耦接機構的輸入連接器與輸出連接器間之記憶體裝置。模組 424 包含兩記憶體裝置，串聯連接於其模組耦接機構的輸入連接器與輸出連接器之間。因此，藉由將該模組插入擴充鏈結，另外之串聯連接記憶體裝置可以動態地插入於固定記憶體裝置之間。例如擴充鏈結 414 及 420 的未使用擴充鏈結將具有適當架構的跳線 428 及 430 連接至其上，用以維持該鏈的連續串聯電氣連接。

可調串聯記憶體系統 400 可以包含任意數量之固定記憶體裝置及擴充鏈結，及該記憶體模組可以被架構以包含任意數量之串聯連接之記憶體裝置。因此，藉由簡單地將新模組加入或以較大容量模組來替換現行模組，可調串聯

記憶體系統 400 具有全記憶體容量上完全之可擴充性，而不會衝擊整體效能。並不必要改變記憶體控制器，因為相同通道係被散佈有另外之串聯連接記憶體裝置，及熟習於本技藝者將了解，如何連接並聯控制信號，如 CE#、RST#及電源供給至所插入之模組。在模組被插入後，或模組移除後，記憶體系統 400 再啟動，使得記憶體控制器可以自動設定用於系統之記憶體裝置中之裝置的 ID。

示於第 3A 至 3C 及 4 至 6 圖中之串聯記憶體系統使用記憶體裝置，例如快閃記憶體裝置，具有相容之串聯輸入／輸出介面。具有串聯輸入／輸出介面之快閃記憶體裝置例係描述於共同受讓人之申請於 2005 年十二月 30 日之美國專利申請第 11/324,023 號案中。因此，示於第 3A 至 3C 及 4 至 6 圖中之實施例的記憶體裝置可以使用在該些專利申請案之快閃記憶體裝置。然而，描述於這些專利申請案中之串聯輸入／輸出介面係為可以使用之串聯介面的例子。任意之可以促成在記憶體裝置間之串聯操作的串聯輸入／輸出介面也可以使用，只要其架構以接受一預定命令結構即可。

依據另一實施例，串聯輸入／輸出介面可以以任意類型記憶體裝置加以使用。更明確地說，其他記憶體類型也可以適用以串聯輸入／輸出介面一起操作。第 7 圖為一般記憶體裝置的概念組織方塊圖，其具有適用於第 3A 至 3C 與 4 至 6 圖之串聯記憶體系統的本地核心及串聯輸入／輸出介面。記憶體裝置 500 包含一本地記憶體核心，其包含

記憶體陣列排 502 及 504，及本地控制與 I/O 電路 506，用以存取記憶體陣列排 502 及 504。熟習於本技藝者可以了解，記憶體陣列可以組織為單一記憶排或兩個以上之記憶排。本地記憶體核心可以為 DRAM、SRAM、NAND 快閃、或 NOR 快閃記憶體為主。當然，任何新出的記憶體及其對應控制電路均可以使用。因此，取決於本地記憶體核心的類型，電路方塊 506 可以包含錯誤檢測邏輯、高壓產生器、更新邏輯及任何其他電路方塊，以執行有關記憶體類型所需之操作。

典型地，記憶體裝置使用命令解碼器，用以回應於藉由主張內部控制信號所接收之命令，而啓始相關電路。它們將包含已知 I/O 電路，用以接收及門鎖資料、命令及位址。依據本實施例，現行 I/O 電路係被以串聯電路及控制邏輯方塊 508 替換。在本例子中，串聯介面與控制邏輯方塊 508 接收 RST#、CE#、CK#、CK、CSI、DSI 及 Dn 輸入，並提供 Qn、CSO、DSO、CKO、及 CKO#輸出，這些配合於第 5 圖所示之記憶體裝置的輸入及輸出埠。

串聯介面與控制邏輯方塊 508 負責各種如於美國專利第 11/324,023 號案所述之功能。串聯介面與控制邏輯方塊 508 的功能為設定一裝置識別號、傳送資料至下一串聯連接記憶體裝置、及解碼所接收之命令，用以執行本地操作。此電路可以包含一命令解碼器，其回應於相關於本地命令的串聯接收命令，替換該本地命令解碼器，該本地命令解碼器係架構以主張本地命令解碼器將主張的相同控制

信號。當記憶體裝置串聯連接時，命令組可以擴充以執行為記憶體控制器所用之特性。例如，狀態暫存器資訊可以被要求以評估記憶體裝置的狀態。

因此，第 3A 至 3C 與 4 至 6 圖之串聯記憶體系統可以包含記憶體裝置類型之混合，每一類型有所不同，這對於較大系統係有利的。例如，高速之 DRAM 記憶體可以用以快取操作，而非揮發之快閃記憶體可以用於大量資料儲存。不管所使用之記憶體裝置的類型為何，各個記憶體裝置係可個別定址以作動一命令，因為串聯介面與控制邏輯方塊 506 係架構以依據預定協定接收命令。

依據另一實施例，這些命令包含命令封包，其係具有一模組化命令結構，其係用以控制串聯記憶體系統之個別記憶體裝置。在提議之命令結構中，特定命令可以在不同時間發出給一記憶體裝置成為個別命令封包。一命令封包可以啓始第一記憶體排的特定操作，及當核心操作被執行時，一次後續命令封包可以然後被接收以回應於該第一命令封包，啓始第二記憶體排的另一操作。其他命令封包也可以被接收以類似於交錯方式，完成第一記憶體排及第二記憶體排的操作。這稱為在記憶體裝置中之執行同時發生之操作。在討論同時發生之操作前，將解釋模組化命令協定。模組化命令協定的細節係在申請於 2007 年三月 2 日之美國專利申請第 60/892,705 號名為“記憶體系統中之模組化命令結構與其用途”中作描述。

命令封包 600 具有如第 8 圖所示之結構，並包含三欄

位，其中兩個為取決於由記憶體控制器發出之特定命令加以選用。第一欄位為強制欄，其係為命令欄 602。第一選用欄為一位址欄 604，及第二選用欄為資料欄 606。

該命令欄 602 包含兩次欄，第一為裝置位址（DA）欄 608 及第二為 op-碼（OP 碼）欄 610。裝置位址欄 608 的長度可以是任意數量之位元，並用以定址在系統中之每一記憶體裝置。例如，長度 1 位元組之裝置位址欄 608 可以足夠定址 256 個記憶體裝置。一位址可以保留同時定址所有記憶體裝置，用以廣播一操作。在另一實施例中，裝置位址欄 608 可以包含一裝置類型欄，以指明有關 op-碼欄 610 有關之記憶體裝置的類型。例如，裝置類型欄可以指定 DRAM、SRAM 或快閃記憶體。op-碼欄 610 的長度可以任意數量位元，以代表用於任意數記憶體裝置的命令，並可以包含排位址。例如，快閃記憶體命令組將具有與 DRAM 命令組不同之命令，因此，如果記憶體系統包含兩類型之記憶體裝置，則 op-碼欄將被架構以容許來自兩命令組的所有可能命令。取決於為該 op-碼所指定之操作類型，位址欄 604 係用以提供一記憶體陣列的列位址（列 Addr）或行位址（行 Addr）。資料欄 606 將包含任意量之予以寫入或規劃入記憶體裝置的位元資料。因此，該命令封包 600 將在大小上有所變化，因為對於一特定操作，可能不需要寫入資料，及對於一特定操作，可能不需要位址及寫入資料。

第 9 圖出可以用以操作具有第 7 圖所示之架構的快閃

記憶體裝置的例示命令封包，以用於前述之串聯記憶體系統中。第 9 圖中之位元組位置對應於為記憶體裝置所依序接收的順序。命令欄 602 佔用第一及第二位元組位置，其包含裝置位址（DA）作為第一位元組資訊，及對應於該操作之 op-碼作為第二位元組資訊。位址欄 604 可以包含三位元組之列位址（RA），佔用第三至第五位元組位置，但用於其他命令則可以縮短，以包含兩位元組行位址（CA），只佔用第三及第四位元組位置。對於具有兩位元組行位址之命令，資料欄 606 將佔用第五位元組位置至第 2116 位元位置，如果資料有該長度的話。資料可以佔用更少或更多位元組位置。

由記憶體控制器所發出之任何命令封包 600 將為系統中之各個記憶體裝置所串聯接收，只有具有裝置位址包含命令欄 602 的 DA 次欄 608 的記憶體裝置被作動該 op-碼次欄 610。否則，命令封包係傳送經該記憶體裝置並至該鏈中之下一記憶體裝置。因為 op-碼為特定於一特定操作，所以，記憶體裝置，即記憶體裝置 500 之串聯介面與控制邏輯方塊 508 將控制命令封包的門鎖位址及／或資料資訊所需之電路。例如，如果一頁讀取命令封包為指定記憶體裝置所接收，則指定記憶體裝置將解碼該 op-碼並控制適當電路，以門鎖以下的三個位元組列位址。

列於第 9 圖之例示命令封包係有關於快閃記憶體操作。具有不同操作之任意類型記憶體裝置的一組命令封包可以架構以遵循所述之命令結構。

如前所述之命令封包可以較佳地用於執行記憶體裝置，例如第 7 圖之記憶體裝置 500 中之同時發生操作。如果記憶體裝置 500 被架構以獨立存取任一排，則可以在該記憶體裝置內，實質執行同時發生之操作。獨立存取表示不同記憶體排的核心操作可以彼此獨立地操作。此一記憶體裝置例係描述於前述美國專利申請第 11/324,023 號案中。核心操作表示一邏輯或功能操作，其不會被中斷，因為核心操作的完成可以取決於在狀態機或其他邏輯控制下所執行之特定事件的順序。

同時發生操作將增加系統的效能，因為記憶體控制器在送出用於第二操作的命令封包前，不需要等待，直到該記憶體裝置完全完成第一操作為止。在傳統 NAND 快閃記憶體裝置中，記憶體裝置將不接受另一命令，或反應於不同記憶體排的接收命令，直到核心操作完成現行記憶體排為止。因此，該記憶體裝置在接受另一命令前，將串聯執行幾個操作。在本實施例的同時發生操作中，一命令封包將啓始一記憶體排中之操作，及在核心操作被執行用於第一記憶體排的同時，一後續命令封包將立即啓始相同記憶體裝置中之第二記憶體排的另一操作。因此，兩操作將幾個同時為兩記憶體排所執行。

第 10 圖為一流程圖，顯示例如記憶體裝置 500 之記憶體裝置中，執行同時發生操作的方法，該記憶體裝置係被架構以獨立地存取其記憶體排。在步驟 700 開始，第一命令為記憶體控制器所發出並為記憶體裝置所接收。第一

命令可以是前述之在第 9 圖所示之任一命令封包。一旦整個封包（命令欄、位址欄及資料欄）被接收，則核心操作將在步驟 702 開始記憶體裝置的第一記憶體排。幾乎與第一記憶體排核心操作開始同時，一第二命令係為記憶體控制器所發出並為記憶體裝置所接收，如步驟 704 所示。

在步驟 706，第二記憶體排的核心操作係回應於第二命令加以執行。最後，屬於第一命令的所資訊將在步驟 708 提出。所得資訊可以包含狀態資訊或讀取資料，其係回應於一補充讀取命令封包加以提供。狀態資訊提供一例如規劃或抹除操作之特定類型操作的成功或失敗的指示，並由相關於該記憶體排的狀態暫存器回應於由記憶體控制器所出之補充“讀取狀態”命令封包加以讀取。讀取資料係回應於一補充“叢發（burst）讀取”命令封包加以提供。參考第 1 圖，讀取操作的核心操作將包含自該記憶體排的一方塊輸出一頁資料至資料暫存器方塊 32。為了自資料暫存器方塊 32 讀出資料，執行一叢發讀取操作。在步驟 710，將提供屬於第二命令之所得資訊。來自兩記憶體排的所資訊最後送回記憶體控制器。第 10 圖之實施例例示兩記憶體排的同時發生操作，但該方法可應用於該記憶體裝置的兩或更多記憶體排的同時發生操作。

第 11 至 15 圖為序向圖，顯示於美國專利申請第 11/324,023 號中所述之快閃記憶體裝置所執行之可同時發生的操作。第 11 至 15 圖顯示用於第 4 或 5 圖之一記憶體裝置在時間上之 CSI、Dn、DSI 及 Qn 的信號軌跡。所示

的順序係想要顯示於信號間之相對時序，而不是限制至特定時序值。應注意的是，命令選通輸入 CSI 係為記憶體控制器所產生並作為該記憶體控制器所組合及出之命令長度的指示符。例如，如果被發出之命令封包長度為兩位元組，則對應 CSI 具有對應於命令的第一位元之一作動緣（在此例為上升緣），及對應於命令封包最後位元的不作動緣。CSI 信號控制記憶體裝置命令暫存器，以門鎖該命令資料。資料選通輸入信號 DSI 也為記憶體控制器所產生，並作為記憶體控制器所提供之資料長度的指示符。例如，如果為記憶體控制器所要求之讀取資料長度為八位元組，則為記憶體控制器所產生之對應 DSI 將具有對應於讀取資料的第一位元的作動緣，及對應於讀取資料的最後位元之不作動緣。當已知發出命令位元長度及所要求之讀取資料位元長度時，CSI 及 DSI 係為記憶體控制器所產生。

第 11 圖為一時序圖，顯示兩不同排的記憶體裝置的同時發生讀取操作。當 CSI 在高邏輯位準時，一用於排 0 之頁讀取命令封包 800 係為記憶體裝置所門鎖。如第 9 圖所示，頁讀取命令包含兩位元組命令及三位元組列位址。排 0 之記憶體裝置將在 CSI 落在低邏輯位準後，在時間 t_0 ，開始執行被指定列位址的讀取操作。例如，一快閃記憶體裝置的讀取操作將包含字元線的作動，例如在第 1 圖之 WL_i ，並感應 BL_0 至 BL_j 的位元線資料。最後，所感應資料被門鎖或儲存於資料暫存器方塊 32。在一實施例中，一頁讀取命令封包 800 被經由其 Q_n 輸出埠傳送至上

一記憶體裝置。在另一實施例中，頁讀取命令封包 800 係被禁止傳送至其他記憶體裝置。例如，提供在 Q_n 輸出的頁讀取命令封包 800 可以在被門鎖至命令暫存器時被設定為零值。這將保存電力，因為並不需要信號線的軌至軌信號切換。

當 CSI 在高邏輯位準時，用於排 1 之頁讀取命令封包 802 係為記憶體裝置所門鎖。在 CSI 落入低邏輯位準後，排 1 之記憶體裝置將開始執行用於指定列位址之讀取操作。在特定數量之時鐘循環後，資料係在時間 t_2 準備由排 0 讀出。為了由排 0 讀出資料，記憶體控制器發出一叢發讀取命令封包 804，當 CSI 在高邏輯位準時，其係被接收與門鎖。如第 9 圖所示，叢發讀取命令封包將包含資料所讀取之行位址。在對應於命令封包 804 之 CSI 落在低邏輯位準後，DSI 將上升至高邏輯位準，以致能 Q_n 輸出埠緩衝器，藉以提供用於排 0 之輸出資料係為讀取資料封包 806。在使用第 1 圖之例子中，在 Q_n 輸出緩衝器上之資料輸出可以對應於自資料暫存器方塊 32 讀出之資料，由在叢發讀取命令封包 804 中所指定之行位址開始，並在 DSI 落在低邏輯位準時結束。當輸出排 0 之輸出資料的最後位元時，用於排 1 之資料將在時間 t_3 被準備讀出。在 DSI 落在低邏輯位準時，用於排 1 之叢發讀取命令封包 808 為記憶體裝置所接收與門鎖。在用於叢發讀取命令封包 808 之 CSI 的下降緣後，DSI 係被再次驅動至高邏輯位準，一預定持續時間，以在 Q_n 輸出埠上，輸出來自排 1 的讀取資

料作為讀取資料封包 810。

因為在 t_0 及 t_2 間之排 0 的核心操作與在 t_1 及 t_3 間之排 1 之核心操作係實質同時發生並彼此重疊，所以，兩讀取操作的總核心操作時間為時間 t_0 及 t_3 之間。在先前技藝中，兩核心操作依順序執行，這表示回應於第二頁讀取命令封包排 1 之核心操作開始，該第二頁讀取命令封包係在 t_2 之排 0 的核心操作完成後被接收。如前所示之執行同時發生操作的效能優點係為熟習於本技藝者所知。

第 12 圖為一時序圖，其中顯示兩不同排之記憶體裝置的同時發生操作。由此點注意，在記憶體裝置之 D_n 輸入埠所接收之命令封包係被傳送至其 Q_n 輸出埠，其係在第 11 至 15 圖之 Q_n 信號軌所示。為了規劃一記憶體排，規劃資料係根據一特定行位址被載入至記憶體裝置的資料暫存器，然後規劃入特定列。在第 12 圖中，用於排 0 之叢發資料載入命令封包 820 係與規劃資料一起接收，其後立即有一頁規劃命令封包 822。當 CSI 在高邏輯位準時，命令封包 820 及 822 均被門鎖。在頁規劃封包 822 被門鎖並為記憶體裝置所解碼後，用以規劃資料至排 0 之核心操作開始於時間 t_0 。現在，用於排 1 之叢發資料載入命令封包 824 係與規劃資料一起接收，隨後立即有一頁規劃命令封包 826。在頁規劃封包 826 被門鎖並為記憶體裝置所解碼後，用於對排 1 規劃資料之核心操作開始於時間 t_1 。

如果想要話，記憶體控制器也可以藉由發出一讀取狀態命令封包 828 要求記憶體裝置的狀態。這將存取記憶體

裝置的狀態暫存器，當 DSI 於高邏輯位準時，記憶體裝置之資料將被輸出於 Qn 輸出埠上作為讀取資料封包 830。熟習於本技藝者可了解，當執行內部操作時，狀態暫存器記憶體裝置所內部更新。在本例子中，讀取資料封包 830 將指示對排 0 的規劃已經完成。一後續發出之讀取狀態命令封包 832 將造成讀取資料封包 834 提供狀態暫存器的值，這可以對排 1 之規劃已經完成。再次，因為排 0 至排 1 之核心規劃操作實質同時發生並重疊，因而，相較於續兩排的依序規劃時，可以節省很多之時間。

第 13 圖為一時序圖，顯示記憶體裝置的兩不同排之同時發生讀取與規劃操作。用於排 0 之頁讀取命令封包 840 係為記憶體裝置所門鎖，其後跟有一用於排 1 之叢發資料載入開始令封包 842，其後再跟隨有用於排 1 之頁規劃命令封包 844。在時間 t0，用以讀取資料的核心操作由排 0 開始，而在時間 t1 中，用以規劃資料的核心操作由排 1 開始。因為排 0 之頁讀取操作的核心操作被首先啓始，所以當用以規劃排 1 資料的核心操作正進行時，資料將會在時間 t2 完備。因此，一叢發讀取命令封包 846 被接收，及 DSI 被主張以輸出在讀取資料封包 848，輸出自排 0 讀取之資料。在 DSI 被解除以結束自排 0 讀出之資料輸出後，可以發出一讀取狀態命令封包 850，以檢查排 1 的規劃狀態。因為排 1 應已在時間 t3 完成規劃操作，所以再次主張 DSI 並且讀取資料封包 852 被提供在 Qn 輸出埠，對排 1 表示規劃操作的通過或失敗狀態。

第 14 圖為一序向圖，顯示記憶體裝置的兩不同排的同時發生方塊抹除。用於排 0 之方塊抹除位址輸入命令封包 860 係為記憶體裝置所門鎖，並為用於排 0 之抹除命令封包 862 所跟隨。在門鎖抹除命令封包 862 後，在時間 t_0 ，用於排 0 的核心操作開始。現在用於排 1 之方塊抹除位址輸入命令封包 864 係為記憶體裝置所門鎖，其跟隨有用於排 1 之抹除命令封包 866。在門鎖抹除命令封包 866 後，用於排 1 之核心操作再次於時間 t_1 開始。方塊抹除位址輸入命令與抹除命令的結構係如第 9 圖所示。如果用於排 0 之抹除操作應在時間 t_2 完成及排 1 之抹除操作應在時間 t_3 完成，則分開之讀取狀態命令封包 868 及 870 可以被發出並為記憶體裝置所門鎖。對應之讀取資料封包 872 及 874 係被提供在記憶體裝置的 Q_n 輸出埠上，每個提供狀態暫存器之值。

在第 11 至 14 圖之時序圖中，已經顯示不同組合之同時發生操作。描述於前述實施例之模組化命令封包結構的優點為不同命令封包可以在不同時間發出。如前所示，一叢發資料載入命令封包係為一頁規劃命令封包所跟隨。然而，這並不是完全必然的，及如果想要的話，頁規劃命令封包可以隨後發出。當命令封包係配合命令選通信號 CSI 及資料選通信號 DSI 的組合一起使用時，更實現進一步優點，即為能懸置記憶體裝置操作之能力。如前所述， CSI 選通信號係為記憶體控制器所提供，用以表示在 D_n 輸入埠上之命令資料係予以為命令暫存器所門鎖，並可以具有

對應於被發出之命令封包長度的持續時間。因為用以規劃一記憶體排的輸入資料及自一記憶體排讀出之輸出資料可以長度上超出 1000 位元組，所以，熟習於本技藝者可以了解到，用以輸入或輸出此數量之資料時，需要相當長的時間。依據本實施例，CSI 及 DSI 選通信號可以在規劃資料被載入或讀取資料被輸出時被預先解除，並在隨後時間回復。

第 15 圖為一序向圖，顯示兩不同排之記憶體裝置的同時發生規劃及讀取操作，及懸置與回復操作。用於排 1 之叢發資料載入開始命令封包 880 係被門鎖，及在命令封包之資料欄中之資料酬載係為記憶體裝置所門鎖。在時間 t_0 ，當記憶體控制器解除 CSI 時，載入記憶體裝置的資料係被懸置。在本例子中，只有 256 位元組的資料被記憶體裝置所門鎖，其係為記憶體控制器所追蹤。用於排 0 之頁讀取命令封包 882 係被門鎖，及用於排 0 之核心操作於時間 t_1 開始。當接收到用於排 1 之叢發資料載入命令封包時，命令封包 880 之懸置資料載入操作在時間 t_2 回復。在命令封包 884 之資料欄中之資料酬載包含未被門鎖的保留之 1856 位元組資料。隨後的是，用於排 1 之頁規劃命令封包 886，及用於排 1 之規劃資料的核心操作在時間 t_3 開始。最後，用於排 0 之核心操作將在時間 t_4 完成，及用於排 0 之叢發讀取命令封包 888 係為記憶體控制器所發出並為記憶體裝置所門鎖。當 DSI 為高邏輯位準時，讀取資料然後輸出為資料讀取封包 890。

然而，因為予以輸出大量資料，所以主機系統可以想要對排 1 確認規劃完成，因為控制器將知道規劃操作應於預定時間內完成，例如時間 t_6 。在發送讀取狀態要求前，不同於等待所有予以輸出之讀取資料，讀取資料的輸出可以藉由解除 DSI，懸置在時間 t_5 。一旦資料輸出操作被懸置，一讀取狀態命令封包 892 係為記憶體控制器所發出並為記憶體裝置所門鎖。然後，提供有包含有狀態暫存器值的對應讀取資料封包 894。在 DSI 於讀取資料封包 894 的末端解除時，可以回復叢發讀取。這係藉由令記憶體控制器發出用於排 0 之叢發讀取命令封包 896 加以完成，這將包含在時間 t_5 懸置讀取前，予以輸出之下一位元的位址。在時間 t_7 ，剩餘 1600 位元組係由 Q_n 輸出埠所輸出，作為讀取資料封包 898。

第 15 圖之懸置操作例顯示用以執行同時發生操作之模組化命令結構的優點，各個操作可以被懸置及回復，以最大化核心利用率及通道的利用。

第 11 至 15 圖之例示序向與操作取決於 CSI 及 DSI 選通信號，以提供有關命令封包或讀取資料封包的資訊。因為命令封包在大小上為可變，所以，沒有信頭資訊用以表示命令封包的位元長度，CSI 選通信號作動為用於命令封包的一信頭，該命令封包係並聯於資料命令封包加以提供。用於命令封包的長度的 CSI 信號為作動的，並為記憶體裝置所用以門鎖出現在 D_n 輸入埠的命令封包資料至適當的暫存器。DSI 信號在期待讀取資料封包的長度時為作動

的，這係為記憶體控制器所知，並與讀取資料封包並聯行進。因而，作動 DSI 信號作動為讀取資料封包的信頭。因此，命令封包與讀取資料封包的長度對應於其個別 CSI 及 DSI 選通信號的長度。

因為讀取資料封包及命令封包行經連接在鄰接記憶體裝置的 D_n 及 Q_n 埠間之相同信號線，所以，具有資料的 CSI 選通的出現指定資料為命令資料封包，而具有資料的 DSI 選通的出現指定資料為讀取資料。因此，選通信號指出行經記憶體系統的資料類型。記憶體控制器將追蹤其發出之 DSI 選通，使得其可以匹配所接收之讀取資料封包與期待之資料類型。例如，讀取資料封包可以包含狀態暫存器資訊或自記憶體陣列讀出之資料。

針對 CSI 及 DSI 信號的功能相關性，最小分開時間係被插入於任一類型之後續選通信號間。這係用以確保每一命令封包及讀取資料封包為可區分與定義，及確保適當類型之資料係為記憶體控制器的記憶體裝置所門鎖。使用分開有四種可能狀態。有 CSI-至 -CSI 分開 (t_{CCS})、CSI-至 -DSI 分開 (t_{CDS})、DSI-至 -CSI 分開 (t_{DCS}) 及 DSI-至 -DSI 分開 (t_{DDS})。

CSI-至 -CSI 分開 (t_{CCS}) 為至相同或不同裝置之連續命令封包間之時鐘週期 (t_{CK}) 中之最小分開時間。此分開時間允許前一命令予以由該記憶體裝置清除，藉由清除該命令暫存器及重置任一命令邏輯，例如在準備新命令時。DSI-至 -DSI 分開 (t_{DDS}) 為至相同裝置之連續讀取資料

封包間之準備時鐘週期 (t_{CK}) 中之最小分開時間。此分開時間允許輸出緩衝器電路在準備予以輸出下一資料時重置。DSI-至-CSI 分開 (t_{DCS}) 為對相同或不同裝置之讀取資料封包與後續命令封包間之時鐘週期 (t_{CK}) 中之最小分開時間。CSI-至-DSI 分開 (t_{CDS}) 為相同裝置之命令封包與讀取資料封包間之時鐘週期中之最小分開時間。這兩分開時間確保適當資料類型為記憶體裝置所門鎖，因為兩種可能連續出現在記憶體裝置的 D_n 輸入埠內。因為記憶體控制器發出 CSI 及 DSI 信號與知道命令封包或資料位元長度，所以，這確保命令封包與資料封包本身係為相同的最小時間所分開作為選通信號。

這些分開時間的例子係在第 11 至 14 圖中被標示出，應注意最小分開時間可以為時鐘的一資料門鎖，取決於被使用之資料率架構，其可以為一時鐘週期的分數。例如，在資料被門鎖於時鐘的上升緣的單一資料率架構 (SDR) 中，最小分開時間將為一時鐘循環或週期。在資料被門鎖於鐘的上升緣及下降緣的雙倍資料率架構 (DDR) 中，最小分開時間將為一時鐘週期的 0.5。第 11 至 15 圖為單一記憶體裝置中之同時發生操作例，並未清楚顯示 CSI-至-DSI 分開或 DSI-至-CSI 分開的相關性。第 16 圖為一序向圖，顯示 CSI-至-DSI 或 DSI-至-CSI 分開的相關性。

第 16 圖為一例示狀況，其中第一記憶體裝置自其 Q_n 輸出埠輸出其讀取資料及第二串聯連接記憶體裝置在讀取資料由第一記憶體裝置輸出後接收一命令封包。在此例子

中所表示之該兩記憶體裝置可以例如對應於第 4 及 5 圖所示者。用於 DSI_1、CSI_1、DSO_1、CSO_1 及 Qn_1 埠之信號軌跡係被顯示用於第一記憶體裝置，而附接之“_1”表示第一記憶體裝置的埠。用於 DSI_2、CSI_2 及 Dn_2 埠之信號軌跡係被顯示用於第二記憶體裝置，而附接之“_2”表示第二記憶體裝置的埠。假設第一記憶體裝置已經事先接收一或多數命令封包，用以由其中讀取之資料。結果，DS_1 接收選通信號 900，用以輸出資料至 Qn_1 埠上作為讀取資料封包 902。讀取資料封包 902 被標示為“Qn_1 讀取資料”。因為讀取資料及選通信號被由第一記憶體裝置串聯地傳送至第二記憶體裝置，所以 DSO_1 傳送自 DSI_1 埠接收的選通信號至第二記憶體裝置的 DSI_2 埠。同樣地，讀取資料封包 902 係自第一記憶體裝置的 Qn_1 埠傳送至第二記憶體裝置的 DN_2 埠。

記憶體控制器發出一定址至被標示為“Dn_2 CMD 資料”的第二記憶體裝置命令封包 904，其後有一隨附 CSI 選通信號 906。選通信號 906 經由 CSI_1 被傳送經第一記憶體裝置及命令封包被經由該第一記憶體裝置（未示於第 16 圖）的 Dn 輸入埠傳送並經由 Qn_1 輸出埠傳出。第一記憶體裝置將忽略命令封包 904，因為其係針對第二記憶體裝置。第一記憶體裝置然後由其 CSO_1 埠傳送選通信號 906 至第二記憶體裝置的 CS_2 埠，並經由其 Qn_1 輸出埠傳送命令封包 904 至第二記憶體裝置的 Dn_2 輸入埠。因為在選通信號 900 之下降緣與選通信號 906 之上升緣

間有最小分開 t_{CDs} ，及在讀取資料封包 902 之最後位元與命令封包 904 之第一位元間有最小分開，所以，第二記憶體裝置將可靠地門鎖命令封包 904 於適當之暫存器中。另一方面，如果命令封包 904 及其對應選通信號 906 被發出沒有任何分開 t_{CDs} ，則第二記憶體裝置可以門鎖讀取資料封包 902 的讀取資料位元成為命令封包 904 的一部份。因此，最小分開確保沒有資料類型的混合。

在前所描述之記憶體系統中之記憶體裝置，特別是非揮發記憶體裝置具有的優點為當沒有電力供給至記憶體裝置時，其能保持所儲存之資料。然而，於全功率操作與完全沒有電力或省電位準間之轉移可能危及所儲存資料的完整性。

第 17A 圖顯示本發明實施例可以應用之快閃記憶體裝置。參考第 17A 圖，一快閃記憶體 1010 包含：例如控制電路 1012 之邏輯電路，用以控制快閃電路的各種操作；及一位址暫存器 1012a，用以儲存位址資訊；一資料暫存器 1012b，用以儲存規劃資料資訊；一命令暫存器 1012c，用以儲存命令資料資訊；高壓電路，用以產生所需之規劃及抹除電壓；及核心記憶體電路，用以存取記憶體陣列 1014。該控制電路 1012 包含一命令解碼器及邏輯，用以執行內部快閃操作，例如讀取，規劃及抹除功能。熟習於本技藝者可以了解，這些操作係可以回應於儲存於命令暫存器 1012c 中之命令資料加以執行，有時配合儲存於個別位址暫存器 1012a 及資料暫存器 1012b 之位址資料

及規劃資料，這係取決於予以執行之操作而定。命令資料、位址資料及規劃資料係為一記憶體控制器所發出並為快閃記憶體 1012 所門鎖入對應暫存器中。快閃記憶體 1010 之所示電路方塊功能係為本技藝所知。熟習於本技藝將了解，示於第 1 圖中之快閃記憶體 1010 代表很多可能架構中之一可能快閃記憶體架構。

對於快閃記憶體 1010 之適當操作，暫存器儲存位址、資料及命令資訊必須可靠。一儲存於暫存器中之不當值造成裝置故障。例如，變化之電壓可能使得暫存器隨機改變儲存於命令暫存器 1012c 中之資訊的狀態，可能造成對應於接收規劃或抹除命令之位元圖案。在此例子中，一虛偽規劃操作將使得在資料暫存器 1012b 中之隨機資料予以規劃至記憶體陣列 1014 之位址暫存器 1012a 中之隨機位址。如果資料存在於此位址，則對應於該位址之記憶體單元將受到規劃電壓，及其臨限電壓將改變。一虛偽抹除操作可能造成在記憶體陣列 1014 中之存在資料的抹除。因為記憶體控制器不知為快閃記憶體 1010 所執行之虛偽操作，所以遺失之資料不可回復。

快閃記憶體 1010 之暫存器典型被以具有兩穩態之正反器電路構成。D 型正反器為本技藝中已知，如第 17 圖所示。D 型正反器 1050 具有 D 輸入，用以接收輸入資料 D_IN，其係被內部門鎖在時鐘信號 CLK 之作動緣，例如 CLK 之上升緣。當門鎖時，Q-輸出將提供對應於 D_IN 邏輯狀態的 D_OUT，而互補 Qb 輸出將提供對應於 D_IN 邏

輯狀態反相的 D_OUTb 。一重置輸入清除閃鎖，而信號 RESET 係在作動位準，例如 V_{SS} 或地端。每一正反器電路儲存一位元資料，及命令暫存器 1012c 將包含多數正反器電路。如同為熟習於本技藝所知，正反器電路可以包含一對交叉連接之反相電路。

第 18 圖顯示在典型快閃記憶體 1010 中之供電與斷電操作時之電壓源 V_{CC} 、低態有效邏輯位準重置信號 $RST\#$ 、及低態有效邏輯位準晶片致能信號 $CE\#$ 。在一典型供電操作中，在導通時間 t_{ON} ，電源電壓 V_{CC} 由低 GND 或 V_{SS} 電壓位準轉移至高 V_{CC} 電壓位準。 V_{CC} 電壓位準上升及在時間 t_{ST} 到達穩定電壓位準 V_{ST} ，在此時，快閃記憶體 1010 可以操作。最後，在時間 t_v ， V_{CC} 電壓位準到達最大值 V_{CC} 位準。該裝置重置及致能信號 $RST\#$ 及 $CE\#$ 分別由一相關記憶體控制器接收，並在時間 t_{ON} 同時被驅動至不作動之高邏輯位準，但跟隨 V_{CC} 的上升電壓。一旦 $RST\#$ 解除，或在不作動之高位準，則裝置為“準備”狀態，並可操作以自該記憶體控制器接收命令。或者，在裝置於重置狀態的同時，控制器藉由將其驅動至不動高邏輯位準而在時間 t_{ON} 解除 $CE\#$ 信號。因為 V_{CC} 上升至最小電壓位準，所以， $CE\#$ 將跟隨 V_{CC} 升壓。在時間 t_{CEOff} ， $CE\#$ 信號可以被主張以允許裝置進入正常執行狀態。此時間 t_{CEOff} 發生在 $RST\#$ 信號已解除或驅動至不作動高邏輯狀態後（即在時間 t_v 後），經過至少 $t_{CE\#}$ 的時間間距後發生。一旦裝置進入正常執行狀態，啓始操作可以以裝置位準及系統位

準執行。然而，在 V_{CC} 轉移時間，即由時間 t_{ON} 轉移至時間 t_V 間，或至少到時間 t_{ST} ，至暫存器的控制信號不能被精確地控制。這可能造成虛偽資訊被儲存在快閃記憶體 1010 之各種暫存器中，而造成不當規劃或抹除資料，造成快閃記憶體 1010 中之資料完整性之損失。

由於在電力轉移時，發生之不自願規劃／抹除操作，所造成之資料完整性之損失，在本世代的快閃記憶體裝置中加劇，本世代記憶體裝置需要速度、尺寸減縮、及想要低功率消耗，這需要快閃裝置經常地操作於較低之 V_{CC} 電壓位準。較低之 V_{CC} 位準放大了有關虛偽資訊被儲存於快閃裝置之各暫存器中之問題，因而，不利地影響資料可靠度。

本案描述在非揮發記憶體裝置之電力轉移時，例如供電操作或斷電操作時之資料保護方法。在主張任何電力轉移前，一重置信號被主張，以去能記憶體裝置的功能。在裝置電壓期待穩定時，重置信號被維持一預設時間。在此時間，所有內部暫存器，例如裝置之命令暫存器係被設定至預設值，藉以防止由於裝置所執行之虛偽／抹除命令所造成之資料損失。

第 19 圖為依據本發明實施例之非揮發記憶體裝置中之供電及斷電操作中，電壓源 V_{CC} 、低態有效邏輯位準重置信號 $RST\#$ 、及低態有效邏輯位準晶片致能信號 $CE\#$ 。如前所述，在時間 t_{ON} ， V_{CC} 電壓由低 GND 或 V_{SS} 電壓位準轉移至高 V_{CC} 電壓位準。或者， V_{CC} 電壓位準可以由低

功率位準轉移至 V_{CC} 電壓位準。在時間上， V_{CC} 電壓位準上升及在時間 t_{ST} 超出一快閃記憶體 1010 可以操作之穩定電壓位準 V_{ST} 。最後，在時間 t_V 時， V_{CC} 電壓位準到達最大 V_{CC} 位準。然而，為了防止裝置由於虛偽資訊被門鎖入命令暫存器而故障，一例如有關於該非揮發記憶體裝置的記憶體控制器之控制器保有 $RST\#$ 信號在低態有效邏輯位準，以去能裝置的所有功能一等待時間週期，其至少為 V_{CC} 電壓位準到達穩定 V_{ST} 電壓位準所花用之時間（時間 t_{ON} 至 t_{ST} ）。如第 19 圖所示之實施例中， $RST\#$ 信號係被保持在低態有效邏輯位準一延長時間週期 t_{RST} （由時間 t_{ON} 至 t_{ST} ）加上在 V_{CC} 位準到達穩定電壓位準 V_{ST} 後的至少一時間間距 t_1 。當 $RST\#$ 信號係在低態有效邏輯位準時，所有裝置的內部暫存器將因此保持在一預設或重置狀態。

最後，控制器將在時間間距 t_{RST} 後解除 $RST\#$ ，如第 19 圖所示。在此時，電力將穩定及裝置元件可以準備或啓始操作。或者，當裝置在重置狀態中，在時間 t_{ON} ，控制器藉由將其驅動至不作動之高邏輯狀態，而解除 $CE\#$ 信號。因為 V_{CC} 為上升至其最大電壓位準，所以 $CE\#$ 將跟隨 V_{CC} 上升。 $CE\#$ 信號在時間 t_{CEOff} 被主張，以允許裝置進入一正常執行狀態。時間 t_{CEOff} 在至少 t_2 的時間間距後發生，在 $RST\#$ 信號被解除後，或驅動至不作動之高邏輯位準後。一旦裝置進入正常執行狀態，啓始操作可以被執行於裝置位準或系統位準。在功率轉換操作時，令裝置保持

於一重置狀態一預定量的時間，防止了虛偽資訊被儲存或門鎖至裝置的各暫存器上。該裝置因此被保護對抗不當及不小心之規劃或抹除資料，確保在功率轉換時的資料完整。

一類似程序確保資料保護可以在斷電操作時加以跟隨，藉由當 V_{CC} 被關閉及驅動至低 GND 或 V_{SS} 電壓位準時，在預定時間，在 t_{OFF} 前，主張 $RST\#$ ，或驅動 $RST\#$ 至低態有效邏輯位準。

一流程圖，顯示在非揮發記憶體裝置中，依據本發明實施例，在功率轉換時之資料保護的方法係如第 20 圖所示。控制非揮發記憶體裝置，例如快閃記憶體裝置的記憶體控制器在任一功率轉換（步驟 1100）前，保持 $RST\#$ 為低，以使裝置在一重置狀態。在此時，裝置的內部暫存器被設定至一預設或重置狀態。控制器然後允許電力轉換（步驟 1102）並等待預設時間，等待裝置的內部電壓穩定（步驟 1104）。等待時間週期對應於第 19 圖所示之 t_{RST} ，並至少為 V_{CC} 電壓位準到達穩定 V_{ST} 電壓位準所花的時間（時間 t_{ON} 至 t_{ST} ）加上在 V_{CC} 位準到達一穩定電壓位準 V_{ST} 後的至少一時間間距 t_1 。時間間距 t_1 可以根據例如操作電壓及處理技術之裝置特徵加以決定。例如， $RST\#$ 保持為低之總時間週期，即 t_{RST} 可以為 10 微秒或更大。在此裝置的時間週期各種元件穩定及時鐘變成可操作並變成頻率及相位穩定。

在經過時間週期 t_{RST} 後，當裝置期待在“備用”狀態時

，控制器主張 $RST\#$ 高信號（步驟 1106）。如參考第 19 圖所，在時間 t_{ON} 控制器主張 $CE\#$ 信號，同時，裝置在重置狀態，並在 $RST\#$ 被解除，以將記憶體裝置由重置狀況釋放。 $CE\#$ 信號在時間 t_{CEOff} 解除，以允許裝置進入一正常執行狀態。時間 t_{CEOff} 係在 t_2 的至少一時間間距後，在 $RST\#$ 信號已經主張後。一旦裝置進入正常執行狀態，啓始操作可以執行於裝置位準或系統位準（步驟 1108）。類似於時間 t_1 ，時間間距 t_2 可以根據裝置特徵加以決定，並將由一記憶體系統至另一記憶體系統地改變。例如， t_2 可以是 100 微秒或更大。

第 21 圖描述在功率轉移時，裝置所涉及之步驟，以確保依據本發明實施例之資料保護。在任何電力轉移前，該非揮發記憶體裝置自一控制該裝置的記憶體控制器接收一 $RST\#$ 低信號（步驟 1200）。裝置然後自該控制器接收電力，以作動該裝置元件（步驟 1202）。此接收之電力可以由 VSS 電壓或由一低功率模式電壓位準增加至全 VCC 操作電壓位準。因為 $RST\#$ 信號很低，所以，裝置係被放置在重置狀態。在此時，裝置的內部暫存器及任一有限狀態機係被設定並維持在一預設或重置狀態（步驟 1204）。在主張 $RST\#$ 為高前，控制器然後等待預定時間週期，等待裝置的內部電壓穩定。在經過時間週期 t_{RST} 後，當裝置被期待有一“準備”狀態時，控制器主張一 $RST\#$ 高信號。裝置接收 $RST\#$ 高信號並放置裝置於“準備”狀態（步驟 1206）。在時間 t_{CEOff} 時，控制器主張 $CE\#$ 信號，

以允許裝置進入正常執行狀態。如前所述，一旦裝置進入正常執行狀態，則啓始操作可以以裝置位準執行（步驟 1208）。

在第 4 圖之記憶體系統 200 中之電力轉換中，討論資料保護的方法。供電時，記憶體控制器 202 將保持重置（RST#）為低，以保持所有記憶體裝置 204、206、208 及 210 在重置，同時，電力穩定及裝置準備操作。在 V_{CC} 穩定後，RST#將為控制器 202 所保持為低一最小時間 t_1 （例如 20 微秒），如第 19 圖所示。在 RST#被保持為低時，在記憶體中之所有有限狀態機被啓始，及任何架構及狀態暫存器均被重置至其預設或重置狀態。在 RST#被解除至一高邏輯位準，時鐘變成操作性並變成頻率及變成頻率及相位穩定。如前參考第 19 圖所示，在時間 t_{ON} ，控制器 202 解除 CE#信號，同時，裝置係在重置狀態及主長 CE#及 RST#已經解除。CE#信號在時間 t_{CEOff} 被主張以允許裝置進入正常執行狀態。時間 t_{CEOff} 係在 t_2 的時間間距後經過，在 RST#信號被主張後。一旦裝置進入正常執行狀態，啓始操作可以執行於裝置位準及系統位準。啓始化操作例子包含裝置位址及識別碼產生，及在串聯連接中之每一裝置的指定。各種裝置位址及識別碼產生之方法係描述於共同申請之美國專利申請案第 11/622,828；11/750,649；11/692,452；11/692,446；11/692,326；及 11/771,023 案中。

藉由確保裝置在重置狀態一預定時間量，在功率轉移

操作時，防止虛偽資訊被儲存或門鎖在裝置的各暫存器中。該裝置因此被保護對抗資料的不當規劃或抹除，確保資料在電力轉移時之完整性。

在前述說明中，為了解釋目的，各種細節係加以描述，以提供對本發明之實施例有完全之了解。然而，為熟習於本技藝者可以了解這些特定細節在實施本發明時並不需要。例如，已知電結構及電路係被以方塊圖顯示，以不會阻礙本發明。例如，有關於本發明實施例所述之特殊細節係被提供實施為軟體常式、硬體電路、韌體、或其組合。

本發明之實施例可以以儲存於機器可讀媒體（稱為電腦可讀取媒體、處理器可讀取媒體、或具有電腦可讀取程式核心實施例）電腦可用媒體中之軟體加以表示。機器可讀媒體可以為任意適當實媒體，包含磁、光或電性儲存媒體包含有碟片、光碟（CD-ROM）、記憶裝置（揮發或非揮發），或類似儲存媒體。機器可讀取媒體可以包含各種組之指令、碼序向、架構資訊、或其他資料，當其被執行時，使得一處理機執行依據本發明實施例之方法的步驟。熟習於本技藝者可以了解，其他指令或操作以執行所述之本發明也可以儲存在機器可讀取媒體中。由機器可讀媒體執行之軟體可以與電路互動，以執行想要工作。

本發明之上述實施例係只作例示。各種改變、修正及變化可以為熟習於本技藝者，在不脫離本發明範圍下完成，本發明範圍係由隨附申請專利範圍所界定。

【圖式簡單說明】

第 1 圖 先前技術之 NAND 快閃記憶體核心之示意圖；

第 2 圖 為先前技術之快閃記憶體系統之方塊圖；

第 3A 圖 為串列記憶體系統之一般方塊圖；

第 3B 圖 為由 NAND 快閃記憶體裝置構成之串聯記憶體系統之方塊圖；

第 3C 圖 為由不同記憶體裝置混合所構之串聯記憶體系統之方塊圖；

第 4 圖 為第 3A 圖之串聯記憶體系統架構有並聯時鐘設計之方塊圖；

第 5 圖 為第 3A 圖之串聯記憶體系統架構有源同步時鐘設計之方塊圖；

第 6 圖 為動態可調串聯記憶體系統之方塊圖；

第 7 圖 為具有一本地核心與串聯輸入／輸出介面適用於第 3A 至 3C 及 4 至 6 圖之串聯記憶體系統的記憶體裝置的方塊圖；

第 8 圖 為模組化命令封包結構示意圖；

第 9 圖 為用以操作第 7 圖之快閃記憶體裝置例示模組化命令封包的表列；

第 10 圖 為在一記憶體裝置內執行同時發生操作方法的流程圖；

第 11 圖 為用於兩不同排之記憶體裝置的同時發生讀取操作的時序圖；

第 12 圖 為用於兩不同排之記憶體裝置的同時發生規

劃操作的時序圖；

第 13 圖為用於兩不同排之記憶體裝置的同時發生讀取及規劃操作的時序圖；

第 14 圖為用於兩不同排之記憶體裝置的同時發生方塊抹除之時序圖；

第 15 圖為具有懸置及回復操作之不同排記憶體裝置的同時發生規劃及讀取操作的時序圖；

第 16 圖為兩串聯連接記憶體裝置操作的時序圖；

第 17A 圖為本發明實施例可應用之快閃記憶體裝置的方塊圖；

第 17B 圖為正反器之示意圖；

第 18 圖為在第 17A 圖之快閃記憶體裝置供電及斷電操作時之各種控制信號的時序圖；

第 19 圖為在一非揮發記憶體裝置之供電及斷電操作時之各控制信號的時序圖；

第 20 圖為在非揮發記憶體裝置中之電力轉換時，資料保護方法之流程圖；及

第 21 圖為依據本發明另一實施例之非揮發記憶體裝置電力轉換時，資料保護方法之流程圖。

【主要元件符號說明】

30：排

32：資料暫存器

10：快閃記憶體系統

12：主機系統

14：記憶體控制器

16：非揮發記憶體裝置

18：通道

100：串聯記憶體系統

102：記憶體控制器

104：記憶體裝置

106：記憶體裝置

108：記憶體裝置

110：記憶體裝置

112：記憶體裝置

114：記憶體裝置

116：記憶體裝置

200：串聯記憶系統

202：記憶體控制器

204：記憶體裝置

206：記憶體裝置

208：記憶體裝置

210：記憶體裝置

300：串聯記憶系統

302：記憶體控制器

304：記憶體裝置

306：記憶體裝置

308：記憶體裝置

- 310：記憶體裝置
- 400：可調串聯記憶體系統
- 402：記憶體控制器
- 404：記憶體裝置
- 406：記憶體裝置
- 408：記憶體裝置
- 410：記憶體裝置
- 412：擴充鏈結
- 414：擴充鏈結
- 416：擴充鏈結
- 418：擴充鏈結
- 420：擴充鏈結
- 422：擴充模組
- 424：擴充模組
- 426：擴充模組
- 428：跳線
- 430：跳線
- 500：記憶體裝置
- 502：記憶體陣列排
- 504：記憶體陣列排
- 506：本地控制及 I/O 電路
- 508：串聯介面及控制邏輯方塊
- 600：命令封包
- 602：命令封包

604 : 位址欄

606 : 資料欄

608 : 裝置位址欄

610 : Op-碼欄

800 : 頁讀取命令封包

802 : 頁讀取命令封包

804 : 叢發讀取命令封包

806 : 讀取資料封包

808 : 叢發讀取命令封包

810 : 讀取資料封包

820 : 命令封包

822 : 命令封包

824 : 叢發資料載入命令封包

826 : 頁讀取命令封包

828 : 讀取狀態命令封包

830 : 讀取資料封包

832 : 讀取狀態命令封包

834 : 讀取資料封包

840 : 頁讀取命令封包

842 : 叢發資料載入命令封包

844 : 頁讀取命令封包

846 : 叢發讀取命令封包

848 : 讀取資料封包

850 : 叢發資料狀態命令封包

852：讀取資料封包

860：方塊抹除位址輸入命令封包

862：抹除命令封包

864：方塊抹除位址輸入命令封包

866：抹除命令封包

868：讀取狀態命令封包

870：讀取狀態命令封包

872：讀取資料封包

874：讀取資料封包

880：叢發資料載入開始命令封包

882：頁讀取命令封包

884：叢發資料載入命令封包

886：頁讀取命令封包

888：叢發讀取命令封包

890：資料讀取封包

892：讀取狀態命令封包

894：讀取資料封包

896：叢發讀取命令封包

898：讀取資料封包

900：選通信號

902：讀取資料封包

904：命令封包

906：選通信號

1010：快閃記憶體

1012：控制電路

1012a：位址暫存器

1012b：資料暫存器

1012c：命令暫存器

1014：記憶體陣列

1050：D型正反器

十、申請專利範圍

1. 一種記憶體系統，包含：

一控制器，具有：一串聯通道輸出埠，用以提供一串聯位元流命令封包、一控制輸出埠，用以提供資料輸出控制信號、及一串聯通道輸入埠，用以接收一串聯位元流讀取資料封包，該串聯位元流命令封包包含一操作碼及一裝置位址；及

一記憶體裝置，具有：輸入埠，用以自該控制器接收該串聯位元流命令封包，及用以若該裝置位址對應該記憶體裝置，則執行該操作碼；及控制輸入埠，用以接收該資料輸出控制信號，該記憶體裝置經由一輸出埠，提供該串聯位元流命令封包，並且如果該操作碼對應於一讀取功能，則隨後回應於該資料輸出控制信號，經由該輸出埠，提供該串聯位元流讀取資料封包；以及

一擴充鏈結，在該控制器與該記憶體裝置之間，記憶體擴充模組及跳線之一可插入其中。

2. 如申請專利範圍第 1 項所述之記憶體系統，更包含至少一中介記憶體裝置，串聯耦接於該記憶體裝置與該控制器之間，該至少一中介記憶體裝置具有輸入埠，用以接收及傳送該串聯位元流命令封包至該記憶體裝置，如果該裝置位址對應於該記憶體裝置及該操作碼對應於一讀取功能，則隨後提供該串聯位元流讀取資料封包。

3. 如申請專利範圍第 2 項所述之記憶體系統，其中互補時鐘信號係被並聯提供給該記憶體裝置與該至少一中

介記憶體裝置。

4. 如申請專利範圍第 2 項所述之記憶體系統，其中互補時鐘信號係被提供給該至少一中介記憶體裝置，並被該至少一中介記憶體裝置所傳送至該記憶體裝置，並被該記憶體裝置所傳送至該控制器。

5. 如申請專利範圍第 2 項所述之記憶體系統，其中該至少一中介記憶體裝置為具有耦接裝置之該記憶體擴充模組之一部份，該耦接裝置架構以電耦接該擴充鏈結。

6. 如申請專利範圍第 2 項所述之記憶體系統，其中該記憶體裝置與該至少一中介記憶體裝置各個包含一本地記憶體核心及一串聯介面與一控制邏輯方塊，用以回應於該串聯位元流命令封包，控制該本地記憶體核心。

7. 如申請專利範圍第 6 項所述之記憶體系統，其中該記憶體裝置本地記憶體核心及該至少一中介記憶體裝置本地記憶體核心為 NAND 快閃記憶體為主。

8. 如申請專利範圍第 6 項所述之記憶體系統，其中該記憶體裝置本地記憶體核心及該至少一中介記憶體裝置本地記憶體核心為不同的。

9. 如申請專利範圍第 2 項所述之記憶體系統，其中該本地記憶體核心包含 DRAM、SRAM、NAND 快閃或 NOR 快閃記憶體核心之一。

10. 如申請專利範圍第 1 項所述之記憶體系統，其中該串聯位元流命令封包具有一模組化結構，其中該串聯位元流命令封包的大小為可變的。

11. 如申請專利範圍第 10 項所述之記憶體系統，其中該串聯位元流命令封包包含一命令欄，用以提供該操作碼及該裝置位址。

12. 如申請專利範圍第 11 項所述之記憶體系統，其中該命令欄包含：一第一次欄，用以提供該操作碼；及一第二次欄，用以提供該裝置位址。

13. 如申請專利範圍第 10 項所述之記憶體系統，其中該串聯位元流命令封包包含：一命令欄，用以提供該操作碼與該裝置位址；及一位址欄，用以提供列位址與行位址之一。

14. 如申請專利範圍第 10 項所述之記憶體系統，其中該串聯位元流命令封包包含：一命令欄，用以提供該操作碼與該裝置位址；一位址欄，用以提供該列位址與行位址之一；及一資料欄，用以提供寫入資料。

15. 如申請專利範圍第 10 項所述之記憶體系統，其中該控制器提供一命令選通與該串聯位元流命令封包並聯，該命令選通具有一匹配於該串聯位元流命令封包長度之作動位準。

16. 如申請專利範圍第 15 項所述之記憶體系統，其中該控制器並聯於該串聯位元流讀取資料封包提供一資料輸入選通，該資料輸入選通具有一匹配於該串聯位元流讀取資料封包的長度之作動位準。

17. 如申請專利範圍第 16 項所述之記憶體系統，其中當該裝置位址對應於該記憶體裝置時，該記憶體裝置回

應於該命令選通之該作動位準，門鎖該串聯位元流命令封包。

18. 如申請專利範圍第 17 項所述之記憶體系統，其中該記憶體裝置輸出埠係回應於該資料輸入選通的該作動位準加以致能。

19. 如申請專利範圍第 18 項所述之記憶體系統，其中該命令選通及該資料輸入選通係為非重疊信號。

20. 如申請專利範圍第 18 項所述之記憶體系統，其中該命令選通及該資料輸入選通分開至少一資料門鎖時鐘緣。

21. 如申請專利範圍第 18 項所述之記憶體系統，其中該命令選通分開一鄰近命令選通至少一資料門鎖時鐘緣。

22. 如申請專利範圍第 18 項所述之記憶體系統，其中該資料輸入選通分開一鄰近資料輸入選通至少一資料門鎖時鐘緣。

23. 如申請專利範圍第 1 項所述之記憶體系統，其中該記憶體擴充模組接收該串聯位元流命令封包並傳送該串聯位元流命令封包至該記憶體或該控制器之一。

24. 如申請專利範圍第 23 項所述之記憶體系統，其中該記憶體擴充模組包含至少一中介記憶體裝置，用以接收該串聯位元流命令封包並輸出該串聯位元流命令封包。

25. 如申請專利範圍第 1 項所述之記憶體系統，其中該跳與該記憶體擴充模組係可釋放地固持於該至少一擴充

鏈結中。

26. 如申請專利範圍第 25 項所述之記憶體系統，其中在該記憶體系統的第一架構中，該跳線被插入該至少一擴充鏈結，及在該記憶體系統的第二架構中，該記憶體擴充模組被插入該至少一擴充鏈結，該第二架構具有較該第一架構為大的記憶體容量。

27. 如申請專利範圍第 25 項所述之記憶體系統，其中該至少一擴充鏈結包含：第一終端，用以接收該串聯位元流命令封包；及第二終端，用以提供該串聯位元流命令封包，該跳線被架構以當被插入該至少一擴充鏈結時，電耦接該第一終端至該第二終端。

28. 如申請專利範圍第 1 項所述之記憶體系統，其中該至少一擴充鏈結包含至少兩擴充鏈結，串聯連接於該控制器與該記憶體裝置之間。

29. 一種記憶體系統，包含：

多數記憶體裝置；

控制器，用以控制該等記憶體裝置，

其中該控制器具有：輸出埠，用以提供一位元流命令封包給該等多數記憶體裝置之第一裝置；及控制輸出埠，用以提供資料輸出控制信號，該位元流命令封包包括一操作碼及一裝置位址，

各個該等記憶體裝置自該控制器及一前一記憶體裝置之一接收該位元流命令封包與該資料輸出控制信號；並且如果該裝置位址對應於該記憶體裝置，則執行該操作碼，

各個該等記憶體裝置提供該位元流命令封包給下一記憶體裝置與該控制器之一，如果該操作碼對應於一讀取功能，則一位元流讀取資料封包係由該等多數記憶體裝置之最後記憶體裝置提供給該控制器；以及

至少一擴充鏈結，耦接於該控制器與該等多數記憶體裝置之一記憶體裝置之間，或於該等多數記憶體裝置的兩個相鄰記憶體裝置之間，該擴充鏈結被架構以插入於記憶體擴充模組與跳線之一。

30. 如申請專利範圍第 29 項所述之記憶體系統，其中該等多數記憶體裝置係被串聯連接，該第一與最後記憶體裝置係被連接至該控制器。

31. 如申請專利範圍第 29 項所述之記憶體系統，其中該控制器送出一位元流資料封包給該等多數記憶體裝置的該第一裝置。

32. 如申請專利範圍第 31 項所述之記憶體系統，其中該來自該控制器的位元流資料封包與該位元流讀取資料封包包含一串聯位元流。

33. 如申請專利範圍第 31 項所述之記憶體系統，其中該來自該控制器的位元流資料封包與該位元流讀取資料封包包含並聯位元流。

34. 如申請專利範圍第 29 項所述之記憶體系統，其中該等多數記憶體裝置為相同類型或不同類型記憶體裝置的混合。

35. 如申請專利範圍第 29 項所述之記憶體系統，其

中該記憶體擴充模組接收該位元流命令封包並傳送該位元流命令封包至該等多數記憶體裝置或該控制器之一。

36. 如申請專利範圍第 35 項所述之記憶體系統，其中該記憶體擴充模組包含至少一中介記憶體裝置，用以接收該位元流命令封包並輸出該位元流命令封包。

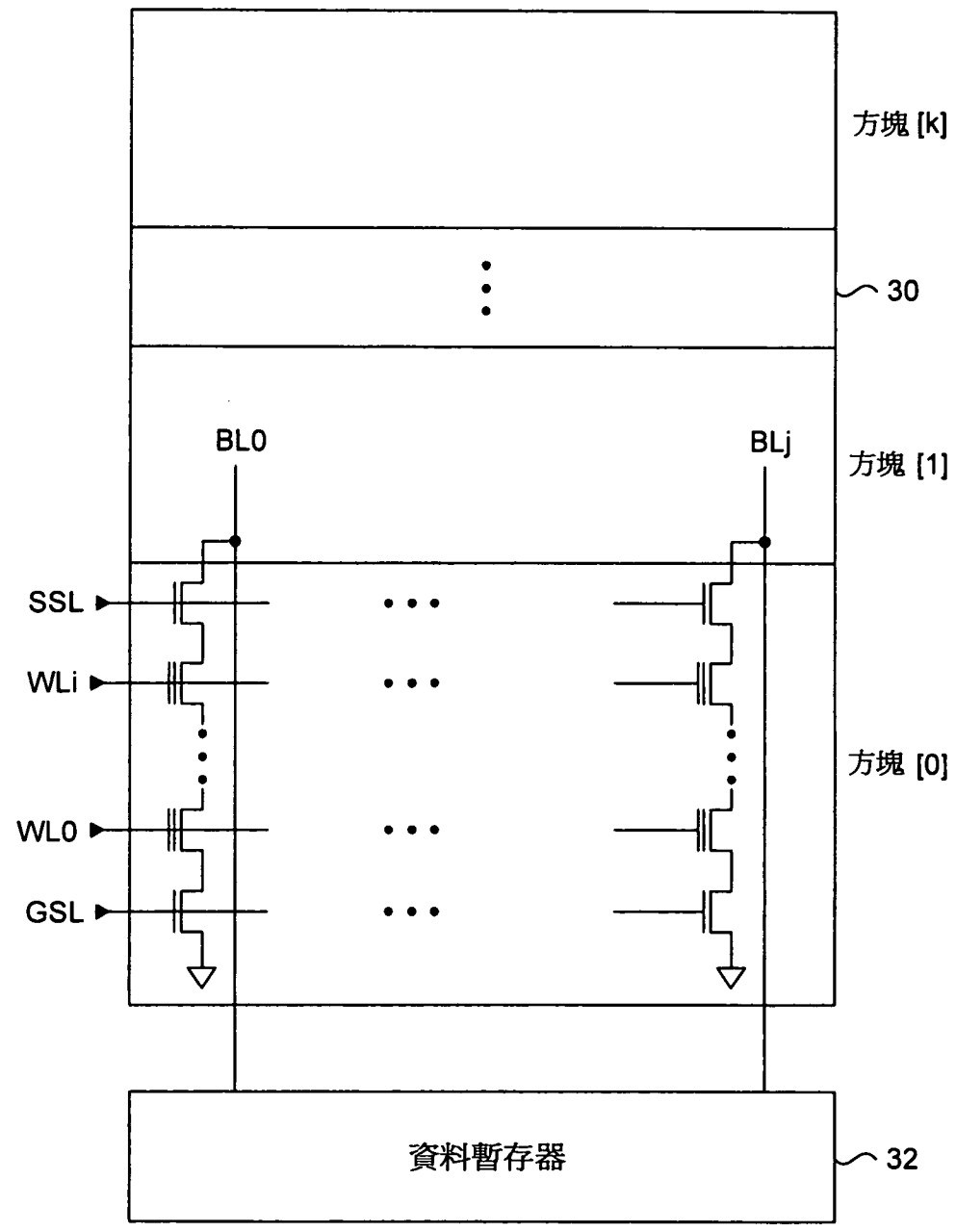
37. 如申請專利範圍第 29 項所述之記憶體系統，其中該跳線與該記憶體擴充模組係可釋放地固持於該至少一擴充鏈結中。

38. 如申請專利範圍第 37 項所述之記憶體系統，其中在該記憶體系統的第一架構中，該跳線被插入該至少一擴充鏈結，及在該記憶體系統的第二架構中，該記憶體擴充模組被插入該至少一擴充鏈結，該第二架構具有較該第一架構為大的記憶體容量。

39. 如申請專利範圍第 37 項所述之記憶體系統，其中該至少一擴充鏈結包含：第一終端，用以接收該位元流命令封包；及第二終端，用以提供該位元流命令封包，該跳線被架構以當被插入該至少一擴充鏈結時，電耦接該第一終端至該第二終端。

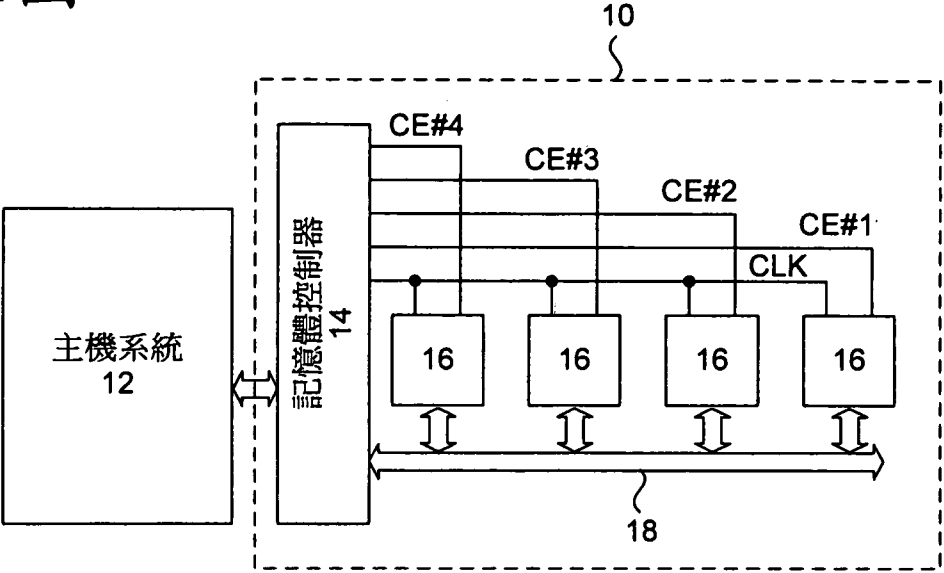
40. 如申請專利範圍第 29 項所述之記憶體系統，其中該至少一擴充鏈結包含至少兩擴充鏈結，串聯連接於該控制器與該記憶體裝置之間，或該兩相鄰記憶體裝置之間。

第1圖



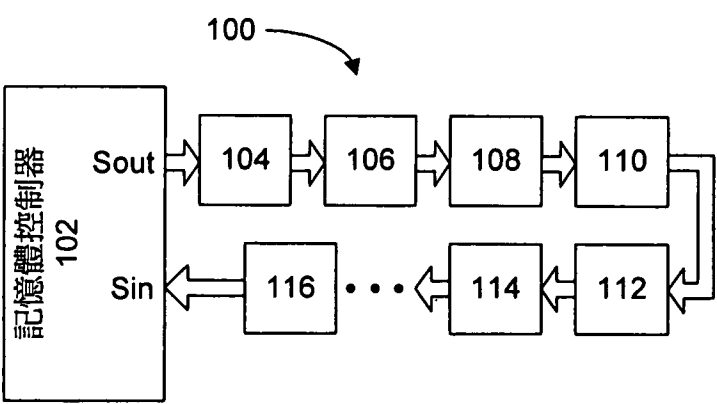
(先前技術)

第2圖

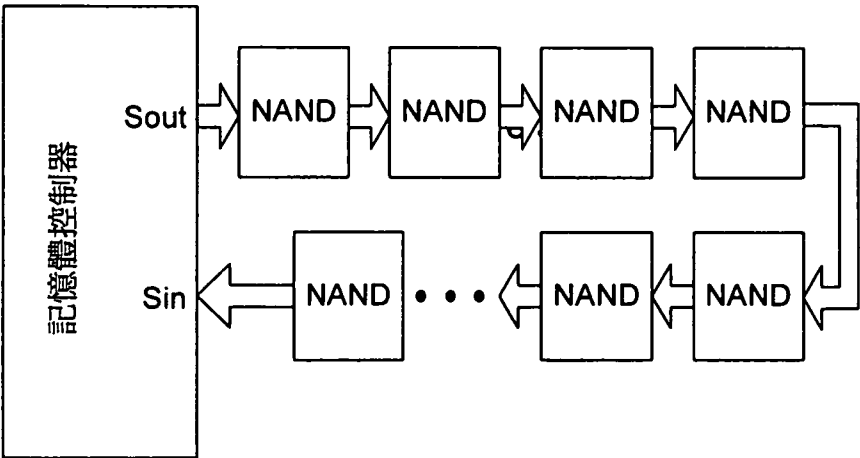


(先前技術)

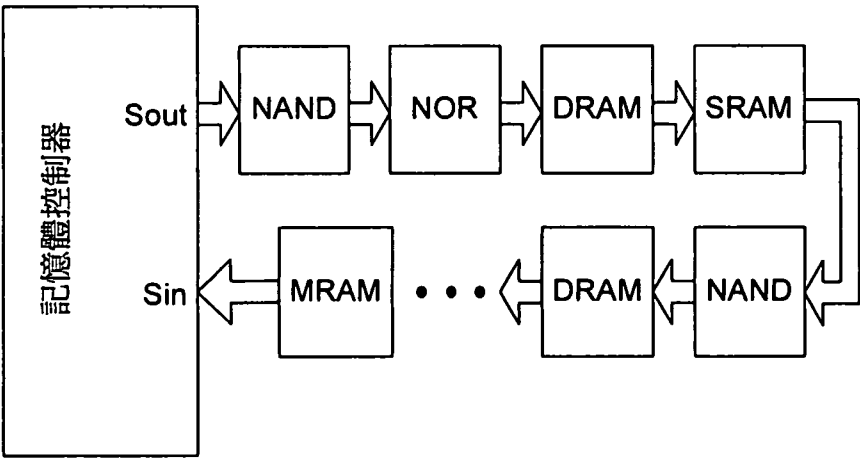
第3A圖



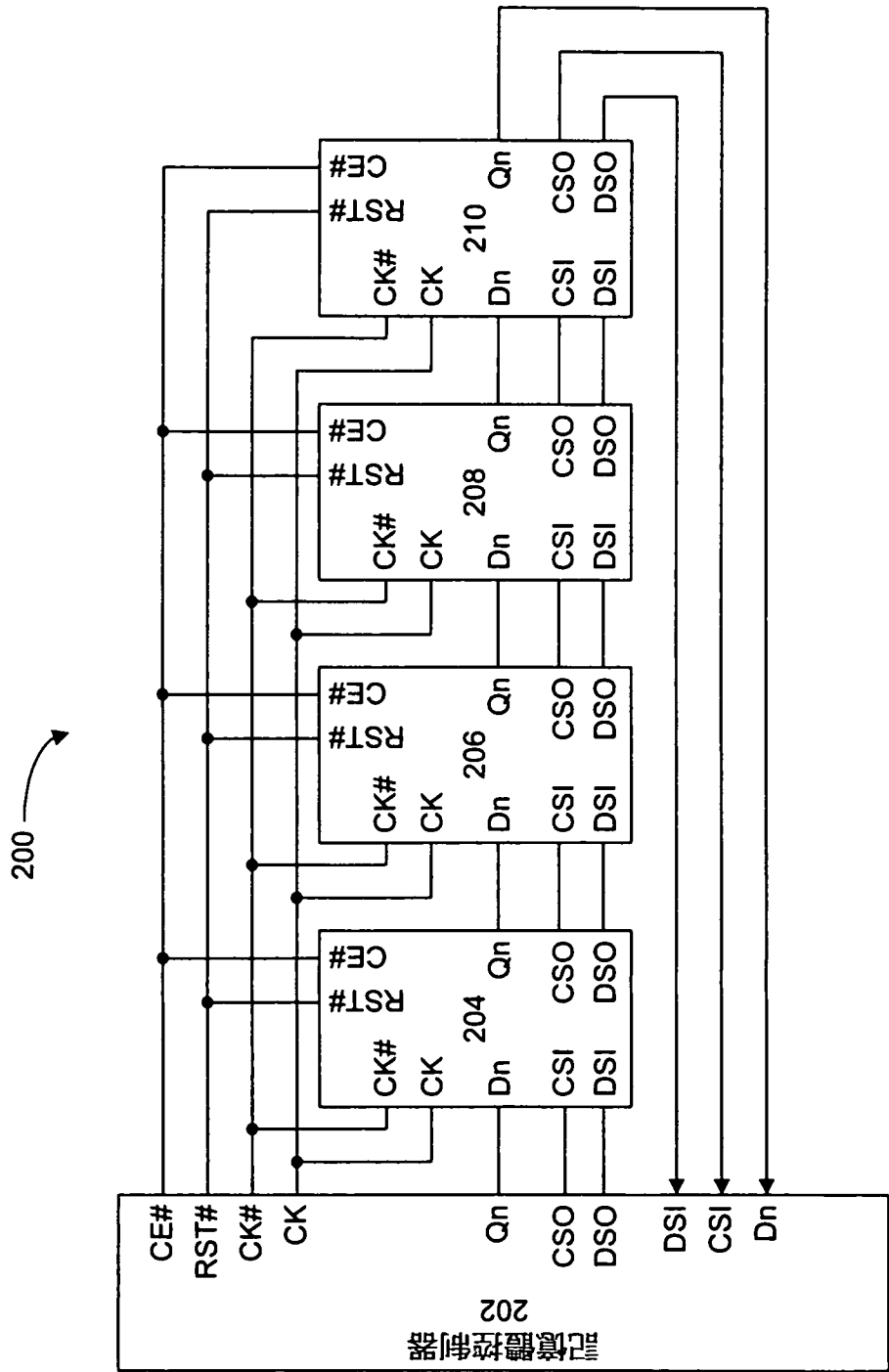
第3B圖



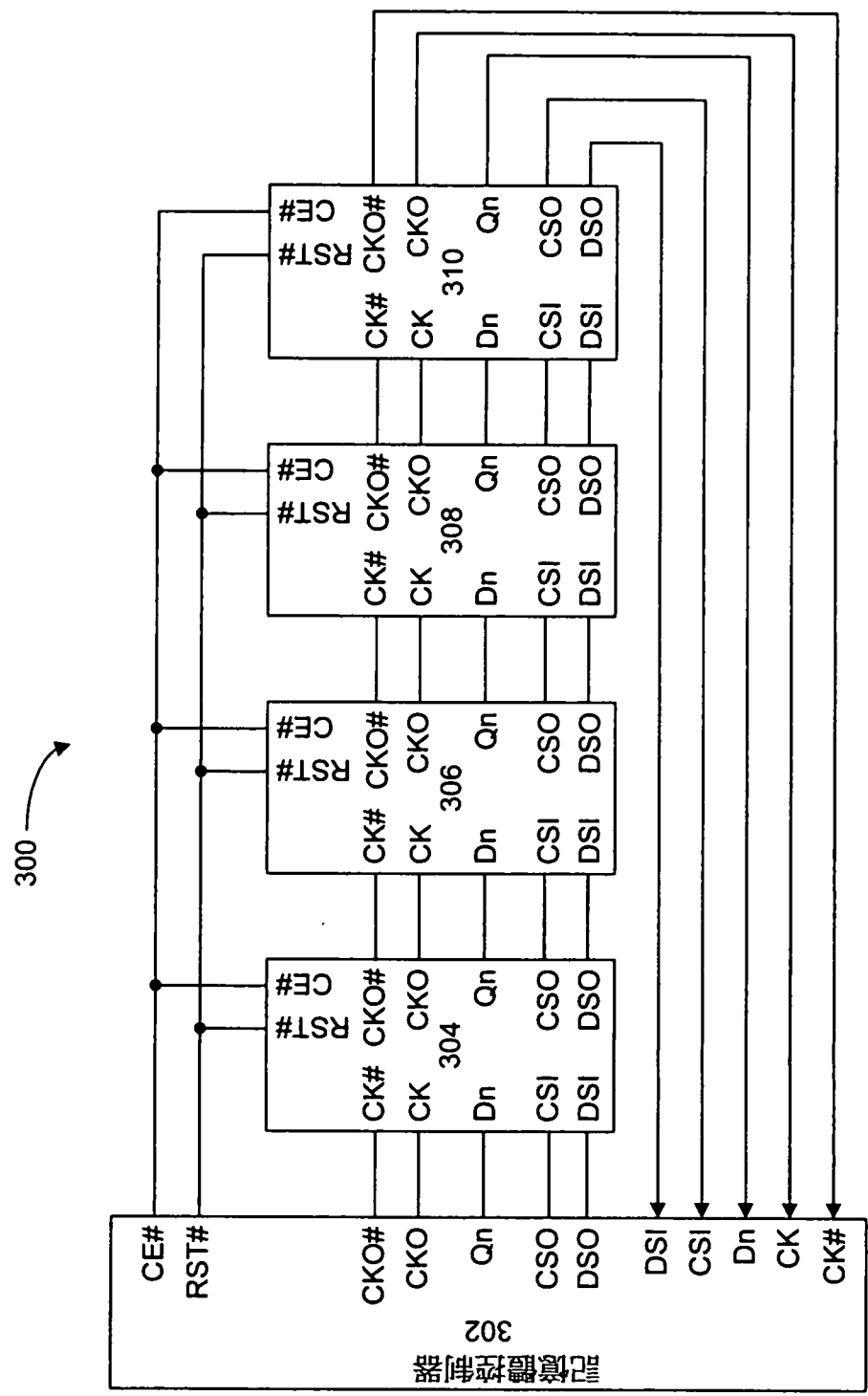
第3C圖



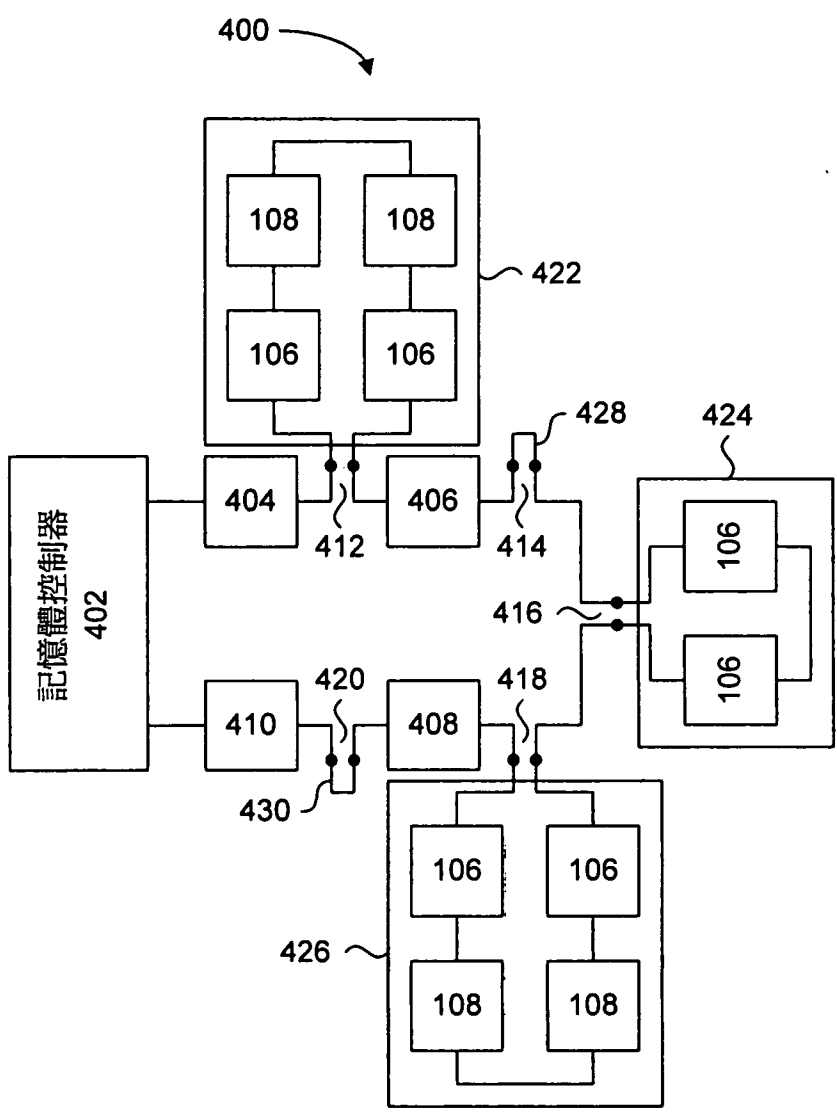
第4圖



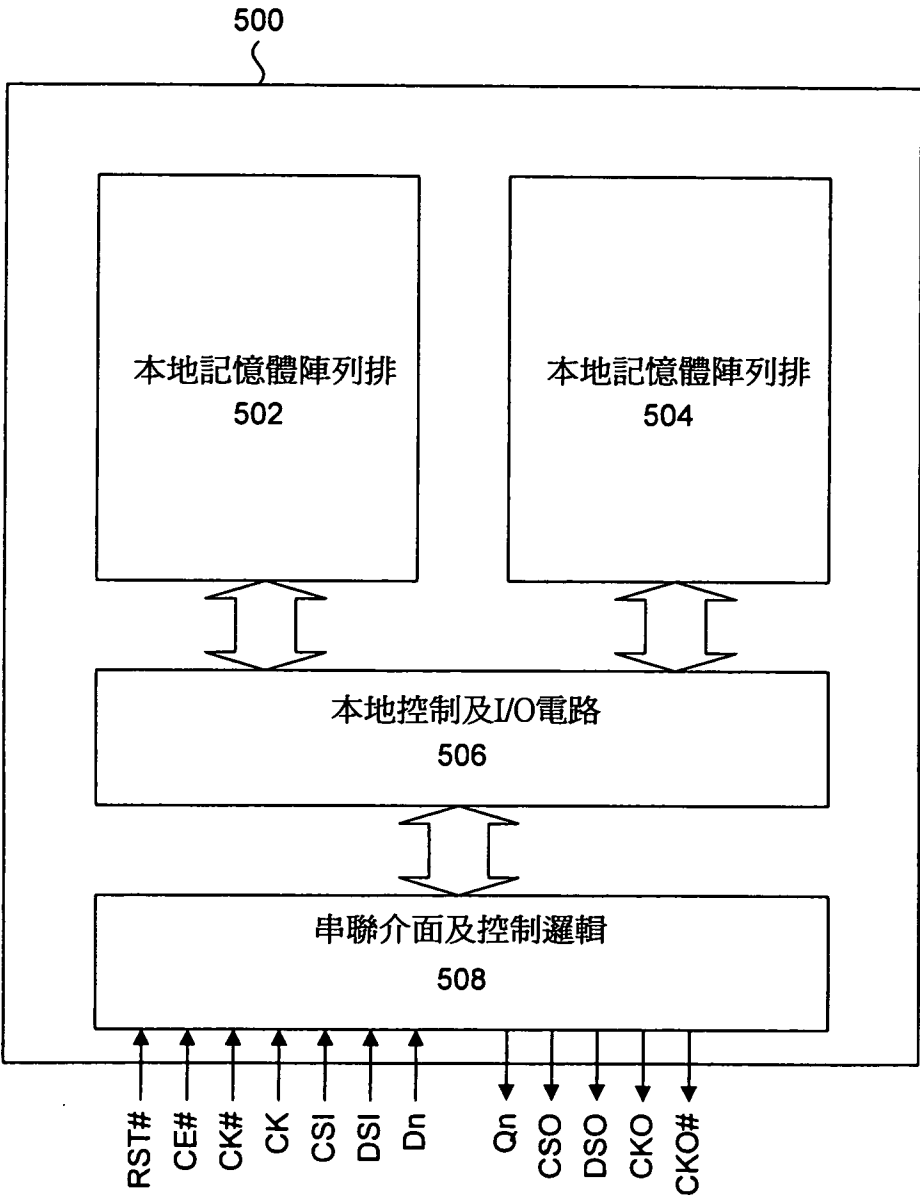
第5圖



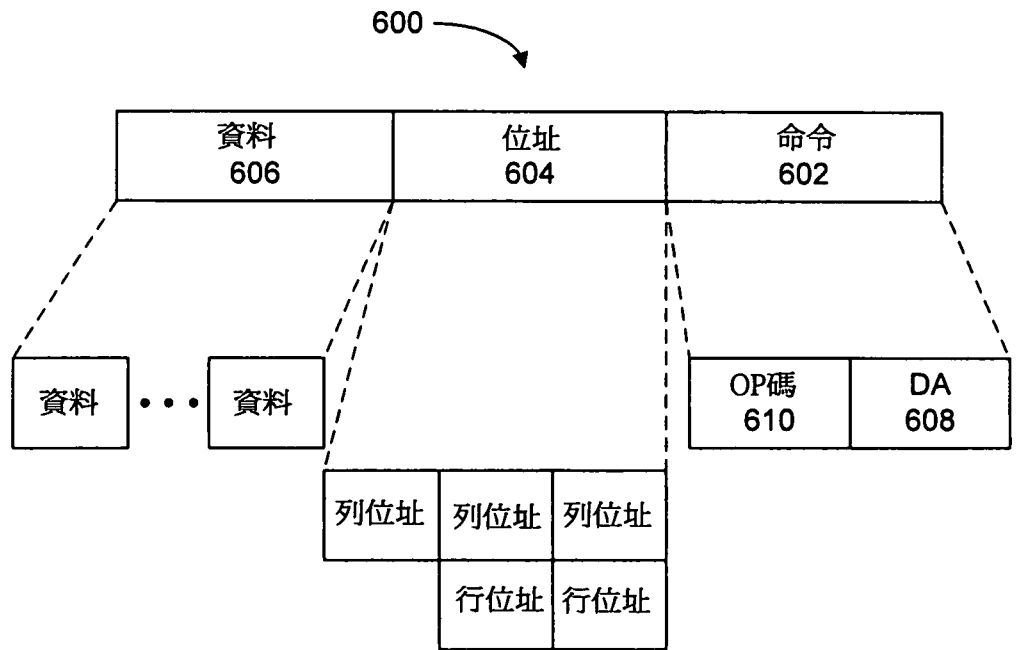
第6圖



第7圖



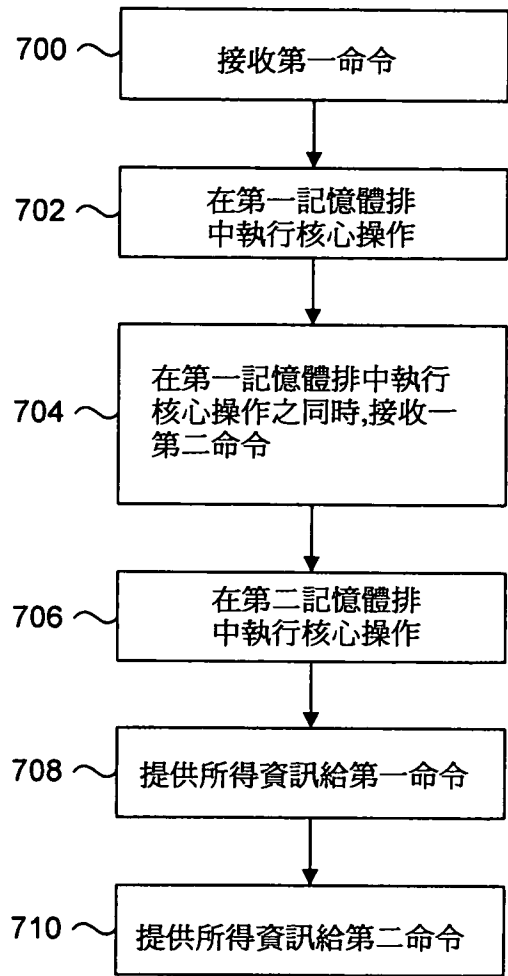
第8圖



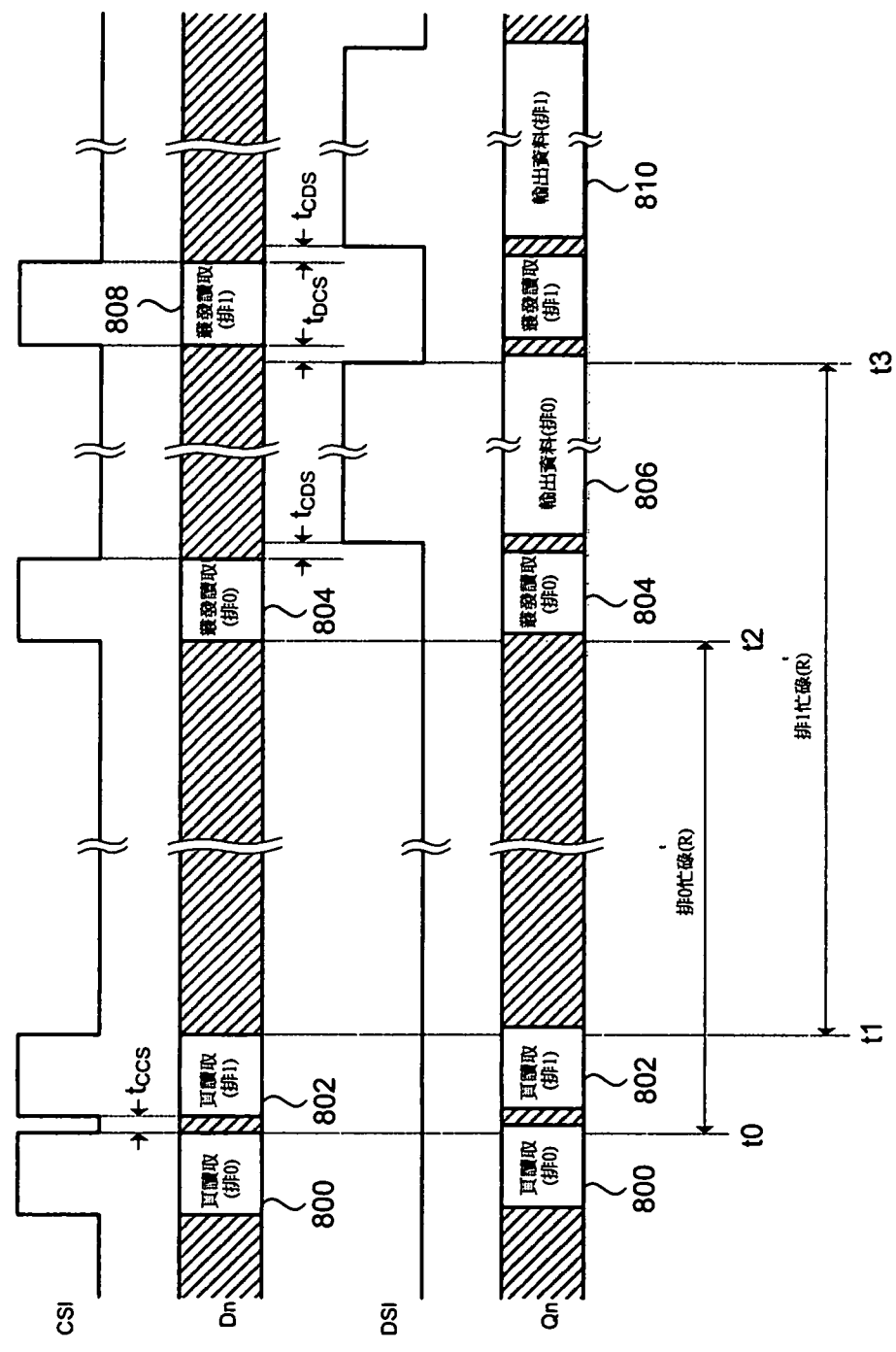
第9圖

命令封包	第1 位元組	第2 位元組	第3 位元組	第4 位元組	第5 位元組	第6 位元組	第7 位元組	...	第2115 位元組	第2116 位元組
頁讀取	DA	0Xh	RA	RA	RA	-	-	-	-	-
用於拷貝之頁讀取	DA	1Xh	RA	RA	RA	-	-	-	-	-
散發資料讀取	DA	2Xh	CA	CA	-	-	-	-	-	-
散發資料載入開始	DA	4Xh	CA	CA	資料	資料	資料	...	資料	資料
散發資料載入	DA	5Xh	CA	CA	資料	資料	資料	...	資料	資料
頁規範	DA	6Xh	RA	RA	RA	-	-	-	-	-
方塊抹除位址輸入	DA	8Xh	RA	RA	RA	-	-	-	-	-
頁對抹除位址輸入	DA	9Xh	RA	RA	RA	-	-	-	-	-
抹除	DA	AXh	-	-	-	-	-	-	-	-
操作放棄	DA	CXh	-	-	-	-	-	-	-	-
讀取狀態暫存器	DA	F0h	-	-	-	-	-	-	-	-
讀取裝置資訊暫存器	DA	F4h	-	-	-	-	-	-	-	-
讀取鏈結架構暫存器	DA	F7h	-	-	-	-	-	-	-	-
寫入鏈結架構暫存器	FFh	FFh	資料	-	-	-	-	-	-	-

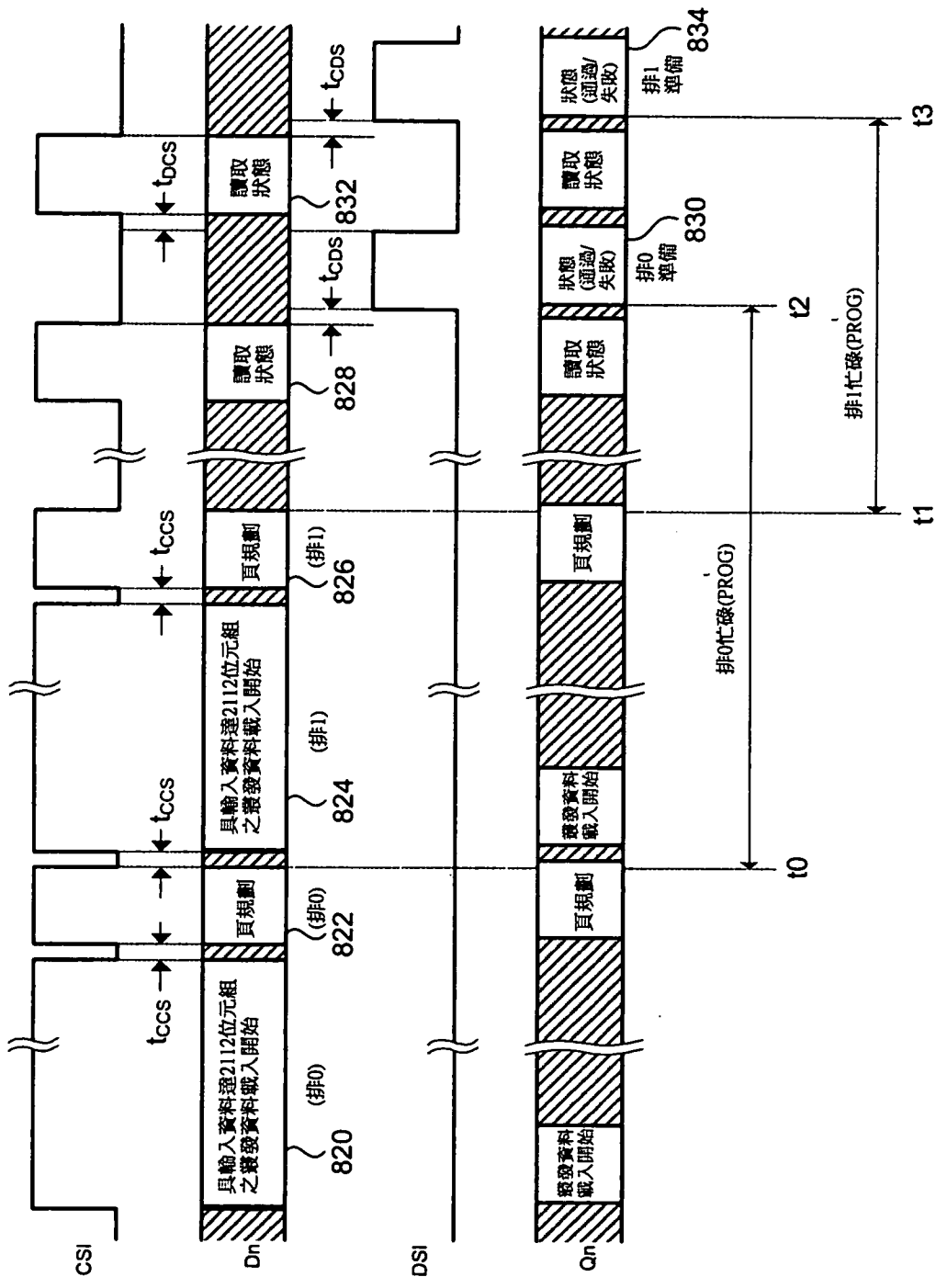
第10圖



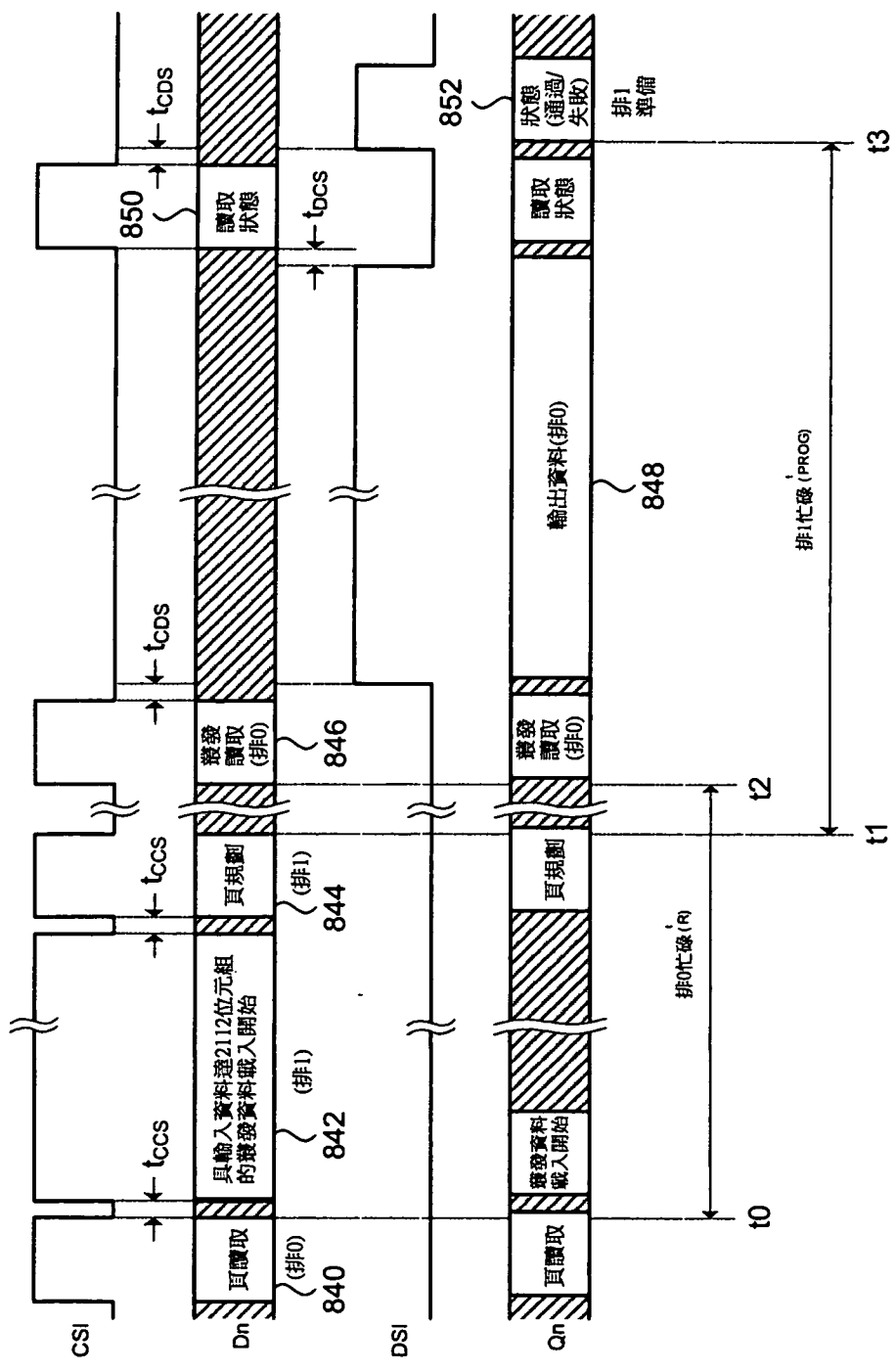
第11圖



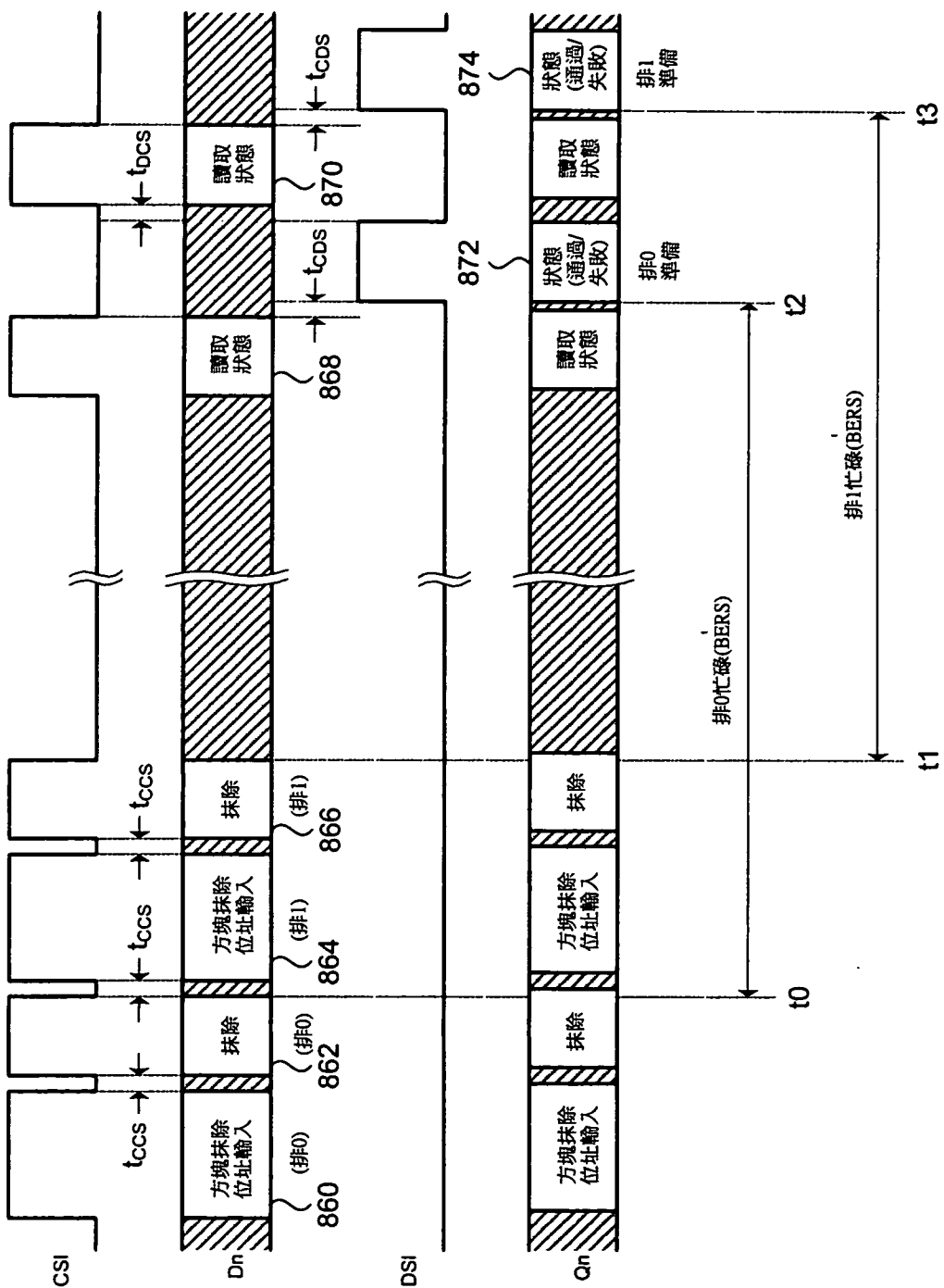
第12圖



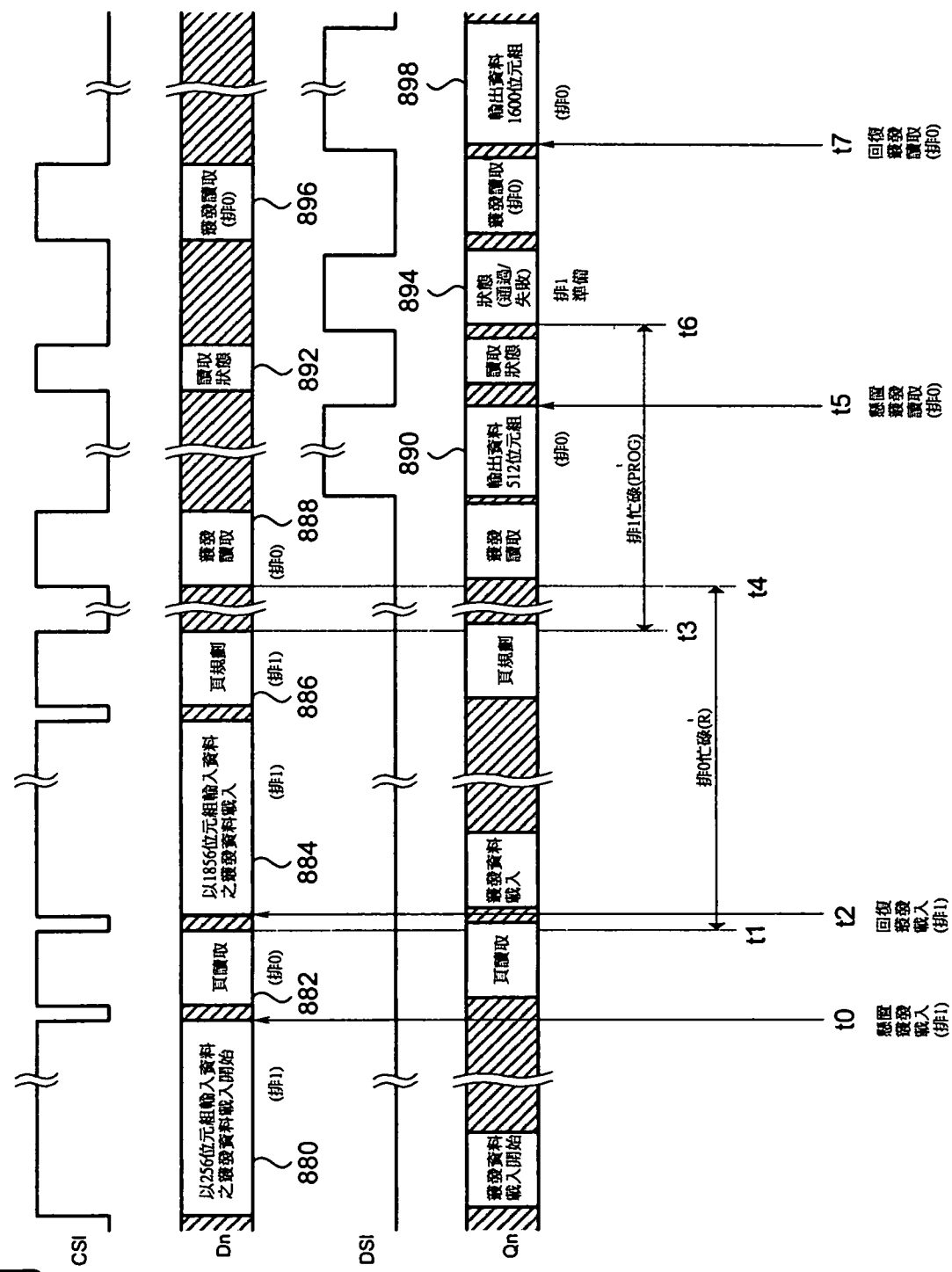
第13圖



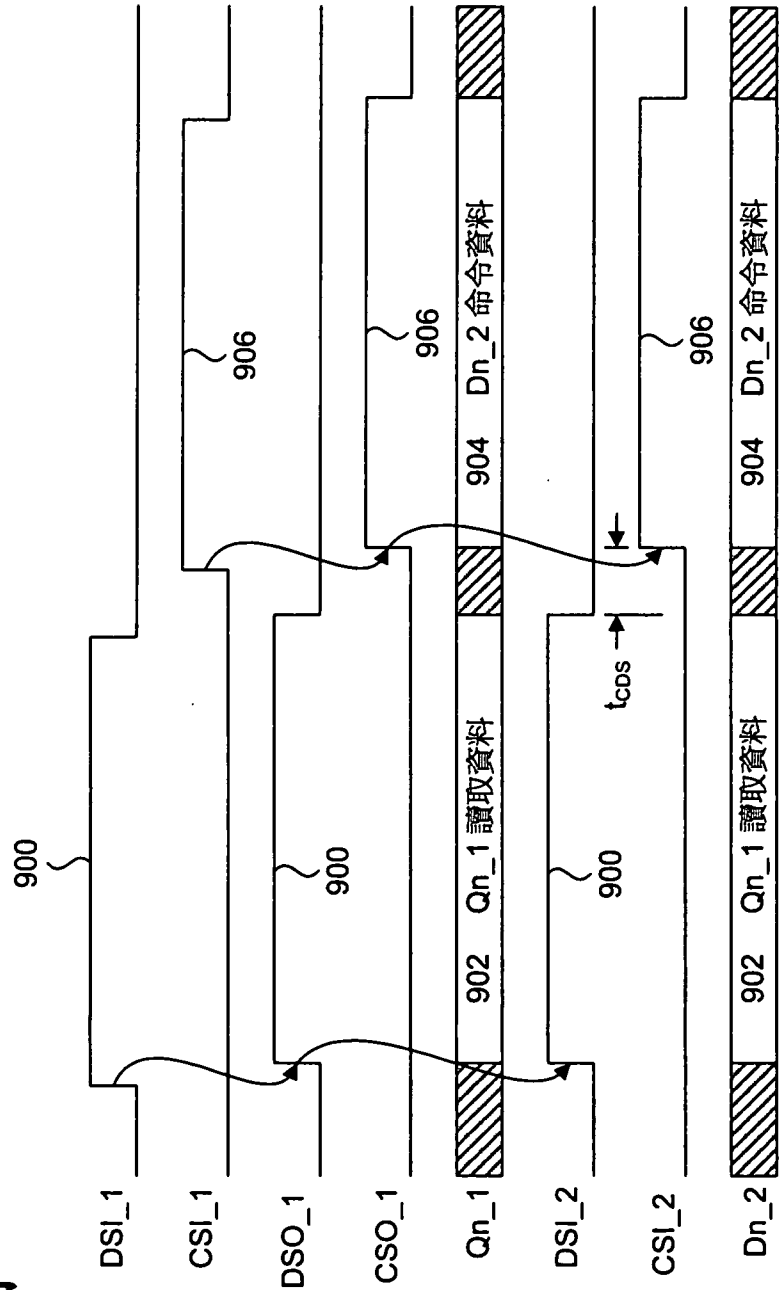
第14圖



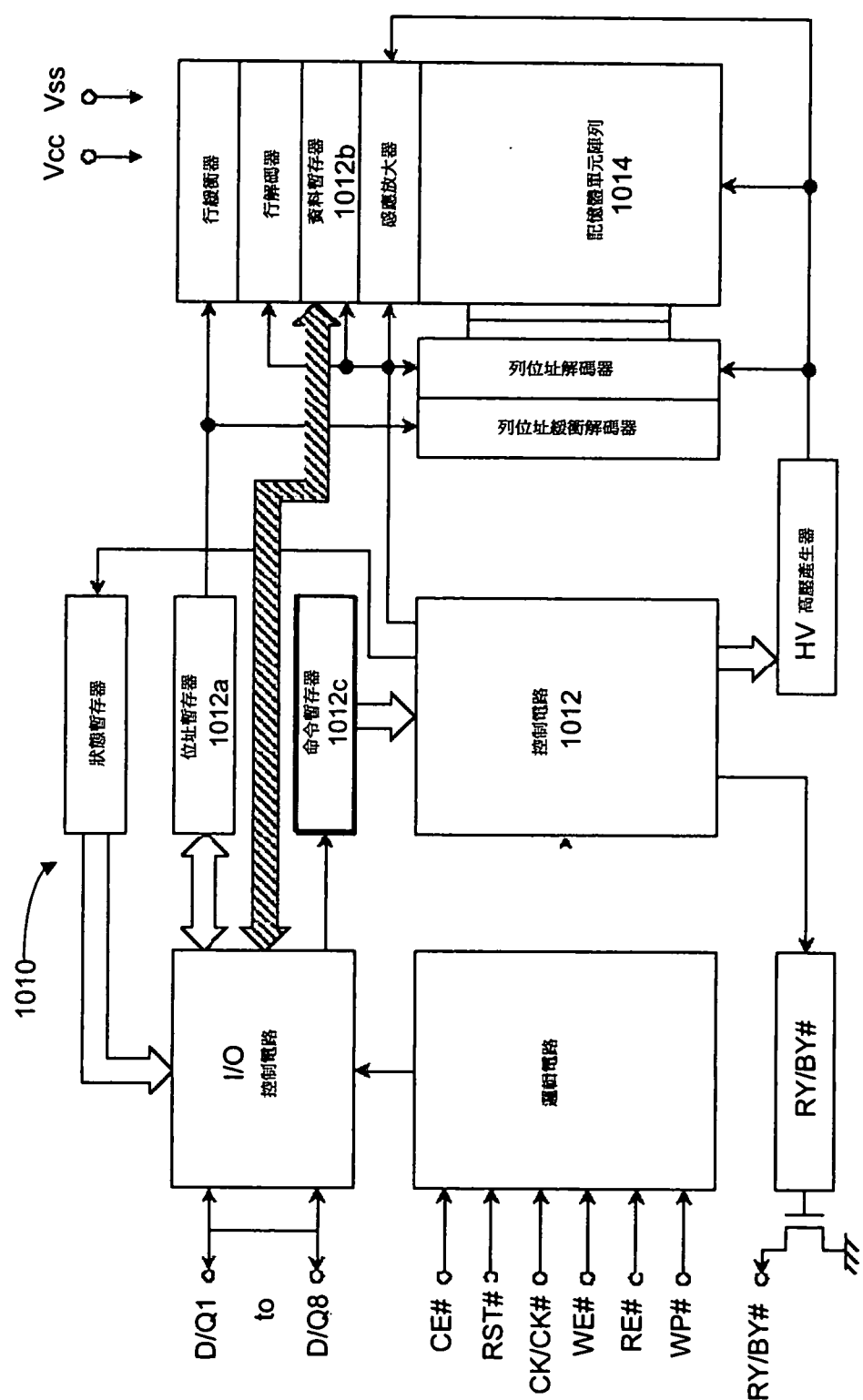
第15圖



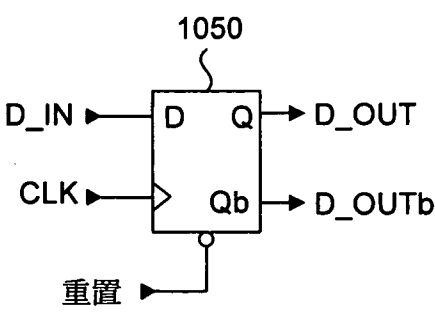
第16圖



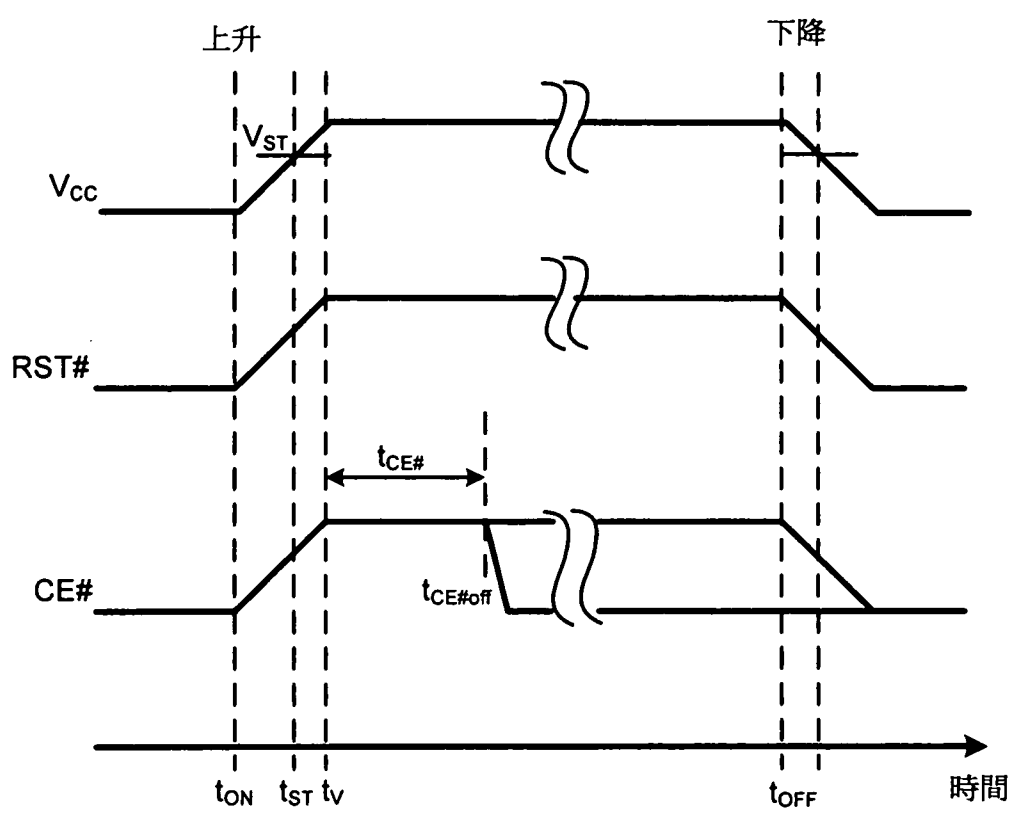
第17A圖



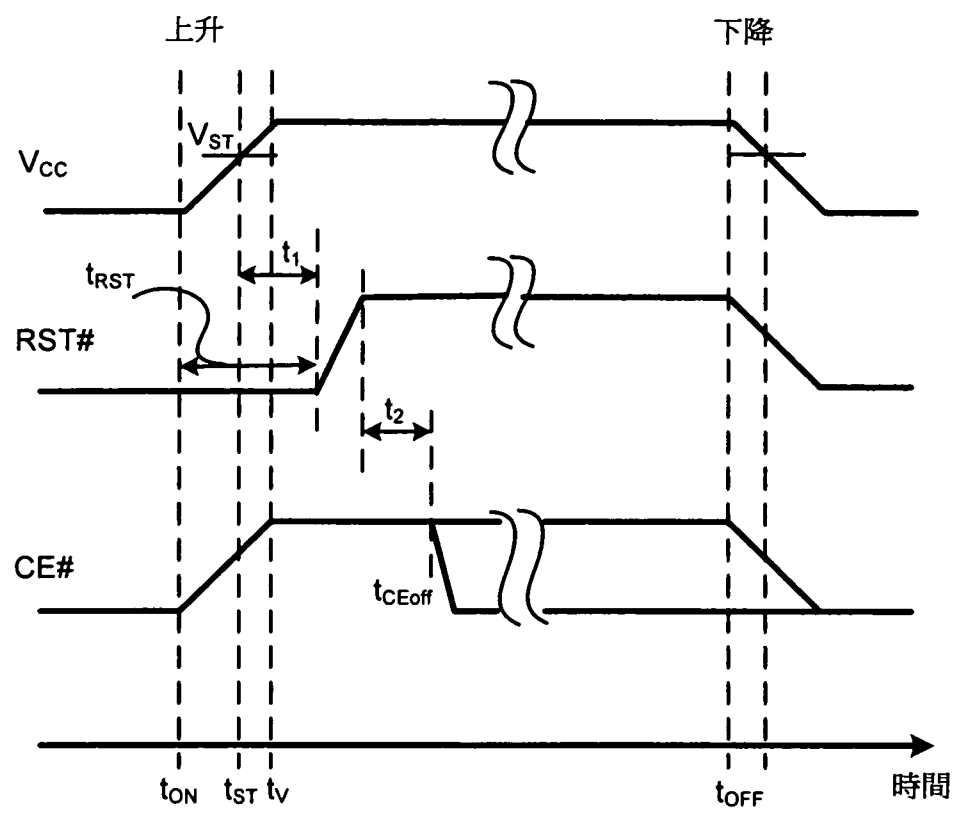
第17B圖



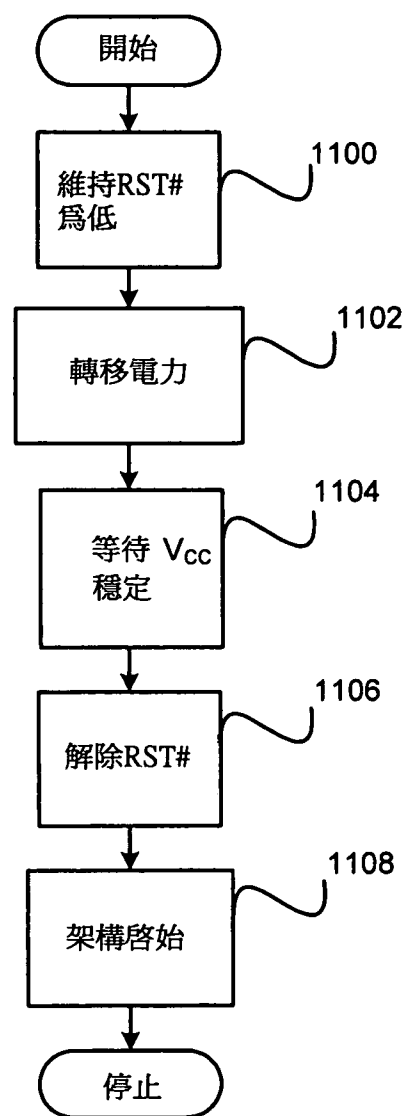
第18圖



第19圖



第20圖



第21圖

